



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월20일
(11) 등록번호 10-1840617
(24) 등록일자 2018년03월14일

- (51) 국제특허분류(Int. Cl.)
H01L 27/088 (2006.01) *G09G 3/36* (2006.01)
G11C 19/28 (2006.01)

(52) CPC특허분류
H01L 27/088 (2013.01)
G09G 3/3677 (2013.01)

(21) 출원번호 10-2017-7024029(분할)

(22) 출원일자(국제) 2011년01월27일
 심사청구일자 2017년09월27일

(85) 번역문제출일자 2017년08월28일

(65) 공개번호 10-2017-0102374

(43) 공개일자 2017년09월08일

(62) 원출원 특허 10-2012-7024221
 원출원일자(국제) 2011년01월27일
 심사청구일자 2015년11월30일

(86) 국제출원번호 PCT/JP2011/052195

(87) 국제공개번호 WO 2011/102227
 국제공개일자 2011년08월25일

(30) 우선권주장

IP-P-2010-033669 2010년02월18일 일본(IP)

(73) 특히권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
우메자키 아츠시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
기무라 하지메
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
차수길 박충범 이중희

(74) 대리인
장수길 박충범 이중희

(30) 우선권주장
JP-P-2010-033669 2010년02월18일 일본(JP)
(56) 선행기술조사문현
US20090051639 A1
(뒷면에 계속)
전체 청구항 수 : 총 8 항

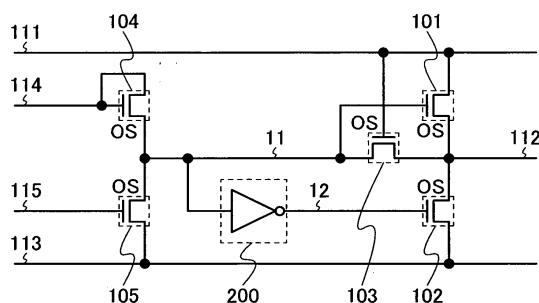
심사관 : 신영교

(54) 발명의 명칭 표시 장치 및 전자 장치

(57) 요약

산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터가 풀다운 트랜지스터로서 이용된다. 산화물 반도체의 밴드갭은, 2.0 eV이상, 바람직하게는 2.5 eV이상, 더욱 바람직하게는 3.0 eV이상이다. 따라서, 트랜지스터에서의 핫 캐리어 열화가 억제될 수 있다. 따라서, 풀다운 트랜지스터를 포함하는 반도체 장치의 회로 크기가 작게 될 수 있다. 또한, 풀업 트랜지스터의 게이트는 산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터의 온/오프의 스위칭에 의해 플로팅 상태로 된다. 산화물 반도체가 고순도화되면, 트랜지스터의 오프 전류는 $1 \text{ aA}/\mu\text{m}^2$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}^2$) 이하가 될 수 있다는 점에 유의한다. 따라서, 반도체 장치의 구동 능력이 향상될 수 있다.

대표도 - 도5b



(52) CPC특허분류

G11C 19/28 (2013.01)

G09G 2310/0286 (2013.01)

(56) 선행기술조사문헌

JP2008009393 A

JP2010033690 A

JP2010027194 A

JP2008243928 A

JP2008089915 A

JP2007123861 A

KR1020080034808 A

명세서

청구범위

청구항 1

반도체 장치로서,

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

제4 트랜지스터;

제5 트랜지스터; 및

제6 트랜지스터

를 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제1 게이트 신호선에 전기적으로 접속되며,

상기 제2 트랜지스터의 소스 및 드레인 중 하나는 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 트랜지스터의 게이트에 전기적으로 접속되며,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제3 트랜지스터의 게이트는 제2 게이트 신호선에 전기적으로 접속되며,

상기 제4 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제4 트랜지스터의 게이트는 제3 게이트 신호선에 전기적으로 접속되며,

상기 제5 트랜지스터의 소스 및 드레인 중 하나는 제3 배선에 전기적으로 접속되고,

상기 제5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 트랜지스터의 게이트에 전기적으로 접속되며,

상기 제5 트랜지스터의 게이트는 상기 제3 배선에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 하나는 상기 제2 배선에 전기적으로 접속되며,

상기 제6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제1 트랜지스터의 상기 게이트에 전기적으로 접속되며,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터 및 상기 제6 트랜지스터 각각은, 게이트 전극층, 상기 게이트 전극층 위의 게이트 절연층, 상기 게이트 절연층 위의 산화물 반도체층, 상기 산화물 반도체층 위의 소스 전극층 및 상기 산화물 반도체층 위의 드레인 전극층을 포함하고,

상기 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위에 산화물 절연층이 있으며,

상기 산화물 절연층 위에 보호 절연층이 있고,

상기 산화물 반도체층은 In, Ga 및 Zn을 포함하며,

상기 산화물 절연층은 산소 및 실리콘을 포함하고,

상기 보호 절연층은 질소 및 실리콘을 포함하는, 반도체 장치.

청구항 2

제1항에 있어서,

제7 트랜지스터

를 더 포함하고,

상기 제7 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 게이트 신호선에 전기적으로 접속되는, 반도체 장치.

청구항 3

제1항에 있어서,

상기 제1 배선에 클록 신호가 입력되는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제2 배선에 전압이 공급되는, 반도체 장치.

청구항 5

반도체 장치로서,

제1 트랜지스터;

제2 트랜지스터; 및

제3 트랜지스터

를 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는 제1 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제1 게이트 신호선에 전기적으로 접속되며,

상기 제2 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 게이트 신호선에 전기적으로 접속되며,

상기 제2 트랜지스터의 게이트는 상기 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 트랜지스터의 상기 게이트에 전기적으로 접속되며,

상기 제3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제2 게이트 신호선에 전기적으로 접속되고,

상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터 각각은, 게이트 전극층, 상기 게이트 전극층 위의 게이트 절연층, 상기 게이트 절연층 위의 산화물 반도체층, 상기 산화물 반도체층 위의 소스 전극층 및 상기 산화물 반도체층 위의 드레인 전극층을 포함하고,

상기 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위에 산화물 절연층이 있으며,

상기 산화물 절연층 위에 보호 절연층이 있고,

상기 산화물 반도체층은 In, Ga 및 Zn을 포함하며,

상기 산화물 절연층은 산소 및 실리콘을 포함하고,

상기 보호 절연층은 질소 및 실리콘을 포함하는, 반도체 장치.

청구항 6

제5항에 있어서,

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터; 및

제7 트랜지스터

를 더 포함하고,

상기 제4 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 게이트 신호선에 전기적으로 접속되며,

상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 제2 배선에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 하나는 상기 제1 트랜지스터의 상기 게이트에 전기적으로 접속되며,

상기 제5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 배선에 전기적으로 접속되고,

상기 제6 트랜지스터의 소스 및 드레인 중 하나는 상기 제4 트랜지스터의 게이트에 전기적으로 접속되며,

상기 제6 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 하나는 상기 제4 트랜지스터의 상기 게이트에 전기적으로 접속되며,

상기 제7 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제7 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 하나는 제3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 7

제5항에 있어서,

상기 제1 배선에 클록 신호가 입력되는, 반도체 장치.

청구항 8

제6항에 있어서,

상기 제2 배선에 전압이 공급되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 한 실시형태는 표시 장치에 관한 것이다. 예를 들어, 본 발명의 한 실시형태는 액정 표시 장치에 관한 것이다. 기술 분야들 중 하나는, 게이트 신호선 및 소스 신호선에 의해 화소가 선택될 때 화상이 표시되는 표시 장치에 관한 것이다. 또한, 기술 분야들 중 하나는, 표시 장치 및 표시 장치를 포함하는 전자 장치에서 이용되는 드라이버 회로 등의 반도체 장치에 관한 것이다.

배경 기술

[0002] 아몰퍼스(amorphous) 실리콘 트랜지스터(a-Si TFT라고도 함)를 포함하는 게이트 드라이버 회로가 개발되어 왔다. 이러한 게이트 드라이버 회로는, 게이트선의 전위를 저전위(L 레벨)에 유지하기 위한 트랜지스터(이러한 트랜지스터를 풀다운 트랜지스터라고도 함)의 임계 전압의 변동으로 인해 오동작의 문제를 가진다. 이 문제를 해결하기 위하여, 게이트선의 전위를 저전위에 유지하는 기간에 풀다운 트랜지스터가 온과 오프를 반복하는 게이트 드라이버 회로가 개시되었다(예를 들어, 특히 문헌 1 및 2 참조). 이러한 게이트 드라이버 회로에 의해, 풀다운 트랜지스터가 온으로 되어 있는 기간이 단축될 수 있다; 따라서, 풀다운 트랜지스터의 열화가 억제될 수 있다.

[0003] 또한, 아몰퍼스 실리콘 트랜지스터를 포함하는 게이트 드라이버 회로는, 게이트선에 고전압을 출력하는 타이밍

을 제어하기 위한 트랜지스터(이러한 트랜지스터를 풀업 트랜지스터라고도 함)를 포함한다. 풀업 트랜지스터의 소스 및 드레인 중 하나는 클록 신호선에 접속된다. 풀업 트랜지스터의 소스 및 드레인 중 다른 하나는 게이트 신호선에 접속된다. 풀업 트랜지스터의 게이트의 전위를 용량 결합에 의해 클록 신호의 고(H 레벨) 전위보다 높게 하는 구동 방법이 이용된다. 이 구동 방법을 실현하기 위하여, 풀업 트랜지스터의 게이트를 플로팅 상태로 할 필요가 있다. 따라서, 풀업 트랜지스터의 게이트에 접속되는 모든 트랜지스터를 오프로 할 필요가 있다.

선행기술문헌

특허문헌

[0004]

(특허문헌 0001) 일본 공개 특허 출원 제2007-207413

(특허문헌 0002) 일본 공개 특허 출원 제2008-009393

발명의 내용

[0005]

종래의 기술에서는, 풀다운 트랜지스터가 온과 오프를 반복하기 위하여, 풀다운 트랜지스터의 온-오프를 제어하기 위한 회로가 필요하다. 따라서, 반도체 장치의 회로 크기를 줄이는 테에는 한계가 있다. 또한, 풀업 트랜지스터의 게이트에 접속되는 모든 트랜지스터가 오프로 되더라도, 그 트랜지스터의 오프 전류로 인해 풀업 트랜지스터의 게이트에 축적된 전하는 시간의 경과에 따라 소실된다. 따라서, 게이트 드라이버 회로 등의 반도체 장치의 구동 주파수를 낮추는 것이 어렵다. 또한, 반도체 장치가 동작할 수 있는 구동 주파수의 범위가 좁아진다. 따라서, 반도체 장치의 구동 능력의 향상에는 한계가 있다.

[0006]

전술된 문제점에 비추어, 본 발명의 한 실시형태의 목적은 반도체 장치의 회로 크기를 작게 하는 것이다. 또한, 본 발명의 한 실시형태의 목적은 반도체 장치의 구동 능력을 향상시키는 것이다. 본 발명의 한 실시형태에서는, 상기 목적들 모두를 달성할 필요는 없다는 점에 유의한다.

[0007]

상기 목적들은, 산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터가 풀업 트랜지스터 또는 풀다운 트랜지스터로서 이용될 때 달성될 수 있다. 산화물 반도체는 전자 공여체로서 역할하는 불순물(수소, 물 등)의 철저한 제거에 의해 고순도화된 산화물 반도체라는 점에 유의한다.

[0008]

산화물 반도체의 밴드갭은, 2.0 eV이상, 바람직하게는 2.5 eV이상, 더욱 바람직하게는 3.0 eV이상이라는 점에 유의한다. 따라서, 산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터에서는, 충돌 이온화 및 애별란치 항복이 발생하기 쉽지 않다. 즉, 산화물 반도체 내의 캐리어(전자)는 용이하게 가속되지 않는다. 따라서, 산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터에서는, 게이트 절연층으로의 캐리어(전자)의 주입에 기인하는 트랜지스터의 임계 전압의 변동(소위, 핫 캐리어 열화)이 억제될 수 있다.

[0009]

또한, 산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터에서 캐리어의 수는 극히 적다. 채널폭의 μm 당 오프 전류는 $1 \text{ aA} (1 \times 10^{-18} \text{ A})$ 이하가 될 수 있다. 이 오프 전류는 $1 \text{ aA}/\mu\text{m}$ 로서 나타낸다.

[0010]

즉, 본 발명의 한 실시형태는, 복수의 게이트 신호선, 복수의 소스 신호선, 게이트 신호선과 소스 신호선이 서로 교차하는 영역에 제공된 화소, 및 복수의 게이트 신호선에 전기적으로 접속된 게이트 드라이버 회로를 포함하는 표시 장치이다. 게이트 드라이버 회로는, 제1 트랜지스터, 제2 트랜지스터, 및 인버터 회로를 포함한다. 제1 트랜지스터의 제1 단자는 제1 배선에 전기적으로 접속되고, 제1 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속되고, 제2 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 인버터 회로의 입력 단자는 제1 트랜지스터의 게이트에 전기적으로 접속되고, 인버터 회로의 출력 단자는 제2 트랜지스터의 게이트에 전기적으로 접속된다. 제1 트랜지스터 및 제2 트랜지스터 각각의 채널 영역은 산화물 반도체를 포함한다. 제1 트랜지스터 및 제2 트랜지스터 각각의 오프 전류는 $1 \text{ aA}/\mu\text{m}$ 이하이다.

[0011]

본 발명의 한 실시형태는, 복수의 게이트 신호선, 복수의 소스 신호선, 게이트 신호선과 소스 신호선이 서로 교차하는 영역에 제공된 화소, 및 복수의 게이트 신호선에 전기적으로 접속된 게이트 드라이버 회로를 포함하는 표시 장치이다. 게이트 드라이버 회로는, 제1 트랜지스터, 제2 트랜지스터, 및 인버터 회로를 포함한다. 제1 트랜지스터의 제1 단자는 제1 배선에 전기적으로 접속되고, 제1 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속되고, 제2 트랜지스터의 제2 단자는 제

1 트랜지스터의 게이트에 전기적으로 접속된다. 인버터 회로의 입력 단자는 제1 트랜지스터의 게이트에 전기적으로 접속되고, 인버터 회로의 출력 단자는 제2 트랜지스터의 게이트에 전기적으로 접속된다. 제1 트랜지스터 및 제2 트랜지스터 각각의 채널 영역은 산화물 반도체를 포함한다. 제1 트랜지스터 및 제2 트랜지스터 각각의 오프 전류는 $1 \text{ aA}/\mu\text{m}$ 이하이다.

[0012] 본 발명의 한 실시형태는, 복수의 게이트 신호선, 복수의 소스 신호선, 게이트 신호선과 소스 신호선이 서로 교차하는 영역에 제공된 화소, 및 복수의 게이트 신호선에 전기적으로 접속된 게이트 드라이버 회로를 포함하는 표시 장치이다. 게이트 드라이버 회로는, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 인버터 회로를 포함한다. 제1 트랜지스터의 제1 단자는 제1 배선에 전기적으로 접속되고, 제1 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속되고, 제2 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제3 트랜지스터의 제1 단자는 제4 배선에 전기적으로 접속된다; 제3 트랜지스터의 제2 단자는 제1 트랜지스터의 게이트에 전기적으로 접속된다; 그리고 제3 트랜지스터의 게이트는 제4 배선에 전기적으로 접속된다. 인버터 회로의 입력 단자는 제1 트랜지스터의 게이트에 전기적으로 접속되고, 인버터 회로의 출력 단자는 제2 트랜지스터의 게이트에 전기적으로 접속된다. 제1 트랜지스터 내지 제3 트랜지스터 각각의 채널 영역은 산화물 반도체를 포함한다. 제1 트랜지스터 내지 제3 트랜지스터 각각의 오프 전류는 $1 \text{ aA}/\mu\text{m}$ 이하이다.

[0013] 본 발명의 한 실시형태는, 복수의 게이트 신호선, 복수의 소스 신호선, 게이트 신호선과 소스 신호선이 서로 교차하는 영역에 제공된 화소, 및 복수의 게이트 신호선에 전기적으로 접속된 게이트 드라이버 회로를 포함하는 표시 장치이다. 게이트 드라이버 회로는, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 인버터 회로를 포함한다. 제1 트랜지스터의 제1 단자는 제1 배선에 전기적으로 접속되고, 제1 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속되고, 제2 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제3 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속된다; 제3 트랜지스터의 제2 단자는 제1 트랜지스터의 게이트에 전기적으로 접속된다; 그리고 제3 트랜지스터의 게이트는 제4 배선에 전기적으로 접속된다. 인버터 회로의 입력 단자는 제1 트랜지스터의 게이트에 전기적으로 접속되고, 인버터 회로의 출력 단자는 제2 트랜지스터의 게이트에 전기적으로 접속된다. 제1 트랜지스터 내지 제3 트랜지스터 각각의 채널 영역은 산화물 반도체를 포함한다. 제1 트랜지스터 내지 제3 트랜지스터 각각의 오프 전류는 $1 \text{ aA}/\mu\text{m}$ 이하이다.

[0014] 본 발명의 한 실시형태는, 복수의 게이트 신호선, 복수의 소스 신호선, 게이트 신호선과 소스 신호선이 서로 교차하는 영역에 제공된 화소, 및 복수의 게이트 신호선에 전기적으로 접속된 게이트 드라이버 회로를 포함하는 표시 장치이다. 게이트 드라이버 회로는, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 및 인버터 회로를 포함한다. 제1 트랜지스터의 제1 단자는 제1 배선에 전기적으로 접속되고, 제1 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제2 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속되고, 제2 트랜지스터의 제2 단자는 제2 배선에 전기적으로 접속된다. 제3 트랜지스터의 제1 단자는 제4 배선에 전기적으로 접속된다; 제3 트랜지스터의 제2 단자는 제1 트랜지스터의 게이트에 전기적으로 접속된다; 그리고 제3 트랜지스터의 게이트는 제4 배선에 전기적으로 접속된다. 제4 트랜지스터의 제1 단자는 제3 배선에 전기적으로 접속된다; 제4 트랜지스터의 제2 단자는 제1 트랜지스터의 게이트에 전기적으로 접속된다; 그리고 제4 트랜지스터의 게이트는 제5 배선에 전기적으로 접속된다. 인버터 회로의 입력 단자는 제1 트랜지스터의 게이트에 전기적으로 접속되고, 인버터 회로의 출력 단자는 제2 트랜지스터의 게이트에 전기적으로 접속된다. 제1 트랜지스터 내지 제4 트랜지스터 각각의 채널 영역은 산화물 반도체를 포함한다. 제1 트랜지스터 내지 제4 트랜지스터 각각의 오프 전류는 $1 \text{ aA}/\mu\text{m}$ 이하이다.

[0015] 본 발명의 한 실시형태는, 표시 장치와 이 표시 장치의 화상을 제어하는 조작 스위치를 포함하는 전자 장치이다.

[0016] 본 명세서 등에서, 어떤 대상이 명시적으로 단수 형태로 기재되면, 그 대상은 단수인 것이 바람직하다. 그러나, 본 발명은 이것으로 한정되는 것은 아니며, 그 대상은 복수가 될 수 있다. 마찬가지로, 어떤 대상이 명시적으로 복수 형태로 기재되면, 그 대상은 복수인 것이 바람직하다. 그러나, 본 발명은 이것으로 한정되는 것은 아니며, 그 대상은 단수가 될 수 있다.

[0017] 본 명세서 등에서, "제1", "제2", 및 "제3" 등의 용어는, 다양한 요소, 부재, 영역, 층, 및 구역을 다른 것들과 구별하기 위해 사용된다. 따라서, "제1", "제2", 및 "제3" 등의 용어는, 요소, 부재, 영역, 층, 구역 등의 수를 한정하는 것은 아니다. 또한, 예를 들어, 용어 "제1"은, 용어 "제2", "제3" 등으로 대체할 수 있다.

[0018] 본 발명의 한 실시형태에서, 채널 영역이 산화물 반도체를 포함하는 트랜지스터가 풀다운 트랜지스터로서 이용된다. 따라서, 풀다운 트랜지스터에서의 핫 캐리어가 억제될 수 있다. 따라서, 풀다운 트랜지스터로서 역할하는 트랜지스터의 수가 저감될 수 있다. 따라서, 풀다운 트랜지스터의 온-오프를 제어하기 위한 회로의 크기가 작게 될 수 있다. 결과적으로, 풀다운 트랜지스터를 포함하는 반도체 장치의 회로 크기가 작게 될 수 있다.

[0019] 또한, 본 발명의 한 실시형태에서, 풀업 트랜지스터의 게이트는, 채널 영역이 산화물 반도체를 포함하는 트랜지스터의 온-오프의 스위칭에 의해 플로팅 상태로 된다. 따라서, 풀업 트랜지스터의 게이트에 축적된 전하가 장기간 유지될 수 있다. 따라서, 풀업 트랜지스터를 포함하는 반도체 장치의 구동 주파수가 낮아질 수 있다. 또한, 반도체 장치가 동작할 수 있는 구동 주파수의 범위가 넓어질 수 있다. 따라서, 반도체 장치의 구동 능력이 향상될 수 있다.

도면의 간단한 설명

[0020] 첨부된 도면에서:

도 1a 및 도 1b는 실시형태 1의 회로 구조를 나타낸다;

도 2a는 실시형태 1의 회로의 동작을 나타내는 타이밍도이고, 도 2b는 실시형태 1의 회로의 동작을 나타내는 개략도이다;

도 3a 및 도 3b는 실시형태 1의 회로의 동작을 나타내는 개략도이다;

도 4a 및 도 4b는 실시형태 1의 회로의 동작을 나타내는 개략도이다;

도 5a 내지 도 5c는 실시형태 1의 회로의 구조를 나타낸다;

도 6a 내지 도 6c는 실시형태 1의 회로의 구조를 나타낸다;

도 7a 및 도 7b는 실시형태 1의 회로의 구조를 나타낸다;

도 8a 내지 도 8c는 실시형태 1의 회로의 구조를 나타낸다;

도 9a 및 도 9b는 실시형태 1의 회로의 동작을 나타내는 타이밍도이다;

도 10a 내지 도 10d는 실시형태 1의 회로의 구조를 나타낸다;

도 11은 실시형태 2의 시프트 레지스터 회로의 구조를 나타낸다;

도 12는 실시형태 2의 시프트 레지스터 회로의 동작을 나타내는 타이밍도이다;

도 13a 내지 도 13d는 실시형태 3의 트랜지스터를 제조하는 단계를 나타내는 도면의 예이다;

도 14a 내지 도 14c는 실시형태 4의 표시 장치의 구조를 나타낸다;

도 15a 내지 도 15h는 본 발명의 기술적 사상을 실현하기 위한 장치를 나타낸다;

도 16a 내지 도 16h는 본 발명의 기술적 사상을 실현하기 위한 장치를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0021] 도면들을 참조하여 이하에서 실시형태들을 설명한다. 실시형태들은 다양한 상이한 방식으로 구현될 수 있다는 점에 유의한다. 당업자라면 실시형태들의 형태와 상세사항은 본 발명의 사상과 범위로부터 벗어나지 않고도 다양한 방식으로 변경될 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 실시형태들의 설명으로 한정되는 것으로 해석되어서는 안 된다. 이하에서 설명되는 구조들에서, 동일한 부분 또는 유사한 기능을 갖는 부분은, 상이한 도면들에서 공통의 참조 번호들로 표기되며, 그 상세한 설명은 반복되지 않는다는 점에 유의한다. 참조 도면에서, 크기, 층의 두께, 또는 영역은, 일부 경우에는 명료성을 위해 과장되어 있다. 따라서, 본 발명의 실시형태는 이러한 스케일로 한정되지 않는다.

[0022] (실시형태 1)

[0023] 본 실시형태에서, 본 발명의 한 실시형태인 표시 장치의 회로를 설명한다.

[0024] 도 1a는 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 및 회로(200)를 포함하는 회로의 구조예를 나타낸다. 도 1a에 나타낸 회로에 포함된 트랜지스터들은 n채널 트랜지스터

이다. 게이트와 소스 사이의 전위차가 임계 전압보다 높을 때 n채널 트랜지스터가 온으로 된다.

[0025] 도 1a에 나타낸 회로에 포함된 트랜지스터의 반도체층에 대해서 산화물 반도체가 이용될 수 있다는 점에 유의한다. 산화물 반도체는, 수소 농도를 충분히 저감하여 고순도화되고 충분히 낮은 캐리어 밀도를 갖는 진성(i형) 또는 실질적으로 진성인 산화물 반도체인 것이 바람직하다. 산화물 반도체를 이용하여, 트랜지스터의 임계이하스윙이 저감될 수 있다. 트랜지스터의 오프 전류가 저감될 수 있다. 트랜지스터의 내압(withstand voltage)이 향상될 수 있다. 트랜지스터의 온도 특성이 향상될 수 있다. 트랜지스터의 열화가 억제될 수 있다. 구체적으로는, 트랜지스터의 임계 전압의 변동량이 저감될 수 있다.

[0026] 일부의 트랜지스터의 반도체층에 대해 산화물 반도체가 이용될 수 있고, 그 이외의 트랜지스터의 반도체층에 대해 산화물 반도체와는 상이한 반도체(예를 들어, 실리콘(아몰퍼스 실리콘, 미결정 실리콘, 또는 다결정 실리콘 등), 유기 반도체 등)이 이용될 수 있다는 점에 유의한다. 적어도 소스 또는 드레인이 트랜지스터(101)의 게이트에 접속되는 트랜지스터의 반도체층에 대해 산화물 반도체가 이용된다는 점에 유의한다.

[0027] 도 1a에 나타낸 회로의 접속 관계를 설명한다. 트랜지스터(101)의 제1 단자는 배선(111)에 접속된다. 트랜지스터(101)의 제2 단자는 배선(112)에 접속된다. 트랜지스터(102)의 제1 단자는 배선(113)에 접속된다. 트랜지스터(102)의 제2 단자는 배선(112)에 접속된다. 트랜지스터(103)의 제1 단자는 배선(113)에 접속된다. 트랜지스터(103)의 제2 단자는 트랜지스터(101)의 게이트에 접속된다. 트랜지스터(103)의 게이트는 트랜지스터(102)의 게이트에 접속된다. 트랜지스터(104)의 제1 단자는 배선(114)에 접속된다. 트랜지스터(104)의 제2 단자는 트랜지스터(101)의 게이트에 접속된다. 트랜지스터(104)의 게이트는 배선(114)에 접속된다. 트랜지스터(105)의 제1 단자는 배선(113)에 접속된다. 트랜지스터(105)의 제2 단자는 트랜지스터(101)의 게이트에 접속된다. 트랜지스터(105)의 게이트는 배선(115)에 접속된다. 회로(200)의 입력 단자는 트랜지스터(101)의 게이트에 접속된다. 회로(200)의 출력 단자는 트랜지스터(102)의 게이트에 접속된다. 트랜지스터(101)의 게이트는 노드(11)로 나타내고, 트랜지스터(102)의 게이트는 노드(12)로 나타낸다는 점에 유의한다. 회로(200)는 그 구조에 따라 주어진 배선이나 주어진 노드에 접속될 수 있자는 점에 유의한다. 예를 들어, 회로(200)는 배선(111), 배선(112), 배선(113), 배선(114), 배선(115), 노드(11), 및 노드(12) 중 하나 이상에 접속될 수 있다.

[0028] 트랜지스터의 소스 및 드레인은 트랜지스터의 구조, 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스인지 또는 드레인인지를 정의하는 것은 어렵다는 점에 유의한다. 따라서, 본 문서에서, 소스 및 드레인 중 하나는 제1 단자라 부르고, 그 다른 하나는 제2 단자라 부른다.

[0029] 도 1b를 참조하여 회로(200)의 구조의 예를 설명한다. 회로(200)는, 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 트랜지스터(204)를 포함한다. 트랜지스터(201)의 제1 단자는 배선(116)에 접속된다. 트랜지스터(201)의 제2 단자는 노드(12)에 접속된다. 트랜지스터(202)의 제1 단자는 배선(113)에 접속된다. 트랜지스터(202)의 제2 단자는 노드(12)에 접속된다. 트랜지스터(202)의 게이트는 노드(11)에 접속된다. 트랜지스터(203)의 제1 단자는 배선(116)에 접속된다. 트랜지스터(203)의 제2 단자는 트랜지스터(201)의 게이트에 접속된다. 트랜지스터(203)의 게이트는 배선(116)에 접속된다. 트랜지스터(204)의 제1 단자는 배선(113)에 접속된다. 트랜지스터(204)의 제2 단자는 트랜지스터(201)의 게이트에 접속된다. 트랜지스터(204)의 게이트는 노드(11)에 접속된다.

[0030] 배선(111)에는 클록 신호가 입력된다. 배선(112)에는 본 실시형태의 회로의 출력 신호가 입력된다. 배선(113)에는 전압 V_2 가 공급된다. 배선(114)에는 스타트 펄스가 입력된다. 배선(115)에는 리셋 신호가 입력된다. 배선(116)에는 전압 V_1 이 공급된다. 여기서, 배선(111), 배선(112), 배선(114) 및 배선(115)에 입력되는 신호의 H-레벨의 전위는 편의상 전위 V_1 이라 부르고, 배선(111), 배선(112), 배선(114), 및 배선(115)에 입력되는 신호의 L-레벨의 전위는 편의상 전위 V_2 라고 부른다.

[0031] 배선(111)은, 콘트롤러 등의 외부 회로로부터 본 실시형태의 회로에 클록 신호 등의 신호를 전송하는 데 이용된다. 배선(111)은 신호선 또는 클록 신호선으로서 기능한다. 배선(112)은, 본 실시형태의 회로의 출력 신호를 화소 회로 또는 디멀티플렉서 등의 회로에 전송하는 데 이용된다. 배선(112)은 신호선 또는 게이트 신호선으로서 기능한다. 배선(113)은, 전원 회로 등의 외부 회로로부터 본 실시형태의 회로에 전압 V_2 등의 전원 전압을 공급하는 데 이용된다. 배선(113)은 전원선, 부(negative) 전원선, 또는 접지선으로서 기능한다. 배선(114)은, 타이밍 콘트롤러 등의 외부 회로 또는 또 다른 회로로부터 본 실시형태의 회로에 스타트 신호를 전송하는 데 이용된다. 배선(114)은 신호선으로서 기능한다. 배선(115)은, 타이밍 콘트롤러 등의 외부 회로 또는 또 다른 회로로부터 본 실시형태의 회로에 리셋 신호를 전송하는 데 이용된다. 배선(115)은 신호선으로서

기능한다. 배선(116)은, 전원 회로 등의 외부 회로로부터 본 실시형태의 회로에 전압 V_1 등의 전원 전압을 공급하는 데 이용된다. 배선(116)은 전원선 또는 정(positive) 전원선으로서 기능한다.

[0032] 트랜지스터(101)는 배선(111)과 배선(112) 사이의 전기적 연속성(electrical continuity)을 제어하기 위한 스위치로서 기능한다. 또한, 트랜지스터(101)는 트랜지스터(101)의 제2 단자와 게이트 사이의 용량 결합에 의해 노드(11)의 전위를 상승시키는 타이밍을 제어하는 기능을 가진다. 트랜지스터(102)는 배선(113)과 배선(112) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다. 트랜지스터(103)는 배선(113)과 노드(11) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다. 트랜지스터(104)는 배선(114)과 노드(11) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다. 또한, 트랜지스터(104)는, 배선(114)에 접속된 입력 단자와 노드(11)에 접속된 출력 단자를 갖춘 다이오드로서 기능한다. 트랜지스터(105)는 배선(113)과 노드(11) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다. 또한, 트랜지스터(201)는 트랜지스터(201)의 제2 단자와 게이트 사이의 용량 결합에 의해 노드(21)의 전위를 상승시키는 타이밍을 제어하는 기능을 가진다. 트랜지스터(202)는 배선(113)과 노드(12) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다. 트랜지스터(203)는 배선(116)과 노드(12) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다. 또한, 트랜지스터(203)는, 배선(116)에 접속된 입력 단자와 노드(21)에 접속된 출력 단자를 갖춘 다이오드로서 기능한다. 트랜지스터(204)는 배선(113)과 노드(21) 사이의 전기적 연속성을 제어하기 위한 스위치로서 기능한다.

[0033] 회로(200)는, 노드(12)의 전위와 트랜지스터(102) 및 트랜지스터(103)의 온-오프를 제어하는 제어 회로로서 기능한다. 또한, 회로(200)는, 노드(11)의 전위를 반전하고 반전된 전위를 노드(12)에 출력하는 인버터 회로로서 기능한다.

[0034] 그 다음, 도 1a 및 도 1b의 회로의 동작의 예를 도 2a의 타이밍도를 참조하여 설명한다. 여기서, 예를 들어, 도 1b의 회로를 설명한다. 도 2a의 타이밍도는 기간 A, 기간 B, 기간 C, 및 기간 D를 포함한다.

[0035] 기간 A에서, 배선(111)의 전위(전위 V_{111})는 V_2 이다; 배선(114)의 전위(전위 V_{114})는 V_1 이다; 그리고, 배선(115)의 전위(전위 V_{115})는 V_2 이다. 따라서, 트랜지스터(104)는 온으로 되어, 배선(114)과 노드(11) 사이의 전기적 연속성이 설정된다. 트랜지스터(105)는 오프로 된다. 이 때, 회로(200)는 노드(12)의 전위(전위 V_{12})를 V_2 로 설정한다. 따라서, 트랜지스터(102)는 오프로 되어, 배선(113)과 배선(112) 사이의 전기적 연속성이 설정되지 않는다. 트랜지스터(103)는 오프로 되어, 배선(113)과 노드(11) 사이의 전기적 연속성이 설정되지 않는다. 따라서, 배선(114)의 전위가 노드(11)에 공급되어, 노드(11)의 전위(전위 V_{11})가 상승하기 시작한다. 그 다음, 노드(11)의 전위가 $V_2 + V_{th101}$ (V_{th101} 는 트랜지스터(101)의 임계 전압을 나타냄)을 초과한다. 따라서, 트랜지스터(101)는 온으로 되어, 배선(111)과 배선(112) 사이의 전기적 연속성이 설정된다. 따라서, 배선(111)의 전위가 배선(112)에 공급되어, 배선(112)의 전위(전위 V_{112})가 V_2 가 된다(도 2b 참조).

[0036] 그 후, 노드(11)의 전위는 계속 상승한다. 그 다음, 노드(11)의 전위는 $V_1 - V_{th104}$ (V_{th104} 는 트랜지스터(104)의 임계 전압을 나타냄)에 도달한다. 따라서, 트랜지스터(104)는 오프로 되어, 배선(114)과 노드(11) 사이의 전기적 연속성이 설정되지 않는다. 따라서, 노드(11)는 플로팅 상태로 되어, 노드(11)의 전위는 $V_1 - V_{th104}$ ($V_1 - V_{th104}$ 는 $V_2 + V_{th101}$ 보다 높음)에 유지된다(도 3a 참조).

[0037] 기간 B에서, 배선(111)의 전위는 V_1 이다; 배선(114)의 전위는 V_2 이다; 그리고, 배선(115)의 전위는 V_2 이다. 따라서, 트랜지스터(104)는 오프로 유지되어, 배선(114)과 노드(11) 사이의 전기적 연속성이 미설정에 머문다. 트랜지스터(105)는 오프로 유지된다. 이 때, 회로(200)는 노드(12)의 전위를 V_2 로 계속 설정한다. 따라서, 트랜지스터(102)는 오프로 유지되어, 배선(113)과 배선(112) 사이의 전기적 연속성이 미설정에 머문다. 트랜지스터(103)는 오프로 유지되어, 배선(113)과 노드(11) 사이의 전기적 연속성이 미설정에 머문다. 따라서, 노드(11)은 플로팅 상태로 유지되어, 노드(11)의 전위는 $V_1 - V_{th104}$ 에 유지된다. 따라서, 트랜지스터(101)는 온으로 유지되어, 배선(111)과 배선(112) 사이의 전기적 연속성이 설정으로 유지된다. 이 때, 배선(111)의 전위는 V_1 이다. 따라서, 배선(112)의 전위는 상승하기 시작한다. 그 다음, 노드(11)는 플로팅 상태에 있기 때문에, 노드(11)의 전위는 게이트와 트랜지스터(101)의 제2 단자 사이의 기생 용량에 의해 상승하기 시작한다. 최종적으로, 노드(11)의 전위는 $V_1 + V_{th101} + V_a$ (V_a 는 양의 전위)에 도달한다. 따라서, 배선(112)의 전위는 V_1 까지 상승할

수 있다(도 3b 참조). 이러한 동작은 부트스트랩 동작이라 부른다.

[0038] 기간 C에서, 배선(111)의 전위는 V_2 이다; 배선(114)의 전위는 V_2 에 유지된다; 그리고, 배선(115)의 전위는 V_1 이다. 따라서, 트랜지스터(104)는 오프로 유지되어, 배선(114)과 노드(11) 사이의 전기적 연속성이 미설정에 머문다. 따라서, 트랜지스터(105)는 온으로 되어, 배선(113)과 노드(11) 사이의 전기적 연속성이 설정된다. 따라서, 배선(113)의 전위가 노드(11)에 공급되어, 노드(11)의 전위가 V_2 가 된다. 따라서, 트랜지스터(101)는 오프로 되어, 배선(111)과 배선(112) 사이의 전기적 연속성이 설정되지 않는다. 이 때, 회로(200)는 노드(12)의 전위를 V_1 로 설정한다. 따라서, 트랜지스터(102)는 온으로 되어, 배선(113)과 배선(112) 사이의 전기적 연속성이 설정된다. 따라서, 트랜지스터(103)는 온으로 되어, 배선(113)과 노드(11) 사이의 전기적 연속성이 설정된다. 따라서, 배선(113)의 전위가 배선(112)에 공급되어, 배선(112)의 전위가 V_2 가 된다(도 4a 참조).

[0039] 기간 D에서, 배선(111)의 전위는 V_1 과 V_2 를 차례로 반복한다; 배선(114)의 전위는 V_2 에 유지된다; 그리고, 배선(115)의 전위는 V_2 이다. 따라서, 트랜지스터(104)는 오프로 유지되어, 배선(114)과 노드(11) 사이의 전기적 연속성이 미설정에 머문다. 트랜지스터(105)는 오프로 되어, 배선(113)과 노드(11) 사이의 전기적 연속성이 설정되지 않는다. 이 때, 회로(200)는 노드(12)의 전위를 계속 V_1 로 설정한다. 따라서, 트랜지스터(102)는 온으로 유지되어, 배선(113)과 배선(112) 사이의 전기적 연속성이 설정으로 유지된다. 트랜지스터(103)는 온으로 유지되어, 배선(113)과 노드(11) 사이의 전기적 연속성이 설정으로 유지된다. 따라서, 배선(113)의 전위가 노드(11)에 계속 공급되어, 노드(11)의 전위가 V_2 에 유지된다. 따라서, 트랜지스터(101)는 오프로 유지되어, 배선(111)과 배선(112) 사이의 전기적 연속성이 미설정에 머문다. 따라서, 배선(113)의 전위가 배선(112)에 계속 공급되어, 배선(112)의 전위가 V_2 에 유지된다(도 4b 참조).

[0040] 그 다음, 회로(200)의 동작을 구체적으로 설명한다. 예를 들어, 노드(11)의 전위는, $V_2 + V_{th202}$ (V_{th202} 는 트랜지스터(202)의 임계 전압을 나타냄) 이상이고, $V_2 + V_{th204}$ (V_{th204} 는 트랜지스터(204)의 임계 전압을 나타냄) 이상이다. 따라서, 트랜지스터(202)는 온으로 되어, 배선(113)과 노드(12) 사이의 전기적 연속성이 설정된다. 따라서, 트랜지스터(204)는 온으로 되어, 배선(113)과 노드(21) 사이의 전기적 연속성이 설정된다. 이 때, 트랜지스터(203)는 온으로 되어, 배선(116)과 노드(21) 사이의 전기적 연속성이 설정된다. 노드(21)에는 배선(116)의 전위와 배선(113)의 전위가 공급되어, 노드(21)의 전위(전위 V_{21})는 V_2 보다 높고 V_1 보다 낮다. 노드(21)의 전위는, 트랜지스터(203)의 전류 공급 능력(예를 들어, 채널 길이, 채널폭, 이동도)과 트랜지스터(204)의 전류 공급 능력에 의해 결정된다. 여기서, 노드(21)의 전위는 $V_2 + V_{th201}$ (V_{th201} 는 트랜지스터(201)의 임계 전압을 나타냄) 보다 낮다. 따라서, 트랜지스터(201)는 오프로 되어, 배선(116)과 노드(12) 사이의 전기적 연속성이 설정되지 않는다. 따라서, 배선(113)의 전위가 노드(12)에 공급되어, 노드(12)의 전위가 V_2 가 된다(예를 들어, 기간 A 및 기간 B).

[0041] 대조적으로, 예를 들어, 노드(11)의 전위는 $V_2 + V_{th202}$ 미만이며 $V_2 + V_{th204}$ 미만이다. 따라서, 트랜지스터(202)는 오프로 되어, 배선(113)과 노드(12) 사이의 전기적 연속성이 설정되지 않는다. 트랜지스터(204)는 오프로 되어, 배선(113)과 노드(21) 사이의 전기적 연속성이 설정되지 않는다. 이 때, 트랜지스터(203)는 온으로 되어, 배선(116)과 노드(21) 사이의 전기적 연속성이 설정된다. 따라서, 배선(116)의 전위가 노드(21)에 공급되어, 노드(21)의 전위가 상승한다. 최종적으로, 노드(21)의 전위는 $V_1 + V_{th201} + V_b$ (V_b 는 양의 전위)가 된다. 따라서, 트랜지스터(201)는 온으로 되어, 배선(116)과 노드(12) 사이의 전기적 연속성이 설정된다. 따라서, 배선(116)의 전위가 노드(12)에 공급되어, 노드(12)의 전위가 V_1 이 된다(예를 들어, 기간 C 및 기간 D).

[0042] 전술된 바와 같이, 도 1a 및 도 1b에 나타낸 회로에서, 배선(112)의 전위는 부트스트랩 동작에 의해 배선(111)의 전위와 같게 될 수 있다. 또한, 기간 B에서, 트랜지스터(101)의 게이트와 소스와의 사이의 전위차(V_{gs})가 증가될 수 있어서, V_{112} 의 상승 시간이 단축될 수 있다.

[0043] 종래의 반도체 장치에서, 트랜지스터의 임계이하 스윙이 크다는 점에 유의한다. 따라서, 배선(114)의 전위가 V_1 인 때로부터 트랜지스터(104)가 온으로 될 때까지 더 긴 시간이 걸린다. 또한, 종래의 반도체 장치의 문제는 다음과 같다. 기간 A의 길이는 더 길게 될 필요가 있다; 따라서, 구동 주파수를 높이는 것이 어렵다. V_{112} 의 상승 시간은 길다(출력 신호의 상승 시간은 길다). 배선(112)에 접속될 수 있는 부하는 감소된다. 트랜지스터

(101)의 채널 길이는 증가된다. 레이아웃 면적은 증가된다.

[0044] 대조적으로, 본 실시형태에서는, 트랜지스터의 임계이하 스윙은 작다. 따라서, 구동 능력이 향상될 수 있다. 예를 들어, 트랜지스터(104)의 임계이하 스윙이 작을 때, 배선(114)의 전위가 V_1 인 때로부터 트랜지스터(104)가 온으로 될 때까지의 시간을 단축할 수 있다. 따라서, 기간 A의 길이는 단축될 수 있다. 따라서, 구동 주파수가 향상될 수 있다. 또 다른 예로서, 트랜지스터(104)의 임계이하 스윙이 작으면, 배선(112)의 전위의 상승 시간을 단축할 수 있다. 또한, 큰 부하가 배선(112)에 접속되더라도, 그 부하가 구동될 수 있다. 또한, 트랜지스터(101)의 채널 길이가 감소될 수 있다; 따라서, 레이아웃 면적이 감소될 수 있다.

[0045] 종래의 반도체 장치에서, 트랜지스터의 오프 전류는 높다는 점에 유의한다. 따라서, 시간이 경과함에 따라 노드(11)로부터 소실되는 전하의 양이 크다. 또한, 종래의 반도체 장치의 문제는 다음과 같다. 노드(11)의 전위가 감소된다. 노드(11)의 전위가 트랜지스터(101)를 온으로 하는 전위보다 높게 유지될 수 있는 시간은 짧다. 구동 주파수를 낮추는 것이 어렵다. 반도체 장치가 동작할 수 있는 구동 주파수의 범위가 좁아진다.

[0046] 대조적으로, 본 실시형태에서는, 트랜지스터의 오프 전류가 낮다. 따라서, 구동 능력이 향상될 수 있다. 예를 들어, 트랜지스터(103), 트랜지스터(104), 및 트랜지스터(105)의 오프 전류가 낮으면, 노드(11)로부터 소실되는 전하의 양이 감소될 수 있다. 따라서, 노드(11)의 전위의 감소가 억제될 수 있다. 즉, 노드(11)의 전위가 트랜지스터(101)를 온으로 하는 전위보다 높게 유지될 수 있는 시간이 연장될 수 있다. 따라서, 구동 주파수가 낮아질 수 있다; 따라서, 반도체 장치가 동작할 수 있는 구동 주파수의 범위가 넓어질 수 있다.

[0047] 종래의 반도체 장치에서는, 트랜지스터가 쉽게 열화되고 트랜지스터의 임계 전압의 변동량이 크다는 점에 유의한다. 따라서, 트랜지스터는 반복적으로 온 및 오프되도록 구동된다. 또한, 종래의 반도체 장치의 문제는 다음과 같다. 2개의 트랜지스터가 병렬 접속되고 교대로 온으로 된다. 트랜지스터의 온-오프를 제어하기 위한 회로는 복잡하다. 트랜지스터의 수가 증가된다. 트랜지스터의 열화를 억제하기 위하여, 트랜지스터의 채널폭을 크게 할 필요가 있다. 또한, 트랜지스터의 열화를 억제하기 위하여, 트랜지스터의 채널 길이를 길게 할 필요가 있다. 레이아웃 면적이 증가된다.

[0048] 대조적으로, 본 실시형태에서는, 트랜지스터의 임계 전압의 변동량은 작다. 따라서, 구동 능력이 향상될 수 있다. 예를 들어, 트랜지스터(102) 및 트랜지스터(103)의 임계 전압의 변동량이 작으면, 이들 트랜지스터들이 온으로 되어 있는 시간이 연장될 수 있다. 따라서, 트랜지스터(102) 및 트랜지스터(103)의 온-오프를 제어하기 위한 회로가 단순화될 수 있다. 따라서, 트랜지스터의 수가 감소될 수 있다; 따라서, 레이아웃 면적이 감소될 수 있다. 또한, 트랜지스터(102) 및 트랜지스터(103)의 임계 전압의 변동량이 작으면, 이들 트랜지스터들의 채널폭 또는 채널 길이가 감소될 수 있다. 따라서, 레이아웃 면적이 감소될 수 있다. 또한, 트랜지스터들의 임계 전압의 변동량이 작으면, 반도체 장치가 동작할 수 있는 시간이 연장될 수 있다.

[0049] 본 발명의 한 실시형태인 표시 장치의 회로는, 도 1a 및 도 1b의 회로로 한정되지 않는다. 다양한 구조를 갖는 회로가 이용될 수 있다. 회로들의 예를 이하에서 설명한다.

[0050] 예를 들어, 도 1a 및 도 1b에 나타낸 회로에서, 회로(200)의 입력 단자는 도 5a에 나타낸 바와 같이 배선(112)에 접속될 수 있다. 구체적으로는, 트랜지스터(202)의 게이트 및 트랜지스터(204)의 게이트는 배선(112)에 접속될 수 있다. 도 5a는, 도 1a에 나타낸 회로에서 회로(200)의 입력 단자가 배선(112)에 접속되는 경우를 나타낸다는 점에 유의한다.

[0051] 또 다른 예로서, 도 1a 및 도 1b와 도 5a에 나타낸 회로에서, 도 5b에 나타낸 바와 같이, 트랜지스터(103)의 제1 단자는 배선(112)에 접속되고, 트랜지스터(103)의 게이트는 배선(111)에 접속될 수 있다. 트랜지스터(103)가 온으로 되어 있는 시간이 단축될 수 있어서, 트랜지스터(103)의 열화가 억제될 수 있다. 또한, 기간 B에서, 노드(11)의 전위가 너무 높아지는 것이 방지될 수 있다. 따라서, 예를 들어, 노드(11)에 전기적으로 접속된 트랜지스터(예를 들어, 트랜지스터(101), 트랜지스터(104), 트랜지스터(105), 또는 회로(200)에 포함된 트랜지스터)가 손상되거나 열화되는 것이 방지될 수 있다. 도 5b는, 도 1a에 나타낸 회로에서, 트랜지스터(103)의 제1 단자가 배선(112)에 접속되고, 트랜지스터(103)의 게이트가 배선(111)에 접속되는 경우를 나타낸다는 점에 유의한다.

[0052] 또 다른 예로서, 도 1a 및 도 1b와 도 5a 및 도 5b에 나타낸 회로에서, 도 5c에 나타낸 바와 같이, 트랜지스터(104)의 제1 단자는 배선(116)에 접속될 수 있다. 도 5c는, 도 1a에 나타낸 회로에서 트랜지스터(104)의 제1 단자가 배선(116)에 접속되는 경우를 나타낸다는 점에 유의한다.

- [0053] 도 1a 및 도 1b와 도 5a 내지 도 5c에 나타낸 회로에는, 트랜지스터 및 용량 소자 등의 다양한 소자들이 제공될 수 있다. 회로들의 예를 이하에서 설명한다.
- [0054] 예를 들어, 도 1a 및 도 1b와 도 5a 내지 도 5c에 나타낸 회로에서, 도 6a에 나타낸 바와 같이 트랜지스터(121)가 제공될 수 있다. 트랜지스터(121)의 제1 단자는 배선(113)에 접속된다; 트랜지스터(121)의 제2 단자는 배선(112)에 접속된다; 그리고, 트랜지스터(121)의 게이트는 배선(115)에 접속된다. 기간 C에서, 트랜지스터(121)가 온으로 되어, 배선(113)의 전위가 배선(112)에 공급된다. 따라서, V112의 하강 시간이 단축될 수 있다. 도 6a는, 도 1a에 나타낸 회로에서 트랜지스터(121)가 제공되는 경우를 나타낸다는 점에 유의한다.
- [0055] 또 다른 예로서, 도 1a 및 도 1b와 도 5a 내지 도 6a에 나타낸 회로에서, 도 6b에 나타낸 바와 같이 트랜지스터(122)가 제공될 수 있다. 트랜지스터(122)의 제1 단자는 배선(113)에 접속된다; 트랜지스터(122)의 제2 단자는 노드(12)에 접속된다; 그리고, 트랜지스터(122)의 게이트는 배선(114)에 접속된다. 기간 A에서, 트랜지스터(122)가 온으로 되어, 배선(113)의 전위가 노드(12)에 공급된다. 따라서, V12의 하강 시간이 단축될 수 있어서, 트랜지스터(103)를 오프로 하는 타이밍이 더 빨라질 수 있다. 따라서, 노드(11)의 전위가 $V_1 - V_{th104}$ 에 도달할 수 있는 타이밍이 더 빨라질 수 있다; 따라서, 기간 A가 단축될 수 있다. 따라서, 구동 주파수가 상승될 수 있다. 도 6b는, 도 1a에 나타낸 회로에서 트랜지스터(122)가 제공되는 경우를 나타낸다는 점에 유의한다.
- [0056] 또 다른 예로서, 도 1a 및 도 1b와 도 5a 내지 도 5c와 도 6a 및 도 6b에 나타낸 회로에서, 도 6c에 나타낸 바와 같이 트랜지스터(123)가 제공될 수 있다. 트랜지스터(123)의 제1 단자는 배선(116)에 접속된다; 트랜지스터(123)의 제2 단자는 노드(12)에 접속된다; 그리고, 트랜지스터(123)의 게이트는 배선(115)에 접속된다. 기간 C에서, 트랜지스터(123)가 온으로 되어, 배선(116)의 전위가 노드(12)에 공급된다. 따라서, 기간 C에서, V12의 하강 시간이 단축될 수 있다. 따라서, 트랜지스터(102) 및 트랜지스터(103)를 온으로 하는 타이밍이 더 빨라질 수 있다. 따라서, 배선(113)의 전위를 배선(112)에 공급하는 타이밍이 더 빨라질 수 있다; 따라서, 배선(112)의 전위의 하강 시간이 단축될 수 있다. 도 6c는, 도 1a에 나타낸 회로에서 트랜지스터(123)가 제공되는 경우를 나타낸다는 점에 유의한다.
- [0057] 또 다른 예로서, 도 1a 및 도 1b와 도 5a 내지 도 5c와 도 6a 내지 도 6c에 나타낸 회로에서, 도 7a에 나타낸 바와 같이 트랜지스터(124) 및 트랜지스터(125)가 제공될 수 있다. 트랜지스터(124)의 제1 단자는 배선(111)에 접속된다; 트랜지스터(124)의 제2 단자는 배선(117)에 접속된다; 그리고, 트랜지스터(124)의 게이트는 노드(11)에 접속된다. 트랜지스터(125)의 제1 단자는 배선(113)에 접속된다; 트랜지스터(125)의 제2 단자는 배선(117)에 접속된다; 그리고, 트랜지스터(125)의 게이트는 노드(12)에 접속된다. 따라서, 배선(117)의 전위 및 배선(112)의 전위는 동일한 타이밍에서 변할 수 있다. 예를 들어, 배선(112) 및 배선(117) 중 하나는 부하에 접속되고, 배선(112) 및 배선(117) 중 다른 하나는 상이한 회로에 접속되는 것이 바람직하다. 트랜지스터(125)를 제공하지 않는 것도 가능하다는 점에 유의한다. 도 7a는, 도 1a에 나타낸 회로에서 트랜지스터(124) 및 트랜지스터(125)가 제공되는 경우를 나타낸다는 점에 유의한다.
- [0058] 또 다른 예로서, 도 1a 및 도 1b와 도 5a 내지 도 5c와 도 6a 내지 도 6c와 도 7a에 나타낸 회로에서, 도 7b에 나타낸 바와 같이 트랜지스터(101)의 게이트와 제2 단자 사이에는 용량 소자(126)가 제공될 수 있다. 용량 소자(126)는 트랜지스터(124)의 게이트와 제2 단자 사이에 제공될 수 있다는 점에 유의한다. 도 7b는, 도 1a에 나타낸 회로에서 용량 소자(126)가 제공되는 경우를 나타낸다는 점에 유의한다.
- [0059] 회로(200)의 구조는 도 1b에 나타낸 구조로 한정되지 않는다. 다양한 상이한 구조가 이용될 수 있다. 상이한 구조들의 예를 설명한다. 예를 들어, 도 8a에 나타낸 바와 같이, 트랜지스터(201) 및 트랜지스터(202)를 제공하지 않는 것도 가능하다. 도 8a에 나타낸 회로(200)에서, 트랜지스터(203)의 게이트는 도 8b에 나타낸 바와 같이 노드(12)에 접속될 수 있다는 점에 유의한다. 또한, 도 8a에 나타낸 회로(200)에서, 트랜지스터(203)의 게이트는 도 8c에 나타낸 바와 같이 배선(118)에 접속될 수 있다. 배선(118)에는, 배선(111)에 입력되는 신호의 반전에 의해 얻어진 신호(이러한 신호를 반전 클록 신호라 함), 또는 배선(111)에 입력되는 신호와는 위상이 어긋난 신호(예를 들어, 배선(111)에 입력되는 신호와 180° , 90° , 또는 45° 만큼 위상이 어긋난 신호)가 입력된다. 따라서, 배선(118)은 신호선, 클록 신호선, 또는 반전 클록 신호선으로서 기능한다. 회로(200)의 구조는, 회로(200)의 기능이 실현될 수 있는 한, 상기 구조로 한정되지 않는다는 점에 유의한다.
- [0060] 회로의 타이밍도는 도 2a에 나타낸 타이밍도로 한정되지 않는다. 다양한 타이밍도가 이용될 수 있다. 타이밍도의 예를 설명한다. 예를 들어, 배선(111)에 입력되는 신호는 도 9a에 나타낸 바와 같이, 비평형(non-

balanced)일 수 있다. 따라서, 기간 C에서, 배선(111)의 전위가 V_2 가 되는 타이밍보다, 배선(115)의 전위가 V_1 이 되는 타이밍이 늦을 수 있다. 따라서, V112의 하강 시간이 단축될 수 있다. 또 다른 예로서, 배선(111)에 입력되는 신호는 도 9b에 나타낸 바와 같이, 다상 클록 신호(multiphase clock signal)일 수 있다. 따라서, 전력 소비가 절감될 수 있다. 도 9b는 배선(111)에 4상 클록 신호가 입력될 때의 타이밍도의 예임에 유의한다.

[0061] 트랜지스터(101)의 W/L(W : 채널폭, L : 채널 길이) 비(ratio)는, 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 및 트랜지스터(105)의 W/L 비보다 높은 것이 바람직하다. 구체적으로는, 트랜지스터(101)의 W/L 비는, 트랜지스터(104)의 W/L 비의 1.5 내지 10배인 것이 바람직하다. 더 바람직하게는, 트랜지스터(101)의 W/L 비는, 트랜지스터(104)의 W/L 비의 1.8 내지 7배이다. 더욱 더 바람직하게는, 트랜지스터(101)의 W/L 비는, 트랜지스터(104)의 W/L 비의 2 내지 4배이다. 또한, 트랜지스터(102)의 부하(예를 들어, 배선(112))보다 트랜지스터(103)의 부하(예를 들어, 노드(11))가 작기 때문에, 트랜지스터(102)의 W/L비는 트랜지스터(103)의 W/L 비보다 높은 것이 바람직하다. 구체적으로는, 트랜지스터(102)의 W/L 비는, 트랜지스터(103)의 W/L 비의 1.5 내지 8배인 것이 바람직하다. 더 바람직하게는, 트랜지스터(102)의 W/L 비는, 트랜지스터(103)의 W/L 비의 2 내지 6배이다. 더욱 더 바람직하게는, 트랜지스터(102)의 W/L 비는, 트랜지스터(103)의 W/L 비의 2 내지 5배이다. 또한, 트랜지스터(102)의 채널 길이 및 트랜지스터(103)의 채널 길이 중 적어도 하나는, 트랜지스터(105)의 채널 길이보다 긴 것이 바람직하다. 구체적으로는, 트랜지스터(102)의 채널 길이 및 트랜지스터(103)의 채널 길이 중 적어도 하나는, 트랜지스터(105)의 채널 길이의 1 내지 4배인 것이 바람직하다. 더 바람직하게는, 트랜지스터(102)의 채널 길이 및 트랜지스터(103)의 채널 길이 중 적어도 하나는, 트랜지스터(105)의 채널 길이의 1.3 내지 3배이다. 더욱 더 바람직하게는, 트랜지스터(102)의 채널 길이 및 트랜지스터(103)의 채널 길이 중 적어도 하나는, 트랜지스터(105)의 채널 길이의 1.8 내지 2.5배이다.

[0062] 배선(111)의 폭은, 트랜지스터(101)의 채널폭, 트랜지스터(102)의 채널폭, 및 트랜지스터(104)의 채널폭 중 적어도 하나보다 작은 것이 바람직하다. 또한, 배선(111)의 폭은 배선(116)의 폭들 중 적어도 하나보다 큰 것이 바람직하다.

[0063] 본 실시형태에서 설명되는 회로들 중, 이하의 구조들의 각각이 본 발명의 한 실시형태로서 포함된다: 트랜지스터(101)와 트랜지스터(102)와 회로(200)를 포함하는 반도체 장치(도 10a 참조); 트랜지스터(101)와 트랜지스터(103)와 회로(200)를 포함하는 반도체 장치(도 10b 참조); 트랜지스터(101)와 트랜지스터(102)와 트랜지스터(103)와 회로(200)를 포함하는 반도체 장치(도 10c 참조); 트랜지스터(101)와 트랜지스터(102)와 트랜지스터(104)와 회로(200)를 포함하는 반도체 장치(도 10d 참조).

[0064] (실시형태 2)

[0065] 본 실시형태에서는, 본 발명의 한 실시형태인 표시 장치의 시프트 레지스터 회로를 설명한다. 본 실시형태의 시프트 레지스터 회로는 실시형태 1에서 설명된 회로들 중 임의의 회로를 포함할 수 있다. 또한, 본 실시형태의 시프트 레지스터 회로는, 게이트 드라이버 회로 및/또는 소스 드라이버 회로 등의 표시 장치의 드라이버 회로로서 이용될 수 있다.

[0066] 도 11은 N 개의(N 은 자연수) 회로(301)(회로 301_1 내지 301_N)를 포함하는 시프트 레지스터 회로의 구조예를 나타낸다. 실시형태 1에서 설명된 회로들 중 임의의 회로는 회로(301)로서 이용될 수 있다. 도 11은 도 1a에 나타낸 회로가 회로(301)로서 이용되는 예를 나타낸다.

[0067] 도 11에 나타낸 시프트 레지스터 회로의 접속 관계를 설명한다. 회로(301_i)(i 는 2이상 $N-1$ 미만의 자연수)의 접속 관계를 예로서 설명한다. 회로(301_i)는, 배선(311_i), 배선(311_i-1), 배선(311_i+1), 및 배선들(312 및 313) 중 하나, 및 배선(314)에 접속된다. 구체적으로는, 회로(301_i)에서, 배선(112)은 배선(311_i)에 접속된다; 배선(114)은 배선(311_i-1)에 접속된다; 배선(115)은 배선(311_i+1)에 접속된다; 배선(111)은 배선(312) 및 배선(313) 중 하나에 접속된다; 그리고, 배선(113)은 배선(314)에 접속된다. 회로(301_i)에서 배선(111)이 배선(312)에 접속되는 경우, 회로(301_i+1) 및 회로(301_i-1)에서 배선(111)은 배선(313)에 접속된다는 점에 유의한다. 회로(301_1)는, 배선(114)이 배선(315)에 접속된다는 점에서 회로(301_i)와 다르다. 회로(301_N)는, 배선(115)이 더미 회로(회로 301_D)의 출력 단자에 접속된다는 점에서 회로(301_i)와 다르다. 회로(301_D)의 구조로서, 회로(301)의 구조 또는 회로(301)의 구조의 일부와 유사한 구조가 이용될 수 있다는 점에 유의한다.

[0068] 도 11에 나타낸 시프트 레지스터 회로의 동작을 도 12의 타이밍도를 참조하여 설명한다.

[0069] 회로(301_i)의 동작을 예로서 설명한다. 우선, 배선(311_i-1)의 전위(전위 $V_{311_{i-1}}$)는 V_1 이다. 그러면, 회로

(301_i)는 실시형태 1에서 설명된 기간 A에서의 동작을 실시하여, 배선(311_i)의 전위(전위 V_{311_i})는 V_2 가 된다. 그 후, 배선(312)의 전위(전위 V_{312}) 및 배선(313)의 전위(전위 V_{313})가 반전된다. 그러면, 회로(301_i)는 실시형태 1에서 설명된 기간 B에서의 동작을 실시하여, 배선(311_i)의 전위는 V_1 이 된다. 그 후, 배선(312)의 전위 및 배선(313)의 전위가 반전되어, 배선(311_i+1)의 전위(전위 $V_{311_{i+1}}$)는 V_1 이 된다. 그러면, 회로(301_i)는 실시형태 1에서 설명된 기간 C에서의 동작을 실시하여, 배선(311_i)의 전위는 V_2 가 된다. 그 후, 회로(301_i)는, 배선(311_i-1)의 전위가 다시 V_1 이 될 때까지 실시형태 1에서 설명된 기간 D에서의 동작을 실시하여, 배선(311_i)의 전위는 V_2 에 유지된다. 회로(301_1)는, 배선(315)의 전위(전위 V_{315})가 V_1 이 되면 기간 A에서의 동작을 실시한다는 점에서 회로(301_i)와 다르다는 점에 유의한다. 또한, 회로(301_N)는, 회로(301_D)의 출력 신호가 V_1 이 되면 기간 C에서의 동작을 실시한다는 점에서 회로(301_i)와 다르다.

[0070] 전술된 바와 같이, 배선(311_1 내지 311_N)의 전위들(전위 V_{311_1} 내지 V_{311_N})이 순차적으로 V_1 이 될 수 있다. 실시형태에서 설명된 회로가 도 11에 나타낸 시프트 레지스터 회로에 이용될 때, 시프트 레지스터 회로는 실시형태 1에서 설명된 것과 유사한 이점을 가질 수 있다.

[0071] 배선(311)(배선(311_1) 내지 배선(311_N) 중 하나)에는 시프트 레지스터 회로의 출력 신호가 입력된다. 배선(312)에는 클록 신호가 입력된다. 배선(313)에는, 배선(312)에 입력되는 클록 신호와는 위상이 다른 클록 신호, 또는 배선(312)에 입력되는 클록 신호의 반전에 의해 얻어진 신호가 입력된다. 배선(314)에는 전압 V_2 가 공급된다. 배선(315)에는 스타트 신호가 입력된다.

[0072] 배선(311)은, 시프트 레지스터 회로의 출력 신호를 화소 회로 또는 디멀티플렉서 등의 회로에 전송하는 데 이용된다. 배선(311)은 신호선 또는 게이트 신호선으로서 기능한다. 배선(312) 및 배선(313) 각각은, 콘트롤러 등의 외부 회로로부터 본 실시형태의 시프트 레지스터 회로에 클록 신호 등의 신호를 전송하는 데 이용된다. 배선(312) 및 배선(313) 각각은 신호선 또는 클록 신호선으로서 기능한다. 배선(314)은, 전원 회로 등의 외부 회로로부터 본 실시형태의 시프트 레지스터 회로에 전압 V_2 등의 전원 전압을 공급하는 데 이용된다. 배선(314)은 전원선, 부전원선, 또는 접지선으로서 기능한다. 배선(315)은, 콘트롤러 등의 외부 회로로부터 본 실시형태의 시프트 레지스터 회로에 스타트 신호를 전송하는 데 이용된다. 배선(315)은 신호선으로서 기능한다.

[0073] (실시형태 3)

[0074] 본 실시형태에서는, 실시형태 1 또는 2에서 설명된 회로에 포함된 트랜지스터의 예를 설명한다. 구체적으로는, 채널 영역이 산화물 반도체를 포함하는 트랜지스터의 구조의 예와 그 제조 단계를 설명한다.

[0075] 산화물 반도체로서, 다음과 같은 산화물이 이용될 수 있다: 4 금속 원소의 산화물인 In-Sn-Ga-Zn-0계 산화물 반도체; 3 금속 원소의 산화물인 In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, 또는 Sn-Al-Zn-0계 산화물 반도체; 2 금속 원소의 산화물인 In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, 또는 In-Mg-0계 산화물 반도체; In-0계 산화물 반도체; Sn-0계 산화물 반도체; Zn-0계 산화물 반도체 등. 또한, 산화물 반도체에는 SiO_2 가 포함될 수도 있다.

[0076] 산화물 반도체에 대해, $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, m 은 자연수가 아님)로 표기되는 물질이 이용될 수 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co 등일 수 있다. $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, m 은 자연수가 아님)으로 표현되는 조성식의 산화물 반도체들 중에서, M으로서 Ga를 포함하는 산화물 반도체를 In-Ga-Zn-0계 산화물 반도체라고 부르며, In-Ga-Zn-0계 산화물 반도체의 박막을 또한 In-Ga-Zn-0계 막이라고 부른다. 또한, 본 명세서에서 In-Ga-Zn-0로 표현되는 산화물 반도체 재료는, $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$, m 은 자연수가 아님)이며, m 이 자연수가 아닌 ICP-MS나 RBS를 이용한 분석에 의해 확인할 수 있다.

[0077] 채널 영역이 산화물 반도체를 포함하는 트랜지스터의 제조 방법의 한 예를 도 13a 내지 도 13d를 참조하여 설명한다.

[0078] 도 13a 내지 도 13d는 트랜지스터의 단면 구조의 예를 나타낸다. 도 13d에 나타낸 트랜지스터(410)는 채널에 침형 구조(channel-etched structure)라 불리는 일종의 보텀 게이트 구조(bottom-gate structure)를 가진다.

- [0079] 도 13d에는 싱글-게이트 트랜지스터가 나타나 있지만, 필요하다면 복수의 채널 영역을 포함하는 멀티-게이트 트랜지스터가 형성될 수 있다.
- [0080] 이하, 도 13a 내지 도 13d를 참조하여 기판(400) 위에 트랜지스터(410)를 형성하는 단계들을 설명한다.
- [0081] 우선, 절연면을 갖는 기판(400) 위에 도전막이 형성된다. 그 다음, 제1 포토리소그래피 공정을 통해 게이트 전극층(411)이 형성된다.
- [0082] 절연면을 갖는 기판(400)으로서 이용될 수 있는 기판에 관해서는 특별한 제한이 없지만, 기판이, 적어도 이후에 실시되는 열 처리를 견디기에 충분히 높은 내열성(heat resistance)을 갖는 것이 필요하다. 예를 들어, 바륨 보로실리케이트 유리(barium borosilicate glass), 알루미노보로실리케이트 유리(aluminoborosilicate glass) 등을 포함하는 유리 기판이 이용될 수 있다. 이후에 실시되는 열 처리의 온도가 높은 경우에는, 그 변형점이 730°C 이상인 유리 기판이 이용되는 것이 바람직하다.
- [0083] 하지막(base film)으로서 역할하는 절연막이 기판(400)과 게이트 전극층(411) 사이에 제공될 수도 있다. 하지막은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막으로부터 선택된 하나 이상의 막을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0084] 게이트 전극층(411)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료; 또는 이들 금속 재료를 주성분으로서 포함하는 합금 재료를 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0085] 그 다음, 게이트 전극층(411) 위에 게이트 절연층(402)이 형성된다.
- [0086] 게이트 절연층(402)은, 플라즈마-강화 CVD, 스퍼터링 등에 의해, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 대안으로서, 게이트 절연층에 대해 산화 하프늄(HfO_x) 또는 산화 탄탈(TaO_x) 등의 하이-k(high-k) 재료가 이용될 수 있다. 게이트 절연층(402)의 두께는 100 nm 내지 500 nm이다. 게이트 절연층(402)이 적층 구조를 갖도록 형성되는 경우, 50 nm 내지 200 nm의 두께를 갖는 제1 게이트 절연층과, 5 nm 내지 300 nm의 두께를 갖는 제2 게이트 절연층이 적층된다.
- [0087] 본 실시형태에서는, 게이트 절연층(402)으로서, 플라즈마-강화 CVD에 의해 100 nm 이하의 두께로 산화 질화 실리콘층이 형성된다.
- [0088] 또한, 게이트 절연층(402)으로서, 고밀도 플라즈마 장치를 이용하여 산화 질화 실리콘층이 형성될 수도 있다. 여기서, 고밀도 플라즈마 장치란, $1 \times 10^{11} / \text{cm}^3$ 이상의 플라즈마 밀도를 실현할 수 있는 장치를 말한다. 예를 들어, 3 kW 내지 6 kW의 마이크로파 전력의 인가에 의해 플라즈마를 발생시켜, 절연층을 형성한다. 고밀도 플라즈마 장치를 이용하여 형성된 절연층은 균일한 두께를 가질 수 있기 때문에, 절연층은 뛰어난 단차 피복성(step coverage)을 가진다. 또한, 고밀도 플라즈마 장치를 이용하여 형성된 절연층에 관해 말하자면, 박막의 두께가 정확하게 제어될 수 있다.
- [0089] 고밀도 플라즈마 장치를 이용하여 형성된 절연층의 막 품질은, 종래의 평행 평판형의 PCVD 장치를 이용하여 형성된 절연층과는 크게 다르다. 동일한 에칭액을 이용한 에칭 속도를 서로 비교하는 경우, 고밀도 플라즈마 장치를 이용하여 형성된 절연층의 에칭 속도는 종래의 평행 평판형의 PCVD 장치를 이용하여 형성된 절연층보다 10% 이상 또는 20% 이상 낮다. 따라서, 고밀도 플라즈마 장치를 이용하여 형성된 절연층은 치밀한 층(dense layer)이라고 말할 수 있다.
- [0090] 이후의 단계에서 진성(i형) 또는 실질적으로 진성화된 산화물 반도체(고순도화된 산화물 반도체)는, 계면 준위 및 계면 전하에 대해 매우 민감하다; 따라서, 산화물 반도체와 게이트 절연층 사이의 계면은 중요하다. 따라서, 고순도화된 산화물 반도체에 접하는 게이트 절연층(GI)은 높은 품질을 필요로 한다. 따라서, 마이크로파(2.45 GHz)를 이용한 고밀도 플라즈마-강화 CVD는, 높은 내압을 갖는 고품질의 치밀한 절연층을 형성할 수 있으므로 바람직하다. 이것은, 고순도화된 산화물 반도체가 고품질 게이트 절연층에 밀착하면, 계면 준위가 저감될 수 있고 계면 특성이 양호해질 수 있기 때문이다. 게이트 절연층이, 게이트 절연층으로서 양호한 막 품질을 갖는 것 뿐만 아니라 산화물 반도체와의 낮은 계면 준위 밀도와 양호한 계면을 갖는 것이 중요하다.
- [0091] 그 다음, 게이트 절연층(402) 위에, 2 nm 내지 200 nm의 두께로 산화물 반도체막(430)이 형성된다. 산화물 반

도체막(430)으로서, In-Ga-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막 등이 이용된다. 본 실시형태에서, 산화물 반도체막(430)은 In-Ga-Zn-O계 산화물 반도체 타겟을 이용하여 스팍터링에 의해 성막된다. 이 단계에서의 단면도가 도 13a에 대응한다. 대안으로서, 산화물 반도체막(430)은, 희가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는, 아르곤) 및 산소를 포함하는 분위기에서 스팍터링에 의해 성막될 수 있다.

[0092] 여기서는, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [몰비])을 이용하여 성막이 실시된다. 성막 조건은 다음과 같이 설정된다: 기판과 타겟의 사이의 거리가 100 mm; 압력은 0.2 Pa; 직류(DC) 전력이 0.5 kW; 분위기는 아르곤 및 산소(아르곤 : 산소=30 sccm : 20 sccm, 및 산소의 유량비는 40%)를 포함하는 분위기. 웨스 직류(DC) 전력을 이용하는 것이 바람직한데, 이것은 성막시에 발생된 분말 물질이 저감될 수 있고 막 두께가 균일해질 수 있기 때문에 유의한다. In-Ga-Zn-O 막의 두께는 5 nm 내지 200 nm이다. 본 실시형태에서는, 산화물 반도체막으로서, In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스팍터링에 의해 20 nm 두께의 In-Ga-Zn-O계 막이 성막된다. 그 다음, 산화물 반도체층막(430)은 제2 포토리소그래피 공정을 통해 섬-형상의 산화물 반도체층으로 가공된다.

[0093] 그 다음, 산화물 반도체층이 탈수화 또는 탈수소화된다. 탈수화 또는 탈수소화를 위한 제1 열 처리의 온도는, 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 변형점 미만이다. 여기서는, 열 처리 장치의 일종인 전기로(electric furnace)에 기판을 두고, 질소 분위기하 450°C에서 1시간 동안 산화물 반도체층에 열 처리를 실시한 후, 기판을 대기에 노출시키지 않음으로써 산화물 반도체층으로의 물과 수소의 혼입을 방지한다; 따라서, 산화물 반도체층(431)이 얻어진다(도 13b 참조).

[0094] 열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열 복사에 의해 피처리물을 가열하는 장치를 갖춘 것일 수도 있다는 점에 유의한다. 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치 등의 RTA(rapid thermal annealing) 장치가 이용될 수 있다. LRTA 장치는, 할로겐 램프(halogen lamp), 메탈 할라이드 램프(metal halide lamp), 크세논 아크 램프(xenon arc lamp), 카본 아크 램프(carbon arc lamp), 고압 나트륨 램프(high pressure sodium lamp), 또는 고압 수은 램프(high pressure mercury lamp) 등의 램프로부터 방출되는 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열 처리를 실시하기 위한 장치이다. 가스로서는, 아르곤 등의 희가스나 질소 등의, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 이용된다.

[0095] 예를 들어, 제1 열 처리로서, GRTA는 다음과 같이 실시될 수도 있다. 650 °C 내지 700°C의 고온으로 가열된 불활성 가스에 기판을 이송하여 넣고, 수 분간 가열한 다음, 기판을 이송하여 고온으로 가열된 불활성 가스로부터 꺼낸다. GRTA는 단시간의 고온 열 처리를 가능하게 한다.

[0096] 제1 열 처리의 분위기에서, 질소 또는 헬륨, 네온, 또는 아르곤 등의 희가스, 또는 건조 공기, 물, 수소 등이 포함되지 않는 것이 바람직하다는 점에 유의한다. 예를 들어, 열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 또는 아르곤 등의 희가스의 순도는, 바람직하게는 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)이다.

[0097] 또한, 산화물 반도체막이 섬-형상의 산화물 반도체층으로 가공되기 이전에, 산화물 반도체층에 대한 제1 열 처리가 산화물 반도체막(430)에 실시될 수 있다. 그 경우, 제1 열 처리 후에 가열 장치로부터 기판을 꺼낸 다음, 제2 포토리소그래피 공정을 실시한다.

[0098] 또한, 케이트 절연층(402)에 개구부가 형성되는 경우, 개구부의 형성은 산화물 반도체막(430)이 탈수화 또는 탈수소화되기 이전에 또는 이후에 실시될 수도 있다.

[0099] 여기서 산화물 반도체막(430)의 에칭은 습식 에칭으로 한정되지 않고, 건식 에칭이 이용될 수도 있다는 점에 유의한다.

[0100] 산화물 반도체막(430)의 건식 에칭에 이용되는 에칭 가스로서는, 염소를 포함한 가스(예를 들어, 염소(Cl_2), 또는 3염화 봉소(BCl_3))를 이용하는 것이 바람직하다.

[0101] 산화물 반도체막(430)의 습식 에칭에 이용되는 에칭액으로서는, 인산, 아세트산, 및 질산의 혼합에 의해 얻어진 용액, 암모니아 과산화수소 혼합물(31 wt%의 과산화 수소: 28 wt%의 암모니아: 물=5:2:2) 등이 이용될 수 있다. 대안으로서, ITO-07N(KANTO CHEMICAL CO., INC. 제조)이 이용될 수도 있다.

- [0102] 그 다음, 게이트 절연층(402) 및 산화물 반도체층(431) 위에 금속 도전막이 형성된다. 금속 도전막은 스퍼터링이나 진공 증착에 의해 형성될 수도 있다. 금속 도전막의 재료로서, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 또는 스칸듐(Sc)으로부터 선택된 원소; 이들 원소들 중 임의의 원소를 조합하여 포함하는 합금 등이 이용될 수 있다. 대안으로서, 이들 원소들 중 임의의 원소의 질화물막이 이용될 수도 있다. 대안으로서, 망간(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be), 및 이트륨(Y)으로부터 선택된 하나 이상의 재료가 이용될 수도 있다. 또한, 금속 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수도 있다. 예를 들어, 실리콘을 포함하는 알루미늄 막의 단층 구조, 알루미늄 막 위에 티타늄 막이 적층된 2층 구조, 티타늄막과 알루미늄 막과 티타늄막이 이 순서로 적층된 3층 구조 등을 들 수 있다.
- [0103] 금속 도전막의 형성 후에 열 처리를 실시하면, 금속 도전막이 열 처리를 견디기에 충분히 높은 내열성을 갖는 것이 바람직하다.
- [0104] 제3 포토리소그래피 공정을 통해 금속 도전막 위에 레지스트 마스크가 형성된다; 선택적 에칭에 의해 소스 전극층(415a) 및 드레인 전극층(415b)이 형성된다; 그 다음, 레지스트 마스크가 제거된다(도 13c 참조).
- [0105] 본 실시형태에서는, 금속 도전막으로서 티타늄막이 이용되고, 산화물 반도체층(431)에 대해 In-Ga-Zn-O계 산화물이 이용되며, 에칭액으로서 암모니아과수(암모니아, 물, 과산화수소수의 혼합액)가 이용된다.
- [0106] 제3 포토리소그래피 공정에서는, 산화물 반도체층(431)의 일부만이 에칭되어 일부 경우에는 그루브(침하부)를 갖는 산화물 반도체층이 형성된다는 점에 유의한다.
- [0107] 포토리소그래피 공정에서 이용되는 포토마스크(photomask)의 수를 줄이고 공정수를 줄이기 위하여, 투과한 빛이 복수의 강도를 갖는 노광 마스크인 다계조 마스크(multi-tone mask)를 이용하여 에칭 공정이 실시될 수도 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께를 가지며, 애싱(ashing)에 의해 형상이 변할 수 있다; 따라서, 이 레지스트 마스크는 막을 상이한 패턴으로 가공하는 복수의 에칭 공정에서 이용될 수 있다. 따라서, 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크의 수와 대응하는 포토리소그래피 공정수가 저감될 수 있어서, 공정이 간략화될 수 있다.
- [0108] 그 다음, 아산화 질소(N₂O), 질소(N₂), 또는 아르곤(Ar) 등의 가스를 이용하여 플라즈마 처리가 실시된다. 이 플라즈마 처리에 의해, 노출된 산화물 반도체층의 표면에 부착된 흡착수 등이 제거된다. 대안으로서, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리가 실시될 수도 있다.
- [0109] 플라즈마 처리 후, 보호 절연막으로서 역할하여 산화물 반도체층(431)의 일부에 접하는 산화물 절연층(416)이 대기애 노출되지 않고 형성된다.
- [0110] 산화물 절연층(416)은, 산화물 절연층(416)에 물이나 수소 등의 불순물을 흡입시키지 않는 적절한 방법, 예를 들어, 스퍼터링법에 의해 적어도 1 nm 이상의 두께를 갖도록 형성될 수 있다. 산화물 절연층(416)에 수소가 포함되면, 수소가 산화물 절연층에 침입하여, 산화물 반도체층(431)의 백채널이 저저항을 갖게 되고(n형 도전성을 갖게 됨), 기생 채널이 형성된다. 따라서, 산화물 절연층(416)이 가능한 한 수소를 적게 포함하기 위하여 수소가 이용되지 않는 성막 방법을 이용하는 것이 중요하다.
- [0111] 본 실시형태에서는, 산화물 절연층(416)으로서 200 nm 두께의 산화 실리콘막이 스퍼터링에 의해 성막된다. 성막시의 기판 온도는, 실온 내지 300°C의 범위이고, 본 실시형태에서는 100°C이다. 산화 실리콘막은, 희가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는, 아르곤) 및 산소를 포함하는 분위기에서 스퍼터링에 의해 성막될 수 있다. 또한, 타겟으로서 산화 실리콘 타겟이나 실리콘 타겟이 이용될 수 있다. 예를 들어, 실리콘 타겟을 이용하여 산소 및 질소를 포함하는 분위기에서 스퍼터링에 의해 산화 실리콘막이 성막될 수 있다.
- [0112] 그 다음, 불활성 가스 분위기, 건조 공기 분위기, 또는 산소 가스 분위기에서 제2 열 처리(바람직하게는 200°C 내지 400°C, 예를 들어 250°C 내지 350°C)가 실시된다. 예를 들어, 질소 분위기하 250°C에서 1시간 동안 제2 열 처리가 실시된다. 제2 열 처리를 통해, 산화물 반도체층의 일부(채널 영역)가 산화물 절연층(416)에 접한 상태로 가열된다. 따라서, 산화물 반도체층의 일부(채널 영역)에 산소가 공급된다.
- [0113] 상기 단계들을 통해, 탈수화 또는 탈수소화를 위한 열 처리가 산화물 반도체층에 실시된 후, 산화물 반도체층의 일부(채널 영역)가 선택적으로 산소 포함인 상태로 된다. 상기 단계들을 통해, 트랜지스터(410)가 형성된다.

- [0114] 또한, 대기 중 100°C 내지 200°C에서 1시간 내지 30시간 동안 열 처리가 실시될 수도 있다. 본 실시형태에서, 열 처리는 150°C에서 10시간 동안 실시된다. 이 열 처리는 일정한 가열 온도에서 실시될 수도 있다. 대안으로서, 다음과 같은 가열 온도의 변화가 복수회 반복적으로 실시될 수도 있다: 가열 온도가 실온으로부터 100°C 내지 200°C의 온도로 상승된 다음, 실온으로 하강된다.
- [0115] 산화물 절연층(416) 위에 보호 절연층이 형성될 수도 있다. 예를 들어, RF 스퍼터링에 의해 질화 실리콘막이 형성된다. RF 스퍼터링은 높은 생산성을 갖기 때문에, 보호 절연층의 성막 방법으로서 이용되는 것이 바람직하다. 보호 절연층은, 수분, 수소 이온, 및 OH^- 등의 불순물을 포함하지 않고, 이러한 불순물의 외부로부터 침입을 차단하는 무기 절연막, 대표적으로는, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 또는 산화 질화 알루미늄막을 이용하여 형성된다. 본 실시형태에서는, 보호 절연층으로서, 보호 절연층(403)이 질화 실리콘막을 이용하여 형성된다(도 13d 참조).
- [0116] 본 실시형태에서, 트랜지스터(410)의 산화물 반도체층은, 산화물 반도체로부터의 n형 불순물인 수소의 제거와 산화물 반도체의 주성분 이외의 불순물이 가능한 한 포함되지 않도록 순도의 증가에 의해 얻어진 진성(i형) 또는 실질적으로 진성인 산화물 반도체층이다. 즉, 트랜지스터(410)의 산화물 반도체층은, 불순물의 첨가가 아니라 수소나 물 등의 불순물의 극력 제거에 의해 고순도화된 진성(i형) 반도체층 또는 고순도화된 i형 반도체층에 가까운 반도체층이다. 이런 방식으로, 페르미 준위(E_f)는 진성 페르미 준위(E_i)와 같아질 수 있다.
- [0117] 산화물 반도체의 밴드갭(E_g)은 3.15 eV이고 전자 친화력(χ)은 4.3 eV라고 일컬어진다. 소스 전극층 및 드레인 전극층에 이용되는 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화력(χ)과 실질적으로 동일하다. 이 경우, 금속과 산화물 반도체 사이의 계면에, 쇼트키 전자 장벽(Schottky electron barrier)은 형성되지 않는다.
- [0118] 예를 들어, 채널폭(W)이 $1 \times 10^4 \mu\text{m}$ 이고 채널 길이(L)가 $3 \mu\text{m}$ 인 트랜지스터의 경우에도, 실온에서 오프 전류는 10^{-13} A 이하이고, 임계이하 스윙은 0.1 V/decade(게이트 절연층의 두께가 100 nm)일 수 있다.
- [0119] 이런 방식으로 산화물 반도체의 주성분 이외의 불순물이 가능한 한 포함되지 않도록 순도를 증가시킴으로써, 트랜지스터(410)가 양호하게 동작할 수 있다.
- [0120] 산화물 반도체의 전기 특성의 변동을 방지하기 위하여, 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 변동을 야기하는 불순물이 의도적으로 제거된다. 추가로, 불순물의 제거 단계에서 동시에 감소되는 산화물 반도체의 주성분인 산소의 공급에 의해, 산화물 반도체가 고순도화된 전기적으로 i형(진성)인 산화물 반도체가 된다.
- [0121] 따라서, 산화물 반도체의 수소량은 가능한 한 작은 것이 바람직하다. 또한, 고순도화된 산화물 반도체 내의 캐리어수가 상당히 작고(제로에 근접), 캐리어 밀도는 $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 즉, 산화물 반도체층의 캐리어 밀도는 제로에 극히 가까울 수 있다. 산화물 반도체층의 캐리어수가 상당히 적기 때문에, 트랜지스터의 오프 전류가 저감될 수 있다. 오프 전류는 가능한 한 낮은 것이 바람직하다. 트랜지스터의 채널폭(W)의 마이크로미터당 전류량은, 100 aA 이하, 바람직하게는 $10 \text{ zA}/\mu\text{m}$ (జ�토암페어) 이하, 더욱 바람직하게는 $1 \text{ zA}/\mu\text{m}$ 이하이다. 또한, 트랜지스터는 pn 접합을 갖지 않으며, 핫 캐리어로 인해 열화되지 않는다; 따라서, 트랜지스터의 전기적 특성이 악영향을 받지 않는다.
- [0122] 전술된 바와 같이 산화물 반도체층에 포함되는 수소의 극력 제거에 의해 고순도화된 산화물 반도체를 포함하는 채널 영역을 갖춘 트랜지스터에서, 오프 전류의 양이 상당히 저감될 수 있다. 즉, 회로 설계에서, 산화물 반도체층은 트랜지스터가 오프인 때 절연체로서 간주될 수 있다. 대조적으로, 산화물 반도체층은 트랜지스터가 온일 때 아몰퍼스 실리콘을 포함하는 반도체층보다 나은 전류 공급 능력을 가진다고 평가할 수 있다.
- [0123] 저온 폴리실리콘을 포함하는 트랜지스터는, 산화물 반도체를 포함하는 트랜지스터에 비해 오프 전류가 약 10000 배라는 가정하에 설계된다. 따라서, 산화물 반도체를 포함하는 트랜지스터를 저온 폴리실리콘을 포함하는 트랜지스터와 비교하는 경우, 산화물 반도체를 포함하는 트랜지스터의 전압 유지 시간은, 축적 용량이 서로 같거나 실질적으로 같을 때(약 0.1 pF), 10000배 정도로 연장될 수 있다. 예를 들어, 동화상이 60 fps로 표시되는 경우, 1회의 신호 기입에 대한 유지 시간은 저온 폴리실리콘을 포함하는 트랜지스터의 10000배인 약 160초가 될 수 있다. 이런 방식으로, 더 적은 빈도의 화상 신호의 기입에 의해서도, 정지 화상이 표시부에서 표시될 수 있다.

- [0124] (실시형태 4)
- [0125] 본 실시형태에서는, 본 발명의 한 실시형태인 표시 장치의 예를 설명한다.
- [0126] 도 14a는 실시형태 2의 시프트 레지스터 회로를 포함하는 표시 장치의 예를 나타낸다. 도 14a에 나타낸 표시 장치는, 타이밍 콘트롤러(5360)와, 소스 드라이버 회로(5362), 게이트 드라이버 회로(5363_1), 및 게이트 드라이버 회로(5363_2)를 갖는 드라이버 회로(5361)와, 화소부(5364)를 포함한다. 화소부(5364)에는, 소스 드라이버 회로(5362)로부터 연장되는 복수의 소스 신호선(5371)과 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2)로부터 연장되는 복수의 게이트 신호선(5372)이 제공된다. 복수의 소스 신호선(5371)과 복수의 게이트 신호선(5372)이 서로 교차하는 영역에는 화소(5367)가 매트릭스로 제공된다.
- [0127] 표시 장치는, 조명 장치, 그 제어 회로 등을 포함할 수 있다는 점에 유의한다. 그 경우, 화소(5367)는 액정 소자를 포함하는 것이 바람직하다.
- [0128] 게이트 드라이버 회로(5363_1)와 게이트 드라이버 회로(5363_2) 중 하나를 제공하지 않는 것도 가능하다는 점에 유의한다.
- [0129] 타이밍 콘트롤러(5360)는, 드라이버 회로(5361)에 제어 신호를 공급함으로써 드라이버 회로(5361)의 동작을 제어하는 기능을 가진다. 예를 들어, 타이밍 콘트롤러(5360)는, 스타트 신호(SSP), 클록 신호(SCK), 반전 클록 신호(SCKB), 영상 신호(DATA), 또는 래치 신호(LAT) 등의 제어 신호를 소스 드라이버 회로(5362)에 공급한다. 또한, 타이밍 콘트롤러(5360)는, 스타트 신호(GSP), 클록 신호(GCK), 반전 클록 신호(GCKB) 등의 제어 신호를 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2)에 공급한다.
- [0130] 소스 드라이버 회로(5362)는 복수의 소스 신호선(5371)에 영상 신호를 출력하는 기능을 가진다. 소스 드라이버 회로(5362)는, 드라이버 회로, 신호선 드라이버 회로 등이라고 부를 수 있다. 영상 신호는 화소(5367)에 입력된다. 화소(5367)에 포함된 표시 소자는 영상 신호에 따라 계조(gradation)를 표현한다.
- [0131] 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2) 각각은 행들에서 화소(5367)를 순차적으로 선택하는 기능을 가진다. 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2) 각각은 드라이버 회로 또는 주사선 드라이버 회로라고 부를 수 있다. 화소(5367)를 선택하는 타이밍은, 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2)가 게이트 신호선(5372)에 게이트 신호를 출력할 때 제어된다.
- [0132] 도 14a에 나타낸 표시 장치에서, 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2)는 화소부(5364)와 동일한 기판 위에 형성될 수 있다는 점에 유의한다. 도 14b는, 화소부(5364)와 동일한 기판(기판(5380)) 위에 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2)가 형성되는 경우의 예를 나타낸다. 기판(5380) 및 외부 회로는 단자(5381)를 통해 서로 접속된다는 점에 유의한다.
- [0133] 도 14a에 나타낸 표시 장치에서, 소스 드라이버 회로(5362)의 일부(예를 들어, 스위치, 멀티플렉서, 시프트 레지스터 회로, 디코더 회로, 인버터 회로, 버퍼 회로, 및/또는 레벨 시프터 회로)는 화소부(5364)와 동일한 기판 위에 형성될 수 있다는 점에 유의한다. 도 14c는, 화소부(5364)와 동일한 기판(기판(5380)) 위에 게이트 드라이버 회로(5363_1) 및 게이트 드라이버 회로(5363_2)와 소스 드라이버 회로(5362)의 일부(참조 번호 5362a로 표기)가 형성되고, 소스 드라이버 회로(5362)의 다른 부분(참조 번호 5362b로 표기)은 기판(5380)과는 상이한 기판 위에 형성되는 경우의 예를 나타낸다.
- [0134] 표시 장치의 드라이버 회로 또는 드라이버 회로의 일부로서 실시형태 2의 시프트 레지스터 회로가 이용될 수 있다. 특히, 표시 장치의 드라이버 회로가 실시형태 3에서 설명되는 트랜지스터를 포함할 때, 실시형태 2의 시프트 레지스터 회로의 이용은 드라이버 회로의 구동 능력의 향상을 가능케한다. 따라서, 표시 장치가 대형화될 수 있다. 대안으로서, 표시부의 해상도가 향상될 수 있다. 대안으로서, 드라이버 회로의 레이아웃 면적이 저감될 수 있다; 따라서, 표시 장치의 프레임이 저감될 수 있다.
- [0135] (실시형태 5)
- [0136] 본 실시형태에서는, 전자 장치의 예를 설명한다.
- [0137] 도 15a 내지 도 15h와 도 16a 내지 도 16d는 전자 장치를 나타낸다. 이를 전자 장치들은, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 주파수, 거리, 광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 향기 또는 적외선을

측정하는 기능을 가진 센서), 마이크로폰(5008) 등을 포함할 수 있다.

[0138]

도 15a는 모바일 컴퓨터를 나타내며, 전술된 것 외에도 스위치(5009), 적외선 포트(5010) 등을 포함할 수 있다. 도 15b는 기록 매체를 갖춘 휴대형의 화상 재생 장치(예를 들어, DVD 재생 장치)를 나타내며, 전술된 것 외에도 제2 표시부(5002), 기록 매체 판독부(5011) 등을 포함할 수 있다. 도 15c는 고글형 디스플레이를 나타내며, 전술된 것 외에도 제2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 포함할 수 있다. 도 15d는 휴대형 게임기를 나타내며, 전술된 것 외에도 기록 매체 판독부(5011) 등을 포함할 수 있다. 도 15e는 프로젝터를 나타내며, 전술된 것 외에도 광원(5033), 투사 렌즈(5034) 등을 포함할 수 있다. 도 15f는 휴대형 게임기를 나타내며, 전술된 것 외에도 제2 표시부(5002), 기록 매체 판독부(5011) 등을 포함할 수 있다. 도 15g는 텔레비전 수상기를 나타내며, 전술된 것 외에도 튜너, 화상 처리부 등을 포함할 수 있다. 도 15h는 휴대형 텔레비전 수상기를 나타내며, 전술된 것 외에도 신호를 송신 및 수신할 수 있는 충전기(5017)를 포함할 수 있다. 도 16a는 디스플레이를 나타내며, 전술된 것 외에도 지지대(5018) 등을 포함할 수 있다. 도 16b는 카메라를 나타내며, 전술된 것 외에도 외부 접속 포트(5019), 셔터 버튼(5015), 화상 수신부(5016) 등을 포함할 수 있다. 도 16c는 컴퓨터를 나타내며, 전술된 것 외에도 포인팅 장치(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 포함할 수 있다. 도 16d는 휴대 전화기를 나타내며, 전술된 것 외에도, 안테나, 휴대 전화기 및 이동 단말용의 1 세그먼트(1seg 디지털 TV 방송) 부분 수신 서비스용 튜너 등을 포함할 수 있다.

[0139]

도 15a 내지 도 15h와, 도 16a 내지 도 16d에 나타낸 전자 장치는, 다양한 기능, 예를 들어, 많은 정보(예를 들어, 정지 화상, 동화상, 및 텍스트 화상)를 표시부에 표시하는 기능; 터치 패널 기능; 캘린더, 일자, 시각 등을 표시하는 기능; 많은 소프트웨어(프로그램)에 의해 처리를 제어하는 기능; 무선 통신 기능; 무선 통신 기능을 이용해 다양한 컴퓨터 네트워크에 접속하는 기능; 무선 통신 기능을 이용해 많은 데이터를 송신 또는 수신하는 기능; 기록 매체에 저장된 프로그램이나 데이터를 판독하고 프로그램이나 데이터를 표시부에 표시하는 기능을 가질 수 있다. 또한, 복수의 표시부를 포함하는 전자 장치는, 하나의 표시부에는 주로 화상 정보를 표시하면서 또 다른 표시부에는 주로 문자 정보를 표시하는 기능, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체 3차원 화상을 표시하는 기능 등을 가질 수 있다. 또한, 화상 수신부를 포함하는 전자 장치는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 기록 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 도 15a 내지 도 15h와 도 16a 내지 도 16d에 나타낸 전자 장치에 제공될 수 있는 기능은 이것들로 한정되지 않으며, 전자 장치는 다양한 기능을 가질 수 있다는 점에 유의한다.

[0140]

도 16e는 표시 장치가 건물 구조물에 병합되는 예를 나타낸다. 도 16e는 하우징(5022), 표시부(5023), 조작부인 리모콘(5024), 스피커(5025) 등을 나타낸다. 표시 장치는 벽걸이형으로서 건물 구조물에 병합되며, 넓은 공간을 요구하지 않고 제공될 수 있다.

[0141]

도 16f는 표시 장치가 건물 구조물에 병합되는 또 다른 예를 나타낸다. 표시 패널(5026)이 조립식 욕조기(5027)에 병합되어, 목욕자가 표시 패널(5026)을 시청할 수 있다.

[0142]

본 실시형태는 건물 구조물의 예로서 벽과 욕조기를 설명했지만, 본 실시형태는 이것으로 한정되지 않는다는 점에 유의한다. 표시 장치는 다양한 건물 구조물에 제공될 수 있다.

[0143]

그 다음, 표시 장치가 이동 물체에 병합되는 예를 설명한다.

[0144]

도 16g는 표시 장치가 차량에 병합되는 예를 나타낸다. 표시 패널(5028)은 차량의 차체(5029)에 병합되고, 요구시에, 차량의 동작에 관련된 정보나 차량의 내부나 외부로부터 입력된 정보를 표시할 수 있다. 표시 패널(5028)은 네비게이션 기능을 가질 수도 있다는 점에 유의한다.

[0145]

도 16h는 표시 장치가 여객용 비행기에 병합되는 예를 나타낸다. 도 16h는 여객용 비행기의 좌석 위의 천장(5030)에 표시 패널(5031)이 제공되는 사용 패턴을 나타낸다. 표시 패널(5031)은 경첩부(5032)를 통해 천장(5030)에 병합되며, 승객은 경첩부(5032)를 펼침으로써 표시 패널(5031)을 시청할 수 있다. 표시 패널(5031)은 승객의 조작에 의해 정보를 표시하는 기능을 가진다.

[0146]

본 실시형태에서는 이동 물체의 예로서 차량의 차체 및 비행기의 기체가 예시되었지만, 본 실시형태는 이것으로 한정되지 않는다는 점에 유의한다. 이 반도체 장치는 2륜 차량, 4륜 차량(자동차, 버스 등을 포함), 기차(모노레일, 철도 등을 포함), 선박 등의 다양한 물체에 제공될 수 있다.

[0147]

실시형태 2의 시프트 레지스터 회로는 본 실시형태에서 설명된 전자 장치에 병합되는 것이 바람직하다. 특히, 실시형태 2의 시프트 레지스터 회로는 전자 장치의 표시부를 구동하기 위한 회로로서 병합되는 것이

바람직하다. 실시형태 2의 시프트 레지스터가 전자 장치의 표시부를 구동하기 위한 회로로서 병합되면, 드라이버 회로의 면적이 줄어들 수 있고 표시부의 크기가 증가될 수 있다. 또한, 표시부의 해상도가 향상될 수 있다.

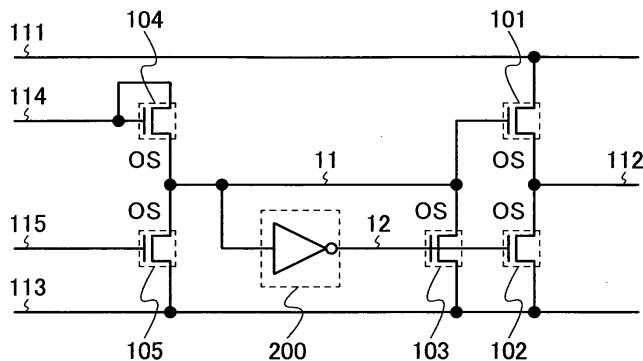
[0148] 본 출원은 2010년 2월 18일 일본 특허청에 출원된 일본 특허 출원번호 제2010-033669호에 기초하며, 그 전체 내용을 본 명세서에서 참조용으로 원용한다.

부호의 설명

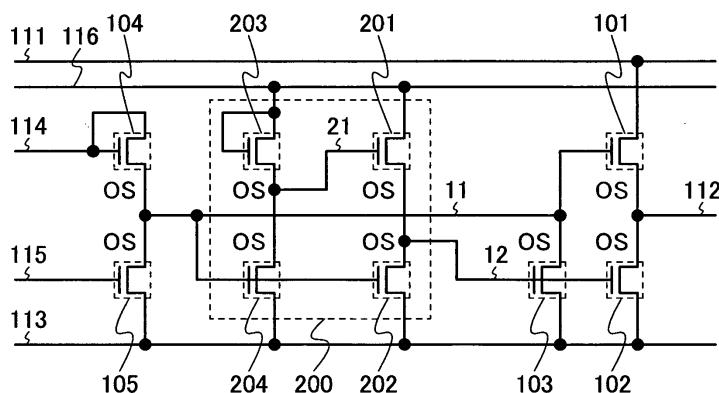
[0149] 11: 노드, 12: 노드, 101: 트랜지스터, 102: 트랜지스터, 103: 트랜지스터, 104: 트랜지스터, 105: 트랜지스터, 111: 배선, 112: 배선, 113: 배선, 114: 배선, 115: 배선, 116: 배선, 117: 배선, 118: 배선, 121: 트랜지스터, 122: 트랜지스터, 123: 트랜지스터, 124: 트랜지스터, 125: 트랜지스터, 126: 용량 소자, 200: 회로, 201: 트랜지스터, 202: 트랜지스터, 203: 트랜지스터, 204: 트랜지스터, 301: 회로, 311: 배선, 312: 배선, 313: 배선, 314: 배선, 315: 배선, 400: 기판, 402: 게이트 절연층, 403: 보호 절연층, 410: 트랜지스터, 411: 게이트 전극층, 415a: 소스 전극층, 415b: 드레인 전극층, 416: 산화물 절연층, 430: 산화물 반도체막, 431: 산화물 반도체층, 5000: 하우징, 5001: 표시부, 5002: 제2 표시부, 5003: 스피커, 5004: LED 램프, 5005: 조작 키, 5006: 접속 단자, 5007: 센서, 5008: 마이크로폰, 5009: 스위치, 5010: 적외선 포트, 5011: 기록 매체 판독부, 5012: 지지부, 5013: 이어폰, 5015: 셔터 버튼, 5016: 화상 수신부, 5017: 충전기, 5018: 지지대, 5019: 외부 접속 포트, 5020: 포인팅 장치, 5021: 리더/라이터, 5022: 하우징, 5023: 표시부, 5024: 리모콘, 5025: 스피커, 5026: 표시 패널, 5027: 조립식 욕조기, 5028: 표시 패널, 5029: 차체, 5030: 천장, 5031: 표시 패널, 5032: 경첩, 5360: 타이밍 콘트롤러, 5361: 회로, 5362: 회로, 5362a: 회로, 5362b: 회로, 5363_1: 회로, 5363_2: 회로, 5364: 화소부, 5367: 화소, 5371: 소스 신호선, 5372: 게이트 신호선, 5380: 기판, 및 5381: 단자.

도면

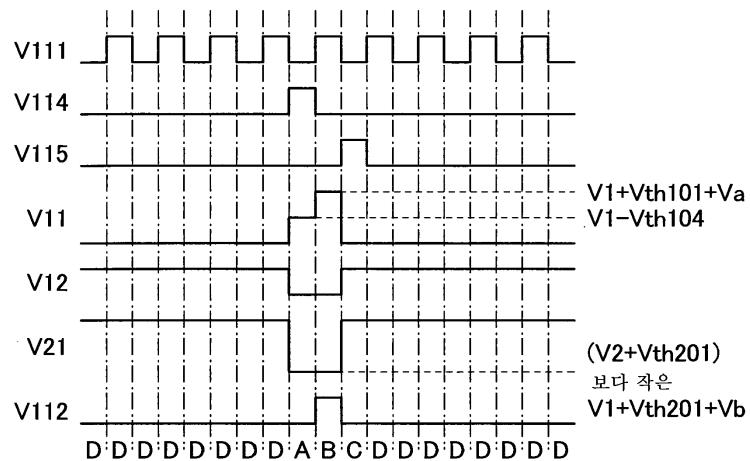
도면1a



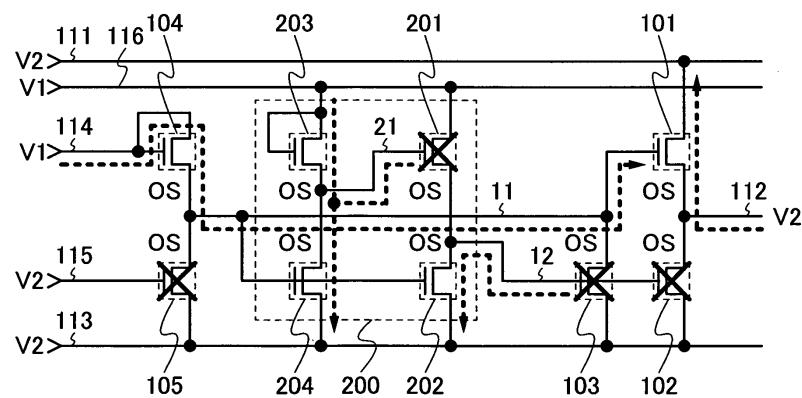
도면1b



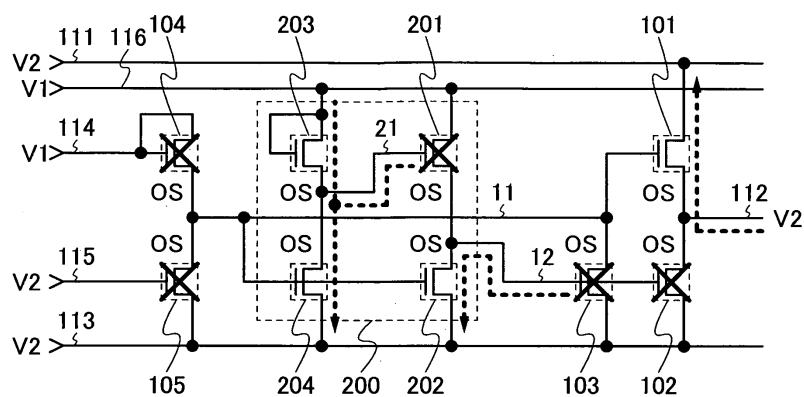
도면2a



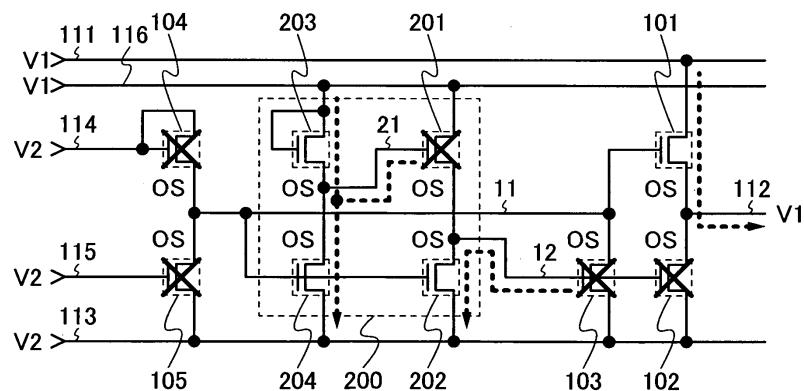
도면2b



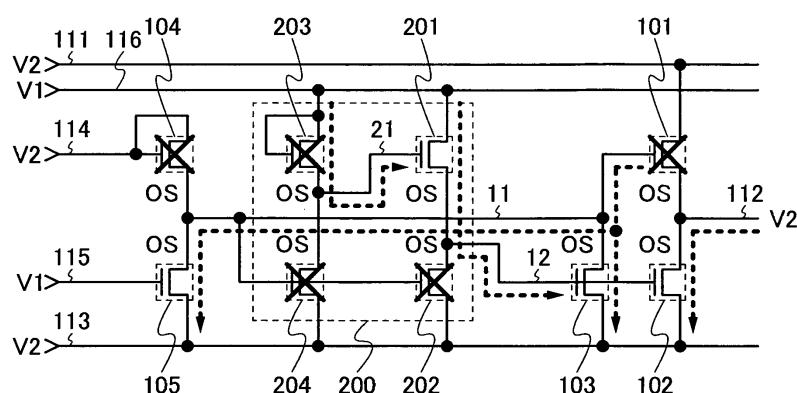
도면3a



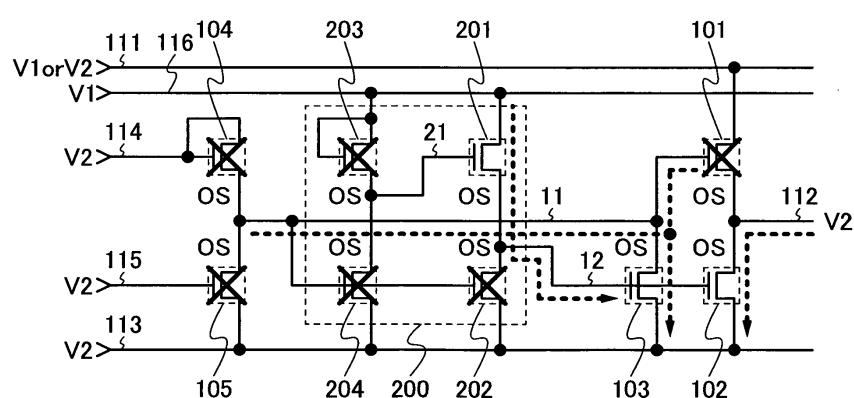
도면3b



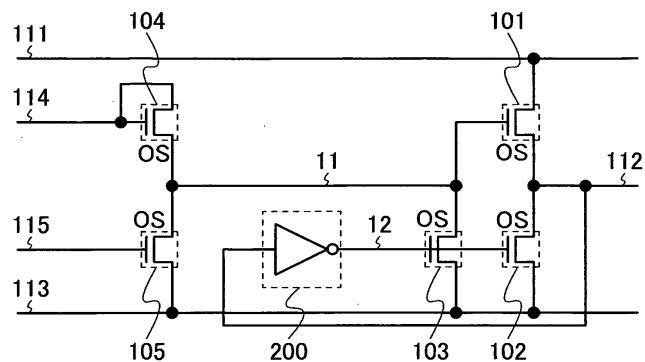
도면4a



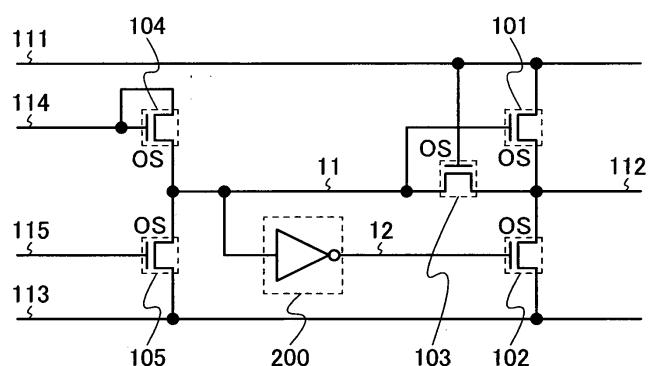
도면4b



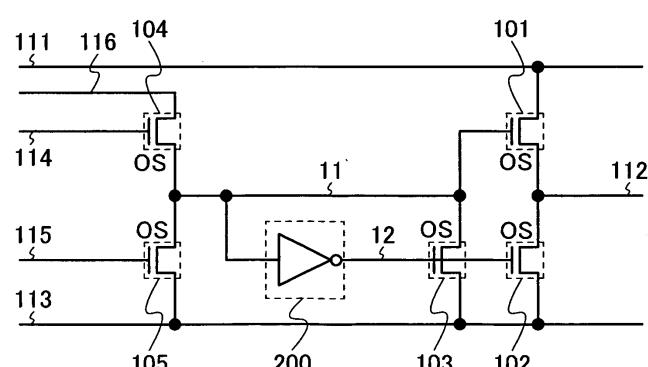
도면5a



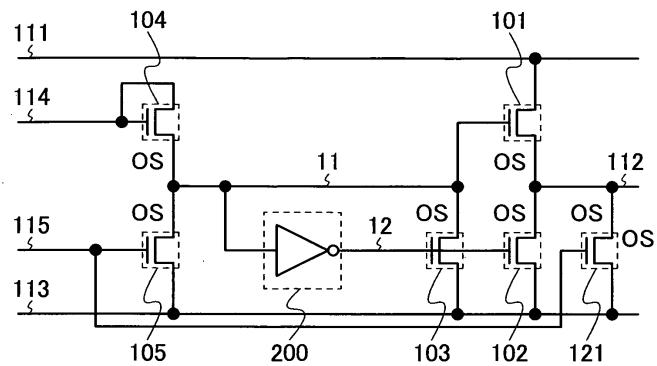
도면5b



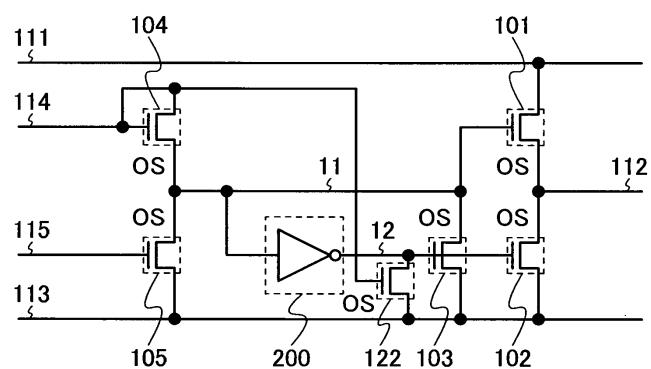
도면5c



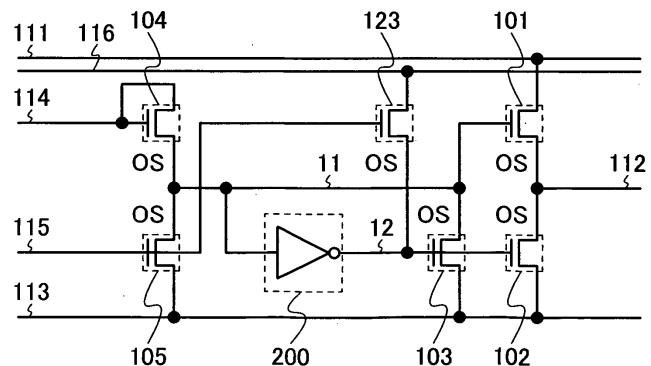
도면6a



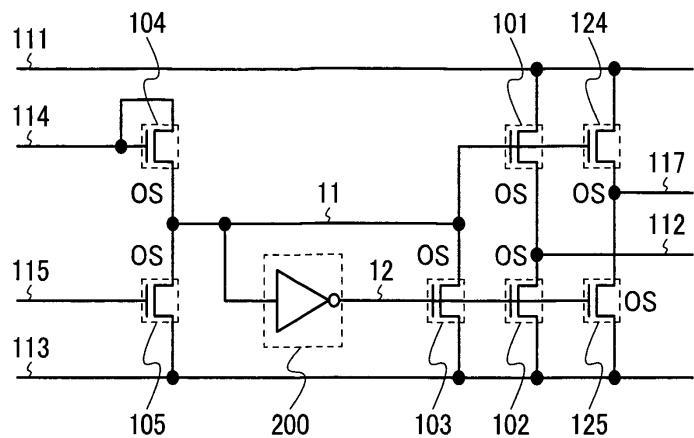
도면6b



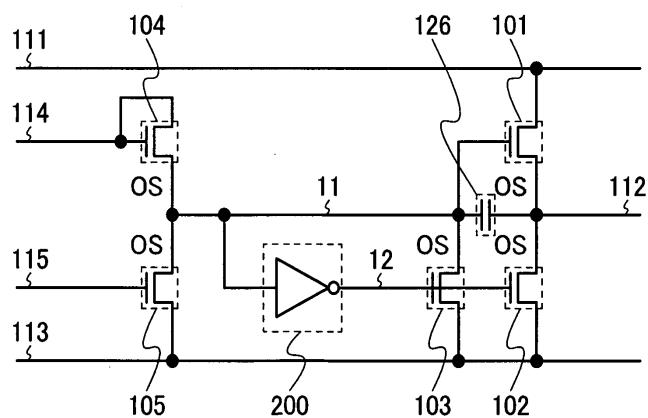
도면6c



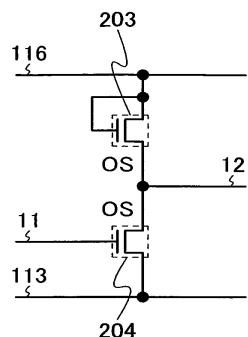
도면7a



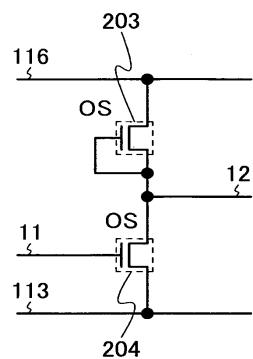
도면7b



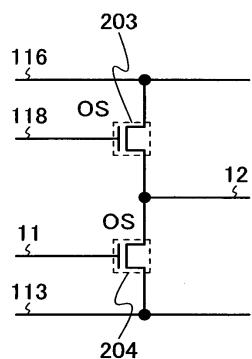
도면8a



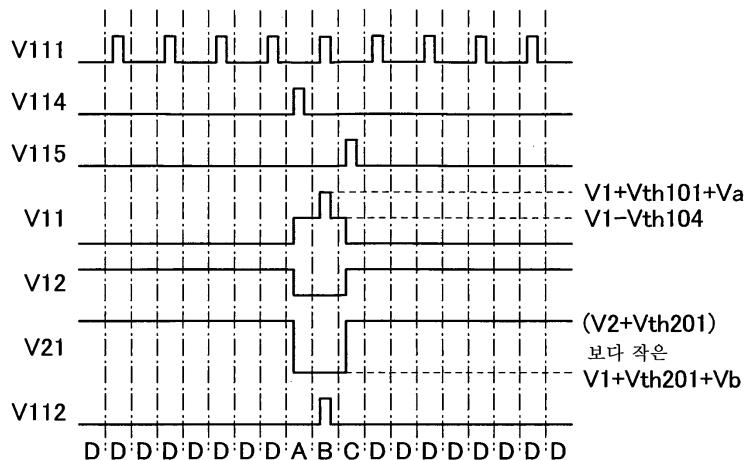
도면8b



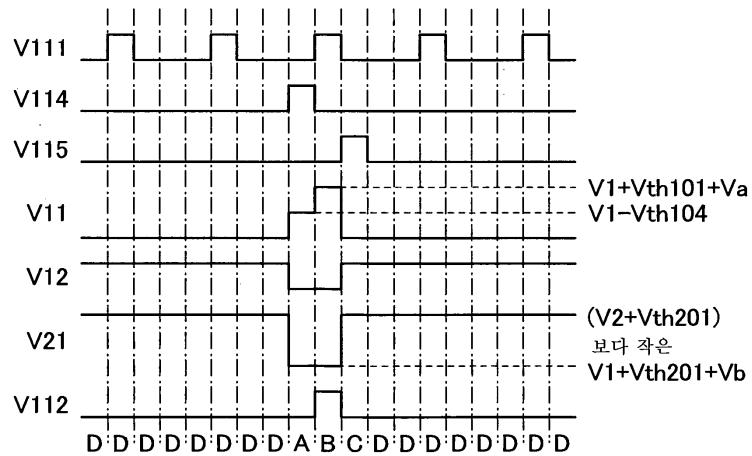
도면8c



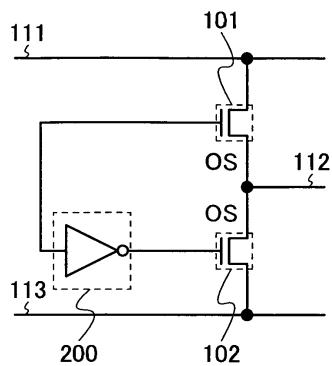
도면9a



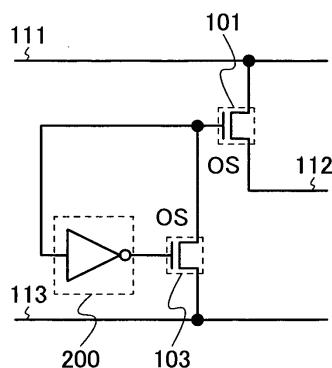
도면9b



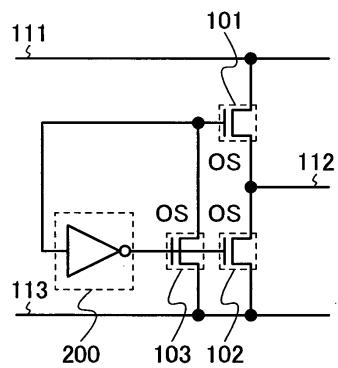
도면10a



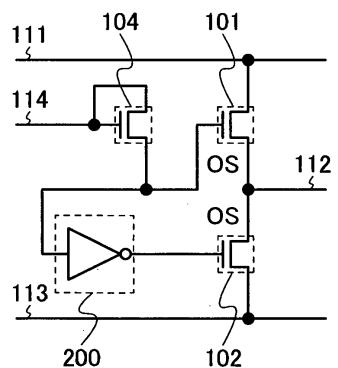
도면10b



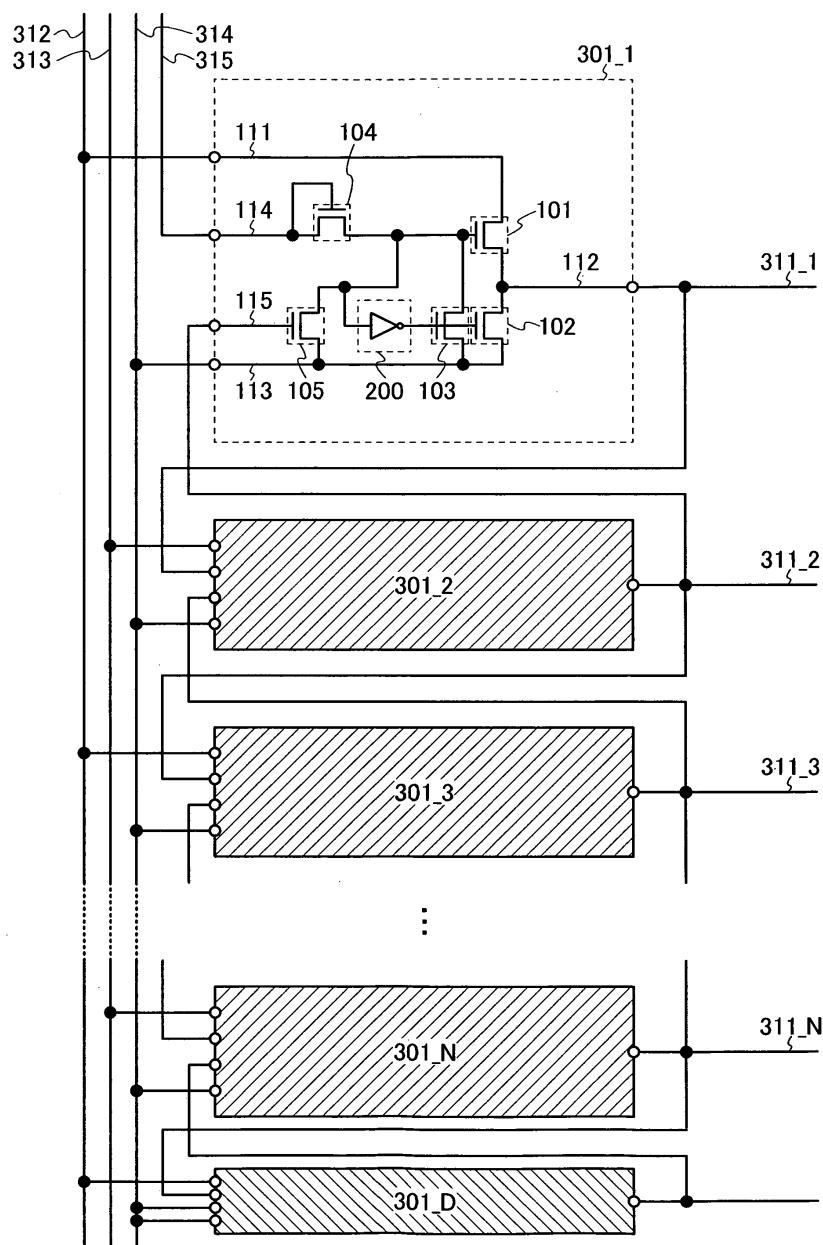
도면10c



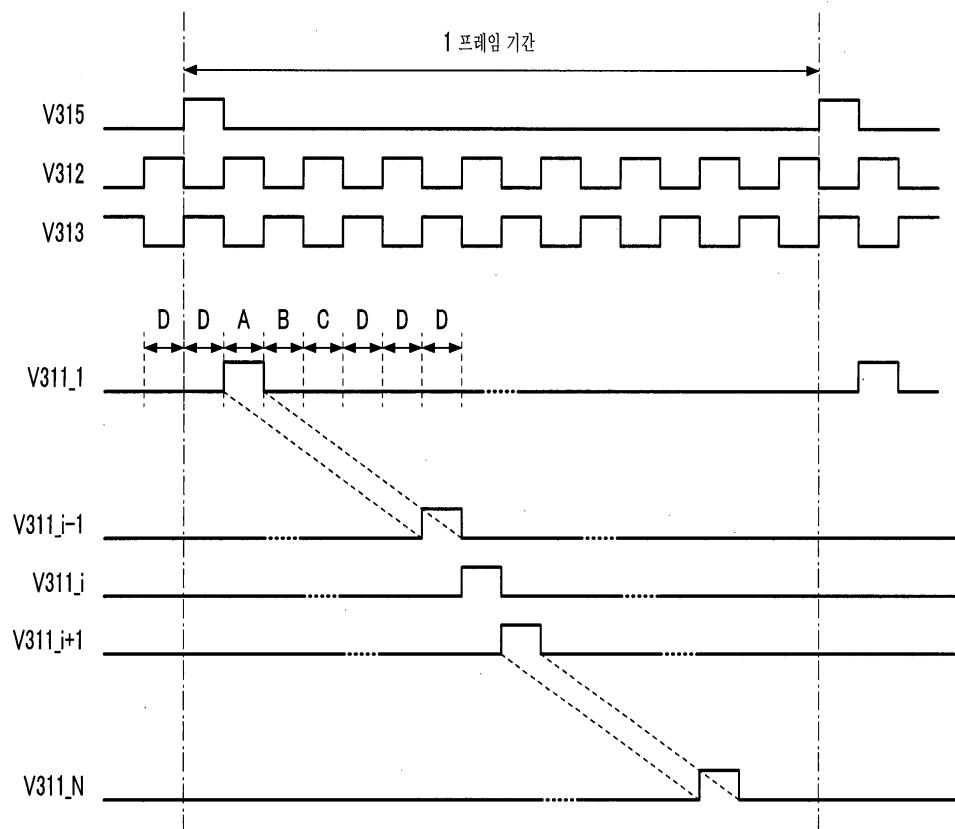
도면10d



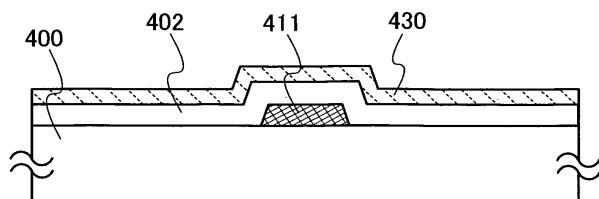
도면11



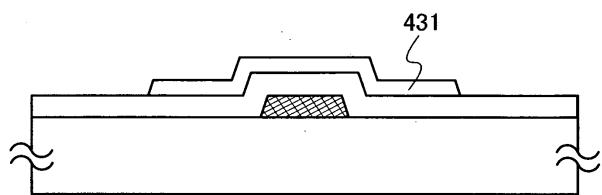
도면12



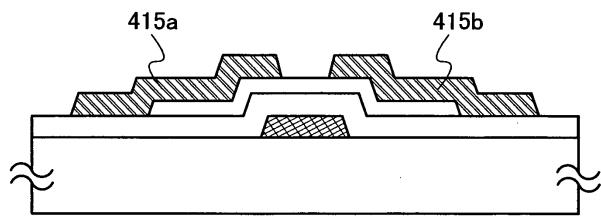
도면13a



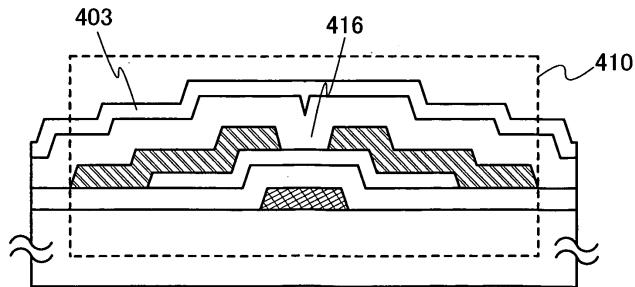
도면13b



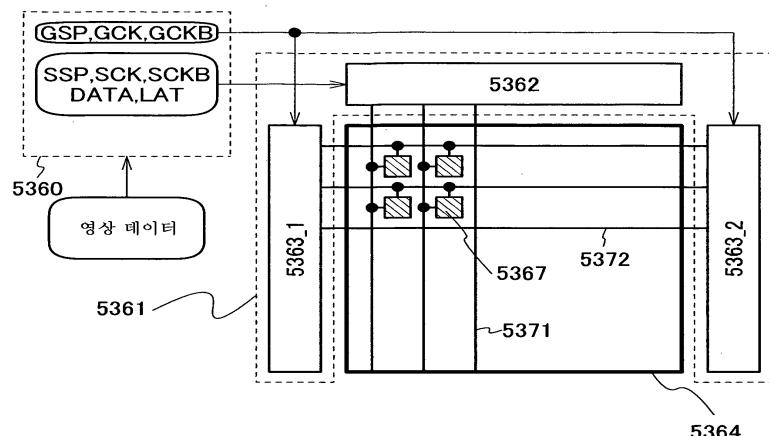
도면13c



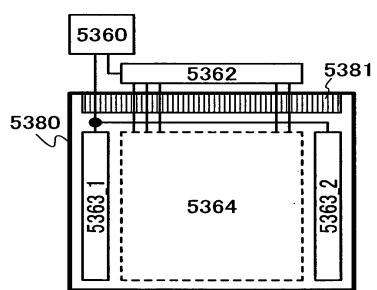
도면13d



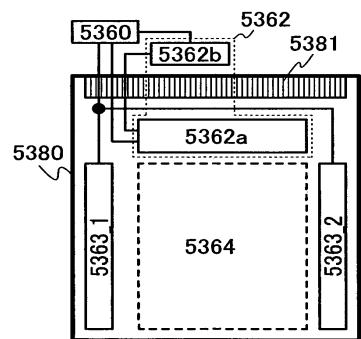
도면14a



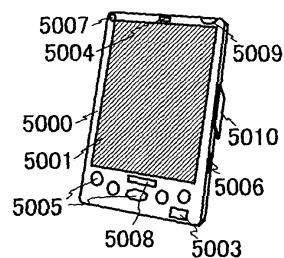
도면14b



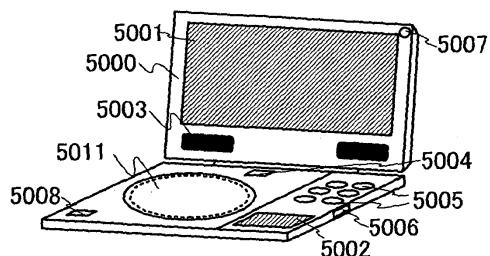
도면14c



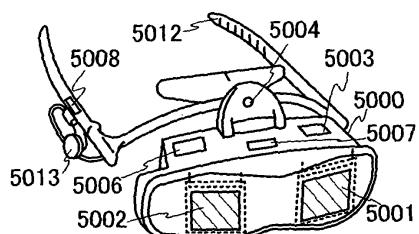
도면15a



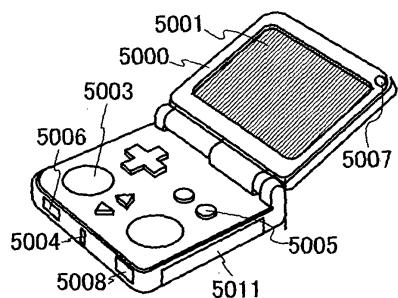
도면15b



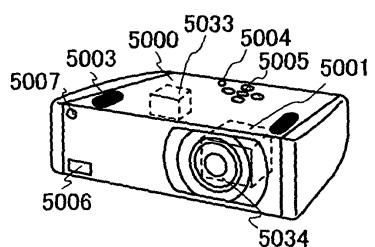
도면15c



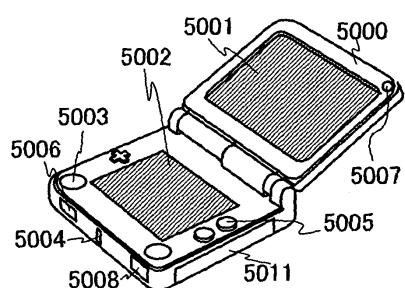
도면15d



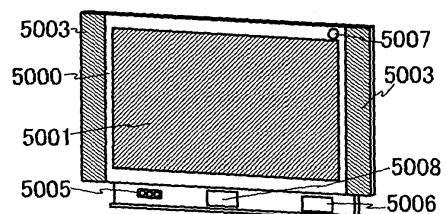
도면15e



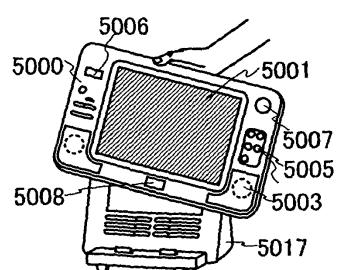
도면15f



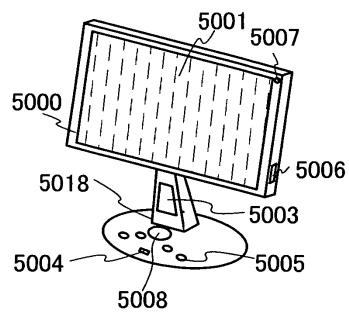
도면15g



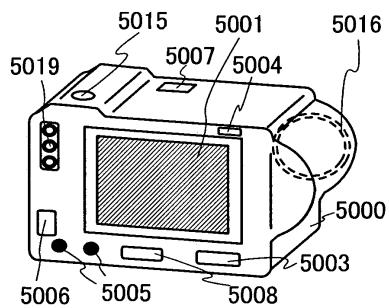
도면15h



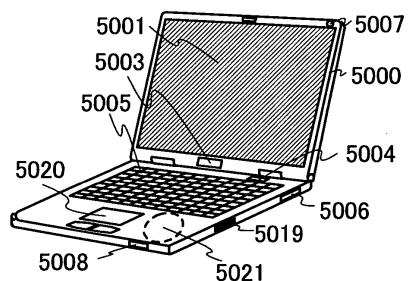
도면16a



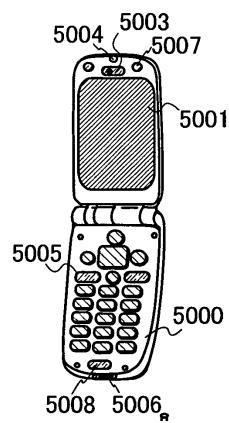
도면16b



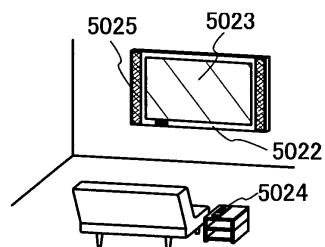
도면16c



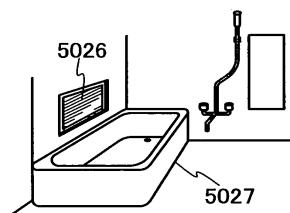
도면16d



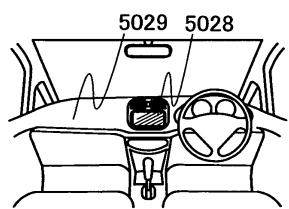
도면16e



도면16f



도면16g



도면16h

