

第 92126206 號申請案

發明專利說明書

修正本 99.01.26.

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92/26206

※ 申請日期：92.9.23

※IPC 分類：H03L 7/00 (2006.01)

壹、發明名稱：(中文/英文)

H03L 7/16 (2006.01)

H03L 7/189 (2006.01)

電壓控制振盪器預設定電路及用以預設定電壓控制振盪器之方法 /

Voltage-Controlled Oscillator Presetting Circuit and Method for Presetting
a Voltage-Controlled Oscillator

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

意法易利信股份有限公司 / ST-Ericsson SA

代表人：(中文/英文)

喬傑生 莉莎K. / JORGENSEN, Lisa K.

住居所或營業所地址：(中文/英文)

瑞士歐特斯-普蘭·少女田野路39號

Chemin du Champ-des-Filles 39, CH-1228 Plan-les-Ouates, Switzerland

國 籍：(中文/英文)

瑞士 / Switzerland

參、發明人：(共 1 人)

姓 名：(中文/英文)

查隆 奧利維 / CHARLON, Olivier

住居所地址：(中文/英文)

美國加州聖荷西市麥克凱路1109號

1109 McKay Drive, M/S-41SJ, San Jose, CA 95131, U.S.A.

國 籍：(中文/英文)

法國 France

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年09月26日；10/259,012
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年09月26日；10/259,012
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一用於預設定一含有電壓控制振盪器的頻率合成電路之電路配置。本發明可關於一無線系統，其要求快速頻率鎖定，以高效運作。

無線發射器與接收器可包括一或多個電壓控制振盪器(VCO)，可容許其極小的振盪頻率變化。可傳統地設定電壓控制振盪器的振盪頻率，並藉由鎖相迴路(phase-locked loop; PLL)動態地調整至一參考頻率值。鎖相迴路在一誤差信號控制下運作，該誤差信號代表在參考頻率振盪的參考信號與代表電壓控制振盪器的分割振盪信號的一信號之間的相位及頻率差異。

本技術一直希望能使PLL在盡可能短的時間內鎖定至參考頻率。減少頻率合成器的鎖定時間的可能方法係用高於其正常運作模式的充電幫浦電流對迴路濾波器進行充電。該電流可由外部電路控制。鎖定時間取決於充電幫浦以及該充電幫浦可輸送至PLL的迴路濾波器之電容器的電流多少，因此增加該電流在一定程度上可加速迴路濾波器的電容器之初始充電。

【先前技術】

歐洲專利說明書第0402113B1號中說明了調整電壓控制振盪器頻率的另一種可能之方法。EP 0402113B1提供了一用於設定鎖相迴路(PLL)中電壓控制振盪器之自由運行頻率的電路。該電路包括一PLL中的數位至類比轉換器(DAC)，該DAC的輸出與VCO的輸入相連。DAC的輸出實質上代表了預選PLL

鎖定範圍的中心。頻率鎖定迴路(frequency locked loop; FLL)最初將VCO的自由運行頻率設定為一預選值。FLL亦可用於動態地調整自由運行頻率，以將其保持在PLL的預選鎖定範圍內，防止由供應電壓或/與溫度的較大改變引起的漂移。FLL可包括一數位處理單元以及一DAC。最初，PLL係停用，且當PLL停用時，FLL會建立自由運行頻率。將VCO的頻率與來自一源極的參考時脈脈衝比較，並依據該比較，控制自由運行頻率的DAC輸入藉由增加或減少1而逐漸調整。

【發明內容】

本發明的一目的係進一步加速鎖相迴路之鎖定。

本發明的另一目的係改進頻率合成電路的開關時間。

本發明的另一目的係提供與上述歐洲文件中所揭示的電路不同之預設定電路，並以此獲得鎖定時間的減少。

為此目的，本發明之電路包括：一頻率合成電路，其包括一用於從輸入電壓中產生一振盪信號的電壓控制電路，且該合成電路係配置以在一鎖相迴路模式下運作，受一誤差信號控制，該誤差信號代表分割振盪信號與一參考信號之間的相位及頻率差異；一數位處理單元，其係配置以停用頻率合成電路在鎖相迴路模式下運作，並在此後決定回應個別第一與第二輸入電壓值而獲得的該振盪信號的一第一與一第二頻率，以及進一步配置以從該等兩個頻率、該除頻器除數以及該參考信號中產生一數位控制信號；以及一數位至類比轉換器，其係配置以回應該數位控制值預設定該輸入電壓。

該電路允許決定輸入電壓的值，其會引起電壓控制振盪

器的分割輸出在頻率合成電路在鎖相迴路模式運作之前，在接近參考頻率的一頻率振盪。因此頻率合成電路的鎖定時間與鎖相迴路電路相比可大幅減少，其中迴路係逐漸鎖定，無需VCO振盪頻率的先前設定。在本發明中，使用回應不同輸入電壓而從VCO頻率的至少兩個量測中決定的VCO特徵，可從內插值中導出輸入電壓的最佳值。在一項簡單具體實施例中，假設VCO的頻率回應對施加於輸入的電壓為線性。本發明的一或多項具體實施例的一優點，係能提供一VCO快速高效的預設定。數位處理單元會產生一與已決定的最佳化輸入電壓對應的數位控制信號。該數位控制信號可以係一從一控制字元對比數位至類比轉換器(DAC)的輸出電壓之查找表擷取的控制字元。一旦DAC經由迴路濾波器設定VCO輸入的電壓，則該DAC停用，且可建立頻率合成電路以在鎖相迴路模式下運作。

藉由改進DAC的敏感度或解析度，可進一步微調數位處理單元與DAC實施的VCO頻率預設定。

【實施方式】

圖1中的電路100包括頻率合成電路80，其可在一鎖相迴路模式或開放迴路模式下運作。電路80包括電壓控制振盪器(VCO)40、迴路濾波器30、充電幫浦20、相位頻率偵測器10以及除頻器50。相位頻率偵測器10具有一參考信號S_{ref}，其處於鎖相迴路模式下，可動態地調整VCO 40的輸出，以在參考信號S_{ref}之參考頻率的鎖定頻率範圍內提供一分割振盪信號。在本發明的一項具體實施例中，VCO 40係回應來自相位頻率偵測器10的一相位及頻率差異信號(其代表參考信號

Sref與通過除頻器50的VCO 40的輸出振盪信號之間的一相位及頻率差異)動態調整。除頻器50能藉由一除數N減少VCO輸出信號40的頻率。相位頻率差異信號進一步通過充電幫浦20，隨後經迴路濾波器30過濾。充電幫浦20可產生允許對迴路濾波器30的電容器進行充電與放電之電流。迴路濾波器30控制VCO 40輸入處的輸入電壓V。在本發明的一項具體實施例中，迴路濾波器30係作為一低通濾波器實施。VCO 40可提供一依據VCO 40的輸入電壓在一既定頻率振盪的振盪頻率信號。作為VCO輸入電壓的函數或作為濾波器輸入電壓的函數之VCO 40的頻率回應會隨運作的時間以及外部條件(例如溫度、供電電壓的變化或與附近的其他電子裝置或電路的磁場干擾)而變化。

電路100進一步包括數位處理單元60以及數位至類比轉換器(DAC) 70。DAC 70的輸出與迴路濾波器30的輸入相連，並將迴路濾波器30的輸入電壓設定為一值，該值係回應DAC 70輸入處提供的個別數位字元決定。數位處理單元60可接收參考信號Sref、除數N以及代表VCO振盪信號的除頻器輸出信號。在本發明中，單元60可防止電路80在鎖定模式中運作，且當電路80位於開放迴路模式下時，單元60可決定迴路濾波器30的輸入電壓的預設定值，該值會引起除頻器50的輸出在接近參考頻率的頻率振盪。迴路濾波器30的輸入電壓決定如下。

在本具體實施例中，單元60可存取一針對DAC 70的個別輸出電壓提供個別輸入控制字元的對照表。當電路80位於開

放迴路模式下時，單元60會引起迴路濾波器30的輸入電壓採用兩個預選值V1與V2。針對各電壓值V1或V2，單元60可決定在除頻器50的輸出處量測的對應頻率以及電壓V1與V2所獲得的對應的VCO頻率F1與F2。在本具體實施例中，假設VCO 40的特徵為線性。單元60隨後會藉由線性內插值決定設定電壓，該電壓即將施加於迴路濾波器30的輸入處，以引起除頻器50分割的VCO 40輸出在實質上接近參考頻率的頻率振盪。

迴路濾波器30的輸入電壓的預設定之敏感度取決於DAC 70的解析度(解析度較高的DAC可用於增強預設定之品質)，該敏感度可進一步改進，結果可進一步減少鎖定時間。藉由導出VCO 40特徵的一更為準確的近似值可進一步增強預設定之品質。確實，應注意對VCO 40特徵為線性之假設絕非對本發明之限制，VCO 40特徵的其他形狀亦可包含在本發明中。例如，藉由量測對應於兩個以上的濾波器輸入電壓的值的VCO頻率可獲得一更為準確的VCO特徵之近似值。但該等量測會延長VCO頻率的預設定，並因此延長電路80的鎖定時間。量測的數字與VCO 40特徵之近似值的精度之間的折衷需視各情況而決定。可將頻率合成電路80包括在一個無線系統中，以改善頻率鎖定。此無線系統可包括諸如發送器等的一個發送模組，以及諸如接收器等的一個接收模組。可利用由電壓控制振盪器所輸出的振盪信號來調變此無線系統的一個資料信號。之後，發送器可發送經調變之此資料信號。此外，接收器亦可接收另一個資料信號，以及利用振盪信號來解調變此資料信號。

應注意，依據所述方法與電路，可提出修改或改進，而不致背離本發明之範疇。例如，顯而易見，本方法或電路可以數種方式實施，如藉由有線電子電路，或藉由一組儲存在電腦可讀取媒體中之指令，該等指令會代替至少部分該等電路，並可在一電腦或數位處理器的控制下執行，以實施與該等被替代電路中實現的功能相同之功能。因此，本發明不限於本文提供的範例。

【圖式簡單說明】

藉由範例以及參考隨附之圖式更詳細地說明本發明，其中，圖1係本發明之電路的一方塊圖。

【圖式代表符號說明】

10	相位頻率偵測器
20	充電幫浦
30	迴路濾波器
40	電壓控制振盪器
50	除頻器
60	單元
70	數位至類比轉換器
80、100	電路

伍、中文發明摘要：

本發明揭示一種頻率合成電路，其包括頻率預設定為一值的一電壓控制振盪器(40)，其可回應一輸入電壓產生一振盪信號。一數位處理單元(60)可使該電路停用在鎖相迴路模式下運作。一旦該電路停用，該單元會回應個別第一與第二迴路濾波器輸入電壓值決定該振盪信號的一第一與第二頻率。該單元可進一步從該等兩個頻率、該除頻器除數以及該參考信號中產生一控制值。該電路進一步包括一D/A轉換器(70)，其係配置以回應該控制值預設定該迴路濾波器輸入電壓為一預設定值。一旦該振盪器輸出在該對應輸入預設定值振盪，則單元(60)會停用該D/A轉換器(70)並致能該頻率合成在鎖相迴路模式下運作。

陸、英文發明摘要：

A frequency synthesizing circuit includes a voltage-controlled oscillator (40) whose frequency is preset to a value, and which generates an oscillating signal in response to an input voltage. A digital processing unit (60) can disable the circuit to operate in phase locked loop mode. Once the circuit is disabled, the unit determines a first and second frequency of the oscillating signal in response to respective first and second loop filter input voltage values. The unit further generates a control value from the two frequencies, the frequency divider dividing ratio and the reference signal. The circuit further comprises a D/A converter (70) configured to preset the loop filter input voltage to a preset value in response to the control value. Once the oscillator output oscillates at the corresponding input preset value, the unit (60) disables the D/A converter (70) and enables the frequency synthesizing to operate in phase locked loop mode.

拾、申請專利範圍：

99.1.26
年 月 日修正本

1. 一種組配來在頻率合成電路中提供建置電壓之電路，其包含：

一個電壓控制電路，其具有一個輸入與一個輸出，並係組配來源於該輸入上的一個輸入電壓而在該輸出上產生一個振盪信號，且該頻率合成電路係組配來在一個誤差信號的控制之下在一個鎖相迴路模式中運作，該誤差信號代表介於該振盪信號與一個參考信號之間的一個相位差；

一個數位處理單元，其係組配來將該頻率合成電路從該鎖相迴路模式切換成一個開放迴路模式，並然後響應於施給該輸入的一第一輸入電壓與一第二輸入電壓而分別判定所獲得之該振盪信號的一第一頻率與一第二頻率，並且該數位處理單元更係組配來源於該等第一與第二頻率及該參考信號而產生一個控制值；以及

一個數位至類比轉換器，其係組配來響應於該控制值而將該建置電壓施給該電壓控制電路的該輸入。

2. 如申請專利範圍第1項之電路，其中該數位至類比轉換器並不在該頻率合成電路係於該鎖相迴路模式中運作時運作。

3. 如申請專利範圍第1項之電路，其更包含：

組配來產生該誤差信號的一個相位頻率檢測器、
一個充電幫浦電路、以及
一個迴路濾波器，

其中該充電幫浦電路響應於該誤差信號而提供一個電流，而該迴路濾波器判定該振盪信號。

4. 如申請專利範圍第1項之電路，其中該數位處理單元更源於該等第一與第二頻率以及該等第一與第二輸入電壓值而判定該電壓控制電路的一個特性，並更源於所判定之該特性及該參考信號而判定該控制值。

5. 如申請專利範圍第1項之電路，其更包含：

一個迴路濾波器，其輸出連接到該電壓控制電路之該輸入；並且

其中該數位至類比轉換器之該輸出連接至該迴路濾波器的一個輸入，且該數位至類比轉換器將該迴路濾波器之該輸入設定為該建置電壓。

6. 如申請專利範圍第1項之電路，其中，該數位處理單元更依據該等第一與第二頻率、該等第一與第二輸入電壓值、以及該參考信號的一個頻率而源於該電壓控制電路的一個特性的一種線性內插法來判定該建置電壓，並且該數位處理單元更源於包含數個控制值的一個檢索表而判定該控制值，該等控制值與施給該電壓控制電路之該輸入的各個輸入值相關聯。

7. 一種組配來在頻率合成電路中提供建置電壓之裝置，其包含：

一個電壓控制電路，其具有一個輸入與一個輸出，並係組配來源於該輸入上的一個輸入電壓而在該輸出上產生一個振盪信號，且該頻率合成電路係組配來在一個誤差信號的控制之下在一個鎖相迴路模式中運作，該

誤差信號代表介於該振盪信號與一個參考信號之間的一個相位差；

5 一個數位處理單元，其係組配來將該頻率合成電路從該鎖相迴路模式切換成一個開放迴路模式，並然後響應於施給該輸入的一第一輸入電壓與一第二輸入電壓而分別判定所獲得之該振盪信號的一第一頻率與一第二頻率，並且該數位處理單元更係組配來源於該等第一與第二頻率及該參考信號而產生一個數位控制信號；以及

10 一個數位至類比轉換器，其係組配來響應於該數位控制信號而將建置電壓施給該電壓控制電路的該輸入。

8. 如申請專利範圍第7項之裝置，其更包含：

一個發射模組，用以發送使用該振盪信號調變的一個資料信號。

15 9. 如申請專利範圍第7項之裝置，其更包含：

一個接收模組，用以接收一個資料信號，以及使用該振盪信號來解調變該資料信號。

20 10. 一種用以在適於在鎖相迴路模式中運作的頻率合成電路中將建置電壓提供給電壓控制振盪器的輸入之方法，該方法包含下列步驟：

將該頻率合成電路從該鎖相迴路模式切換成一個開放迴路模式；

將一第一輸入電壓與一第二輸入電壓施給該電壓控制振盪器之該輸入；

25 響應於第一與第二輸入電壓值而判定該電壓控制

振盪器的一第一振盪頻率與一第二振盪頻率；

從一個參考頻率、該等第一與第二振盪頻率與該等第一與第二輸入電壓值內插出該建置電壓；以及

以一個數位至類比轉換器將該建置電壓施給該電壓控制振盪器之該輸入。

11.如申請專利範圍第10項之方法，其更包含下列步驟：

在將該建置電壓施給該電壓控制振盪器之該輸入之後，將該頻率合成電路從該開放迴路模式切換成該鎖相迴路模式。

12.如申請專利範圍第10項之方法，其中該建置電壓更係從一個除頻器除數內插而來。

13.如申請專利範圍第1項之電路，其中，在該數位至類比轉換器將該建置電壓施給該電壓控制電路之該輸入之後，該數位處理單元將該頻率合成電路從該開放迴路模式切換成該鎖相迴路模式。

拾壹、圖式：

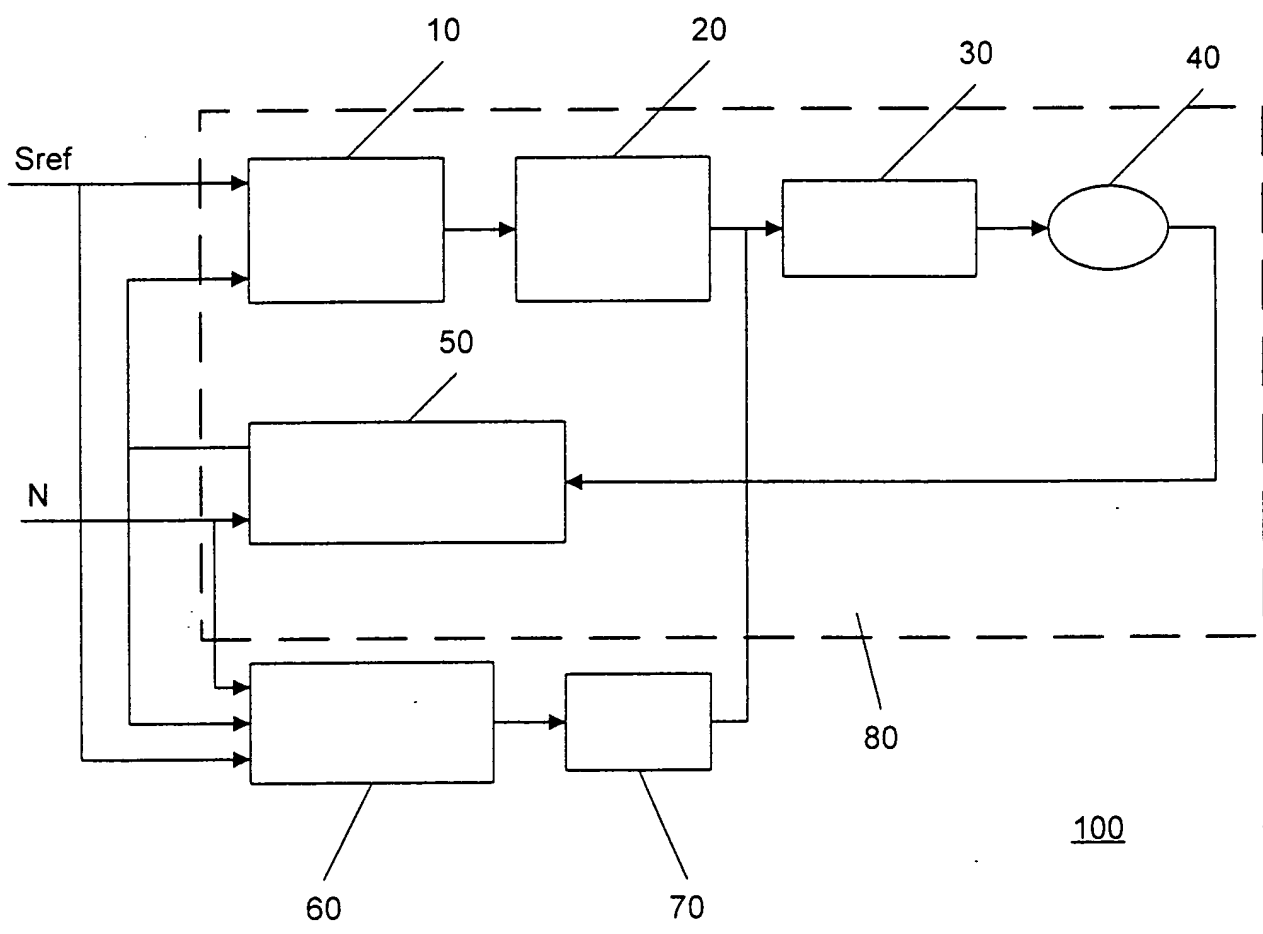


圖 1

柒、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件代表符號簡單說明：

10	相 位 頻 率 偵 測 器
20	充 電 幫 浦
30	迴 路 濾 波 器
40	電 壓 控 制 振 盪 器
50	除 頻 器
60	單 元
70	數 位 至 類 比 轉 換 器
80、100	電 路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)