

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-508719

(P2008-508719A)

(43) 公表日 平成20年3月21日(2008.3.21)

(51) Int.Cl.

H01L 29/78 (2006.01)
H01L 21/20 (2006.01)
H01L 29/786 (2006.01)
H01L 21/316 (2006.01)
H01L 21/318 (2006.01)

F 1

H01L 29/78 301G
H01L 21/20 5F110
H01L 29/786 301B
H01L 29/78 617T
H01L 29/78 618B

テーマコード(参考)

5F058
5F110
5F140
5F152

審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く

(21) 出願番号

特願2007-523561 (P2007-523561)

(86) (22) 出願日

平成17年6月16日 (2005.6.16)

(85) 翻訳文提出日

平成19年1月30日 (2007.1.30)

(86) 国際出願番号

PCT/US2005/021498

(87) 国際公開番号

W02006/023027

(87) 国際公開日

平成18年3月2日 (2006.3.2)

(31) 優先権主張番号

10/903,841

(32) 優先日

平成16年7月30日 (2004.7.30)

(33) 優先権主張国

米国(US)

(71) 出願人

504199127
フリースケール セミコンダクター イン
コーポレイテッド
アメリカ合衆国 78735 テキサス州
オースティン ウィリアム キャノン
ドライブ ウエスト 6501

(74) 代理人

100089705

弁理士 社本 一夫

(74) 代理人

100140109
弁理士 小野 新次郎

(74) 代理人

100075270
弁理士 小林 泰

(74) 代理人

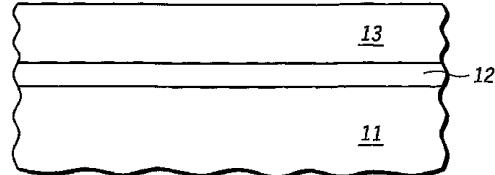
100080137
弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】高k誘電材料と一緒に使用するための界面層

(57) 【要約】

シリコン基板(11)上に純粋なゲルマニウムの層(12)を堆積することができる方法及び装置。このゲルマニウム層は、非常に薄く、約14 のオーダーであり、シリコン上の純粋なゲルマニウムに関する臨界厚さよりも小さい。該ゲルマニウム層(12)は、シリコン基板(11)と高kゲート層(13)との間の中間層として役立ち、該高kゲート層(13)はゲルマニウム層(12)の上に堆積される。ゲルマニウム層(12)は、高k材料の適用中、酸化物界面層の発生を避けるのに役立つ。半導体構造におけるゲルマニウム中間層の適用は、酸化物不純物のための直列キャパシターンの不利益無しで機能的な高kゲートを生じさせる。ゲルマニウム層(12)は更に移動度を改善する。



【特許請求の範囲】**【請求項 1】**

基板と、

前記基板の表面に堆積されたゲルマニウム層と、

前記ゲルマニウム層上に堆積された高 k 材料の誘電層のスタック又は誘電層とを有し、

前記ゲルマニウム層がおおよそ 14 オングストロームの厚さより小さいことを特徴とする半導体構造体。

【請求項 2】

前記基板が、シリコン、ガリウムヒ素 (GaAs)、インジウムリン (InP)、GaAs の他の合金化合物、及び、InP の他の合金化合物からなるグループから選択された材料からなることを特徴とする請求項 1 に記載の半導体構造体。 10

【請求項 3】

前記基板の層が、シリコン、ガリウムヒ素、インジウムリン、ガリウムヒ素の合金化合物、又は、インジウムリンの合金化合物の単結晶からなり、前記ゲルマニウム層がゲルマニウムの単結晶からなることを特徴とする請求項 1 に記載の半導体構造体。

【請求項 4】

前記ゲルマニウム層が重量パーセント濃度で 5 %までの炭素を更に含むことを特徴とする請求項 1 に記載の半導体構造体。

【請求項 5】

前記ゲルマニウム層が更に、ゲルマニウム格子で 3 原子層までのゲルマニウムからなることを特徴とする請求項 1 に記載の半導体構造体。 20

【請求項 6】

前記誘電層が、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、珪酸塩、窒化ハフニウム、及びゲルマニウムオキシナイトライドからなるグループから選択されることを特徴とする請求項 1 に記載の半導体構造体。

【請求項 7】

前記基板の層が、ゲルマニウムの層と格子ミスマッチが 4.2 %より小さいことを特徴とする請求項 1 に記載の半導体構造体。

【請求項 8】

前記ゲルマニウム層が、転移を形成せず前記基板の層の上に仮像に形成されることを特徴とする請求項 1 に記載の半導体構造体。 30

【請求項 9】

前記誘電層が、おおよそ 100 オングストロームの厚さよりも小さいことを特徴とする請求項 1 に記載の半導体構造体。

【請求項 10】

露出した表面を備えた基板を提供するステップと、

シリコン層の露出した表面に、厚さがおおよそ 14 オングストロームより小さい層のゲルマニウム層を堆積するステップと、を有し、堆積された前記ゲルマニウム層は露出した表面を備え、

前記ゲルマニウム層の露出した表面に高 k 材料の誘電層のスタック又は誘電層を堆積するステップと、 40

を有することを特徴とする半導体構造体を形成する方法。

【請求項 11】

前記基板を提供するステップが更に、単結晶シリコンの露出した表面を備えたシリコン層を提供するステップからなることを特徴とする請求項 11 に記載の方法。

【請求項 12】

前記基板を提供するステップが更に、単結晶ガリウムヒ素又はその合金化合物の露出された表面を備えたガリウムヒ素層を提供するステップからなることを特徴とする請求項 11 に記載の方法。

【請求項 13】

10

20

30

40

50

前記基板を提供するステップが更に、単結晶インジウムリン又はその合金化合物の露出された表面を備えたインジウムリン層を提供するステップからなることを特徴とする請求項11に記載の方法。

【請求項14】

前記ゲルマニウム層を堆積するステップが更に、化学蒸着法(CVD)プロセスを介してゲルマニウムの層を堆積するステップからなることを特徴とする請求項11に記載の方法。

【請求項15】

前記ゲルマニウム層を堆積するステップが更に、分子線エピタキシー(MBE)プロセスを介してゲルマニウムの層を堆積するステップからなることを特徴とする請求項11に記載の方法。 10

【請求項16】

前記ゲルマニウム層を堆積するステップが更に、原子層堆積(Atomic layer deposition; ALD)プロセスを介してゲルマニウムの層を堆積するステップからなることを特徴とする請求項11に記載の方法。

【請求項17】

前記ゲルマニウム層を堆積するステップが更に、2次元成長モードでゲルマニウム層を成長させるステップからなることを特徴とする請求項11に記載の方法。

【請求項18】

前記ゲルマニウム層を堆積するステップが更に、重量パーセント濃度で5%までの炭素を備えたゲルマニウムを堆積させるステップを含むことを特徴とする請求項11に記載の方法。 20

【請求項19】

前記ゲルマニウム層を堆積するステップが更に、ゲルマニウム結晶格子において3又はそれより少ない原子層を備えたゲルマニウム層を堆積するステップを含むことを特徴とする請求項11に記載の方法。

【請求項20】

その場(in situ)又は外部(ex situ)の方法を用いて酸化物の存在を最小にするよう前に記露出された基板表面を洗浄するステップを更に含むことを特徴とする請求項11に記載の方法。 30

【請求項21】

酸化物の存在を最小にするためにゲルマニウムの露出された表面を洗浄するステップを更に有することを特徴とする請求項11に記載の方法。

【請求項22】

高k材料の誘電層を堆積するステップにおける誘電層が更に、酸化ハフニウム、酸化ジルコニアム、酸化チタニウム、酸化アルミニウム、珪酸塩、及び窒化ハフニウムからなるグループから選択された誘電材料からなることを特徴とする請求項11に記載の方法。

【請求項23】

露出された表面を備えた高純度の単結晶基板層を提供するステップと、

酸化物の存在を低減するためにシリコン層の前記露出された表面を洗浄するステップと、 40

前記基板層の露出された表面上に高純度ゲルマニウムの層を堆積するステップと、を有し、前記ゲルマニウム層がシリコン層にエピタキシャルに適合し、前記ゲルマニウム層は、臨界厚さよりも小さく、前記堆積されたゲルマニウム層は露出した表面を備え、

酸化物の存在を低減するために前記基板層の露出した表面を洗浄するステップと、

前記ゲルマニウム層の露出した表面に高k材料の誘電層を堆積するステップと、を有することを特徴とする半導体構造体を形成する方法。

【請求項24】

前記高純度ゲルマニウムの層を堆積するステップが更に、厚さがおよそ14オングストロームよりも小さくなるように高純度のゲルマニウム層を堆積するステップからなるこ 50

とを特徴とする請求項 2 4 に記載の方法。

【請求項 2 5】

前記誘電層を堆積するステップが更に、およそ 100 オングストロームの厚さよりも小さい誘電層を堆積するステップを有することを特徴とする請求項 2 4 に記載の方法。

【請求項 2 6】

高 k 材料の誘電層を堆積するステップにおける誘電材料が更に、酸化ハフニウム、酸化ジルコニアム、酸化チタニウム、酸化アルミニウム、珪酸塩、窒化ハフニウム、ゲルマニウムオキシナイトライド、及び、酸化ランタンからなるグループから選択された誘電材料からなることを特徴とする請求項 2 4 に記載の方法。

【請求項 2 7】

前記誘電層を堆積するステップが更に、厚さがおよそ 60 乃至 80 オングストロームの間である誘電層を堆積するステップからなることを特徴とする請求項 2 4 に記載の方法。

【請求項 2 8】

前記ゲルマニウムの層を堆積するステップが更に、化学蒸着法 (CVD) 堆積プロセスを介してゲルマニウムの層を堆積するステップからなることを特徴とする請求項 2 4 に記載の方法。

【請求項 2 9】

前記ゲルマニウムの層を堆積するステップが更に、分子線エピタキシー (MBE) プロセスを介してゲルマニウムの層を堆積するステップからなることを特徴とする請求項 2 4 に記載の方法。

【請求項 3 0】

前記ゲルマニウムの層を堆積するステップが更に、原子層堆積 (Atomic layer deposition ; ALD) プロセスを介してゲルマニウムの層を堆積するステップからなることを特徴とする請求項 2 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は全体として半導体デバイス及びそれらの製造方法に関し、特にシリコン基板及び高 K 誘電材料と一緒に使用する界面ゲルマニウム層の使用に関する。

【背景技術】

【0 0 0 2】

電界効果トランジスタ (FET) は、エレクトロニクス産業において広い用途が見いだされている。いくつかの特定のプロセス用途は、スイッチング、増幅、フィルタリング、及び他のタスクを含む。酸化金属半導体電界効果トランジスタ (MOSFET) は、現在使用されている FET デバイスのより一般的なタイプの一つである。それらは、例えば、デジタル処理用途で著しい使用が見いだされている。MOSFET 構造は典型的には、ソースとドレインとの間に電流を流すことができる半導体チャネル内で電解を生成するために活性化された金属又はポリシリコンゲート電極を含む。

【0 0 0 3】

ムーアの法則に従って、設計者はトランジスタのサイズを縮小させることを試み続ける。トランジスタが小さくなればなるほど、ゲート誘電層も薄くなる。ゲート誘電層の厚さが薄くなり続けることは、技術的な問題を導く。ゲートの酸化シリコン誘電層を介するリードは、その厚さが減少するに従い指数関数的に増加する。将来的に提案されるゲート寸法は、誘電層が、純粋な「オン」及び「オフ」状態から漂遊しうるくらい薄い誘電層を要求する。その代わり、リードは、低パワー、又は、「漏洩 (leaky) 」オフ状態を導きうる。この挑戦は、将来のトランジスタ世代の成功に関して取り組まれなければならない。

【0 0 0 4】

提唱されている他の様は、ゲート誘電層としての酸化シリコンの代わりに高 k 材料を使用することである。高 k は、高い誘電率のことを言い、材料がどれくらい電荷を保持す

10

20

30

40

50

ことができるかの基準である。異なる材料は、電荷を保持する能力が異なる。高 k 材料は、二酸化ハフニウム (HfO_2)、二酸化ジルコニウム (ZrO_2) 及び二酸化チタニウム (TiO_2) のような酸化化合物であり、二酸化珪素の値である、約 3 . 9 の誘電率をもつ。

【0005】

誘電率はまた、トランジスタの性能に影響を及ぼす。k 値が増加すると、トランジスタの容量もまた増大する。この増加した容量により、トランジスタは、「オン」と「オフ」との間のスイッチング特性を発揮することができる。更に、高 k 値は、高性能スイッチングに対応し、「オフ」状態、及び、「オン」状態中の高い電流フローにおいて非常にわずかな電流リークがあるだけである。加えて、誘電スタック (dielectric stack) における高 k 材料は、最終的なトランジスタにおける電荷の移動度を改善することに繋がる。高 k 材料の特徴である良好な電荷移動度は、トランジスタの性能、信頼性及び寿命を改善することができる。かかる高 k 材料は、誘電スタックにおいて使用され得る可能性のある材料として著しく有望である。10

【発明の開示】

【課題を解決するための手段】

【0006】

しかしながら、エレクトロニクス産業界では、ここ数十年の間、誘電層の材料として二酸化珪素の使用が支配的であった。誘電層としての高 k 材料の実験的な使用は、より薄い二酸化珪素層が採用されるとき明白でない他の製造及びプロセスの挑戦として意味深い。20 高 k 材料の用途の更なる開発のために、これらの技術的な挑戦を克服することが望まれる。高 k 材料が誘電層に使用されるときに明らかにされるある特定の問題は、シリコン層の表面での酸化物の形成のための弱い誘電性能である。

【0007】

高 k 誘電層における使用のために提案されている多くの材料は、酸素を含む化合物である。シリコン基板上のこれらの材料の更なる堆積は、酸化ステップを含む処理ステップを含む。材料の酸化の後にある元素の化学蒸着 (CVD) 又はスパッタリングをすることは、高 k 材料層を形成するための一つの例示的な処理の一種である。堆積プロセスにおいて存在する周りのガス、又は、酸化化合物それ自体から供給されるガスのいずれかの酸素が、シリコン基板の近位に存在する。この種の製造の結果、シリコン基板と高 k 誘電層との間の層である界面層が現れる。界面層は、シリコンの基板と酸素との反応から生じる二酸化シリコンのような酸化物を含む。更に、これらの酸化物は性能を損じ、さもなければ、高 k 誘電材料で達成される。30

【0008】

薄い二酸化シリコン層は、実質的に低 k 界面層である。この種の低 k 界面層は、高 k 誘電層と直列にキャパシタのように電気的に作用する。二酸化シリコン界面層の影響は、ゲート誘電スタックの全体的なキャパシタンスを低減させ、かくして、高 k 材料の使用の利点を無効にする。更に、界面層は、(ゲート誘電層のすぐ下の) チャネル領域での移動度の低減をもたらし、かくして、それに関連するデバイスの性能を低下させる。

【0009】

従って、高 k 誘電層のこれらの材料及び、これらの材料を適用する方法を発見することが望まれる。所望のプロセス及び材料は、ゲート誘電層における高 k 材料と一緒に以前に使用されていた際に顕著な界面酸化物層の影響を低減又は除去すべきである。更に、FET 製造で使用されている現在のプロセス技術で使用するのに適した、これらの材料及び方法を開発することが望ましい。また、半導体中の電荷移動度を改善し、半導体の有効な寿命を改善するように、高 k 誘電材料を適用することもまた望ましい。本発明は、これらの 1 又はそれ以上の必要性を扱うものである。更に、本発明の他の所望の特徴及び特性は、本発明のこの技術的背景及び添付の図面と一緒に本発明の詳細な説明及び特許請求の範囲から明らかである。40

【発明を実施するための最良の形態】

10

20

30

40

50

【0010】

以下、本発明を図面を参照して記載する。可能な限り、同じエレメントは同じ参考番号で記載する。

本発明の詳細な説明を単に例示的に以下に示すが、本発明、又は、本発明の用途及び使用を限定するものではない。

【0011】

純粋なゲルマニウムの層をシリコン基板上に成長させることができることが発見された。このゲルマニウム層は非常に薄く、約14オングストロームのオーダーであり、シリコン上の純粋なエピタキシャルゲルマニウムの臨界厚さよりも薄い。ゲルマニウム層は、シリコン基板と高kゲート層との間の中間層として役立つ。ゲルマニウム層は、高k材料の適用中に、酸化物界面層の発生を妨げるのを助ける。ゲルマニウム界面層の適用により、酸化物不純物のための直列キャパシタンスの不利益なしで、高kゲート機能性を生じる。

10

【0012】

図1を参照すると、本発明の実施形態によるゲルマニウム層を使用した半導体構造の概略図が示されている。図1に示された半導体構造は、図1のマルチレイヤー構造から図2に示された完成したトランジスタにトランジスタ構造を変形させるようなプロセスを示していることが当業者には理解されるであろう。図1に示したように、構造は、シリコンベース層11、薄いゲルマニウム層12、及び、高k材料の誘電層13からなる。シリコン層11は、シリコンベース半導体の製造に使用されるようなシリコン基板である。別の実施形態では、シリコン層11は、シリコン-オン-絶縁体(SOI)材料からなっても良い。

20

【0013】

別の実施形態では、層11は、シリコンではない材料からなる。任意の材料は、ガリウムヒ素(GaAs)、インジウムリン(InP)、GaAsのいかなる合金化合物、及び、InPのいかなる合金化合物を含む。

【0014】

図2を参照すると、完成したトランジスタの代表的な例を示す。このトランジスタは、図1の出発構造から形成される。シリコンベース層11、ゲルマニウム層、及び、誘電層13に加えて、完成したトランジスタは、ソース領域14及びドレイン領域15を更に有する。更に、誘電スタックの物理的な構造は、ゲート内に誘電層13を変形させるように形成される。これは、完成したトランジスタ内に半導体スタックを変形させるようにプロセスを製造することの一部であることを当業者は理解するであろう。

30

【0015】

図1に示した半導体構造を進展させる方法は、シリコン基板11の準備で始まる。これは、半導体技術において使用されるいかなる周知のプロシージャを介しても達成することができる。例えば、基板はバルクシリコン基板であって良い。別の実施形態では、半導体基板は、シリコン-オン-絶縁体タイプ基板であってもよい。基板はまた、pドーピングのようなドーパントを含んでも良い。基板11の進展は、材料の層、この場合では、ゲルマニウム層12が堆積される基板の露出された表面を提供する。好ましい実施形態では、露出されたシリコン表面は、表面酸化物が実質的ないし単結晶材料である。シリコン層11が単結晶シリコン材料からなることも好ましい。

40

【0016】

シリコン基板11を作り出すステップに加えて、基板11は、露出された表面で酸化物を除去又は低減するように任意の処理を追加的に受けても良い。クリーニング・プロシージャは、露出された表面をフッ化水素酸の溶液で洗浄すること、並びに、半導体産業で使用される他のクリーニング・プロシージャを含む。クリーニング・プロシージャは、当業界で知られている、その場(in situ)又は外部(ex situ)洗浄方法に従って良い。シリコン材料が、特に露出された表面で、実質的に汚染がないことはより好ましい。当業界で知られているように、シリコン基板のプロセスは、酸素の存在を最小にするために不活性雰囲気か又は真空で行われる。

50

【0017】

次のステップでは、ゲルマニウム12の層がシリコン層の露出された表面上に堆積される。このステップの完了の際に、ゲルマニウム層12は、以前に露出したシリコン表面又は露出した表面の一部を被覆する。ゲルマニウム層12の完了の際に、それは露出した表面を有する。高k材料のような後の材料は、その表面上に堆積されうる。

【0018】

ある実施形態では、ゲルマニウム層12は高純度ゲルマニウムであるのが好ましい。この実施形態では、ゲルマニウム中の不純物又は他の材料は避けられる。ゲルマニウム層の厚さは臨界厚さ以下であるのが好ましい。他の実施形態では、ゲルマニウム層12は、少量の炭素を含むことができる。

10

【0019】

シリコン上にゲルマニウム層を堆積する方法は、分子線エピタキシー(MBE)及び化学気相蒸着(CVD)を含む。MBEは、原子スケールで材料成長の制御をすることができる方法である。MBEはまた、良好な制御、再現性、及びスループットで薄いエピタキシャル層を可能とする。かくして、MBEは、薄いゲルマニウム層の堆積によく適している。分子線エピタキシーは、超高真空環境で固体ソース蒸着を採用し、材料は典型的には空気シャッターのような供給システムによって個別に制御される。このプロセスは、柔軟性を提供し、高い再現性を伴うコンピュータ制御下で製造される複雑な合金及び超格子構造を可能にする。

20

【0020】

MBE成長方法のある実施形態では、まずシリコンウェハは、MBEチャンバ内に配置される。ゲルマニウムソースが、1又はそれ以上の噴散セル内にロードされる。各噴散セルは、ゲルマニウムの塊変形を促進するように所望のレベルに加熱される。MBEチャンバは、高レベルの真空を提供するために真空引きされるのが好ましい。シリコンウェハは、ウェハ上にゲルマニウムのエピタキシャル成長を促進するために所望の温度に加熱される。MBE装置内のシャッターが、所望の長さの時間の間、MBEチャンバにゲルマニウムを露出させるために開けられる。シリコンウェハの回転のように、MBE堆積に共通の他の制御は、システムに包含されて良い。シリコン基板上にゲルマニウムのエピタキシャル2次元成長を促進するように、時間、温度、及びエネルギー転送のような制御パラメータが選択される。他の任意の堆積プロシージャもまた、ゲルマニウム層を形成するのに使用されうる。これら の方法は、有機金属気相成長(MOCVD)、原子層成長(atomic layer deposition、ALD)、原子気相成長(atomic vapor deposition、AVD)、物理蒸着法(PVD)、化学溶液成長(chemical solution deposition、CSD)、パルスレーザ成長(PLD)、又は同様な方法を含む。

30

【0021】

図3を参照すると、シリコン結晶と適合するゲルマニウムの結晶格子の図を示す。結晶のシリコン部分が層30として示され、ゲルマニウム部分は層31である。純粋なゲルマニウム結晶のゲルマニウム原子の間の間隔が、純粋なシリコン結晶のシリコン原子の間の間隔よりも大きいので、ゲルマニウム及びシリコンのそれら自体による結晶構造は、ミスマッチする。しかしながら、所定の厚さ以下では、ゲルマニウム結晶は、シリコン結晶層上にエピタキシャル成長されうる。臨界厚さ以下の厚さでは、ゲルマニウム格子構造におけるゲルマニウム原子は、シリコンの格子構造にマッチするように適合することができる。ゲルマニウム格子は、垂直方向にゲルマニウム格子を伸張させることにより、水平面でシリコンに適合するように伸張又は圧縮する。しかしながら、臨界厚さを超える厚さでは、ゲルマニウム結晶は、シリコン結晶に適合するように緊張を伸張させることができず、ゲルマニウム結晶はリラックスし、かくしてあるポイントでブレークする。このブレークポイントは、臨界厚さと呼ばれる。シリコン結晶に適合したゲルマニウムの薄い層に関して、その臨界厚さは、おおよそ14オングストロームである。この臨界厚さは、結晶格子におけるゲルマニウム原子のおおよそ3乃至4原子層に相当する。かくして、ゲルマニウム結晶格子は、ゲルマニウム原子の3又はそれ以下の原子層を有することが好ましい。

40

50

【0022】

基板上に成長されたゲルマニウム層は、基板上に仮像に形成されるのが好ましく、それは、ゲルマニウムが、ゲルマニウムと基板材料とに関する臨界厚さまで適合するエピタキシャル格子であることを意味する。更に、好ましい仮像成長は、転位なしでゲルマニウム層を形成する。随意的に、基板層は、ゲルマニウムとの格子ミスマッチが4.2%より小さいのが好ましい。シリコン、ガリウムヒ素、インジウムリン及びそれらの合金以外の好ましい基板層は、シリコンの格子間隔よりもゲルマニウムにより近い格子間隔を備えたものが好ましい。かくして、これらの材料の上のゲルマニウム層の成長は、ゲルマニウム層でより小さな応力を生成する。ガリウムヒ素、インジウムリン、及び、それらの合金は、ゲルマニウムに対して4.2%より小さい格子ミスマッチを有する。

10

【0023】

ゲルマニウム層は、臨界厚さよりも大きな厚さでシリコン上に成長させることができ。これは、ゲルマニウムに少量の炭素を包含させることにより達成される。ゲルマニウム格子中の炭素原子は、ゲルマニウム結晶を破碎することなく緩和させることができる。かくして、ゲルマニウム結晶がシリコン格子に適合し、臨界厚さを超えて成長したとき、ゲルマニウム結晶における応力は、局所の炭素で決定する。ゲルマニウム中の大体1%濃度の炭素は、おおよそ10%だけゲルマニウム結晶を緩和する。別の実施形態では、ゲルマニウム層は、重量パーセントで5%の炭素まで包含する。ゲルマニウム層は、臨界厚さよりも大きいのが望ましい。

20

【0024】

ゲルマニウム界面層の成長は、Stranski-Krastanov成長モードが起こるのが好ましい。シリコン上のゲルマニウム成長は、2次元モード(Stranski-Krastanov)または3次元モード(Volmer-Weber)で成長することができる。図を参照すると、図4は、シリコン層11上にゲルマニウム層12の2次元成長を表し、図5は、シリコン基板11上にゲルマニウム「アイランド」16の3次元成長を表す。2次元成長は、ゲルマニウムの層の成長によって特徴付けられ、層は原子層であつてよい。2次元成長モードでは、ゲルマニウムの第1の原子層は、シリコン表面上で成長する。第1の層上にゲルマニウムの第2の原子層の堆積が続く。対照的に、3次元成長は、クラスタ又は「アイランド」におけるゲルマニウム材料の堆積によって特徴付けられ、ゲルマニウムの各アイランドは、ゲルマニウム自体の多くの原子層からなる。更に、3次元成長モードでは、ゲルマニウムアイランドは、互いに接触せず、シリコン表面のパッチが依然として露出している。2次元モードで成長する純粋ゲルマニウムの層が臨界厚さを通過するとき、ゲルマニウム成長は、ゲルマニウム格子が緩和するように3次元成長モードに変更される。かくして、ゲルマニウム層は、シリコン上におおよそ14オングストロームの純粋なゲルマニウムの臨界厚さで、又は、その臨界厚さ以下で保持されるべきである。ゲルマニウム層の成長は、2次元成長から3次元成長に変形しないのが好ましい。

30

【0025】

ゲルマニウムは、シリコン上のゲルマニウムの堆積が、さもなければ二酸化シリコン界面層を形成する著しいレベルの酸化物を生成しない状況の一部では、界面層に関して好ましい材料として選択される。ゲルマニウムは、化学的に安定な酸化物構造を容易に形成しない。酸素欠乏雰囲気で純粋なゲルマニウムがシリコン上に堆積されるとき、かくして、酸化物は、最小になる。シリコンが反応する酸素は最小になる。かくして、従来技術の方法の困難性は回避される。良好な製造の限界は、酸素の存在を最小にするようになることは当業者には承知されているであろう。例えば、酸素の存在を避けるために、真空又は不活性雰囲気中の操作が含まれる。高純度材料の使用はまた、酸化物の存在を小さくする。

40

【0026】

堆積されたゲルマニウム層12では、酸化物の存在を低減するために更に処理されうる。かかる処理は、フッ化水素酸、又は、他の洗浄剤で処理されるような洗浄ステップを含む。この点で、ゲルマニウム層の露出された表面は、誘電層における高k材料の堆積を容

50

易にする。

【0027】

誘電層は、ゲルマニウム層の露出した表面で堆積される。好ましい実施形態では、誘電層は厚さ100オングストロームよりも小さい。ゲルマニウム上に高k材料を堆積する周知の方法は以下の通りである。

【0028】

ここで使用している「高k」又は「高k誘電材料」は、約10又はそれ以上のk値を備えた誘電材料を意味する。かかる高k誘電材料は、例えば、酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタニウム、酸化アルミニウム、及び他の材料を含む。一般的な高k誘電材料では、二酸化、三酸化及びより高次の酸化物、及び、約20またはそれ以上のk値を備えたいかなる強誘電性材料であるこれらの材料を包含する。更に、高k誘電材料は、珪酸ハフニウム、他のシリカ化合物、ハフニウムシリコンオキシナイトライド、ゲルマニウムオキシナイトライド、及び、他のオキシナイトライドのような化合物を含む。

【0029】

材料が特定の化学名称又は化学式によって呼ばれるとき、その材料は、化学名称によつて識別される化学量論的に抽出された化学式の非化学量論的なバリエーションを含んでもよい。かくして、例えば、酸化ハフニウムは、化学式 HfO_2 の組成、並びに、1と2のそれぞれからある量だけx又はyのいずれかを変化させた Hf_xO_y を化学量論的に抽出した両方を含んでよい。

【0030】

少なくとも1つの実施形態を本発明の詳細な説明において表したが、巨大な数の変形が存在することは明らかであろう。例示的な実施形態は単なる例であり、適用可能な範囲を制限するものでない。

【図面の簡単な説明】

【0031】

【図1】本発明のある実施形態によるゲルマニウム界面層を使用した半導体構造の概略図である。

【図2】本発明のある実施形態によるプロセスのステップで作られたトランジスタ構造体の概略図である。

【図3】本発明のある実施形態によるゲルマニウム結晶及びシリコン結晶の格子構造の概略図である。

【図4】2次元構造におけるシリコン層上に成長されたゲルマニウム層の概略図である。

【図5】3次元構造におけるシリコン層状に成長されたゲルマニウム層の概略図である。

10

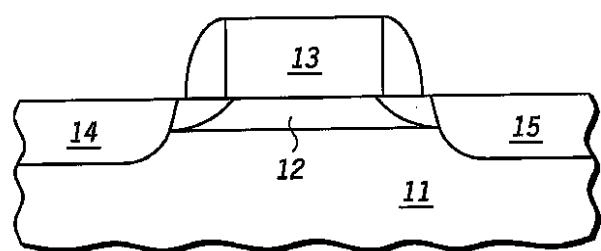
20

30

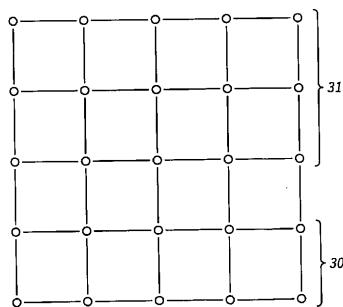
【図 1】

***FIG. 1***

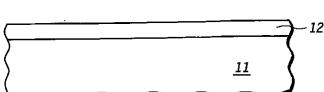
【図 2】

***FIG. 2***

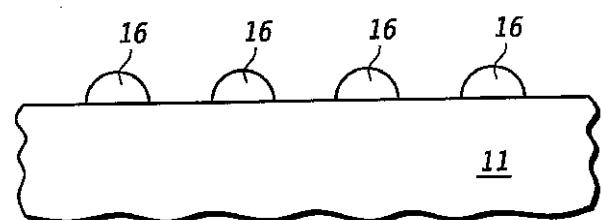
【図 3】

***FIG. 3***

【図 4】

***FIG. 4***

【図 5】

***FIG. 5***

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/21498									
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : Ho1L 21/00, 21/44, 21/76, 21/337, 21/8238, 23/48, 27/082, 27/095, 29/49, 29/80 US CL : 257/19, 20, 192, 200, 410, 616; 438/151, 287, 478, 591, 758 <small>According to International Patent Classification (IPC) or to both national classification and IPC</small>											
B. FIELDS SEARCHED <small>Minimum documentation searched (classification system followed by classification symbols)</small> U.S. : 257/19, 20, 192, 200, 410, 616; 438/151, 287, 478, 591, 758											
<small>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</small>											
<small>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</small>											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">Category *</th> <th style="text-align: left;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2004/0005740 A (LOCHTEFELD et al) 08 January 2004 (08.01.2004), para. [0034] - [0037], [0042] - [0046], [0059].</td> <td>1-3, 5-17, 19-30</td> </tr> <tr> <td>Y</td> <td>US 2003/0071281 A (LIPPERT et al) 17 April 2003 (17.04.2003), para. [0011].</td> <td>4, 18</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2004/0005740 A (LOCHTEFELD et al) 08 January 2004 (08.01.2004), para. [0034] - [0037], [0042] - [0046], [0059].	1-3, 5-17, 19-30	Y	US 2003/0071281 A (LIPPERT et al) 17 April 2003 (17.04.2003), para. [0011].	4, 18
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	US 2004/0005740 A (LOCHTEFELD et al) 08 January 2004 (08.01.2004), para. [0034] - [0037], [0042] - [0046], [0059].	1-3, 5-17, 19-30									
Y	US 2003/0071281 A (LIPPERT et al) 17 April 2003 (17.04.2003), para. [0011].	4, 18									
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed											
Date of the actual completion of the international search 17 November 2005 (17.11.2005)	Date of mailing of the international search report 08 Dec 2005										
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201	Authorized officer <i>Tom Thomas</i> for <i>Bill</i> Tom Thomas Telephone No. 703-872-9317										

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 8 E
	H 0 1 L 21/316	X
	H 0 1 L 21/318	B

(81) 指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74) 代理人 100096013
弁理士 富田 博行

(72) 発明者 トーマス,ショーン・ジー
アメリカ合衆国アリゾナ州 78700, イースト・モーガン・コート 1160, 85296

(72) 発明者 マニア,パップ・ディー
アメリカ合衆国アリゾナ州 85048, フェニックス, サウス・フォーティーンス・ウェイ 16
211

(72) 発明者 イルデレム,ヴィダ
アメリカ合衆国アリゾナ州 85215, メサ, イースト・ロシェル・ストリート 6216

F ターム(参考) 5F058 BA20 BC03 BC09 BC10 BD05 BD06 BD12 BD13 BD18 BE02
BJ01
5F110 AA06 AA14 CC02 DD05 DD13 EE31 FF01 GG02 GG03 GG12
GG19 GG42 GG43 GG44
5F140 AA24 AC36 BA01 BA03 BA07 BA08 BA17 BB16 BB18 BC12
BD04 BD11 BD13 BG08 BH14 CE10
5F152 LL02 LL03 LL09 MM04 NN03 NN07 NN08 NN15 NN29 NQ04