



(12) 发明专利

(10) 授权公告号 CN 113853782 B

(45) 授权公告日 2024. 08. 13

(21) 申请号 202080037995.2

(22) 申请日 2020.06.22

(65) 同一申请的已公布的文献号
申请公布号 CN 113853782 A

(43) 申请公布日 2021.12.28

(30) 优先权数据
2019-118647 2019.06.26 JP

(85) PCT国际申请进入国家阶段日
2021.11.22

(86) PCT国际申请的申请数据
PCT/JP2020/024448 2020.06.22

(87) PCT国际申请的公布数据
W02020/262320 JA 2020.12.30

(73) 专利权人 索尼半导体解决方案公司
地址 日本神奈川县

(72) 发明人 伊藤大介 富田一行 羽根田雅希
铃木毅 南孝明

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290
专利代理师 瓮芳 陈桂香

(51) Int.Cl.
H04N 25/79 (2023.01)
H01L 21/768 (2006.01)
H01L 23/532 (2006.01)
H01L 27/146 (2006.01)
H04N 25/78 (2023.01)

(56) 对比文件
CN 104429057 A, 2015.03.18
CN 109328395 A, 2019.02.12
CN 104428897 A, 2015.03.18

审查员 石晨阳

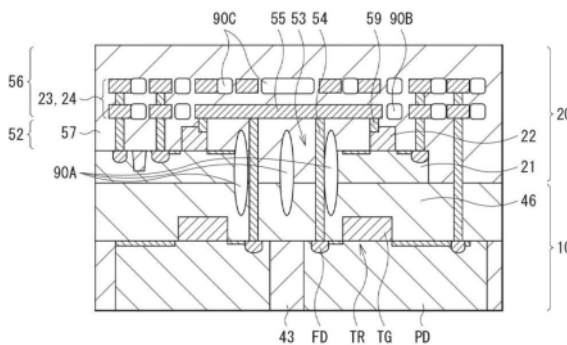
权利要求书2页 说明书77页 附图124页

(54) 发明名称

摄像装置

(57) 摘要

根据本公开实施例的摄像装置包括:第一基板,其包括进行光电转换的传感器像素;第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;以及第三基板,其包括对所述像素信号进行信号处理的处理电路。所述第一基板、所述第二基板和所述第三基板依次堆叠,并且在从所述传感器像素读出电荷至输出所述像素信号为止的电路周围的至少任一区域中设置有低介电常数区域。



1. 一种摄像装置,其包括:
第一基板,其包括进行光电转换的传感器像素并且包括传输栅极;
第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路并且包括半导体基板;以及
第三基板,其包括对所述像素信号进行信号处理的处理电路,
所述第一基板、所述第二基板和所述第三基板依次堆叠,并且
低介电常数区域在堆叠方向上至少设置在所述半导体基板与所述传输栅极之间的区域中。
2. 根据权利要求1所述的摄像装置,其中
所述传感器像素包括:光电转换元件;传输晶体管,其电气连接至所述光电转换元件;
以及浮动扩散部,其暂时保持从所述光电转换元件经由所述传输晶体管输出的所述电荷,
并且
所述像素电路包括:复位晶体管,其将所述浮动扩散部的电位复位为预定电位;放大晶体管,其产生与保持在所述浮动扩散部中的所述电荷的电平相对应的电压的信号作为所述像素信号;以及选择晶体管,其控制来自所述放大晶体管的所述像素信号的输出时序。
3. 根据权利要求2所述的摄像装置,其中
所述第一基板包括第一半导体基板,所述第一半导体基板包括在正面侧的所述光电转换元件、所述传输晶体管和所述浮动扩散部,
所述第二基板包括的所述半导体基板为第二半导体基板,所述第二半导体基板包括在正面侧的所述复位晶体管、所述放大晶体管和所述选择晶体管,并且
所述第二基板以所述第二半导体基板的与所述正面相反的背面侧面对所述第一半导体基板的所述正面侧的方式附接。
4. 根据权利要求3所述的摄像装置,其中
所述传感器像素和所述像素电路通过贯通配线彼此电气连接,所述贯通配线设置在贯穿所述第二半导体基板的贯通孔内部,并且
所述低介电常数区域至少设置在所述贯通孔内部的所述贯通配线周围的区域中。
5. 根据权利要求4所述的摄像装置,其中,所述贯通配线将所述浮动扩散部和所述放大晶体管彼此电气连接。
6. 根据权利要求4所述的摄像装置,其中
所述第一基板针对每个所述传感器像素包括所述光电转换元件和所述传输晶体管,并且包括由每多个所述传感器像素共用的所述浮动扩散部,
所述第二基板针对共用所述浮动扩散部的每多个所述传感器像素包括所述像素电路,
并且
所述贯通配线将由每多个所述传感器像素共用的所述浮动扩散部和所述放大晶体管彼此电气连接。
7. 根据权利要求4所述的摄像装置,其中,所述低介电常数区域至少设置在所述贯通配线与所述第二半导体基板之间的区域中。
8. 根据权利要求7所述的摄像装置,其中,所述低介电常数区域设置在遍及整个周边的包围所述贯通配线的区域中。

9. 根据权利要求4所述的摄像装置,其中,所述低介电常数区域设置在沿着所述贯通孔的内周的区域中。

10. 根据权利要求9所述的摄像装置,其中,所述低介电常数区域设置在相当于所述贯通孔的内侧表面上的侧壁的区域中。

11. 根据权利要求9所述的摄像装置,其中,在所述贯通孔内部设置有多个所述贯通配线。

12. 根据权利要求4所述的摄像装置,其中,所述低介电常数区域设置在所述复位晶体管、所述放大晶体管和所述选择晶体管之中的任一者以上的侧方的区域中。

13. 根据权利要求12所述的摄像装置,其中,所述低介电常数区域至少设置在与所述第二半导体基板的侧方相对应的区域中。

14. 根据权利要求13所述的摄像装置,其中,所述低介电常数区域设置在由绝缘材料包围的区域中,所述绝缘材料具有与用于填充所述贯通孔的绝缘材料不同的蚀刻速率。

15. 根据权利要求4所述的摄像装置,其中,所述低介电常数区域设置在所述复位晶体管、所述放大晶体管和所述选择晶体管之中的任一者以上的下方的区域中。

16. 根据权利要求15所述的摄像装置,其中,在所述堆叠方向上看到的平面图中设置有所述低介电常数区域,所述低介电常数区域至少设置在所述平面图的如下平面区域中:所述平面区域为设置在所述第二半导体基板中的所述放大晶体管和设置在所述第一半导体基板中的所述传输晶体管的所述栅极电极彼此重叠的平面区域。

17. 根据权利要求15所述的摄像装置,其中,所述低介电常数区域设置成与所述第二半导体基板的所述背面相邻。

18. 根据权利要求4所述的摄像装置,其中,所述低介电常数区域设置在所述第二基板中所设置的配线之中的与所述贯通配线电气连接的配线周围的区域中。

19. 根据权利要求1所述的摄像装置,其中,所述低介电常数区域具有矩形平面形状。

20. 根据权利要求1至19中任一项所述的摄像装置,其中,所述低介电常数区域包括空隙区域。

摄像装置

技术领域

[0001] 本公开涉及摄像装置。

背景技术

[0002] 通过引入小型化工艺和提高封装密度,已经实现了二维结构的摄像装置的每个像素的面积的小型化。近年来,为了实现摄像装置的进一步尺寸减小和更高的像素密度,已经开发了三维结构的摄像装置。该三维结构的摄像装置通过将例如包括多个传感器像素的半导体基板和包括信号处理电路的半导体基板彼此堆叠而构成,该信号处理电路对在每个传感器像素中获得的信号进行处理(参见专利文献1)。

[0003] 引用文献列表

[0004] 专利文献

[0005] 专利文献1:日本未审查专利申请公开第2010-245506号

发明内容

[0006] 与二维结构的摄像装置相比,由于内部电路结构的复杂性,三维结构的摄像装置更容易受到非理想的电子零件或配线的电阻分量、电容分量和电感分量的影响。因此,在三维结构的摄像装置中,期望抑制在电子零件或配线中产生的电阻分量、电容分量和电感分量的影响。

[0007] 因此,期望提供一种可以通过减少由三维结构产生的电容分量来提高特性的摄像装置。

[0008] 根据本公开实施例的摄像装置包括:第一基板,其包括进行光电转换的传感器像素;第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;以及第三基板,其包括对所述像素信号进行信号处理的处理电路。所述第一基板、所述第二基板和所述第三基板依次堆叠,并且在从所述传感器像素读出电荷至输出所述像素信号为止的电路周围的至少任一区域中设置有低介电常数区域。

[0009] 在本公开实施例的摄像装置中,设置有:第一基板,其包括进行光电转换的传感器像素;第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;以及第三基板,其包括对所述像素信号进行信号处理的处理电路,其中,所述第一基板、所述第二基板和所述第三基板依次堆叠,并且在从所述传感器像素读出电荷至输出所述像素信号为止的电路周围的至少任一区域中设置有低介电常数区域。由此,例如,在包括堆叠有第二绝缘层的第二半导体基板的第二基板中,摄像装置可以降低第二绝缘层中所包括的配线或第二半导体基板周围的空间的介电常数。

附图说明

[0010] [图1]图1是根据本公开实施例的摄像装置1的概略构造的示例的示意图。

[0011] [图2]图2是示出传感器像素12和像素电路22的示例的电路图。

- [0012] [图3]图3是示出传感器像素12和像素电路22的另一示例的电路图。
- [0013] [图4]图4是示出传感器像素12和像素电路22的另一示例的电路图。
- [0014] [图5]图5是示出传感器像素12和像素电路22的另一示例的电路图。
- [0015] [图6]图6是示出多个像素电路22与多个垂直信号线24之间的连接的示例的电路图。
- [0016] [图7]图7是摄像装置1的在堆叠方向上的截面构造的示例的纵向截面图。
- [0017] [图8]图8是摄像装置1的在水平方向上的截面构造的示例的示意图。
- [0018] [图9]图9是摄像装置1的在水平方向上的截面构造的示例的示意图。
- [0019] [图10]图10是摄像装置1的在水平面内的配线布局的示例的示意图。
- [0020] [图11]图11是摄像装置1的在水平面内的配线布局的示例的示意图。
- [0021] [图12]图12是摄像装置1的在水平面内的配线布局的示例的示意图。
- [0022] [图13]图13是摄像装置1的在水平面内的配线布局的示例的示意图。
- [0023] [图14]图14是根据第一实施例的摄像装置1的在堆叠方向上的截面构造的示例的纵向截面图。
- [0024] [图15]图15是其中浮动扩散部FD由多个传感器像素12共用的摄像装置1的在堆叠方向上的截面构造的纵向截面图。
- [0025] [图16]图16是像素区域13中的第二半导体基板21和分离绝缘层53的平面布置的平面图。
- [0026] [图17]图17是像素区域13中的贯通配线54、连接部59和栅极电极的平面布置的平面图。
- [0027] [图18]图18是像素区域13中的连接配线55的平面布置的平面图。
- [0028] [图19]图19是像素区域13中的配线层56中所包括的配线的平面布置的平面图。
- [0029] [图20A]图20A是描述低介电常数区域90A的形成方法的示例的纵向截面图。
- [0030] [图20B]图20B是描述低介电常数区域90A的形成方法的示例的纵向截面图。
- [0031] [图20C]图20C是描述低介电常数区域90A的形成方法的示例的纵向截面图。
- [0032] [图20D]图20D是描述低介电常数区域90A的形成方法的示例的纵向截面图。
- [0033] [图20E]图20E是描述低介电常数区域90B和90C的形成方法的示例的纵向截面图。
- [0034] [图20F]图20F是描述低介电常数区域90B和90C的形成方法的示例的纵向截面图。
- [0035] [图20G]图20G是描述低介电常数区域90B和90C的形成方法的示例的纵向截面图。
- [0036] [图21]图21是描述低介电常数区域90A、90B和90C的截面形状的变化示意图的示意性截面图。
- [0037] [图22A]图22A是描述低介电常数区域90A的形成方法另一示例的每个工序的纵向截面图。
- [0038] [图22B]图22B是描述低介电常数区域90A的形成方法另一示例的每个工序的纵向截面图。
- [0039] [图22C]图22C是描述低介电常数区域90A的形成方法另一示例的每个工序的纵向截面图。
- [0040] [图22D]图22D是描述低介电常数区域90A的形成方法另一示例的每个工序的纵向截面图。

[0041] [图22E]图22E是描述低介电常数区域90A的形成方法的另一示例的每个工序的纵向截面图。

[0042] [图22F]图22F是描述低介电常数区域90A的形成方法的另一示例的每个工序的纵向截面图。

[0043] [图22G]图22G是描述低介电常数区域90A的形成方法的另一示例的每个工序的纵向截面图。

[0044] [图22H]图22H是描述低介电常数区域90A的形成方法的另一示例的每个工序的纵向截面图。

[0045] [图23]图23包括示意性地示出根据第二实施例的第一基板10和第二基板20的堆叠体的构造的截面图和俯视图。

[0046] [图24A]图24A是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0047] [图24B]图24B是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0048] [图24C]图24C是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0049] [图24D]图24D是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0050] [图24E]图24E是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0051] [图24F]图24F是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0052] [图24G]图24G是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0053] [图24H]图24H是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0054] [图24I]图24I是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0055] [图24J]图24J是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0056] [图24K]图24K是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0057] [图24L]图24L是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0058] [图25A]图25A是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

[0059] [图25B]图25B是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

[0060] [图25C]图25C是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

面图。

[0061] [图25D]图25D是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

[0062] [图25E]图25E是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

[0063] [图25F]图25F是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

[0064] [图26]图26是在第一基板10和第二基板20堆叠的堆叠体中产生的寄生电容的示例的示意性截面图。

[0065] [图27]图27是第三实施例的第一方面中的设置有低介电常数区域的区域的纵向截面图。

[0066] [图28]图28是第三实施例的第二方面中的设置有低介电常数区域的区域的纵向截面图。

[0067] [图29A]图29A包括描述第一方面中的低介电常数区域1391的第一形成方法的平面图和纵向截面图。

[0068] [图29B]图29B包括描述第一方面中的低介电常数区域1391的第一形成方法的平面图和纵向截面图。

[0069] [图29C]图29C包括描述第一方面中的低介电常数区域1391的第一形成方法的平面图和纵向截面图。

[0070] [图30]图30包括图29A所示的开口1393的形成变化的平面图和纵向截面图。

[0071] [图31A]图31A包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0072] [图31B]图31B包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0073] [图31C]图31C包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0074] [图31D]图31D包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0075] [图31E]图31E包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0076] [图31F]图31F包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0077] [图32A]图32A包括描述第一方面中的低介电常数区域1391的第二形成方法的平面图和纵向截面图。

[0078] [图32B]图32B包括描述第一方面中的低介电常数区域1391的第二形成方法的平面图和纵向截面图。

[0079] [图32C]图32C包括描述第一方面中的低介电常数区域1391的第二形成方法的平面图和纵向截面图。

[0080] [图33A]图33A包括图32A至图32C所示的开口1393的形成变化的平面图和纵向截

面图。

[0081] [图33B]图33B包括图32A至图32C所示的开口1393的形成变化的平面图和纵向截面图。

[0082] [图33C]图33C包括图32A至图32C所示的开口1393的形成变化的平面图和纵向截面图。

[0083] [图34A]图34A包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0084] [图34B]图34B包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0085] [图34C]图34C包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0086] [图35A]图35A是描述第一方面中的低介电常数区域1391的第三形成方法的纵向截面图。

[0087] [图35B]图35B是描述第一方面中的低介电常数区域1391的第三形成方法的纵向截面图。

[0088] [图35C]图35C是描述第一方面中的低介电常数区域1391的第三形成方法的纵向截面图。

[0089] [图35D]图35D是描述第一方面中的低介电常数区域1391的第三形成方法的纵向截面图。

[0090] [图36A]图36A是描述第一方面中的低介电常数区域1391的第三形成方法的变化纵向截面图。

[0091] [图36B]图36B是描述第一方面中的低介电常数区域1391的第三形成方法的变化纵向截面图。

[0092] [图36C]图36C是描述第一方面中的低介电常数区域1391的第三形成方法的变化纵向截面图。

[0093] [图37A]图37A是描述第一方面中的低介电常数区域1391的第四形成方法的纵向截面图。

[0094] [图37B]图37B是描述第一方面中的低介电常数区域1391的第四形成方法的纵向截面图。

[0095] [图37C]图37C是描述第一方面中的低介电常数区域1391的第四形成方法的纵向截面图。

[0096] [图38A]图38A是描述第二方面中的低介电常数区域1392的第一形成方法的纵向截面图。

[0097] [图38B]图38B是描述第二方面中的低介电常数区域1392的第一形成方法的纵向截面图。

[0098] [图38C]图38C是描述第二方面中的低介电常数区域1392的第一形成方法的纵向截面图。

[0099] [图38D]图38D是描述第二方面中的低介电常数区域1392的第一形成方法的纵向截面图。

- [0100] [图39A]图39A是第二方面中的低介电常数区域1392的形状变化的平面图。
- [0101] [图39B]图39B是第二方面中的低介电常数区域1392的形状变化的平面图。
- [0102] [图39C]图39C是第二方面中的低介电常数区域1392的形状变化的平面图。
- [0103] [图39D]图39D是第二方面中的低介电常数区域1392的形状变化的平面图。
- [0104] [图40A]图40A是描述第二方面中的低介电常数区域1392的第二形成方法的纵向截面图。
- [0105] [图40B]图40B是描述第二方面中的低介电常数区域1392的第二形成方法的纵向截面图。
- [0106] [图40C]图40C是描述第二方面中的低介电常数区域1392的第二形成方法的纵向截面图。
- [0107] [图40D]图40D是描述第二方面中的低介电常数区域1392的第二形成方法的纵向截面图。
- [0108] [图41A]图41A是描述第二方面中的低介电常数区域1392的第三形成方法的纵向截面图。
- [0109] [图41B]图41B是描述第二方面中的低介电常数区域1392的第三形成方法的纵向截面图。
- [0110] [图41C]图41C是描述第二方面中的低介电常数区域1392的第三形成方法的纵向截面图。
- [0111] [图41D]图41D是描述第二方面中的低介电常数区域1392的第三形成方法的纵向截面图。
- [0112] [图41E]图41E是描述第二方面中的低介电常数区域1392的第三形成方法的纵向截面图。
- [0113] [图42A]图42A是描述第二方面中的低介电常数区域1392的第四形成方法的纵向截面图。
- [0114] [图42B]图42B是描述第二方面中的低介电常数区域1392的第四形成方法的纵向截面图。
- [0115] [图42C]图42C是描述第二方面中的低介电常数区域1392的第四形成方法的纵向截面图。
- [0116] [图42D]图42D是描述第二方面中的低介电常数区域1392的第四形成方法的纵向截面图。
- [0117] [图42E]图42E是描述第二方面中的低介电常数区域1392的第四形成方法的纵向截面图。
- [0118] [图43]图43是图7所示的截面构造的变形例的纵向截面图。
- [0119] [图44]图44是图7所示的截面构造的变形例的纵向截面图。
- [0120] [图45]图45是根据第四变形例的摄像装置的构造示例的在厚度方向上的截面图。
- [0121] [图46]图46是根据第四变形例的摄像装置的构造示例的在厚度方向上的截面图。
- [0122] [图47]图47是根据第四变形例的摄像装置的构造示例的在厚度方向上的截面图。
- [0123] [图48]图48是根据第四变形例的多个像素单元的布局示例的在水平方向上的截面图。

- [0124] [图49]图49是根据第四变形例的多个像素单元的布局示例的在水平方向上的截面图。
- [0125] [图50]图50是根据第四变形例的多个像素单元的布局示例的在水平方向上的截面图。
- [0126] [图51]图51是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。
- [0127] [图52]图52是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。
- [0128] [图53]图53是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。
- [0129] [图54]图54是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。
- [0130] [图55]图55是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。
- [0131] [图56]图56是沿着根据第七变形例的摄像装置1的切断面Sec2的截面构造的另一示例的示意图。
- [0132] [图57]图57是沿着根据第七变形例的摄像装置1的切断面Sec2的截面构造的另一示例的示意图。
- [0133] [图58]图58是安装在列并行ADC上的CMOS图像传感器的电路构造的示意图。
- [0134] [图59]图59是图58所示的摄像装置1包括堆叠的三个基板的构造的示例的示意图。
- [0135] [图60]图60是根据第十变形例的摄像装置1的截面构造的示例的示意图。
- [0136] [图61]图61是将包含诸如 CoSi_2 或 NiSi 等硅化物的低电阻区域26应用于包括堆叠的基板的摄像装置1的示例的示意图。
- [0137] [图62]图62是示出根据本公开实施例的摄像装置的功能构造的示例的框图。
- [0138] [图63]图63是图62所示的摄像装置的概略构造的示意性平面图。
- [0139] [图64]图64是沿着图63所示的线III-III'截取的截面构造的示意图。
- [0140] [图65]图65是图62所示的像素共用单元的等效电路图。
- [0141] [图66]图66示出了多个像素共用单元与多个垂直信号线之间的连接模式的示例。
- [0142] [图67]图67是图64所示的摄像装置的具体构造的示例的示意性截面图。
- [0143] [图68A]图68A是图67所示的第一基板的主要部分的平面构造的示例的示意图。
- [0144] [图68B]图68B是图68A所示的第一基板的主要部分和焊盘部的平面构造的示意图。
- [0145] [图69]图69是图67所示的第二基板(半导体层)的平面构造的示例的示意图。
- [0146] [图70]图70是图67所示的第一配线层以及像素电路和第一基板的主要部分的平面构造的示例的示意图。
- [0147] [图71]图71是图67所示的第一配线层和第二配线层的平面构造的示例的示意图。
- [0148] [图72]图72是图67所示的第二配线层和第三配线层的平面构造的示例的示意图。
- [0149] [图73]图73是图67所示的第三配线层和第四配线层的平面构造的示例的示意图。

- [0150] [图74]图74是用于描述输入信号输入至图64所示的摄像装置的路径的示意图。
- [0151] [图75]图75是用于描述图64所示的摄像装置的像素信号的信号路径的示意图。
- [0152] [图76]图76是图69所示的第二基板(半导体层)的平面构造的变形例的示意图。
- [0153] [图77]图77是图76所示的像素电路以及第一配线层和第一基板的主要部分的平面构造的示意图。
- [0154] [图78]图78是图77所示的第一配线层和第二配线层的平面构造的示例的示意图。
- [0155] [图79]图79是图78所示的第二配线层和第三配线层的平面构造的示例的示意图。
- [0156] [图80]图80是图79所示的第三配线层和第四配线层的平面构造的示例的示意图。
- [0157] [图81]图81是图68A所示的第一基板的平面构造的变形例的示意图。
- [0158] [图82]图82是堆叠在图81所示的第一基板上的第二基板(半导体层)的平面构造的示例的示意图。
- [0159] [图83]图83是图82所示的像素电路和第一配线层的平面构造的示例的示意图。
- [0160] [图84]图84是图83所示的第一配线层和第二配线层的平面构造的示例的示意图。
- [0161] [图85]图85是图84所示的第二配线层和第三配线层的平面构造的示例的示意图。
- [0162] [图86]图86是图85所示的第三配线层和第四配线层的平面构造的示例的示意图。
- [0163] [图87]图87是图81所示的第一基板的平面构造的另一示例的示意图。
- [0164] [图88]图88是堆叠在图87所示的第一基板上的第二基板(半导体层)的平面构造的示例的示意图。
- [0165] [图89]图89是图88所示的像素电路和第一配线层的平面构造的示例的示意图。
- [0166] [图90]图90是图89所示的第一配线层和第二配线层的平面构造的示例的示意图。
- [0167] [图91]图91是图90所示的第二配线层和第三配线层的平面构造的示例的示意图。
- [0168] [图92]图92是图91所示的第三配线层和第四配线层的平面构造的示例的示意图。
- [0169] [图93]图93是图64所示的摄像装置的另一示例的示意性截面图。
- [0170] [图94]图94是用于描述输入信号输入至图93所示的摄像装置的路径的示意图。
- [0171] [图95]图95是用于描述图93所示的摄像装置的像素信号的信号路径的示意图。
- [0172] [图96]图96是图67所示的摄像装置的另一示例的示意性截面图。
- [0173] [图97]图97示出了图65所示的等效电路的另一示例。
- [0174] [图98]图98是图68A等所示的像素分离部的另一示例的示意性平面图。
- [0175] [图99]图99示出了包括根据上述实施例及其变形例中任一者的摄像装置的摄像系统的概略构造的示例。
- [0176] [图100]图100示出了图99所示的摄像系统中的摄像过程的示例。
- [0177] [图101]图101是示出车辆控制系统的示意性构造的示例的框图。
- [0178] [图102]图102是帮助解释车外信息检测部和摄像部的安装位置的示例的图。
- [0179] [图103]图103是示出内窥镜手术系统的示意性构造的示例的图。
- [0180] [图104]图104是示出摄像头和相机控制单元(CCU:Camera Control Unit)的功能构造的示例的框图。

具体实施方式

[0181] 下面,将参照附图详细描述本公开的一些实施例。下面描述的实施例仅仅是本公

开的具体示例,并且根据本公开的技术不限于下面描述的模式。此外,本公开的各个附图中所示的本公开的各个构成要素的诸如布置、尺寸和尺寸比等属性不限于各个附图中所示的那些属性。

[0182] 需要注意,将按照以下顺序进行描述。

[0183] 1. 摄像装置的构造

[0184] 2. 第一实施例

[0185] 3. 第二实施例

[0186] 4. 第三实施例

[0187] 5. 变形例

[0188] 6. 具体示例

[0189] 6.1. 实施例(具有三个基板的堆叠结构的摄像装置)

[0190] 6.2. 变形例1(平面构造的示例1)

[0191] 6.3. 变形例2(平面构造的示例2)

[0192] 6.4. 变形例3(平面构造的示例3)

[0193] 6.5. 变形例4(在像素阵列部的中央部中具有基板之间的接触部的示例)

[0194] 6.6. 变形例5(具有平面型传输晶体管的示例)

[0195] 6.7. 变形例6(一个像素连接至一个像素电路的示例)

[0196] 6.8. 变形例7(像素分离部的构造示例)

[0197] 6.9. 适用例(摄像系统)

[0198] 6.10. 应用例

[0199] <<1. 摄像装置的构造>>

[0200] 首先,将参照图1至图13对应用根据本公开的技术的摄像装置进行描述。

[0201] 图1是根据本公开实施例的摄像装置1的概略构造的示例的示意图。如图1所示,摄像装置1是包括第一基板10、第二基板20和第三基板30的三维结构的摄像装置,并且具有这三个基板附接在一起的构造。需要注意,第一基板10、第二基板20和第三基板30依次堆叠。

[0202] 第一基板10包括第一半导体基板11,该第一半导体基板11包括进行光电转换的多个传感器像素12。多个传感器像素12设置成以矩阵状布置在第一基板10的像素区域13内部。

[0203] 第二基板20包括第二半导体基板21,该第二半导体基板21包括输出基于来自传感器像素12的电荷的像素信号的像素电路22。例如,为每四个传感器像素12设置一个像素电路22;像素电路22是顺序读出来自四个传感器像素12的已经光电转换的电荷的读出电路。另外,第二基板20包括在行方向上延伸的多个像素驱动线23和在列方向上延伸的多个垂直信号线24。

[0204] 第三基板30包括第三半导体基板31,该第三半导体基板31包括对像素信号进行信号处理的处理电路32。另外,处理电路32包括例如垂直驱动电路33、列信号处理电路34、水平驱动电路35和系统控制电路36。处理电路32能够将每个传感器像素12的输出电压 V_{out} 从水平驱动电路35输出至外部。

[0205] 例如,垂直驱动电路33以行为单位顺序选择多个传感器像素12。列信号处理电路34例如对从由垂直驱动电路33选择的行的每个传感器像素12输出的像素信号进行相关双

采样处理。例如,列信号处理电路34进行相关双采样处理,从而提取像素信号的信号电平,因此能够保持与每个传感器像素12接收的光量相对应的像素数据。水平驱动电路35例如将保持在列信号处理电路34中的像素数据顺序输出至外部。例如,系统控制电路36控制处理电路32内部的每个构造的驱动。这使得处理电路32能够将基于每个传感器像素12接收的光量的像素数据输出至外部。

[0206] 图2是示出传感器像素12和像素电路22的示例的电路图。在图2所示的电路图中,四个传感器像素12共用一个像素电路22。这里使用的术语“共用”意味着来自四个传感器像素12的输出被输入至公共的一个像素电路22。

[0207] 每个传感器像素12具有彼此共有的构成要素。在下文中,在将传感器像素12的各个构成要素彼此区分的情况下,在构成要素的符号的末尾分别赋予标识号(1、2、3和4)。同时,在不用将各个传感器像素12彼此区分的情况下,省略对构成要素的符号的末尾赋予标识号。

[0208] 传感器像素12包括例如光电二极管PD、电气连接至光电二极管PD的传输晶体管TR和暂时保持从光电二极管PD经由传输晶体管TR输出的电荷的浮动扩散部FD。光电二极管PD是进行光电转换从而产生对应于光接收量的电荷的光电转换元件。传输晶体管TR例如是MOS(Metal-Oxide-Semiconductor,金属氧化物半导体)晶体管。

[0209] 光电二极管PD的阴极电气连接至传输晶体管TR的源极,并且光电二极管PD的阳极电气连接至基准电位线。传输晶体管TR的漏极电气连接至浮动扩散部FD,并且传输晶体管TR的栅极电气连接至像素驱动线23。

[0210] 共用像素电路22的传感器像素12的各个浮动扩散部FD彼此电气连接,并且电气连接至公共的像素电路22的输入端。像素电路22包括例如复位晶体管RST、选择晶体管SEL和放大晶体管AMP。另外,像素电路22可选地包括选择晶体管SEL。

[0211] 复位晶体管RST的源极(即,像素电路22的输入端)电气连接至浮动扩散部FD;复位晶体管RST的漏极电气连接至电源线VDD和放大晶体管AMP的漏极;复位晶体管RST的栅极电气连接至像素驱动线23。放大晶体管AMP的源极电气连接至选择晶体管SEL的漏极,并且放大晶体管AMP的栅极电气连接至复位晶体管RST的源极。选择晶体管SEL的源极(即,像素电路22的输出端)电气连接至垂直信号线24,并且选择晶体管SEL的栅极电气连接至像素驱动线23。

[0212] 进入导通状态的传输晶体管TR将已经由光电二极管PD光电转换的电荷传输至浮动扩散部FD。复位晶体管RST将浮动扩散部FD的电位复位为预定电位。进入导通状态的复位晶体管RST将浮动扩散部FD的电位复位为电源线VDD的电位。选择晶体管SEL控制来自像素电路22的像素信号的输出时序。

[0213] 放大晶体管AMP产生与保持在浮动扩散部FD中的电荷的电平相对应的电压的信号作为像素信号。放大晶体管AMP构成所谓的源极跟随器型放大器,并输出与在光电二极管PD中产生的电荷的电平相对应的电压的像素信号。在选择晶体管SEL进入导通状态的情况下,放大晶体管AMP放大浮动扩散部FD的电位,并且经由垂直信号线24将与放大后的电位相对应的电压输出至列信号处理电路34。复位晶体管RST、放大晶体管AMP和选择晶体管SEL例如分别是MOS晶体管。

[0214] 图3至图5分别是示出传感器像素12和像素电路22的另一示例的电路图。

[0215] 如图3所示,选择晶体管SEL可以设置在电源线VDD与放大晶体管AMP之间。在这种情况下,复位晶体管RST的漏极电气连接至电源线VDD和选择晶体管SEL的漏极。选择晶体管SEL的源极电气连接至放大晶体管AMP的漏极,并且选择晶体管SEL的栅极电气连接至像素驱动线23。放大晶体管AMP的源极(即,像素电路22的输出端)电气连接至垂直信号线24,并且放大晶体管AMP的栅极电气连接至复位晶体管RST的源极。

[0216] 另外,如图4或图5所示,还可以在复位晶体管RST的源极与放大晶体管AMP的栅极之间设置FD转换增益切换晶体管FDG。

[0217] 电荷Q由电容C和电压V的乘积表示;因此,在浮动扩散部FD的电容C较大的情况下,在放大晶体管AMP中的转换之后的电压V变低。同时,在像素信号的电荷Q较大的情况下,浮动扩散部FD无法保持来自光电二极管PD的电荷Q,除非浮动扩散部FD的电容C足够大。另外,浮动扩散部FD的电容C的大小适度以使得在放大晶体管AMP中转换后的电压V不会过高也是至关重要的。因此,设置FD转换增益切换晶体管FDG是为了切换像素电路22中的电荷-电压转换效率。

[0218] FD转换增益切换晶体管FDG进入导通状态,从而与截止状态相比,浮动扩散部FD的电容C增加了FD转换增益切换晶体管FDG的栅极电容的量。因此,通过切换FD转换增益切换晶体管FDG的导通或截止状态以使得浮动扩散部FD的电容C可变,可以切换像素电路22中的电荷-电压转换效率。

[0219] 图6是示出多个像素电路22与多个垂直信号线24之间的连接的示例的电路图。

[0220] 如图6所示,在多个像素电路22沿着垂直信号线24的延伸方向(例如,列方向)并排布置的情况下,多个垂直信号线24可以逐个地分配给各个像素电路22。需要注意,在图6中,为了将各个垂直信号线24彼此区分,在垂直信号线24的各个符号的末尾赋予标识号(1、2、3和4)。

[0221] 图7是摄像装置1的在堆叠方向上的截面构造的示例的纵向截面图。

[0222] 如图7所示,摄像装置1具有第一基板10、第二基板20和第三基板30依次堆叠的构造。例如,在第一基板10的光入射面侧(也称为背面侧),针对每个传感器像素12设置有彩色滤光片40和光接收透镜50。即,摄像装置1是所谓的背面照射型摄像装置。

[0223] 第一基板10具有其中第一绝缘层46堆叠在第一半导体基板11上的构造。第一半导体基板11是硅基板,并且包括例如在正面的一部分中或其附近的p阱层42以及在其他区域(即,比p阱层42更深的区域)中的光电二极管PD。p阱层42由p型半导体区域构成,并且光电二极管PD由导电类型(具体地,n型)不同于p阱层42的导电类型的半导体区域构成。第一半导体基板11包括在p阱层42内部的浮动扩散部FD,该浮动扩散部FD是导电类型(具体地,n型)不同于p阱层42的导电类型的半导体区域。

[0224] 针对每个传感器像素12,第一基板10包括光电二极管PD、传输晶体管TR和浮动扩散部FD。第一基板10包括在第一半导体基板11的光入射面侧的相反侧(即,正面侧或第二基板20侧)的一部分中的传输晶体管TR和浮动扩散部FD。

[0225] 第一基板10包括将各个传感器像素12彼此分离的元件分离部43。元件分离部43成为在第一半导体基板11的主面的法线方向(与第一半导体基板11的正面垂直的方向)上延伸,并且将相邻的各个传感器像素12彼此电气分离。元件分离部43包括例如贯穿第一半导体基板11的氧化硅。

[0226] 第一基板10包括例如与元件分离部43的光电二极管PD侧的侧面接触的p阱层44。p阱层44由导电类型(具体地,p型)不同于光电二极管PD的导电类型的半导体区域构成。第一基板10包括例如与第一半导体基板11的背面接触的固定电荷膜45。为了抑制由于第一半导体基板11的光接收面侧的界面状态而产生的暗电流,固定电荷膜45包括具有负固定电荷的绝缘膜。固定电荷膜45的材料的示例可以包括氧化铪、氧化锆、氧化铝、氧化钛和氧化钽。固定电荷膜45感应出电场,从而在第一半导体基板11的光接收面侧的界面处形成用于抑制从该界面产生电子的空穴累积层。

[0227] 彩色滤光片40设置在第一半导体基板11的背面侧。具体地,相对于固定电荷膜45,彩色滤光片40设置成例如在与传感器像素12相对的位置处与固定电荷膜45接触。相对于彩色滤光片40和固定电荷膜45,光接收透镜50设置成例如在与传感器像素12相对的位置处与彩色滤光片40接触。

[0228] 第二基板20包括堆叠在第二半导体基板21上的第二绝缘层52。第二半导体基板21是硅基板,并且针对每四个传感器像素12包括一个像素电路22。第二基板20包括在第二半导体基板21的第三基板30侧(即,正面侧)的一部分中的像素电路22。第二基板20附接至第一基板10,以使得第二半导体基板21的背面与第一半导体基板11的正面侧相对。即,第二基板20以背对面的方式附接至第一基板10。

[0229] 第二半导体基板21包括分离绝缘层53,并且在分离绝缘层53内部设置有贯通配线54。通过使贯通配线54的侧面被分离绝缘层53覆盖,贯通配线54与第二半导体基板21电气绝缘。贯通配线54在第二半导体基板21的主面的法线方向上延伸,并且将第一基板10的元件和第二基板20的元件彼此电气连接。具体地,贯通配线54将浮动扩散部FD和连接配线55彼此电气连接。例如,针对每个传感器像素12设置一个贯通配线54。

[0230] 第二基板20包括例如在第二绝缘层52中的电气连接至像素电路22或第二半导体基板21的多个连接部59。配线层56包括例如层间绝缘层57以及设置在层间绝缘层57内部的多个像素驱动线23和多个垂直信号线24。配线层56包括例如在层间绝缘层57内部的针对每四个传感器像素12的一个连接配线55。连接配线55将共用像素电路22的四个传感器像素12的贯通配线54电气连接在一起。

[0231] 配线层56还包括在层间绝缘层57内部的多个焊盘电极58。例如,每个焊盘电极58包含诸如铜(Cu)等金属。每个焊盘电极58暴露于配线层56的正面,并且用于将第二基板20和第三基板30附接在一起,并且用于将第二基板20和第三基板30电气连接在一起。多个焊盘电极58是针对每个像素驱动线23和每个垂直信号线24逐个设置的。

[0232] 这里,第二基板20可以以多个半导体基板和多个绝缘层的堆叠结构设置。

[0233] 具体地,第二基板20可以包括在厚度方向上堆叠的两个半导体基板。例如,第二基板20可以设置成在第二半导体基板21上堆叠的第二绝缘层52上进一步堆叠半导体基板。例如,在进一步设置于第二绝缘层52上的半导体基板中设置有晶体管,并且该晶体管经由连接部59电气连接至设置在第二半导体基板21中的晶体管。

[0234] 即,设置在第二基板20中的像素电路22可以分开地设置在第二半导体基板21中和进一步堆叠在第二绝缘层52上的半导体基板中。具体地,像素电路22中所包括的放大晶体管AMP、复位晶体管RST和选择晶体管SEL之中的至少一个或多个晶体管可以设置在第二半导体基板21中,并且其余晶体管可以设置在进一步堆叠在第二绝缘层52上的半导体基板

中。作为一个示例,可以在第二半导体基板21中设置放大晶体管AMP,并且可以在进一步堆叠在第二绝缘层52上的半导体基板中设置复位晶体管RST和选择晶体管SEL。

[0235] 可替代地,第二基板20可以包括在厚度方向上堆叠的三个半导体基板。例如,第二基板20可以设置成在第二半导体基板21上堆叠的第二绝缘层52上进一步堆叠上部第一半导体基板,并且设置成隔着绝缘层在上部第一半导体基板上进一步堆叠上部第二半导体基板。例如,在堆叠的上部第一半导体基板和上部第二半导体基板中设置有晶体管,并且该晶体管经由连接部59等电气连接至设置在第二半导体基板21中的晶体管。

[0236] 即,设置在第二基板20中的像素电路22可以分开地设置在第二半导体基板21中以及堆叠的上部第一半导体基板和上部第二半导体基板中。具体地,像素电路22中所包括的放大晶体管AMP、复位晶体管RST和选择晶体管SEL之中的至少一个或多个晶体管可以设置在第二半导体基板21、上部第一半导体基板和上部第二半导体基板之中的各者中。作为一个示例,可以在第二半导体基板21中设置放大晶体管AMP;可以在进一步设置在第二半导体基板21上的上部第一半导体基板中设置复位晶体管RST;并且可以在进一步设置在上部第一半导体基板上的上部第二半导体基板中设置选择晶体管SEL。

[0237] 在包括在厚度方向上堆叠的多个半导体基板的第二基板20中,通过分开地堆叠半导体基板,可以进一步减小由一个像素电路22所占据的半导体基板的面积。通过使用这种第二基板20,使得摄像装置1能够进一步减小摄像装置1的芯片面积。

[0238] 另外,通过使用这种第二基板20,使得摄像装置1能够选择性地扩大像素电路22中所包括的放大晶体管AMP、复位晶体管RST和选择晶体管SEL之中的任意晶体管的面积。这使得摄像装置1能够通过扩大放大晶体管AMP的面积来进一步降低噪声。

[0239] 第三基板30包括例如堆叠在第三半导体基板31上的第三绝缘层61。第三半导体基板31是硅基板,并且包括处理电路32。需要注意,第三基板30以正面侧的表面附接在一起的方式附接至第二基板20。为此,在第三基板30的每个构造的描述中,将要描述的上下关系与附图中的上下方向相反。第三基板30以第三半导体基板31的正面与第二半导体基板21的正面侧相对的方式附接至第二基板20。即,第三基板30以面对面的方式附接至第二基板20。

[0240] 第三基板30包括例如第三绝缘层61上的配线层62。配线层62包括例如层间绝缘层63和设置在层间绝缘层63内部并电气连接至处理电路32的多个焊盘电极64。例如,每个焊盘电极64包含诸如铜(Cu)等金属。焊盘电极64暴露于配线层62的正面,并且用于将第二基板20和第三基板30附接在一起,并且用于将第二基板20和第三基板30电气连接在一起。第二基板20和第三基板30通过焊盘电极58和64之间的接合彼此电气连接。即,传输晶体管TR的栅极(传输栅极TG)经由贯通配线54以及焊盘电极58和64电气连接至处理电路32。

[0241] 图8和图9分别是摄像装置1的在水平方向上的截面构造的示例的示意图。图8和图9中上侧的图分别是沿着图7中的切断面Sec1的截面构造的示例的示意图,并且图8和图9中下侧的图分别是沿着图7中的切断面Sec2的截面构造的示例的示意图。

[0242] 图8例示了其中在第一方向V1上布置有两组 2×2 的四个传感器像素12的构造,并且图9例示了其中在第一方向V1和第二方向V2上布置有四组 2×2 的四个传感器像素12的构造。

[0243] 第一方向V1平行于以矩阵状布置的多个传感器像素12的两个布置方向(例如,行方向和列方向)中的一个布置方向(例如,行方向)。另外,第二方向V2平行于与第一方向正

交的布置方向(例如,列方向)。

[0244] 例如,贯通配线54针对每个传感器像素12设置,并且将浮动扩散部FD和稍后描述的连接配线55电气连接在一起。例如,针对每个传感器像素12设置有贯通配线47和48。贯通配线47将第一半导体基板11的p阱层42和第二基板20中的配线电气连接在一起。贯通配线48将传输栅极TG和像素驱动线23电气连接在一起。

[0245] 如图8所示,多个贯通配线54、多个贯通配线48和多个贯通配线47在第一基板10的平面内沿着第二方向V2(图8中的垂直方向)以带状并排布置。图8例示了多个贯通配线54、多个贯通配线48和多个贯通配线47沿着第二方向V2并排布置成两行的情况。

[0246] 如图9所示,多个贯通配线54、多个贯通配线48和多个贯通配线47在第一基板10的平面内沿着第一方向V1(图9中的水平方向)以带状并排布置。图9例示了多个贯通配线54、多个贯通配线48和多个贯通配线47沿着第一方向V1并排布置成两行的情况。

[0247] 在共用像素电路22的四个传感器像素12中,例如,四个浮动扩散部FD布置成隔着元件分离部43彼此靠近。在共用像素电路22的四个传感器像素12中,四个传输栅极TG布置成包围四个浮动扩散部FD,并且例如通过四个传输栅极TG形成环形形状。

[0248] 如图8所示,分离绝缘层53包括在第二方向V2上延伸的多个区块。第二半导体基板21包括在第二方向V2上延伸并且在第二方向V2上并排布置的多个岛状区块21A。每个区块21A包括例如多组复位晶体管RST、放大晶体管AMP和选择晶体管SEL。由四个传感器像素12共用的一个像素电路22包括例如存在于与四个传感器像素12相对应的区域中的复位晶体管RST、放大晶体管AMP和选择晶体管SEL。例如,像素电路22包括分离绝缘层53的左相邻区块21A中的放大晶体管AMP以及分离绝缘层53的右相邻区块21A中的复位晶体管RST和选择晶体管SEL。

[0249] 另外,如图9所示,分离绝缘层53包括在第一方向V1上延伸的多个区块。第二半导体基板21包括在第一方向V1上延伸并且在第一方向V1上并排布置的多个岛状区块21A。每个区块21A包括例如多组复位晶体管RST、放大晶体管AMP和选择晶体管SEL。由四个传感器像素12共用的一个像素电路22包括例如存在于与四个传感器像素12相对应的区域中的复位晶体管RST、放大晶体管AMP和选择晶体管SEL。例如,像素电路22包括分离绝缘层53的左相邻区块21A中的放大晶体管AMP以及分离绝缘层53的右相邻区块21A中的复位晶体管RST和选择晶体管SEL。

[0250] 图10至图13分别是摄像装置1的在水平面内的配线布局的示例的示意图。类似于图8,图10至图13分别示出了在由四个传感器像素12共用的一个像素电路22设置在对应于四个传感器像素12的区域中的情况下的配线布局的示例。图10至图13分别示出了例如设置在配线层56中互不相同的层内的配线的布局。

[0251] 如图10所示,例如,彼此相邻的四个贯通配线54电气连接至连接配线55。贯通配线54经由连接配线55和连接部59电气连接至分离绝缘层53的左相邻区块21A中所包括的放大晶体管AMP的栅极和分离绝缘层53的右相邻区块21A中所包括的复位晶体管RST的栅极。

[0252] 如图11所示,例如,电源线VDD布置在与在第一方向V1上并排布置的各个像素电路22相对应的位置处。电源线VDD经由连接部59电气连接至在第一方向V1上并排布置的像素电路22的各个放大晶体管AMP的漏极和各个复位晶体管RST的漏极。例如,两个像素驱动线23布置在与在第一方向V1上并排布置的各个像素电路22相对应的位置处。一个像素驱动线

23用作例如与在第一方向V1上并排布置的像素电路22的各个复位晶体管RST的栅极电气连接的配线RSTG。另一个像素驱动线23用作例如与在第一方向V1上并排布置的像素电路22的各个选择晶体管SEL的栅极电气连接的配线SELG。例如,放大晶体管AMP的源极和选择晶体管SEL的漏极经由配线25彼此电气连接。

[0253] 如图12所示,例如,两个基准电位线VSS布置在与在第一方向V1上并排布置的各个像素电路22相对应的位置处。每个基准电位线VSS在与在第二方向V2上并排布置的传感器像素12相对应的位置处电气连接至多个贯通配线47。例如,四个像素驱动线23布置在与在第一方向V1上并排布置的各个像素电路22相对应的位置处。四个像素驱动线23中的各者用作配线TRG,该配线TRG电气连接至与在第一方向V1上并排布置的各个像素电路22相对应的一个传感器像素12的贯通配线48。四个像素驱动线23分别电气连接至在第一方向V1上并排布置的每个传感器像素12的传输晶体管TR的栅极。在图12中,为了将配线TRG彼此区分,在各个配线TRG的末尾赋予标识号(1、2、3和4)。

[0254] 如图13所示,例如,垂直信号线24设置在与在第二方向V2上并排布置的各个像素电路22相对应的位置处。垂直信号线24电气连接至在第二方向V2上并排布置的各个像素电路22的放大晶体管AMP的源极。

[0255] 根据本公开的技术被应用于上述的堆叠型摄像装置1。在下文中,对根据本公开的技术进行具体描述。

[0256] <<2. 第一实施例>>

[0257] 首先,参照图14至图22H,对根据本公开的第一实施例的技术进行描述。根据本实施例的技术旨在通过在摄像装置1的特定配线周围设置低介电常数区域来更高效地提高设置在第二基板20中的像素电路的电气特性。

[0258] 在通过堆叠三个基板而构成的摄像装置1中,例如,已经由设置在第一基板10中的光电二极管PD光电转换的电荷经由贯通配线54输出至设置在第二基板中的放大晶体管AMP。贯通配线54设置在贯穿第二半导体基板21的分离绝缘层53内部,并且将设置在第一基板10中的配线和设置在第二基板20中的配线电气连接在一起。

[0259] 因此,在摄像装置1中,通过在贯通配线54、分离绝缘层53和第二半导体基板21之间形成电容器结构,导致寄生电容的形成。所形成的寄生电容对在被放大晶体管AMP放大之前的电荷施加影响,因此导致在像素电路22中将电荷转换成电压的转换效率降低。

[0260] 根据本实施例的技术是鉴于这种情况而构思的。根据本实施例的技术旨在在于将从传感器像素12的浮动扩散部FD读出的电荷转换成像素信号的电路周围的至少一部分区域中设置低介电常数区域。由此,根据本实施例的技术可以降低寄生电容对像素信号的影响。

[0261] 随后,参照图14对根据本实施例的技术进行更具体的描述。图14是根据本实施例的摄像装置1的在堆叠方向上的截面构造的示例的纵向截面图。

[0262] 如图14所示,第一基板10包括在由元件分离部43限定的区域中的光电二极管PD。由光电二极管PD光电转换的电荷经由包括传输栅极TG的传输晶体管TR输出至浮动扩散部FD。输出的电荷被暂时保持在浮动扩散部FD中,其后经由贯通配线54输出至设置在第二半导体基板21中的像素电路22。

[0263] 贯通配线54以在第一半导体基板11和第二半导体基板21的堆叠方向上延伸的方

式设置在贯穿第二半导体基板21的分离绝缘层53内部。贯通配线54经由连接配线55和连接部59将暂时保持在浮动扩散部FD中的电荷输出至像素电路22的放大晶体管AMP等。

[0264] 另外,第二基板20还包括第二绝缘层52上的配线层56。配线层56包括例如层间绝缘层57以及设置在层间绝缘层57内部的多个像素驱动线23和多个垂直信号线24。多个像素驱动线23和多个垂直信号线24分别电气连接至像素电路22的选择晶体管SEL的栅极和源极。多个像素驱动线23和多个垂直信号线24分别控制选择晶体管SEL,从而控制基于从浮动扩散部FD输出的电荷而产生的像素信号的输出时序。

[0265] 例如,诸如贯通配线54、连接配线55、连接部59、像素驱动线23和垂直信号线24等金属配线可以包含诸如铜(Cu)、铝(Al)和钨(W)等金属材料。另外,为了抑制用于形成配线的金属的扩散,金属配线的表面可以设置有碳化硅(SiC)或碳氮化硅(SiCN)等的阻挡层。

[0266] 作为第一方面,根据本实施例的摄像装置1包括在分离绝缘层53内部的至少一部分区域中的低介电常数区域90A。具体地,低介电常数区域90A设置在第二半导体基板21与贯穿分离绝缘层53内部的贯通配线54之间的至少一部分区域中,或者设置在贯穿分离绝缘层53内部的贯通配线54之间的至少一部分区域中。这使得低介电常数区域90A能够减小在贯通配线54与第二半导体基板21之间或在贯通配线54与其他贯通配线54之间产生的寄生电容的大小。因此,低介电常数区域90A能够提高在像素电路22的放大晶体管AMP中将电荷转换成电压的转换效率。

[0267] 需要注意,低介电常数区域90A可以以包围设置在分离绝缘层53内部的贯通配线54的全周(circumference)的方式遍及整个周边设置。通过遍及贯通配线54的整个周边形成低介电常数区域90A,可以减小在贯通配线54与存在于贯通配线54周围的所有导体之间产生的寄生电容。

[0268] 另外,低介电常数区域90A可以设置成在堆叠方向上比第二半导体基板21的厚度长。这使得低介电常数区域90A能够设置在贯通配线54与第二半导体基板21之间的在堆叠方向上的所有区域中,因此可以进一步减小在贯通配线54与第二半导体基板21之间产生的寄生电容。

[0269] 低介电常数区域90A是介电常数低于位于周边的第一绝缘层46、分离绝缘层53和第二绝缘层52中所包含的材料的介电常数的区域。例如,低介电常数区域90A可以构造为内部为真空的空隙,或者构造为内部封入有空气的空隙。另外,在第一绝缘层46、分离绝缘层53和第二绝缘层52包含氧化硅(SiO₂;相对介电常数为3.9)的情况下,低介电常数区域90A可以包含相对介电常数低于氧化硅的相对介电常数的材料。此外,低介电常数区域90A可以包括如上所述的空隙和填充该空隙内部的一部分的低介电常数材料。需要注意,作为低介电常数材料,例如,可以使用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等被称为Low-k(低介电常数)材料的介电材料。

[0270] 另外,作为第二方面,根据本实施例的摄像装置1包括在配线周围的至少一部分区域中的低介电常数区域90B,以允许从贯通配线54至放大晶体管AMP的电气连接。具体地,低介电常数区域90B设置在经由贯通配线54电气连接至浮动扩散部FD的连接配线55或连接部59周围的至少一部分区域中。类似于贯通配线54,这使得低介电常数区域90B能够减小在允许从贯通配线54至放大晶体管AMP的电气连接的配线中产生的寄生电容。因此,类似于低介电常数区域90A,低介电常数区域90B可以提高在像素电路22的放大晶体管AMP中将电荷转

换成电压的转换效率。

[0271] 低介电常数区域90B是介电常数低于位于周边的第二绝缘层52和层间绝缘层57中所包含的材料的介电常数的区域。类似于低介电常数区域90A,低介电常数区域90B可以构造为内部为真空的空隙,或者构造为内部封入有空气的空隙。另外,低介电常数区域90B可以构造为由低介电常数材料形成的区域,并且可以由空隙和填充该空隙内部的一部分的低介电常数材料构成。需要注意,作为低介电常数材料,例如,可以使用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等被称为Low-k材料的介电材料。

[0272] 此外,作为第三方面,根据本实施例的摄像装置1包括低介电常数区域90C,该低介电常数区域90C在堆叠于第二绝缘层52上的配线层56中所包括的配线周围的至少一部分区域中。具体地,低介电常数区域90C设置在与选择晶体管SEL的源极电气连接的多个垂直信号线24周围的至少一部分区域中,该选择晶体管SEL控制基于从浮动扩散部FD输出的电荷而产生的像素信号的输出时序。这使得低介电常数区域90C能够减小在垂直信号线24与其他配线之间产生的寄生电容。因此,低介电常数区域90C可以实现像素电路22或处理电路32的更快信号处理和更低功耗。

[0273] 低介电常数区域90C是介电常数低于位于周边的层间绝缘层57中所包含的材料的介电常数的区域。类似于低介电常数区域90A和90B,低介电常数区域90C可以构造为内部为真空的空隙,或者构造为内部封入有空气的空隙。另外,低介电常数区域90C可以构造为由低介电常数材料形成的区域,并且可以由空隙和填充该空隙内部的一部分的低介电常数材料构成。需要注意,作为低介电常数材料,例如,可以使用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等被称为Low-k材料的介电材料。

[0274] 低介电常数区域90A、90B和90C彼此独立地设置。因此,根据本实施例的摄像装置1可以包括低介电常数区域90A、90B和90C中的至少一个或多个,或者可以包括所有的低介电常数区域90A、90B和90C。

[0275] 需要注意,即使在第二基板20包括在厚度方向上堆叠的多个半导体基板的情况下,根据本实施例的摄像装置1也可以包括在将从浮动扩散部FD读出的电荷转换成像素信号的电路周围的至少一部分区域中的低介电常数区域。

[0276] 具体地,在第二基板20包括在厚度方向上堆叠的多个半导体基板的情况下,在所堆叠的多个半导体基板(即,第二半导体基板21和设置在第二半导体基板21上的至少一个或多个半导体基板)中,设置将从浮动扩散部FD读出的电荷转换成像素信号的电路。因此,低介电常数区域90A、90B和90C可以设置在如下配线的周围的至少一部分区域中:该配线设置在堆叠的多个半导体基板附近。低介电常数区域90A、90B和90C可以分别设置在堆叠的多个半导体基板中的各者附近所设置的配线周围的区域中,或者可以连续设置在堆叠的多个半导体基板中的各者附近所设置的配线周围的区域中。

[0277] 这使得根据本实施例的摄像装置1能够更高效地提高设置在第二基板20中的电路的电气特性,因此可以进一步提高将从浮动扩散部FD读出的电荷转换成电压的转换效率。

[0278] 接下来,参照图15对根据本实施例的摄像装置1中的浮动扩散部FD的构造的变化进行描述。图15是浮动扩散部FD由多个传感器像素12共用的摄像装置1的在堆叠方向上的截面构造的纵向截面图。

[0279] 如图15所示,例如,浮动扩散部FD可以设置在将相邻的多个光电二极管PD彼此隔

离的元件分离部43上。多个传输晶体管TR电气连接至浮动扩散部FD,每个传输晶体管TR读出由相邻的多个光电二极管PD中的各者光电转换的电荷。

[0280] 即,在图15所示的摄像装置1中,浮动扩散部FD和浮动扩散部FD的后续段的像素电路22由相邻的传感器像素12共用。需要注意,共用浮动扩散部FD和像素电路22的传感器像素12的数量可以是但不特定限于是例如2个、4个、8个或16个。

[0281] 在这种摄像装置1中,通过设置低介电常数区域90A、90B和90C,可以在多个传感器像素12中同时提高将电荷转换成电位的转换效率。因此,在图15所示的摄像装置1中,较少数量的低介电常数区域90A、90B和90C就可以提高多个传感器像素12中的转换效率。因此,可以抑制因形成低介电常数区域90A、90B和90C而导致的整个摄像装置1的强度的降低。

[0282] (低介电常数区域的平面布置)

[0283] 随后,参照图16至图19对根据本实施例的摄像装置1中的低介电常数区域90A、90B和90C的平面布置的示例进行描述。图16至图19分别是浮动扩散部FD和像素电路22由在一个方向上布置的四个传感器像素12共用的情况的平面布置的示例。

[0284] 图16是像素区域13中的第二半导体基板21和分离绝缘层53的平面布置的平面图。在图16中,传感器像素12的各个光电二极管PD设置在由正方形虚线包围的区域中。

[0285] 如图16所示,第二半导体基板21由分离绝缘层53分割,并且分离绝缘层53以与在传感器像素12的每个光电二极管PD的一个方向上延伸的边界相对应的方式设置。

[0286] 第二半导体基板21设置有活化区域AA和元件分离区域SA。活化区域AA是用作场效应晶体管的源极、漏极或沟道区域的区域。活化区域AA包含硅或引入有导电型杂质的硅。元件分离区域SA是将设置在活化区域AA中的场效应晶体管彼此电气分离的区域。元件分离区域SA是通过使用STI(Shallow Trench Isolation,浅沟槽隔离)方法等以不贯穿第二半导体基板21的程度的深度形成绝缘层而构成的。

[0287] 图17是像素区域13中的贯通配线54、连接部59和栅极电极的平面布置的平面图。在图17中,在一个方向上布置的四个传感器像素12共用一个浮动扩散部FD和像素电路22。

[0288] 如图17所示,在一个方向上延伸的活化区域AA包括从一个端部至另一个端部的由四个传感器像素12共用的选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG的每个栅极电极。

[0289] 作为连接部59,在这些栅极电极之间设置有经由水平驱动电路35将输出电压输出至外部的触点CVout、电气连接至供应电源电位的电源线VDD的触点CVDD、电气连接至供应基准电位的基准电位线VSS的触点CVSS以及电气连接至浮动扩散部FD的触点CFD。

[0290] 分离绝缘层53包括电气连接至浮动扩散部FD的贯通触点TFD和电气连接至基准电位线VSS的贯通触点TVSS作为贯通配线54。另外,分离绝缘层53包括与每个传感器像素12的传输晶体管TR的传输栅极电气连接的每个贯通触点。

[0291] 此时,低介电常数区域90A优选地设置在电气连接至浮动扩散部FD的贯通触点TFD和触点CFD的周围的至少一部分区域中。另外,低介电常数区域90A更优选地在贯通触点TFD和触点CFD的周围的区域中遍及整个周边设置。

[0292] 图18是像素区域13中的连接配线55的平面布置的平面图。

[0293] 如图18所示,作为连接配线55,设置将图17所示的每个连接部59和每个贯通配线54电气连接在一起的配线。此时,低介电常数区域90B优选地设置在电气连接至浮动扩散部

FD的连接配线55周围的至少一部分区域中。具体地,低介电常数区域90B优选地设置在经由触点CFD和贯通触点TFD将从浮动扩散部FD输出的电荷传输至放大晶体管AMP的栅极的连接配线55周围的至少一部分区域中。例如,低介电常数区域90B优选地设置在由图18中的虚线包围的连接配线55周围的至少一部分区域中。

[0294] 图19是像素区域13中的配线层56中所包括的配线的平面布置的平面图。

[0295] 如图19所示,配线层56包括设置成在与分离绝缘层53的延伸方向平行的方向上延伸的电源线VDD、基准电位线VSS和垂直信号线24(VSL)。垂直信号线24设置在与传感器像素12的光电二极管PD之间的每个边界相对应的区域中,并且电源线VDD和基准电位线VSS分别设置在垂直信号线24的两侧方。此时,低介电常数区域90C优选地设置在垂直信号线24周围的至少一部分区域中。例如,低介电常数区域90C优选地设置在由图19中的虚线包围的垂直信号线24周围的至少一部分区域中。

[0296] (低介电常数区域的形成方法)

[0297] 接下来,参照图20A至图22H,对根据本实施例的摄像装置1中的低介电常数区域90A、90B和90C的形成方法进行描述。

[0298] 首先,参照图20A至图20D,对低介电常数区域90A的形成方法的示例进行描述。图20A至图20D分别是描述低介电常数区域90A的形成方法的示例的纵向截面图。

[0299] 如图20A所示,将设置有分离绝缘层53的第二半导体基板21附接至其中形成有光电二极管PD、浮动扩散部FD和传输晶体管TR的第一基板10。

[0300] 接下来,如图20B所示,使用干法蚀刻等在分离绝缘层53的区域中形成狭缝状开口91A。具体地,使用干法蚀刻等,在后续阶段中形成贯通配线54的区域中和在第二半导体基板21之间的分离绝缘层53的区域中以宽度基本均匀的狭缝形状形成开口91A。通过将开口91A形成为具有基本均匀宽度的狭缝形状,使得在后续阶段的工序中沉积第二绝缘层52时能够均匀地封闭每个开口91A。

[0301] 随后,如图20C所示,在低覆盖性的条件下进行CVD(Chemical Vapor Deposition,化学气相沉积)等,从而在第二半导体基板21上沉积第二绝缘层52。此时,由于第二绝缘层52的沉积的低覆盖性,在开口91A的内部被填充之前,开口91A的上部被封闭。以这种方式,通过封闭开口91A的上部而形成的空隙用作低介电常数区域90A。

[0302] 接下来,如图20D所示,依次进行光刻、蚀刻和沉积,从而在第二绝缘层52中形成连接部59和贯通配线54。这里,贯通配线54例如电气连接至浮动扩散部FD,并且设置成使得低介电常数区域90A定位在贯通配线54与第二半导体基板21之间。其后,通过在第二绝缘层52上设置连接配线55,使得形成从连接部59和贯通配线54至其他配线的电气连接。通过这样的工序,可以在根据本实施例的摄像装置1中形成低介电常数区域90A。

[0303] 随后,参照图20E至图20G,对低介电常数区域90B和90C的形成方法的示例进行描述。图20E至图20G分别是描述低介电常数区域90B和90C的形成方法的示例的纵向截面图。

[0304] 如图20E所示,通过连续进行图20A和图20D所示的工序,使得第二半导体基板21附接至其中形成有光电二极管PD、浮动扩散部FD和传输晶体管TR的第一基板10,并且使得连接部59和贯通配线54从第二绝缘层52的正面形成。此外,在连接部59和贯通配线54上形成连接配线55和层间绝缘层57。

[0305] 接下来,如图20F所示,使用干法蚀刻等在连接配线55之间的区域的一部分上形成

狭缝状开口91B。具体地,使用干法蚀刻等,在连接配线55之间的区域中以宽度基本均匀的狭缝形状形成开口91B。通过将开口91B形成为具有基本均匀宽度的狭缝形状,可以在后续阶段的工序中进一步沉积层间绝缘层57时均匀地封闭每个开口91B。

[0306] 随后,如图20G所示,在低覆盖性的条件下进行CVD等,从而在第二绝缘层52上进一步沉积层间绝缘层57。此时,由于层间绝缘层57的沉积的低覆盖性,在开口91B的内部被填充之前,开口91B的上部被封闭。以这种方式,通过封闭开口91B的上部而形成的空隙用作低介电常数区域90B。通过这样的工序,可以在根据本实施例的摄像装置1中形成低介电常数区域90B。另外,类似地,可以在根据本实施例的摄像装置1中形成低介电常数区域90C。

[0307] 图21是描述低介电常数区域90A、90B和90C的截面形状的变化示意性截面图。

[0308] 在上述实施例中,均以矩形形状例示了由空隙形成的低介电常数区域90A、90B和90C的截面形状。然而,由空隙形成的低介电常数区域90A、90B和90C的截面形状可以分别为除矩形形状以外的形状。

[0309] 例如,如图21所示,由于用于蚀刻的蚀刻剂没有充分渗入开口91的底部中,因此在对配线92之间的窄图案的绝缘层93进行蚀刻时所形成的开口91的截面形状可以具有倒锥形形状。另外,在通过CVD等封闭配线92之间形成的开口91的情况下,由于CVD沉积物也部分地渗入开口91的上部中,因此上部被封闭的低介电常数区域90A、90B和90C的截面形状可以具有正锥形形状或三角形形状。

[0310] 由空隙形成的低介电常数区域90A、90B和90C的截面形状可以根据空隙的形成方法而变化。为此,低介电常数区域90A、90B和90C的截面形状不限于上述形状。

[0311] 此外,参照图22A至图22H,对低介电常数区域90A的形成方法的另一示例进行描述。图22A至图22H分别是描述低介电常数区域90A的形成方法的另一示例的每个工序的纵向截面图。

[0312] 首先,如图22A所示,将第一基板10和第二基板20附接在一起,在第一基板10中,第一绝缘层46堆叠在形成有光电二极管PD和浮动扩散部FD的第一半导体基板11上,在第二基板20中,第二绝缘层52和配线层56堆叠在第二半导体基板21上。其后,使用蚀刻等去除将第一基板10的浮动扩散部FD和第二基板20的各种配线电气连接在一起的贯通配线54周围的绝缘层,从而允许形成开口91A。需要注意,可以在开口91A内侧的侧面和底面上形成SiN膜作为保护膜。

[0313] 随后,如图22B所示,制备正面上形成有SiO₂膜1101的附接基板1100。

[0314] 然后,如图22C所示,将附接基板1100与第一基板10和第二基板20的堆叠体彼此附接,以使得SiO₂膜1101面对配线层56。

[0315] 接下来,如图22D所示,将附接基板1100从SiO₂膜1101剥离。以这种方式,开口91A的上部的开口平面被均匀地形成在附接基板1100的正面上的SiO₂膜1101密封,从而使开口91A成为空隙,因此形成低介电常数区域90A。

[0316] 随后,如图22E所示,在SiO₂膜1101的正面上形成与配线层56的各种配线电气连接的焊盘电极58。

[0317] 其后,如图22F所示,制备其中配线层62堆叠在第三半导体基板31上的第三基板30。需要注意,类似地,在配线层62的正面上的面对设置在SiO₂膜1101的正面上的焊盘电极58的位置处形成焊盘电极64。

[0318] 然后,如图22G所示,将第一基板10和第二基板20的堆叠体与第三基板30附接在一起,以使得SiO₂膜1101与配线层62相对。此时,焊盘电极58和焊盘电极64接合在一起,从而在第二基板20的各种配线与第三基板30的各种配线之间形成电气连接。

[0319] 其后,如图22H所示,在第一基板10的与其上形成有第一绝缘层46的表面相反的背面侧(即,第一半导体基板11的与其上形成有第一绝缘层46的表面相反的表面)设置彩色滤光片40和光接收透镜50。这使得能够形成摄像装置1。

[0320] 上面已经对根据本公开的第一实施例的技术进行了详细描述。根据本实施例的技术,可以减小在从浮动扩散部FD至像素信号输出的像素电路22的配线中产生的寄生电容。因此,根据本实施例的技术,可以提高像素电路22中的电荷-电压转换效率。

[0321] <<3. 第二实施例>>

[0322] 接下来,参照图23至图25F,对根据本公开的第二实施例的技术进行描述。根据本实施例的技术旨在更高效地在贯通配线54与第二半导体基板21之间形成低介电常数区域。

[0323] 如在第一实施例中所述的,在摄像装置1中,通过在将从浮动扩散部FD读出的电荷转换成像素信号的电路周围的至少一部分区域中设置低介电常数区域,可以降低寄生电容对像素信号的影响。特别地,在通过堆叠三个基板构成的摄像装置1中,通过在贯通配线54与第二半导体基板21之间的区域中设置低介电常数区域90A,可以抑制由寄生电容引起的电荷-电压转换效率的降低。

[0324] 在第一实施例中,对分离绝缘层53进行光刻和蚀刻,以在贯通配线54与第二半导体基板21之间的预定区域中设置低介电常数区域90A。然而,这种形成方法导致用于形成低介电常数区域90A的许多工序的增加。

[0325] 根据本实施例的技术是鉴于这种情况而构思的。根据本实施例的技术旨在以自对准方式在贯通配线54与第二半导体基板21之间形成低介电常数区域90A。因此,根据本实施例的技术可以减少形成低介电常数区域90A时的工序数量,因此使得能够以更少的额外成本在贯通配线54与第二半导体基板21之间形成低介电常数区域90A。

[0326] 首先,参照图23,对根据本实施例的技术进行更具体的描述。图23包括示意性地示出根据本实施例的第一基板10和第二基板20的堆叠体的构造的截面图和俯视图。

[0327] 如图23中上侧的截面图所示,在根据本实施例的堆叠体中,第一基板10和第二基板20附接在一起,在第一基板10中,第一绝缘层1246(对应于第一绝缘层46)堆叠在第一半导体基板1211(对应于第一半导体基板11)上,在第二基板20中,第二绝缘层1252(对应于第二绝缘层52)堆叠在第二半导体基板1221(对应于第二半导体基板21)上。需要注意,第二半导体基板1221(对应于第二半导体基板21)由设置成贯穿第二半导体基板1221的分离绝缘层1253(对应于分离绝缘层53)分割。

[0328] 第二基板20的第二半导体基板1221包括例如场效应晶体管Tr2。场效应晶体管Tr2包括:例如,栅极电极1230,其隔着栅极绝缘膜1231设置在第二半导体基板1221上;侧壁绝缘膜1232,其设置在栅极电极1230的侧面上;以及源极区域1221S和漏极区域1221D,其夹着栅极电极1230设置在两侧的第二半导体基板1221中。另外,在栅极电极1230、源极区域1221S和漏极区域1221D的顶部上分别设置有栅极触点1259、源极触点1259S和漏极触点1259D。另外,第一基板10的第一半导体基板1211包括例如具有与场效应晶体管Tr2类似的结构在场效应晶体管Tr1。

[0329] 这里,设置在第一基板10中的场效应晶体管Tr1的每个端子通过贯通配线1254在未示出的区域中电气连接至设置在第二基板20中的场效应晶体管Tr2的每个端子,该贯通配线1254设置成贯穿分离绝缘层1253。

[0330] 在根据本实施例的技术中,如图23中下部的俯视图所示,低介电常数区域1290以沿着分离绝缘层1253的外周,遍及整个周边包围贯通配线1254的方式设置在第二半导体基板1221的侧方。这使得低介电常数区域1290能够减小在贯通配线1254与第二半导体基板1221之间产生的寄生电容。

[0331] 低介电常数区域1290是介电常数低于分离绝缘层1253中所包含的材料的介电常数的区域。低介电常数区域1290可以构造为内部为真空的空隙,或者构造为内部封入有空气的空隙。可替代地,低介电常数区域1290可以构造为由低介电常数材料形成的区域,并且可以由空隙和该空隙的一部分被低介电常数材料填充的区域构成。需要注意,作为低介电常数材料,例如,可以使用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等被称为Low-k材料的介电材料。

[0332] 如稍后所述,在根据本实施例的技术中,低介电常数区域1290是使用在形成分离绝缘层1253时在设置于第二半导体基板1221中的贯通孔的内侧侧面上的侧壁而形成的。为此,根据本实施例的技术,可以沿着分离绝缘层1253的外周以自对准方式形成低介电常数区域1290。

[0333] 需要注意,如在第一实施例中提及的,根据本实施例的技术甚至适用于第二基板20包括在厚度方向上堆叠的多个半导体基板的情况。具体地,在第二基板20包括在厚度方向上堆叠的多个半导体基板的情况下,低介电常数区域1290可以沿着贯穿所堆叠的多个半导体基板(即,第二半导体基板21和设置在第二半导体基板21上的至少一个或多个半导体基板)的分离绝缘层1253的外周以自对准方式形成。

[0334] (低介电常数区域的第一形成方法)

[0335] 接下来,参照图24A至图24L,对根据本实施例的低介电常数区域1290的第一形成方法进行描述。图24A至图24L分别是描述低介电常数区域1290的第一形成方法的每个工序的纵向截面图。

[0336] 首先,如图24A所示,在第二半导体基板1221上形成SiN膜1261和抗蚀剂层1281,其后进行蚀刻以在后续阶段中形成分离绝缘层1253的区域中形成开口1271。开口1271优选地以使后续阶段中的蚀刻能够基本贯穿第二半导体基板1221的程度的深度设置。

[0337] 随后,如图24B所示,在剥离抗蚀剂层1281之后,在其中形成有开口1271的第二半导体基板1221上沿着第二半导体基板1221的表面形状沉积SiO₂膜1262和SiN膜1263。

[0338] 接下来,如图24C所示,使用干法蚀刻在整个表面上回蚀SiO₂膜1262和SiN膜1263,从而在开口1271的侧面上形成侧壁1263A。

[0339] 随后,如图24D所示,蚀刻第二半导体基板1221中的将成为元件分离区域的区域和在后续阶段中将形成分离绝缘层1253的区域,从而分别形成开口1272和开口1273。此时,开口1273可以设置成使得第二半导体基板1221的一部分保留(即,不贯穿第二半导体基板1221),或者可以设置成贯穿第二半导体基板1221。

[0340] 接下来,如图24E所示,利用包含SiO₂的分离绝缘层1253分别嵌埋开口1272和开口1273,并且进行CPM(Chemical Mechanical Polish,化学机械抛光)以使正面平坦化。此时,

对分离绝缘层1253进行CMP,直到侧壁1263A的前端暴露。由此,可以在后续阶段的工序中从暴露表面去除侧壁1263A。

[0341] 随后,如图24F所示,剥离SiN以去除侧壁1263A和SiN膜1261。这使得在曾经设置有侧壁1263A的区域中形成用作低介电常数区域1290的空隙。在图24E所示的工序中,侧壁1263A的一部分暴露于分离绝缘层1253的正面,因此能够在图24F所示的工序中通过诸如蚀刻等方法将其去除。

[0342] 接下来,如图24G所示,沉积栅极绝缘膜1231,其后沉积包含多晶硅等的栅极电极层1233。关于栅极电极层1233,通过在低嵌埋性的条件下沉积栅极电极层1233,使得能够抑制栅极电极层1233进入作为空隙的低介电常数区域1290。

[0343] 其后,如图24H所示,通过蚀刻栅极电极层1233,使得形成栅极电极1230。此外,通过将导电型杂质引入栅极电极1230两侧的第二半导体基板1221中,使得形成LDD(Lightly Doped Drain,轻掺杂漏极)区域。

[0344] 随后,如图24I所示,在低嵌埋性的条件下,在第二半导体基板1221、分离绝缘层1253和栅极电极1230上沉积SiO₂膜1265,从而封闭空隙的上部。

[0345] 此外,如图24J所示,沿着栅极电极1230的表面形状沉积SiN膜,然后进行回蚀,从而形成侧壁绝缘膜1232。其后,将导电型杂质引入侧壁绝缘膜1232的更外侧的第二半导体基板1221中,从而形成源极区域1221S和漏极区域1221D。

[0346] 接下来,如图24K所示,将其中设置有场效应晶体管Tr1的第一基板10附接至在直到图24J的工序中形成的第二基板20。具体地,通过去除第二基板20的背面侧的第二半导体基板1221,使得分离绝缘层1253完全分割第二半导体基板1221,其后将第一基板10附接至第二基板20的背面侧。

[0347] 随后,如图24L所示,在第二半导体基板1221上沉积第二绝缘层1252。其后,在形成有分离绝缘层1253的区域中形成从第二绝缘层1252到达第一基板10的场效应晶体管Tr1的各种端子的触点,从而可以形成图23所示的第一基板10和第二基板20的堆叠体。

[0348] (低介电常数区域的第二形成方法)

[0349] 接下来,参照图25A至图25F,对根据本实施例的低介电常数区域1290的第二形成方法进行描述。图25A至图25F分别是描述低介电常数区域1290的第二形成方法的每个工序的纵向截面图。

[0350] 首先,通过经过与图24A至图24D所示的工序类似的工序,使得在第二半导体基板1221中形成开口1272和开口1273。

[0351] 接下来,如图25A所示,利用包含SiO₂的分离绝缘层1253分别嵌埋开口1272和开口1273,并且进行CMP(化学机械抛光)以使正面平坦化。此时,以使得侧壁1263A的前端不暴露的程度对分离绝缘层1253进行CMP,并且在形成栅极电极1230等之后进行侧壁1263A的去除。由此,可以防止在形成栅极电极1230时再次嵌埋通过去除侧壁1263A而形成的空隙。

[0352] 随后,如图25B所示,剥离SiN,从而去除SiN膜1261。同时,保留侧壁1263A。其后,再次蚀刻分离绝缘层1253,从而侧壁1263A的前端暴露于分离绝缘层1253的正面。

[0353] 接下来,如图25C所示,在沉积栅极绝缘膜1231之后,沉积包含多晶硅等的栅极电极层,并且进行图案化,从而形成栅极电极1230。此外,在栅极电极1230的顶部形成SiO₂膜1230A。

[0354] 其后,如图25D所示,通过将导电型杂质引入栅极电极1230两侧的第二半导体基板1221中,使得形成LDD(轻掺杂漏极)区域。接下来,沿着栅极电极1230的表面形状沉积SiO₂膜,其后进行回蚀,从而形成侧壁绝缘膜1232A。随后,将导电型杂质引入侧壁绝缘膜1232A的更外侧的第二半导体基板1221中,从而形成源极区域1221S和漏极区域1221D。

[0355] 然后,如图25E所示,剥离SiN,从而去除侧壁1263A。这使得在曾经设置有侧壁1263A的区域中形成用作低介电常数区域1290的空隙。

[0356] 随后,如图25F所示,在低嵌埋性的条件下在分离绝缘层1253上沉积SiO₂膜1265,从而封闭空隙的上部。接下来,沿着栅极电极1230的表面形状沉积SiN膜。其后,通过经过与图24K至图24L所示的工序类似的工序,使得能够形成与图23所示的第一基板10和第二基板20的堆叠体类似的堆叠体。

[0357] 上面已经对根据本公开的第二实施例的技术进行了详细描述。根据本实施例的技术,可以在贯通配线1254与第二半导体基板1221之间以自对准方式形成包括空隙的低介电常数区域1290,而无需使用光刻等。因此,根据本实施例的技术,可以以更低的成本在贯通配线1254与第二半导体基板1221之间形成低介电常数区域1290。

[0358] 需要注意,未完全去除的侧壁1263A可以保留在包括空隙的低介电常数区域1290内部。即使在这种情况下,低介电常数区域1290也能够减小在贯通配线1254与第二半导体基板1221之间产生的寄生电容的大小。

[0359] <<4. 第三实施例>>

[0360] 随后,参照图26至图42E,对根据本公开的第三实施例的技术进行描述。根据本实施例的技术旨在通过在第二半导体基板21附近设置低介电常数区域来减小由第一基板10和第二基板20附接在一起的三维结构而产生的寄生电容。

[0361] 在通过堆叠三个基板而构成的摄像装置1中,第一半导体基板11和第二半导体基板21隔着第一绝缘层46堆叠。寄生电容是由于绝缘体夹在两个导体之间而产生的,因此堆叠的第二半导体基板21可能在第二半导体基板21与存在于三维的各个方向上的导体之间产生寄生电容。

[0362] 例如,图26示出了由第二半导体基板21产生的寄生电容的示例。图26是在第一基板10和第二基板20堆叠的堆叠体中产生的寄生电容的示例的示意性截面图。

[0363] 如图26所示,例如,在根据本实施例的堆叠体中,第一基板10和第二基板20附接在一起,在第一基板10中,第一绝缘层1342(对应于第一绝缘层46)堆叠在第一半导体基板1311(对应于第一半导体基板11)上,在第二基板20中,第二绝缘层1352(对应于第二绝缘层52)堆叠在第二半导体基板1321(对应于第二半导体基板21)上。另外,第二半导体基板1321(对应于第二半导体基板21)由设置成贯穿第二半导体基板1321的分离绝缘层1353(对应于分离绝缘层53)分割。第一基板10包括作为传输晶体管的栅极的传输栅极TG,并且第二基板20包括具有栅极电极1322的场效应晶体管Tr2。此外,设置在第一基板10中的传输晶体管等的每个端子通过贯通配线1360在未示出的区域中电气连接至设置在第二基板20中的场效应晶体管Tr2的栅极触点1359,该贯通配线1360设置成贯穿分离绝缘层1353。

[0364] 这里,第二半导体基板1321导致例如在侧方在第二半导体基板1321与贯通配线1360之间产生寄生电容。另外,第二半导体基板1321导致例如在下侧在第二半导体基板1321与传输晶体管的传输栅极TG之间产生寄生电容。特别地,在第二半导体基板1321变薄

并且第一绝缘层1342的厚度减小的情况下,第二半导体基板1321和传输栅极TG在距离上彼此更靠近。在这种情况下,在场效应晶体管Tr2与传输栅极TG之间产生的寄生电容和反向偏置导致对场效应晶体管Tr2的特性施加较大影响。

[0365] 根据本实施例的技术是鉴于这种情况而构思的。为了减小上述寄生电容的大小,根据本实施例的技术在第二半导体基板1321的侧方或下侧设置低介电常数区域。

[0366] 参照图27和图28,对根据本实施例的技术进行更具体的描述。图27是本实施例的第一方面中的设置有低介电常数区域的区域的纵向截面图。图28是本实施例的第二方面中的设置有低介电常数区域的区域的纵向截面图。

[0367] 如图27所示,作为第一方面,根据本实施例的摄像装置1包括在第二半导体基板1321(对应于第二半导体基板21)的侧方的低介电常数区域1391。具体地,低介电常数区域1391在面内方向上至少设置在第二半导体基板1321与设置在分离绝缘层1353中的贯通配线1360之间的区域中。这使得低介电常数区域1391能够减小在第二半导体基板1321与贯通配线1360之间产生的寄生电容的大小。

[0368] 低介电常数区域1391是介电常数低于分离绝缘层1353中所包含的材料的介电常数的区域。例如,低介电常数区域1391可以构造为内部为真空的空隙区域,或者构造为封入有空气的空隙区域。另外,低介电常数区域1391可以是由相对介电常数低于分离绝缘层1353中所包含的材料的相对介电常数的材料形成的区域。此外,低介电常数区域1391可以由空隙区域和该空隙区域的一部分被低介电常数材料填充的区域构成。需要注意,作为低介电常数材料,例如,可以使用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等被称为Low-k材料的介电材料。

[0369] 另外,如图28所示,作为第二方面,根据本实施例的摄像装置1包括设置在第二半导体基板(对应于第二半导体基板21)的下侧的低介电常数区域1392。具体地,低介电常数区域1392在堆叠方向上设置在第二半导体基板1321与传输晶体管的传输栅极TG之间的区域中。例如,低介电常数区域1392至少设置在如下区域中:在堆叠方向上看到的第二半导体基板1321的平面图中,第二半导体基板1321和传输栅极TG彼此重叠的区域。这使得低介电常数区域1392能够减小在第二半导体基板1321与传输栅极TG之间产生的寄生电容的大小。

[0370] 低介电常数区域1392是介电常数低于第一绝缘层1342中所包含的材料的介电常数的区域。例如,低介电常数区域1392可以构造为内部为真空的空隙区域,或者构造为封入有空气的空隙区域。另外,低介电常数区域1392可以是由相对介电常数低于第一绝缘层1342中所包含的材料的相对介电常数的材料形成的区域。此外,低介电常数区域1392可以由空隙区域和该空隙区域的一部分被低介电常数材料填充的区域构成。需要注意,作为低介电常数材料,例如,可以使用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等被称为Low-k材料的介电材料。

[0371] 需要注意,在第二基板20包括在厚度方向上堆叠的多个半导体基板的情况下,低介电常数区域1391可以设置在所堆叠的多个半导体基板(即,第二半导体基板21以及设置在第二半导体基板21上的至少一个或多个半导体基板)的侧方(第一方面)。另外,低介电常数区域1392可以设置在所堆叠的多个半导体基板(即,第二半导体基板21以及设置在第二半导体基板21上的至少一个或多个半导体基板)的下侧(第二方面)。这使得根据本实施例的摄像装置1能够更高效地减小在第二基板20中所包括的半导体基板与配线或电极之间产

生的寄生电容。

[0372] (第一方面)

[0373] 在下文中,参照图29A至图36C,更详细地描述根据本实施例的技术的第一方面。

[0374] 图29A至图29C分别包括描述第一方面中的低介电常数区域1391的第一形成方法的平面图和纵向截面图。

[0375] 如图29A所示,第一绝缘层1342是通过将包括具有不同蚀刻速率的多种绝缘材料的膜堆叠而构成的。具体地,第一绝缘层1342是通过交替地堆叠蚀刻速率互不相同的 SiO_2 膜和 SiN 膜而构成的。

[0376] 第二半导体基板1321和分离绝缘层1353设置在第一绝缘层1342上。栅极电极1322隔着未示出的栅极绝缘膜设置在第二半导体基板1321上,从而允许布置场效应晶体管Tr2。栅极触点1359电气连接至场效应晶体管Tr2的栅极电极1322,并且源极触点或漏极触点1358电气连接至第二半导体基板1321的源极区域或漏极区域。需要注意,可以在第二半导体基板1321的正面和栅极电极1322的正面上形成用作应力衬垫膜(stress liner film)或蚀刻停止膜的 SiN 膜1365。

[0377] 分离绝缘层1353包括贯穿分离绝缘层1353和第一绝缘层1342的贯通配线1360。贯通配线1360在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起。

[0378] 低介电常数区域1391的第一形成方法包括:首先顺序地进行使用硬掩模的光刻、第二绝缘层1352的干法蚀刻、 SiN 膜1365的去除和分离绝缘层1353的干法蚀刻,从而使得在第二半导体基板1321与贯通配线1360之间的区域中形成开口1393。此时,第一绝缘层1342包括蚀刻速率不同于 SiO_2 膜的蚀刻速率的 SiN 膜,因此第一绝缘层1342的在堆叠方向上的蚀刻在 SiN 膜处停止。

[0379] 接下来,如图29B所示,在开口1393内侧的侧面和底面上形成包含 SiN 的衬垫膜1366。衬垫膜1366能够增强开口1393内侧的侧面和底面中的各者的强度;因此,衬垫膜1366是防止开口1393由于内部应力等而塌陷或变形的膜。

[0380] 随后,如图29C所示,通过在低嵌埋性的条件下使用CVD(化学气相沉积)等,在衬垫膜1366上沉积低介电常数层1354,从而在嵌埋开口1393的底部之前封闭开口1393的上部。这使得在形成有开口1393的区域中能够形成包括空隙的低介电常数区域1391。需要注意,作为用于形成低介电常数层1354的材料,可以适当地使用作为Low-k材料而众所周知的材料。其后,使用CMP(化学机械抛光)使低介电常数层1354平坦化,从而使得在低介电常数层1354上能够进一步形成配线层等。

[0381] 图30包括描述图29A所示的开口1393的形成变化的平面图和纵向截面图。如图30所示,第一绝缘层1342可以设置为不包括 SiN 膜的 SiO_2 膜的单层膜。在这种情况下,不存在用作蚀刻停止层的 SiN 膜,因此通过蚀刻时间来控制分离绝缘层1353和第一绝缘层1342的堆叠方法中的蚀刻的终止。

[0382] 因此,在不要求严格控制第一绝缘层1342的在堆叠方向上的蚀刻的终止的情况下,通过省略第一绝缘层1342中的 SiN 膜的形成,可以进一步简化形成第一绝缘层1342的工序。

[0383] 图31A至图31F分别包括第一方面中的低介电常数区域1391的形状变化的平面图

和纵向截面图。

[0384] 如图31A所示,低介电常数区域1391设置为空隙。低介电常数区域1391设置在第二半导体基板1321与贯通配线1360之间的至少一部分区域中。第二半导体基板1321的平面内的在与贯通配线1360和第二半导体基板1321的布置方向正交的方向上的低介电常数区域1391的长度优选地比贯通配线1360和第二半导体基板1321两者的长度都长。另外,低介电常数区域1391在堆叠方向上的长度优选地比第二半导体基板1321的厚度长。即,沿着与贯通配线1360和第二半导体基板1321的布置方向垂直的平面截取的低介电常数区域1391的截面优选地具有包含第二半导体基板1321的与贯通配线1360相对的平面的尺寸。这使得低介电常数区域1391能够进一步减小第二半导体基板1321与贯通配线1360之间的寄生电容的大小。

[0385] 如图31B所示,低介电常数区域1391可以设置为空隙,并且可以设置成具有狭缝状平面形状。在这种情况下,形成在分离绝缘层1353中的开口的上部更容易被封闭,因此更容易形成低介电常数区域1391。

[0386] 如图31C所示,低介电常数区域1391可以设置为空隙,并且可以设置成靠近贯通配线1360。只要低介电常数区域1391是第二半导体基板1321与贯通配线1360之间的空间,低介电常数区域1391就可以实现类似的效果,而不管低介电常数区域1391是设置在第二半导体基板1321侧还是贯通配线1360侧。

[0387] 如图31D所示,低介电常数区域1391可以设置为空隙,并且可以设置成具有大致正方形的形状。低介电常数区域1391的尺寸越大,越能够减小在第二半导体基板1321与贯通配线1360之间产生的寄生电容。然而,在低介电常数区域1391的尺寸过大的情况下,低介电常数区域1391会导致第一基板10和第二基板的整体强度降低。为此,在优先考虑第一基板10和第二基板的整体强度的情况下,以不会过大的形状设置低介电常数区域1391。

[0388] 如图31E所示,低介电常数区域1391可以设置为空隙,并且可以设置在贯通配线1360周围的区域中。即使在这种情况下,低介电常数区域1391也设置在第二半导体基板1321与贯通配线1360之间,从而低介电常数区域1391可以减小第二半导体基板1321与贯通配线1360之间的寄生电容的大小。

[0389] 如图31F所示,在设置多个贯通配线1360的情况下,除第二半导体基板1321与贯通配线1360之间的区域以外,低介电常数区域1391还可以设置在贯通配线1360之间的区域中。在这种情况下,低介电常数区域1391也可以减小在多个贯通配线1360之间产生的寄生电容的大小。

[0390] 随后,图32A至图32C分别包括描述第一方面中的低介电常数区域1391的第二形成方法的平面图和纵向截面图。

[0391] 如图32A所示,第二形成方法与第一形成方法的不同之处在于,使用湿法蚀刻作为分离绝缘层1353的蚀刻。

[0392] 如图32A所示,具体地,首先进行使用硬掩模的光刻和第二绝缘层1352的去除,其后在SiN膜1365中设置开口1393。

[0393] 接下来,如图32B所示,经由形成在SiN膜1365中的开口1393使湿法蚀刻剂(例如,氟化氢水溶液)作用在分离绝缘层1353上。这使得分离绝缘层1353能够被湿法蚀刻,以在第二半导体基板1321与贯通配线1360之间的区域中形成空隙。

[0394] 在湿法蚀刻中,与干法蚀刻相比,蚀刻区域各向同性地扩大,因此空隙的形状在第二半导体基板1321的面内方向上和堆叠方向上是圆形形状或球形形状。为此,即使在SiN膜1365中设置的开口1393的尺寸较小的情况下,也可以在分离绝缘层1353中形成较大的空隙。

[0395] 对第一绝缘层1342的湿法蚀刻的深度可以由第一绝缘层1342中的蚀刻速率不同于SiO₂膜的蚀刻速率的SiN膜的形成位置来控制。同时,湿法蚀刻在分离绝缘层1353的面内方向上的扩大可以通过蚀刻时间来控制。

[0396] 随后,如图32C所示,通过在低嵌埋性的条件下使用CVD等,在SiN膜1365上沉积低介电常数层1354,从而封闭开口1393。这使得形成在分离绝缘层1353中的空隙能够成为低介电常数区域1391。需要注意,作为用于形成低介电常数层1354的材料,可以适当地使用作为Low-k材料而众所周知的材料。其后,使用CMP(化学机械抛光)使低介电常数层1354平坦化,从而使得在低介电常数层1354上能够进一步形成配线层等。

[0397] 在第二形成方法中,为形成空隙而设置的开口的开口平面较小,因此使得能够抑制Low-k材料等在形成低介电常数层1354时进入空隙。另外,在第二形成方法中,可以更容易地封闭空隙的上部。

[0398] 图33A至图33C包括示出了图32A至图32C所示的开口1393的形成变化的平面图和纵向截面图。

[0399] 如上所述,湿法蚀刻导致蚀刻区域各向同性地扩大。为此,如图33A至图33C所示,在严格控制进行湿法蚀刻的范围的情况下,由SiN膜1367预先限定用于形成低介电常数区域1391的区域。

[0400] 具体地,顺序地进行使用硬掩模的光刻和SiN膜1367的成膜,从而在分离绝缘层1353中形成底面和侧面被SiN膜1367覆盖的区域。其后,如图33A所示,通过光刻在SiN膜1365中形成开口1393。

[0401] 接下来,如图33B所示,经由形成在SiN膜1365中的开口1393使湿法蚀刻剂(例如,氟化氢水溶液)作用在分离绝缘层1353上。这使得分离绝缘层1353能够被湿法蚀刻,以在第二半导体基板1321与贯通配线1360之间的区域中形成空隙。此时,湿法蚀刻剂作用在分离绝缘层1353上的区域由SiN膜1367限定,因此可以防止湿法蚀刻剂由于过蚀刻作用在非预期区域上。

[0402] 随后,如图33C所示,通过在低嵌埋性的条件下使用CVD等,在SiN膜1365上沉积低介电常数层1354,从而封闭开口1393。这使得形成在分离绝缘层1353中的空隙能够成为低介电常数区域1391。其后,使用CMP(化学机械抛光)使低介电常数层1354平坦化,从而使得在低介电常数层1354上能够进一步形成配线层等。

[0403] 图34A至图34C分别包括第一方面中的低介电常数区域1391的形状变化的平面图和纵向截面图。

[0404] 如图34A所示,低介电常数区域1391设置为空隙。低介电常数区域1391设置在第二半导体基板1321与贯通配线1360之间的至少一部分区域中。第二半导体基板1321的平面内的在与贯通配线1360和第二半导体基板1321的布置方向正交的方向上的低介电常数区域1391的长度优选地比贯通配线1360和第二半导体基板1321两者的长度都长。另外,低介电常数区域1391在堆叠方向上的形成深度优选地比第二半导体基板1321的厚度长。

[0405] 如图34B所示,低介电常数区域1391可以设置为空隙,并且可以设置成靠近贯通配线1360。只要低介电常数区域1391是第二半导体基板1321与贯通配线1360之间的空间,低介电常数区域1391就可以实现类似的效果,而不管低介电常数区域1391是设置在第二半导体基板1321侧还是贯通配线1360侧。

[0406] 如图34C所示,低介电常数区域1391可以设置为空隙,并且可以设置成靠近贯通配线1360和第二半导体基板1321两者。在这种情况下,低介电常数区域1391横跨贯通配线1360与第二半导体基板1321之间的整个区域设置。

[0407] 如图34A至图34C所示,可以通过对分离绝缘层1353进行湿法蚀刻时的开口1393的位置来控制低介电常数区域1391的位置。另外,可以通过湿法蚀刻的工艺时间来控制低介电常数区域1391的尺寸和深度。需要注意,即使根据需要布置诸如SiN膜等不容易湿法蚀刻的构造,也可以控制形成低介电常数区域1391的区域的尺寸和深度。

[0408] 图35A至图35D分别是描述第一方面中的低介电常数区域1391的第三形成方法的纵向截面图。

[0409] 如图35A所示,首先,通过蚀刻去除横跨整个表面形成在第一绝缘层1342上的第二半导体基板1321、SiN膜1371和SiO₂膜1372的一部分区域,以形成开口1393。形成开口1393的区域是形成分离绝缘层1353的区域。

[0410] 接下来,如图35B所示,沿着开口1393的形状形成SiO₂膜1373,以提高有机树脂1394的粘附性。其后,将有机树脂1394嵌埋在开口1393的将形成低介电常数区域1391的区域中,并且将SiO₂膜(未示出)嵌埋在开口1393的将形成分离绝缘层1353的区域中。即,在形成开口1393的区域之中的位于贯通配线1360与第二半导体基板1321之间的一部分区域中,嵌埋将在后续阶段的工序中被去除而成为空隙的有机树脂1394。作为有机树脂1394,可以使用有机Low-k材料;例如,可以使用以SiLK(注册商标,道康宁(Dow Corning)公司)为代表的聚芳醚(PAE)树脂。

[0411] 随后,如图35C所示,通过在第二半导体基板1321上隔着未示出的栅极绝缘膜设置栅极电极1322,使得形成场效应晶体管Tr2。另外,栅极触点1359和源极触点或漏极触点1358分别电气连接至场效应晶体管Tr2的栅极电极1322和第二半导体基板1321的源极区域或漏极区域。在第二半导体基板1321的正面和栅极电极1322的正面上形成用作应力衬垫膜或蚀刻停止膜的SiN膜1365。

[0412] 此外,在分离绝缘层1353中形成在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起的贯通配线1360。例如,贯通配线1360可以设置成贯穿分离绝缘层1353和第一绝缘层1342。

[0413] 接下来,如图35D所示,经由到达有机树脂1394的贯通孔,使用反应离子蚀刻(Reactive Ion Etching:RIE)去除嵌埋在分离绝缘层1353中的有机树脂1394。这使得在嵌埋有机树脂1394的区域中能够形成成为低介电常数区域1391的空隙。根据第三形成方法,可以在嵌埋有机树脂1394的区域中形成选择性地成为低介电常数区域1391的空隙。

[0414] 图36A至图36C分别是描述第一方面中的低介电常数区域1391的第三形成方法的变化纵向截面图。

[0415] 首先,如图35A所示,通过蚀刻去除横跨整个表面形成在第一绝缘层1342上的第二半导体基板1321、SiN膜1371和SiO₂膜1372的一部分区域,以形成开口1393。接下来,如图

36A所示,一旦利用分离绝缘层1353嵌埋开口1393之后,通过光刻和蚀刻选择性地去除形成低介电常数区域1391的区域中的分离绝缘层1353,以使得有机树脂1394被嵌埋。

[0416] 随后,如图36B所示,类似于图35C所示的工序,在第二半导体基板1321上形成场效应晶体管Tr2,并且栅极触点1359和源极触点或漏极触点1358电气连接至场效应晶体管Tr2的各个端子。此外,在分离绝缘层1353中,以贯穿分离绝缘层1353和第一绝缘层1342的方式形成在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起的贯通配线1360。

[0417] 随后,如图36C所示,类似于图35D所示的工序,经由到达有机树脂1394的贯通孔,使用反应离子蚀刻(Reactive Ion Etching:RIE)去除嵌埋在分离绝缘层1353中的有机树脂1394。这使得在嵌埋有机树脂1394的区域中能够形成成为低介电常数区域1391的空隙。

[0418] 图36A至图36C中所述的第三形成方法的变化能够更严格地控制嵌埋有机树脂1394的区域。因此,可以防止贯通配线1360的形成难度由于有机树脂1394的存在而增大。

[0419] 图37A至图37C分别是描述第一方面中的低介电常数区域1391的第四形成方法的纵向截面图。

[0420] 如图37A至图37C所示,低介电常数区域1391的第四形成方法包括在将第一基板10和第二基板20电气连接在一起的贯通配线1360周围的由SiN膜1365包围的区域中形成低介电常数区域1391。

[0421] 具体地,通过在第一半导体基板1311上堆叠第一绝缘层1342来构成第一基板10,并且通过在第二半导体基板1321上堆叠第二绝缘层1352来构成第二基板20。第一基板10包括光电二极管(未示出),并且第二基板20包括对已经由光电二极管光电转换的信号电荷进行信号处理的场效应晶体管Tr2(也称为像素晶体管)。设置在第一基板10中的每个配线或每个端子通过贯通配线1360且例如经由栅极触点1359电气连接至栅极电极1322,该贯通配线1360穿过以贯穿第二半导体基板1321的方式设置的分离绝缘层1353。设置在第二半导体基板1321的侧方的贯通配线1360周围的区域由SiN膜1365包围,并且低介电常数区域1391设置在由SiN膜1365包围的区域中。

[0422] 参照图37A至图37C,对低介电常数区域1391的这种形成方法进行描述。

[0423] 例如,如图37A所示,以包围第二基板20的分离绝缘层1353的一部分或全部区域的方式形成SiN膜1365。其后,以贯穿由SiN膜1365包围的区域的方式形成贯通配线1360。这使得在第二半导体基板1321的侧方设置包围贯通配线1360周围的区域的SiN膜1365。需要注意,例如,SiN膜1365可以与场效应晶体管Tr2的栅极电极1322的侧壁绝缘膜1322S连续地设置。

[0424] 接下来,如图37B所示,使用光刻和反应离子蚀刻(Reactive Ion Etching:RIE)形成开口1393,该开口1393贯穿第二绝缘层1352和上侧的SiN膜1365,以到达由SiN膜1365包围的区域的内部。其后,沿着开口1393的使第二绝缘层1352暴露的内侧表面形成SiN膜1366。

[0425] 随后,如图37C所示,通过使蚀刻剂经由开口1393流入由SiN膜1365包围的区域中来进行湿法蚀刻,并且去除由SiN膜1365包围的区域内部的分离绝缘层1353。这使得在贯通配线1360周围形成作为空隙的低介电常数区域1391。需要注意,低介电常数区域1391可以保持为空隙,或者可以用诸如碳掺杂氧化硅(SiOC)或多孔二氧化硅等Low-k材料填充。

[0426] 根据低介电常数区域1391的第四形成方法,能够将形成低介电常数区域1391的区域限定为由SiN膜1365包围的区域,因此可以抑制低介电常数区域1391的形状或尺寸的偏差。

[0427] 另外,在第四形成方法中,通过在分离绝缘层1353中预先形成由SiN膜1365包围的区域,使得能够仅采用光刻、RIE蚀刻和湿法蚀刻作为形成低介电常数区域1391时的额外工序。因此,第四形成方法使得能够以更低的成本形成低介电常数区域1391。

[0428] (第二方面)

[0429] 在下文中,参照图38A至图42E,更详细地描述根据本实施例的技术的第二方面。

[0430] 图38A至图38D分别是描述第二方面中的低介电常数区域1392的第一形成方法的纵向截面图。

[0431] 如图38A所示,首先,使第一基板10的第一绝缘层1342的一部分开口,并且沿着开口的形状沉积SiN膜1343。

[0432] 接下来,如图38B所示,在形成有开口的第一绝缘层1342上附接由支撑基板1380保持的第二半导体基板1321和绝缘层1344。绝缘层1344的面对形成在第一绝缘层1342中的开口的表面是平坦的,因此使得在形成于第一绝缘层1342中的开口与绝缘层1344之间形成包括空隙的低介电常数区域1392。

[0433] 其后,如图38C所示,在剥离支撑基板1380之后,在第二半导体基板1321上形成SiN膜1371和SiO₂膜1372。随后,通过蚀刻去除第二半导体基板1321、SiN膜1371和SiO₂膜1372的一部分区域。

[0434] 接下来,如图38D所示,利用分离绝缘层1353嵌埋通过蚀刻去除的区域,以形成场效应晶体管Tr2和贯通配线1360。具体地,通过在第二半导体基板1321上隔着未示出的栅极绝缘膜设置栅极电极1322,使得形成场效应晶体管Tr2。另外,栅极触点1359和源极触点或漏极触点1358分别电气连接至场效应晶体管Tr2的栅极电极1322和第二半导体基板1321的源极区域或漏极区域。在第二半导体基板1321的正面和栅极电极1322的正面上形成用作应力衬垫膜或蚀刻停止膜的SiN膜1365。

[0435] 此外,在分离绝缘层1353中形成在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起的贯通配线1360。例如,贯通配线1360可以设置成贯穿分离绝缘层1353和第一绝缘层1342。

[0436] 这使得能够以相对较少的额外工序在第二半导体基板1321下方形成包括空隙的低介电常数区域1392。低介电常数区域1392例如具有矩形形状,并且可以形成在第二半导体基板1321的平面区域内侧的区域中。

[0437] 图39A至图39D分别是第二方面中的低介电常数区域1392的形状变化的平面图。

[0438] 如图39A所示,设置为空隙的低介电常数区域1392可以设置成延伸至第二半导体基板1321的平面区域的外侧。另外,如图39B所示,设置为空隙的低介电常数区域1392可以设置成具有彼此平行地布置的多个矩形形状。另外,如图39C所示,设置为空隙的低介电常数区域1392可以设置在比第二半导体基板1321的平面区域更大的区域中。此外,如图39D所示,设置为空隙的低介电常数区域1392可以设置成具有彼此平行地布置的多个矩形形状,并且设置成延伸至第二半导体基板1321的平面区域的外侧。

[0439] 在第一形成方法中,在低介电常数区域1392与第二半导体基板1321之间设置有绝

缘层1344。为此,低介电常数区域1392和第二半导体基板1321可以具有彼此独立的平面形状。

[0440] 接下来,图40A至图40D分别是描述第二方面中的低介电常数区域1392的第二形成方法的纵向截面图。

[0441] 如图40A和图40B所示,在其中第一绝缘层1342上形成有SiN膜1343的第一基板10上附接由支撑基板1380保持的第二半导体基板1321和绝缘层1344。这里,使设置在第二半导体基板1321上的绝缘层1344的一部分开口;在第二半导体基板1321的背面、形成在绝缘层1344中的开口和第一绝缘层1342上的SiN膜1343之间形成包括空隙的低介电常数区域1392。

[0442] 其后,如图40C所示,在剥离支撑基板1380之后,在第二半导体基板1321上形成SiN膜1371和SiO₂膜1372。随后,通过蚀刻去除第二半导体基板1321、SiN膜1371和SiO₂膜1372的一部分区域。

[0443] 接下来,如图40D所示,利用分离绝缘层1353嵌埋通过蚀刻去除的区域,以形成场效应晶体管Tr2和贯通配线1360。具体地,通过在第二半导体基板1321上隔着未示出的栅极绝缘膜设置栅极电极1322,使得形成场效应晶体管Tr2。另外,栅极触点1359和源极触点或漏极触点1358分别电气连接至场效应晶体管Tr2的栅极电极1322和第二半导体基板1321的源极区域或漏极区域。在第二半导体基板1321的正面和栅极电极1322的正面上形成用作应力衬垫膜或蚀刻停止膜的SiN膜1365。

[0444] 此外,在分离绝缘层1353中形成在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起的贯通配线1360。例如,贯通配线1360可以设置成贯穿分离绝缘层1353和第一绝缘层1342。

[0445] 类似于第一形成方法,这使得在第二半导体基板1321下方能够形成包括空隙的低介电常数区域1392。低介电常数区域1392例如具有矩形形状,并且可以形成在第二半导体基板1321的平面区域内侧的区域中。

[0446] 在第二形成方法中,第二半导体基板1321的背面暴露于低介电常数区域1392。为此,除如图39C所示的低介电常数区域1392的平面区域大于第二半导体基板1321的平面区域的情况以外,低介电常数区域1392可以具有任意平面形状。

[0447] 随后,图41A至图41E分别是描述第二方面中的低介电常数区域1392的第三形成方法的纵向截面图。

[0448] 如图41A和图41B所示,在其中第一绝缘层1342上形成有SiN膜1343的第一基板10上附接由支撑基板1380保持的第二半导体基板1321和包含有机树脂1394的绝缘层1344。

[0449] 这里,在设置于第二半导体基板1321上的绝缘层1344中形成有开口,并且所形成的开口被包含有机Low-k材料的有机树脂1394嵌埋。作为有机Low-k材料,例如,可以使用以SiLK(注册商标,道康宁公司)为代表的聚芳醚(PAE)树脂。包含有机Low-k材料的有机树脂1394在后续阶段中被选择性地去除,从而形成包括空隙的低介电常数区域1392。

[0450] 其后,如图41C所示,在剥离支撑基板1380之后,在第二半导体基板1321上形成SiN膜1371和SiO₂膜1372。随后,通过蚀刻去除第二半导体基板1321、SiN膜1371和SiO₂膜1372的一部分区域。这使得设置在第二半导体基板1321上的有机树脂1394从第二半导体基板1321的侧面暴露。

[0451] 随后,如图41D所示,使用反应离子蚀刻(Reactive Ion Etching:RIE)去除暴露的有机树脂1394。这使得在第二半导体基板1321下方形成包括空隙的低介电常数区域1392。

[0452] 接下来,如图41E所示,利用分离绝缘层1353嵌埋在图41C所示的工序中通过蚀刻去除的区域,以形成场效应晶体管Tr2和贯通配线1360。具体地,通过在第二半导体基板1321上隔着未示出的栅极绝缘膜设置栅极电极1322,使得形成场效应晶体管Tr2。另外,栅极触点1359和源极触点或漏极触点1358分别电气连接至场效应晶体管Tr2的栅极电极1322和第二半导体基板1321的源极区域或漏极区域。在第二半导体基板1321的正面和栅极电极1322的正面上形成用作应力衬垫膜或蚀刻停止膜的SiN膜1365。

[0453] 此外,在分离绝缘层1353中形成在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起的贯通配线1360。例如,贯通配线1360可以设置成贯穿分离绝缘层1353和第一绝缘层1342。

[0454] 类似于第一形成方法,这使得在第二半导体基板1321下方能够形成包括空隙的低介电常数区域1392。低介电常数区域1392可以例如形成为从第二半导体基板1321的平面区域的一侧延伸至另一侧的多个矩形形状。

[0455] 在第三形成方法中,通过形成分离绝缘层1353时的蚀刻使有机树脂1394暴露,从而在后续阶段中通过RIE去除有机树脂1394。为此,除如图38D和图39B所示的低介电常数区域1392的平面区域包括在第二半导体基板1321的平面区域内部的情况以外并且除如图39C所示的低介电常数区域1392的平面区域大于第二半导体基板1321的平面区域的情况以外,低介电常数区域1392可以具有任意平面形状。

[0456] 随后,图42A至图42E分别是描述第二方面中的低介电常数区域1392的第四形成方法的纵向截面图。

[0457] 如图42A和图42B所示,在其中第一绝缘层1342上形成有SiN膜1343的第一基板10上附接由支撑基板1380保持的第二半导体基板1321和包含有机树脂1394的绝缘层1344。

[0458] 这里,在设置于第二半导体基板1321上的绝缘层1344中形成有开口,并且所形成的开口被包含有机Low-k材料的有机树脂1394嵌埋。作为有机Low-k材料,例如,可以使用以SiLK(注册商标,道康宁公司)为代表的聚芳醚(PAE)树脂。包含有机Low-k材料的有机树脂1394在后续阶段中被选择性地去除,从而形成包括空隙的低介电常数区域1392。第四形成方法与第三形成方法的不同之处在于,形成有机树脂1394的区域仅位于第二半导体基板1321下方。

[0459] 其后,如图42C所示,在剥离支撑基板1380之后,在第二半导体基板1321上形成SiN膜1371和SiO₂膜1372。随后,通过蚀刻去除第二半导体基板1321、SiN膜1371和SiO₂膜1372的一部分区域。这使得设置在第二半导体基板1321上的有机树脂1394从第二半导体基板1321的侧面暴露。

[0460] 随后,如图42D所示,使用反应离子蚀刻(Reactive Ion Etching:RIE)去除暴露的有机树脂1394。这使得在第二半导体基板1321下方形成包括空隙的低介电常数区域1392。

[0461] 接下来,如图42E所示,利用分离绝缘层1353嵌埋在图42C所示的工序中通过蚀刻去除的区域,以形成场效应晶体管Tr2和贯通配线1360。具体地,通过在第二半导体基板1321上隔着未示出的栅极绝缘膜设置栅极电极1322,使得形成场效应晶体管Tr2。另外,栅极触点1359和源极触点或漏极触点1358分别电气连接至场效应晶体管Tr2的栅极电极1322

和第二半导体基板1321的源极区域或漏极区域。在第二半导体基板1321的正面和栅极电极1322的正面上形成用作应力衬垫膜或蚀刻停止膜的SiN膜1365。

[0462] 此外,在分离绝缘层1353中形成在未示出的区域中将第一基板10的各种配线和第二基板20的各种配线电气连接在一起的贯通配线1360。例如,贯通配线1360可以设置成贯穿分离绝缘层1353和第一绝缘层1342。

[0463] 类似于第一形成方法,这使得在第二半导体基板1321下方能够形成包括空隙的低介电常数区域1392。低介电常数区域1392可以例如形成为从第二半导体基板1321的平面区域的一侧延伸至另一侧的矩形形状。

[0464] 在第四形成方法中,通过形成分离绝缘层1353时的蚀刻使有机树脂1394暴露,从而在后续阶段中通过RIE去除有机树脂1394。为此,除如图38D和图39B所示的低介电常数区域1392的平面区域包括在第二半导体基板1321的平面区域内部的情况以外并且除如图39C所示的低介电常数区域1392的平面区域大于第二半导体基板1321的平面区域的情况以外,低介电常数区域1392可以具有任意平面形状。

[0465] 上面已经对根据本公开的第三实施例的技术进行了详细描述。根据本实施例的技术,可以减小在第二半导体基板1321与贯通配线1360或传输栅极TG等之间产生的寄生电容的大小。因此,根据本实施例的技术,三维结构的摄像装置1可以提高设置在第二半导体基板1321中的场效应晶体管的电气特性。

[0466] <<5. 变形例>>

[0467] 在下文中,对应用根据本公开的技术的摄像装置1的变形例进行描述。

[0468] (第一变形例)

[0469] 首先,参照图43,对作为摄像装置1的在堆叠方向上的截面构造的变形例的第一变形例进行描述。图43是图7所示的截面构造的变形例的纵向截面图。

[0470] 如图43所示,在根据第一变形例的摄像装置1中,传输晶体管TR包括平面型传输栅极TG。因此,传输栅极TG不贯穿p阱层42,并且形成在第一半导体基板11的正面上。即使在将平面型传输栅极TG用于传输晶体管TR的情况下,摄像装置1也可以实现与上述效果类似的效果。

[0471] (第二变形例)

[0472] 接下来,参照图44,对作为摄像装置1的在堆叠方向上的截面构造的变形例的第二变形例进行描述。图44是图7所示的截面构造的变形例的纵向截面图。

[0473] 如图44所示,在根据第二变形例的摄像装置1中,第二基板20与第三基板30之间的电气连接形成在与第一基板10中的周边区域14相对应的区域中。周边区域14是与沿着第一基板10的像素区域13的周缘设置的框架区域相对应的区域。在根据第二变形例的摄像装置1中,第二基板20包括在对应于周边区域14的区域中的多个焊盘电极58,并且第三基板30包括在对应于周边区域14的区域中的多个焊盘电极64。这使得第二基板20和第三基板30通过设置在对应用于周边区域14的区域中的焊盘电极58和64之间的接合而彼此电气连接。因此,与在对应用于像素区域13的区域中将焊盘电极58和64接合在一起的情况相比,根据第二变形例的摄像装置1可以降低焊盘电极58和64之间的接合可能对像素区域13施加影响的可能性。

[0474] (第三变形例)

[0475] 此外,参照图45至图50,对根据第三变形例的摄像装置1B的构造示例进行描述。图45至图47分别是根据第三变形例的摄像装置1B的在厚度方向上的构造示例的截面图。图48至图50分别是根据第三变形例的摄像装置1B的多个像素单元PU的在水平方向上的布局示例的截面图。需要注意,图48至图50所示的每个截面图仅是示意图,而不是旨在严格且精确地示出实际结构的图。在图48至图50所示的每个截面图中,为了在纸面上以易于理解的方式描述摄像装置1B的构造,在位置sec1至sec3处有意地改变晶体管和杂质扩散层的在水平方向上的位置。

[0476] 具体地,在图45所示的摄像装置1B的像素单元PU中,位置sec1处的截面对应于沿着图48中的线A1-A1'截取的截面;位置sec2处的截面对应于沿着图49中的线B1-B1'截取的截面;位置sec3处的截面对应于沿着图50中的线C1-C1'截取的截面。同样,在图46所示的摄像装置1B中,位置sec1处的截面对应于沿着图48中的线A2-A2'截取的截面;位置sec2处的截面对应于沿着图49中的线B2-B2'截取的截面;位置sec3处的截面对应于沿着图50中的线C2-C2'截取的截面。在图47所示的摄像装置1B中,位置sec1处的截面对应于沿着图48中的线A3-A3'截取的截面;位置sec2处的截面对应于沿着图49中的线B3-B3'截取的截面;位置sec3处的截面对应于沿着图50中的线C3-C3'截取的截面。

[0477] 如图45至图50所示,第二基板20堆叠在第一基板(底部基板)10的正面10a(一个表面)侧。在第一基板10的正面10a侧设置有光电二极管PD、传输晶体管TR和浮动扩散部FD。光电二极管PD、传输晶体管TR和浮动扩散部FD针对每个传感器像素12设置。

[0478] 第一基板10的另一侧(例如,背面)是光入射面。摄像装置1B是背面照射型摄像装置,并且包括在背面上的彩色滤光片和光接收透镜。彩色滤光片和光接收透镜针对每个传感器像素12设置。

[0479] 第一基板10的第一半导体基板11包括例如硅基板。第一半导体基板11包括在正面的一部分中及其附近的第一导电类型(例如,p型)的阱层WE,并且包括在比阱层WE更深的区域中的第二导电类型(例如,n型)的光电二极管PD。另外,阱层WE包括在阱层WE中的具有比阱层WE更高的p型浓度的阱接触层和n型的浮动扩散部FD。设置阱接触层是为了减小阱层WE与配线之间的接触电阻。

[0480] 第一半导体基板11包括将相邻的传感器像素12彼此电气分离的元件分离层16。元件分离层16包括例如STI(Shallow Trench Isolation,浅沟槽隔离)结构,并且在第一半导体基板11的深度方向上延伸。元件分离层16包含例如氧化硅。另外,第一半导体基板11包括在元件分离层16与光电二极管PD之间的杂质扩散层17。例如,杂质扩散层17包括设置成在第一半导体基板11的厚度方向上延伸的p型层和n型层。p型层定位在元件分离层16侧,并且n型层定位在光电二极管PD侧。

[0481] 在第一半导体基板11的正面11a侧设置有绝缘膜2015。绝缘膜2015是例如将氧化硅膜(SiO₂)、氮化硅膜(SiN)、氮氧化硅膜(SiON)和碳氮化硅膜(SiCN)中的一种或两种以上材料堆叠而成的膜。

[0482] 第二基板20包括下侧基板2210和上侧基板2220。下侧基板2210包括半导体基板2211。半导体基板2211是包含例如单晶硅的硅基板。在半导体基板2211的一个表面(例如,正面2211a)侧设置有放大晶体管AMP和包围放大晶体管AMP的周边的元件分离层2213。元件分离层2213将相邻像素单元PU的一个放大晶体管AMP和其他放大晶体管AMP彼此电气分离。

[0483] 下侧基板2210包括覆盖半导体基板2211的正面2211a的绝缘膜2215。绝缘膜2215覆盖放大晶体管AMP和元件分离层2213。另外,下侧基板2210包括覆盖半导体基板2211的另一个表面(例如,背面2211b)的绝缘膜2217。绝缘膜2215和2217分别是例如将SiO₂、SiN、SiON和SiCN中的一种或两种以上材料堆叠而成的膜。第一基板10的绝缘膜2015和下侧基板2210的绝缘膜2217彼此接合以构成层间绝缘膜2051。

[0484] 上侧基板2220包括半导体基板2221。半导体基板2221是包含例如单晶硅的硅基板。在半导体基板2221的一个表面(例如,正面2221a)侧设置有复位晶体管RST、选择晶体管SEL和元件分离层2223。例如,元件分离层2223设置在复位晶体管RST与选择晶体管SEL之间,并且设置在选择晶体管SEL与半导体基板2221的阱层之间。

[0485] 上侧基板2220包括覆盖半导体基板2221的正面2221a、背面2221b和侧面的绝缘膜2225。绝缘膜2225例如是将SiO₂、SiN、SiON和SiCN中的一种或两种以上材料堆叠而成的膜。下侧基板2210的绝缘膜2215和上侧基板2220的绝缘膜2225彼此接合以构成层间绝缘膜2053。

[0486] 摄像装置1B包括设置在层间绝缘膜2051和2053中并且电气连接至第一基板10和第二基板20中的至少一者的多个配线L1至L10。配线L1将放大晶体管AMP的漏极和电源线VDD电气连接在一起。配线L2将一个像素单元PU中所包括的四个浮动扩散部FD和放大晶体管AMP的栅极电极AG电气连接在一起。配线L3将放大晶体管AMP的源极和选择晶体管SEL的漏极电气连接在一起。配线L4将选择晶体管SEL的栅极电极SG和像素驱动线电气连接在一起。

[0487] 配线L5将选择晶体管SEL的源极和垂直信号线电气连接在一起。配线L6将复位晶体管RST的漏极和电源线VDD电气连接在一起。配线L7将复位晶体管RST的栅极电极RG和像素驱动线电气连接在一起。配线L8将复位晶体管RST的源极和配线L2电气连接在一起。配线L9将传输晶体管TR的栅极电极TG和像素驱动线电气连接在一起。配线L10将阱接触层和供应基准电位(例如,接地电位:0V)的基准电位线电气连接在一起。

[0488] 在配线L1至L10中,被设置成在堆叠体的厚度方向上延伸的部分包含钨(W),并且被设置成在与堆叠体的厚度方向正交的方向(例如,水平方向)上延伸的部分包含铜(Cu)或以Cu为主成分的Cu合金。然而,配线L1至L10中所包含的材料不限于此;可以包含其他材料。

[0489] 第二基板20包括与上述配线L1至L10中的任意配线(例如,配线L1、L4至L7、L9和L10)连接的多个焊盘电极2227。多个焊盘电极2227分别包含例如Cu或Cu合金。

[0490] 第三基板30设置在第二基板20的与面对第一基板10的表面相反的一侧(例如,正面侧)。第三基板30包括半导体基板2301、覆盖半导体基板2301的正面2301a侧的绝缘膜2304、设置在半导体基板2301的正面2301a侧的多个配线L30以及连接至各个配线L30的焊盘电极2305。需要注意,如稍后所述,第三基板30的正面和第二基板20附接在一起。为此,半导体基板2301的正面2301a面向下侧。

[0491] 半导体基板2301是包含例如单晶硅的硅基板。半导体基板2301包括在正面2301a侧的包括在逻辑电路中的杂质扩散层和多个晶体管。绝缘膜2304覆盖逻辑电路中所包括的杂质扩散层和多个晶体管。绝缘膜2304包括连接至这些晶体管和杂质扩散层的接触孔。

[0492] 配线L30设置在接触孔中。在配线L30中,被设置成在第三基板30的厚度方向上延伸的部分包含钛(Ti)或钴(Co),并且被设置成在与第三基板30的厚度方向正交的方向(例

如,水平方向)上延伸的部分包含Cu或以Cu为主成分的Cu合金。然而,配线L30中所包含的材料不限于此;可以包含其他材料。

[0493] 在配线L30与半导体基板2301之间的连接部处形成有硅化物2303(例如,硅化钛(TiSi)或硅化钴(CoSi₂))。硅化物2303使得配线L30与半导体基板2301之间的连接更接近欧姆接触,因此可以减小接触电阻。这实现了逻辑电路的更高操作速度。

[0494] 需要注意,在第一基板10和第二基板20中没有形成硅化物。这使得在形成第一基板10和第二基板20时能够在超过硅化物的耐热温度的温度下进行热处理等。然而,可以在第一基板10和第二基板20中的至少一者中形成硅化物。

[0495] 多个焊盘电极2305分别包含例如Cu或Cu合金。在摄像装置1B的厚度方向上,第三基板30的焊盘电极2305面对第二基板20的焊盘电极2227,以允许电气连接。例如,焊盘电极2305和2227在彼此面对的状态下通过Cu-Cu接合而一体化。这允许第二基板20与第三基板30之间的电气连接,并且使得第二基板20与第三基板30之间的附接强度增强。

[0496] 在根据第三变形例的摄像装置1B中,可以针对多个传感器像素12中的各者设置一个浮动扩散部用触点。例如,彼此相邻的四个传感器像素12可以共用一个浮动扩散部用触点。同样,可以针对多个传感器像素12中的各者设置一个阱用触点。例如,彼此相邻的四个传感器像素12可以共用一个阱用触点。

[0497] 具体地,如图46和图50所示,摄像装置1B可以共用横跨多个传感器像素12设置的公共焊盘电极2102和设置在公共焊盘电极2102上的一个配线L2。例如,在摄像装置1B中,在平面图中,存在四个传感器像素12的浮动扩散部FD1至FD4隔着元件分离层16彼此相邻的区域。公共焊盘电极2102设置在该区域中。公共焊盘电极2102设置成横跨四个浮动扩散部FD1至FD4,并且电气连接至四个浮动扩散部FD1至FD4中的各者。公共焊盘电极2102包括例如掺杂有n型杂质或p型杂质的多晶硅膜。

[0498] 另外,在公共焊盘电极2102的中心部上设置有一个配线L2(即,浮动扩散部用触点)。如图46和图48至图50所示,设置在公共焊盘电极2102的中心部上的配线L2设置成从第一基板10穿过第二基板20的下侧基板2210延伸至第二基板20的上侧基板2220;配线L2经由设置在上侧基板2220中的配线等连接至放大晶体管AMP的栅极电极AG。

[0499] 如图45和图50所示,摄像装置1B可以共用横跨多个传感器像素12设置的公共焊盘电极2110和设置在公共焊盘电极2110上的一个配线L10。例如,在摄像装置1B中,在平面图中,存在四个传感器像素12的各个阱层WE隔着元件分离层16彼此相邻的区域。公共焊盘电极2110设置在该区域中。公共焊盘电极2110设置成横跨四个传感器像素12的各个阱层WE,并且电气连接至四个传感器像素12的各个阱层WE。举例来说,公共焊盘电极2110设置在沿着Y轴方向布置的一个公共焊盘电极2102与另一个公共焊盘电极2102之间。在Y轴方向上,公共焊盘电极2102和2110交替地并排布置。公共焊盘电极2110包括例如掺杂有n型杂质或p型杂质的多晶硅膜。

[0500] 另外,在公共焊盘电极2110的中心部上设置有一个配线L10(即,阱用触点)。如图45和图48至图50所示,设置在公共焊盘电极2110的中心部上的配线L10设置成从第一基板10穿过第二基板20的下侧基板2210延伸至第二基板20的上侧基板2220;配线L10经由设置在上侧基板2220中的配线等连接至供应基准电位(例如,接地电位:0V)的基准电位线。

[0501] 设置在公共焊盘电极2110的中心部上的配线L10电气连接至公共焊盘电极2110的

顶面、设置在下侧基板2210中的贯通孔的内侧表面和设置在上侧基板2220中的贯通孔的内侧表面之中的各者。这使得第一基板10的第一半导体基板11的阱层WE以及第二基板20的下侧基板2210的阱层和上侧基板2220的阱层连接至基准电位(例如,接地电位:0V)。

[0502] 根据第三变形例的摄像装置1B还包括公共焊盘电极2102和2110,该公共焊盘电极2102和2110设置在第一基板10中所包括的第一半导体基板11的正面11a侧,并且设置成横跨彼此相邻的多个(例如,四个)传感器像素12。公共焊盘电极2102电气连接至四个传感器像素12的浮动扩散部FD,因此连接至浮动扩散部FD的配线L2能够为每四个传感器像素12所共用。另外,公共焊盘电极2110电气连接至四个传感器像素12的阱层WE,因此连接至阱层WE的配线L10能够为每四个传感器像素12所共用。这减少了配线L2和L10的数量,因此可以减小传感器像素12的面积并且可以使摄像装置1B小型化。

[0503] (第四变形例)

[0504] 随后,参照图51和图52,对作为摄像装置1的在水平方向上的截面构造的变形例的第四变形例进行描述。图51和图52中上侧的图分别是沿着图7中的切断面Sec1的截面构造的变形例的示意图,并且图51和图52中下侧的图分别是沿着图7中的切断面Sec2的截面构造的变形例的示意图。

[0505] 如图51和图52所示,多个贯通配线54、多个贯通配线48和多个贯通配线47在第一基板10的平面内沿着第一方向V1(图51和图52中的水平方向)以带状并排布置。图51和图52分别例示了多个贯通配线54、多个贯通配线48和多个贯通配线47沿着第一方向V1并排布置成两行的情况。

[0506] 在共用像素电路22的四个传感器像素12中,例如,四个浮动扩散部FD布置成隔着元件分离部43彼此靠近。在共用像素电路22的四个传感器像素12中,四个传输栅极TG(TG1、TG2、TG3和TG4)布置成包围四个浮动扩散部FD。例如,四个传输栅极TG布置成形成环形形状。

[0507] 分离绝缘层53包括在第一方向V1上延伸的多个区块。第二半导体基板21包括在第一方向V1上延伸并且在第一方向V1上并排布置的多个岛状区块21A。每个区块21A包括例如复位晶体管RST、放大晶体管AMP和选择晶体管SEL。例如,由四个传感器像素12共用的一个像素电路22没有设置成对应于四个传感器像素12,而是设置成在第二方向V2上偏移。

[0508] 在图51中,由四个传感器像素12共用的一个像素电路22包括在第二基板20的如下区域中的复位晶体管RST、放大晶体管AMP和选择晶体管SEL,该区域从与四个传感器像素12相对应的区域在第二方向V2上偏移。例如,由四个传感器像素12共用的一个像素电路22包括一个区块21A中的放大晶体管AMP、复位晶体管RST和选择晶体管SEL。

[0509] 在图52中,由四个传感器像素12共用的一个像素电路22包括在第二基板20的如下区域中的复位晶体管RST、放大晶体管AMP、选择晶体管SEL和FD转换增益切换晶体管FDG,该区域从与四个传感器像素12相对应的区域在第二方向V2上偏移。例如,由四个传感器像素12共用的一个像素电路22包括一个区块21A中的放大晶体管AMP、复位晶体管RST、选择晶体管SEL和FD转换增益切换晶体管FDG。

[0510] 在根据第四变形例的摄像装置1中,由四个传感器像素12共用的一个像素电路22没有布置成正对四个传感器像素12,而是布置成从正对四个传感器像素12的位置在第二方向V2上偏移。根据该构造,根据第四变形例的摄像装置1可以缩短配线25,或者可以省略配

线25并且使用共同的杂质区域来构成放大晶体管AMP的源极和选择晶体管SEL的漏极。因此,根据第四变形例的摄像装置1可以减小像素电路22的尺寸。

[0511] (第五变形例)

[0512] 接下来,参照图53,对作为摄像装置1的在水平方向上的截面构造的变形例的第五变形例进行描述。图53是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。

[0513] 如图53所示,第二半导体基板21包括隔着分离绝缘层53在第一方向V1和第二方向V2上并排布置的多个岛状区块21A。每个区块21A包括例如一组复位晶体管RST、放大晶体管AMP和选择晶体管SEL。在这种情况下,根据第五变形例的摄像装置1可以使分离绝缘层53抑制彼此相邻的像素电路22之间的串扰,因此可以抑制图像分辨率的降低或由于混色而导致的图像质量劣化。

[0514] (第六变形例)

[0515] 随后,参照图54,对作为摄像装置1的在水平方向上的截面构造的变形例的第六变形例进行描述。图54是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。

[0516] 在图54中,在第二半导体基板21中,例如,由四个传感器像素12共用的一个像素电路22没有设置成对应于四个传感器像素12,而是设置成在第一方向V1上偏移。另外,在根据第六变形例的摄像装置1中,第二半导体基板21包括隔着分离绝缘层53在第一方向V1和第二方向V2上并排布置的多个岛状区块21A。每个区块21A包括例如一组复位晶体管RST、放大晶体管AMP和选择晶体管SEL。此外,在根据第六变形例的摄像装置1中,多个贯通配线47和多个贯通配线54在第二方向V2上布置着。

[0517] 这使得多个贯通配线47布置在共用一个像素电路22的四个贯通配线54与共用第二方向V2上与该像素电路22相邻的另一个像素电路22的四个贯通配线54之间。这使得根据第六变形例的摄像装置1可以使分离绝缘层53和贯通配线47抑制彼此相邻的像素电路22之间的串扰,因此可以抑制图像分辨率的降低或由于混色而导致的图像质量劣化。

[0518] (第七变形例)

[0519] 接下来,参照图55至图57,对作为摄像装置1的在水平方向上的截面构造的变形例的第七变形例进行描述。图55是沿着图7中的切断面Sec1和切断面Sec2的截面构造的变形例的示意图。

[0520] 如图55所示,在根据第七变形例的摄像装置1中,第一基板10针对每个传感器像素12包括光电二极管PD和传输晶体管TR(即,传输栅极TG),并且浮动扩散部FD由每四个传感器像素12共用。为此,根据第七变形例的摄像装置1针对每四个传感器像素12包括一个贯通配线54。

[0521] 另外,在根据第七变形例的摄像装置1中,针对与共用一个浮动扩散部FD的四个传感器像素12相对应的单位区域在第二方向V2上偏移一个传感器像素12的每个区域,设置贯通配线47。即,在根据第七变形例的摄像装置1中,贯通配线47设置在与共用一个浮动扩散部FD的四个传感器像素12相对应的单位区域和在第二方向V2上与该单位区域相邻的相邻单位区域之间。另外,贯通配线47由存在于贯通配线47周围的单位区域的两个传感器像素12和存在于贯通配线47周围的相邻单位区域的两个传感器像素12共用。

[0522] 此外,在根据第七变形例的摄像装置1中,第一基板10包括针对每个传感器像素12将光电二极管PD和传输晶体管TR分离的元件分离部43。在沿着法线方向俯视第一半导体基板11的主面的情况下,元件分离部43未完全包围传感器像素12的周边,因此在浮动扩散部FD(即,贯通配线54)附近和贯通配线47附近存在空隙(未形成区域)。该空隙使得四个传感器像素12能够共用贯通配线54,并且使得四个传感器像素12能够共用单位区域与相邻单位区域之间的贯通配线47。需要注意,在根据第七变形例的摄像装置1中,第二基板20针对共用浮动扩散部FD的每四个传感器像素12包括像素电路22。

[0523] 图56和图57分别是沿着根据第七变形例的摄像装置1的切断面Sec2的截面构造的另一示例的示意图。如图56所示,第一基板10可以针对每个传感器像素12包括光电二极管PD和传输晶体管TR,并且浮动扩散部FD可以由每四个传感器像素12共用。此外,第一基板10可以包括针对每个传感器像素12将光电二极管PD和传输晶体管TR分离的元件分离部43。另外,如图57所示,针对每个传感器像素12,可以包括光电二极管PD和传输晶体管TR,并且浮动扩散部FD可以由每四个传感器像素12共用。此外,第一基板10可以包括针对每个传感器像素12将光电二极管PD和传输晶体管TR分离的元件分离部43。

[0524] (第八变形例)

[0525] 随后,参照图58,对作为摄像装置1的电路构造的变形例的第八变形例进行描述。图58是安装有列并行ADC(Analog to Digital Converter,模数转换器)的CMOS图像传感器的电路构造的示意图。

[0526] 如图58所示,根据第八变形例的摄像装置1包括像素区域13、垂直驱动电路33、列信号处理电路34、参照电压供应部38、水平驱动电路35、水平输出线37和系统控制电路36,在像素区域13中,均包括光电转换元件的多个传感器像素12二维地布置成方阵状(即,矩阵状)。

[0527] 基于主时钟MCK,系统控制电路36产生用作垂直驱动电路33、列信号处理电路34、参照电压供应部38和水平驱动电路35等的操作的基准的时钟信号和控制信号等。系统控制电路36进一步将所产生的时钟信号和控制信号等供应给垂直驱动电路33、列信号处理电路34、参照电压供应部38和水平驱动电路35。

[0528] 垂直驱动电路33分别形成在其中形成有像素区域13的每个传感器像素12的第一基板10和在其中形成有像素电路22的第二基板20中。列信号处理电路34、参照电压供应部38、水平驱动电路35、水平输出线37和系统控制电路36形成在第三基板30中。

[0529] 尽管这里省略了图示,但是传感器像素12包括例如光电二极管PD和将在光电二极管PD中进行光电转换后的电荷传输至浮动扩散部FD的传输晶体管TR。像素电路22包括例如控制浮动扩散部FD的电位的复位晶体管RST、输出与浮动扩散部FD的电位相对应的信号的放大晶体管AMP和用于选择像素的选择晶体管SEL。

[0530] 传感器像素12二维地布置在像素区域13中。例如,在其中传感器像素12布置成n行m列的矩阵状的像素区域13中,像素驱动线23针对各行布线,并且垂直信号线24针对各列布线。垂直驱动电路33的行的相应输出端分别连接至多个像素驱动线23的一端。垂直驱动电路33包括移位寄存器等,并且经由多个像素驱动线23控制像素区域13的行地址或行扫描。

[0531] 列信号处理电路34包括例如针对像素区域13的各个像素列,即针对各个垂直信号线24设置的ADC(模数转换电路)34-1至34-m。列信号处理电路34使ADC将从像素区域13的传

感器像素12针对各列输出的模拟信号转换成数字信号以用于输出。

[0532] 参照电压供应部38包括例如DAC(数模转换电路)38A,并且产生具有随着时间流逝以倾斜方式变化的电平的所谓斜坡(RAMP)波形的参照电压 V_{ref} 。需要注意,参照电压供应部38可以使用除DAC 38A以外的装置来产生斜坡波形的参照电压 V_{ref} 。

[0533] 基于来自系统控制电路36的控制信号CS1和时钟CK,DAC 38A产生斜坡波形的参照电压 V_{ref} ,以将所产生的参照电压 V_{ref} 供应给列信号处理电路34的ADC 34-1至34-m。

[0534] 需要注意,ADC 34-1至34-m中的各者构造成能够选择性地执行对应于每个操作模式的AD转换操作,所述每个操作模式是:正常帧速率模式,其采用读出所有传感器像素12的信息的渐进式扫描方式;和高速帧速率模式,与正常帧速率模式的曝光时间相比,高速帧速率模式将传感器像素12的曝光时间设定为 $1/N$,从而使帧速率提高至N倍(例如,两倍)。操作模式之间的切换通过来自系统控制电路36的控制信号CS2和CS3的控制来进行。另外,基于来自外部系统控制器(未示出)的指令信息,系统控制电路36产生用于在正常帧速率模式的操作模式与高速帧速率模式的操作模式之间切换的控制信号CS2和CS3。

[0535] 所有的ADC 34-1至34-m都具有相同的构造,因此这里以ADC 34-m为例进行描述。

[0536] ADC 34-m包括比较器34A、可逆计数器(U/D CNT)34B、传输开关34C和存储器34D。

[0537] 比较器34A将与从像素区域13的第m列的每个传感器像素12输出的信号相对应的垂直信号线24的信号电压 V_x 与从参照电压供应部38供应的斜坡波形的参照电压 V_{ref} 彼此进行比较。例如,比较器34A在参照电压 V_{ref} 大于信号电压 V_x 的情况下将输出 V_{co} 设定为“H(高)”电平,并且在参照电压 V_{ref} 等于或小于信号电压 V_x 的情况下将输出 V_{co} 设定为“L(低)”电平。

[0538] 可逆计数器34B是异步计数器。基于从系统控制电路36提供的控制信号CS2,从系统控制电路36向可逆计数器34B供应时钟CK。可逆计数器34B与时钟CK同步地进行向下(DOWN)计数或向上(UP)计数,从而测量比较器34A中的从比较操作开始至结束的比较周期。

[0539] 具体地,在正常帧速率模式下,可逆计数器34B在从一个传感器像素12的第一次读出操作时进行向下计数,从而测量第一次读出时的比较时间。另外,可逆计数器34B在第二次读出操作时进行向上计数,从而测量第二次读出时的比较时间。

[0540] 同时,在高速帧速率模式下,可逆计数器34B使某一行的传感器像素12的计数结果保持不变。其后,针对下一行的传感器像素12,可逆计数器34B通过接续前一次计数结果而在第一次读出操作时进行向下计数,从而测量第一次读出时的比较时间。另外,可逆计数器34B在第二次读出操作时进行向上计数,从而测量第二次读出时的比较时间。

[0541] 传输开关34C基于从系统控制电路36提供的控制信号CS3操作。在正常帧速率模式下,当可逆计数器34B对某一行的传感器像素12进行的计数操作完成时,传输开关34C进入接通(闭合)状态,从而将可逆计数器34B的计数结果传输至存储器34D。

[0542] 同时,例如,在 $N=2$ 的高速帧速率下,在可逆计数器34B对某一行的传感器像素12进行的计数操作完成时,传输开关34C保持断开(打开)状态。其后,在可逆计数器34B对下一行的传感器像素12进行的计数操作完成时,传输开关34C进入接通状态,从而将可逆计数器34B的针对垂直的两个像素的计数结果传输至存储器34D。

[0543] 以这种方式,通过ADC 34-1至34-m中的比较器34A和可逆计数器34B的相应操作,从像素区域13的各个传感器像素12经由垂直信号线24针对各列供应的模拟信号被转换成N

位数字信号,并且被存储在存储器34D中。

[0544] 水平驱动电路35包括移位寄存器等,并且控制列信号处理电路34中的ADC 34-1至34-m的列地址和列扫描。水平驱动电路35控制ADC34-1至34-m中的各者,从而使水平输出线37依次读出经过AD转换的N位数字信号。所读出的N位数字信号经由水平输出线37作为摄像数据输出。

[0545] 需要注意,尽管没有特别图示,但是除上述构成要素以外,还可以设置对经由水平输出线37输出的摄像数据进行各种类型的信号处理的电路等。

[0546] 在根据第八变形例的摄像装置1中,能够经由传输开关34C将可逆计数器34B的计数结果选择性地传输至存储器34D。这使得根据第八变形例的摄像装置1可以彼此独立地控制可逆计数器34B的计数操作和可逆计数器34B的计数结果读出至水平输出线37的读出操作。

[0547] (第九变形例)

[0548] 接下来,参照图59,对作为摄像装置1的堆叠结构的变形例的第九变形例进行描述。图59是图58所示的摄像装置1包括堆叠的三个基板的构造的示例的示意图。

[0549] 如图59所示,根据第九变形例的摄像装置1具有堆叠第一基板10、第二基板20和第三基板的构造。在第一基板10的中央部中形成有包括多个传感器像素12的像素区域13,并且在像素区域13周围形成有垂直驱动电路33。另外,在第二基板20的中央部中形成有包括多个像素电路22的像素电路区域15,并且在像素电路区域15周围形成有垂直驱动电路33。此外,在第三基板30中形成有列信号处理电路34、水平驱动电路35、系统控制电路36、水平输出线37和参照电压供应部38。需要注意,垂直驱动电路33可以如上所述形成在第一基板10和第二基板20这两者中,可以仅形成在第一基板10中,或者可以仅形成在第二基板20中。

[0550] 根据第九变形例的摄像装置1能够抑制由于基板之间的电气连接结构引起的芯片尺寸的增大或像素面积的增大。这使得根据第九变形例的摄像装置1可以使每个像素的面积进一步小型化。

[0551] (第十变形例)

[0552] 随后,参照图60和图61,对作为摄像装置1的截面构造的变形例的第十变形例进行描述。图60是根据第十变形例的摄像装置1的截面构造的示例的示意图。

[0553] 上述实施例和变形例例示了摄像装置1包括堆叠的第一基板10、第二基板20和第三基板30这三个基板的构造。然而,根据本公开的技术不限于上述范例。例如,摄像装置1可以通过堆叠第一基板10和第二基板20这两个基板而构成。

[0554] 如图60所示,在这种情况下,例如,处理电路32分开地形成在第一基板10和第二基板20中。

[0555] 处理电路32的设置在第一基板10侧的电路32A包括具有栅极结构的晶体管,在该栅极结构中,包含能够经受高温工艺的材料(例如,high-k(高介电常数)材料)的高介电常数膜和金属栅极电极堆叠。

[0556] 同时,在处理电路32的设置在第二基板20侧的电路32B中,在与源极电极和漏极电极接触的杂质扩散区域的正面上形成有低电阻区域26,该低电阻区域26包含诸如 CoSi_2 或 NiSi 等硅化物。包含硅化物的低电阻区域由半导体基板材料和金属的化合物形成,并且具有高耐热性。因此,在形成传感器像素12时,可以使用诸如热氧化等高温工艺。另外,包含诸

如 CoSi_2 或 NiSi 等硅化物的低电阻区域26能够减小接触电阻,因此可以实现处理电路32的更高操作速度。

[0557] 需要注意,包含诸如 CoSi_2 或 NiSi 等硅化物的低电阻区域26可以设置在根据上述实施例和变形例中的任一者的摄像装置1中。具体地,通过堆叠第一基板10、第二基板20和第三基板30这三个基板而构成的摄像装置1还具有包含诸如 CoSi_2 或 NiSi 等硅化物的低电阻区域26。图61是将包含诸如 CoSi_2 或 NiSi 等硅化物的低电阻区域26应用于具有三个基板堆叠而成的构造的摄像装置1的示例的示意图。

[0558] 如图61所示,在第三基板30的处理电路32中,可以在与源极电极和漏极电极接触的杂质扩散区域的正面上形成包含诸如 CoSi_2 或 NiSi 等硅化物的低电阻区域26。由此,可以在形成传感器像素12时使用诸如热氧化等高温工艺。另外,包含诸如 CoSi_2 或 NiSi 等硅化物的低电阻区域26能够减小接触电阻,因此可以实现处理电路32的更高操作速度。

[0559] <<6.具体示例>>

[0560] 上述的根据本公开的技术适用于各种摄像装置等。在下文中,参照具体示例,对应用根据本公开的技术的摄像装置和包括该摄像装置的设备进行描述。

[0561] <6.1.实施例>

[0562] [摄像装置1的功能构造]

[0563] 图62是示出根据本公开实施例的摄像装置(摄像装置1)的功能构造的示例的框图。

[0564] 图62的摄像装置1包括例如输入部510A、行驱动部520、时序控制器530、像素阵列部540、列信号处理器550、图像信号处理器560和输出部510B。

[0565] 在像素阵列部540中,以阵列状重复布置有像素541。更具体地,均包括多个像素的像素共用单元539是重复单位,并且在行方向和列方向上以阵列状重复布置。需要注意,在本说明书中,为了方便起见,有时将行方向和与行方向正交的列方向分别称为“H方向”和“V方向”。在图62的示例中,一个像素共用单元539包括四个像素(像素541A、541B、541C和541D)。像素541A、541B、541C和541D分别包括光电二极管PD(在稍后描述的图67等中示出)。像素共用单元539是共用一个像素电路(稍后描述的图64中的像素电路210)的单位。换言之,针对每四个像素(像素541A、541B、541C和541D)包括一个像素电路(稍后描述的像素电路210)。以时分方式驱动像素电路,以顺序地读出各个像素541A、541B、541C和541D的像素信号。例如,像素541A、541B、541C和541D布置成2行×2列。像素阵列部540包括多个行驱动信号线542和多个垂直信号线(列读出线)543以及像素541A、541B、541C和541D。行驱动信号线542驱动多个像素共用单元539中所包括的并且在像素阵列部540中沿着行方向布置的像素541。行驱动信号线542驱动在像素共用单元539中沿着行方向布置的每个像素。如稍后参照图65详细描述,在像素共用单元539中设置有多晶体管。为了驱动多个晶体管中的各者,多个行驱动信号线542连接至一个像素共用单元539。像素共用单元539连接至垂直信号线(列读出线)543。经由垂直信号线(列读出线)543从像素共用单元539中所包括的各个像素541A、541B、541C和541D读出像素信号。

[0566] 例如,行驱动部520包括决定用于进行像素驱动的行的位置的行地址控制器,换言之,行解码器部,并且包括产生用于驱动像素541A、541B、541C和541D的信号的行驱动电路部。

[0567] 列信号处理器550连接至例如垂直信号线543,并且包括与像素541A、541B、541C和541D(像素共用单元539)一起形成源极跟随器电路的负载电路部。列信号处理器550可以包括放大从像素共用单元539经由垂直信号线543读出的信号的放大器电路部。列信号处理器550可以包括噪声处理器。噪声处理器例如从自像素共用单元539读出的作为光电转换的结果的信号中去除系统的噪声电平。

[0568] 列信号处理器550包括例如模数转换器(ADC)。模数转换器将从像素共用单元539读出的信号或者已经进行了上述噪声处理的模拟信号转换成数字信号。ADC包括例如比较器部和计数器部。比较器部将作为转换对象的模拟信号与作为比较对象的参照信号进行比较。计数器部测量直到比较器部中的比较结果反转为止的时间。列信号处理器550可以包括控制读出列的扫描的水平扫描电路部。

[0569] 基于输入至装置的基准时钟信号和时序控制信号,时序控制器530将控制时序的信号供应给行驱动部520和列信号处理器550。

[0570] 图像信号处理器560是对作为光电转换的结果而获得的数据,换言之,作为摄像装置1中的摄像操作的结果而获得的数据,进行各种类型的信号处理的电路。图像信号处理器560包括例如图像信号处理电路部和数据保持部。图像信号处理器560还可以包括处理器部。

[0571] 在图像信号处理器560中执行的信号处理的一个示例是色调曲线校正处理,其中,在经AD转换的摄像数据是通过拍摄较暗被摄体而获得的数据的情况下,使灰度级(gray scale)增加,而在经AD转换的摄像数据是通过拍摄较亮被摄体而获得的数据的情况下,使灰度级减少。在这种情况下,关于使用哪种色调曲线来校正摄像数据的灰度级,期望将色调曲线的特性数据预先存储在图像信号处理器560的数据保持部中。

[0572] 例如,输入部510A从装置外部向摄像装置1输入上述的基准时钟信号、时序控制信号和特性数据等。时序控制信号的示例包括垂直同步信号和水平同步信号等。例如,特性数据将被存储在图像信号处理器560的数据保持部中。输入部510A包括例如输入端子511、输入电路部512、输入幅值改变部513、输入数据转换电路部514和电源供应部(未示出)。

[0573] 输入端子511是用于输入数据的外部端子。输入电路部512将输入至输入端子511的信号带入摄像装置1。输入幅值改变部513将由输入电路部512获取的信号的幅值改变为易于在摄像装置1内部使用的幅值。输入数据转换电路部514改变输入数据的数据列的顺序。输入数据转换电路部514包括例如串并转换电路。串并转换电路将作为输入数据接收的串行信号转换成并行信号。需要注意,在输入部510A中,可以省略输入幅值改变部513和输入数据转换电路部514。电源供应部使用从外部供应给摄像装置1的电源来供应被设定为摄像装置1内部所需的各种类型的电压的电源。

[0574] 当摄像装置1连接至外部存储器设备时,可以在输入部510A中设置接收来自外部存储器设备的数据的存储器接口电路。外部存储器设备的示例包括闪存、SRAM和DRAM等。

[0575] 输出部510B将图像数据输出至装置外部。图像数据的示例包括由摄像装置1拍摄的图像数据和已经由图像信号处理器560进行了信号处理的图像数据等。输出部510B包括例如输出数据转换电路部515、输出幅值改变部516、输出电路部517和输出端子518。

[0576] 输出数据转换电路部515包括例如并串转换电路。输出数据转换电路部515将在摄像装置1内部使用的并行信号转换成串行信号。输出幅值改变部516改变在摄像装置1内部

使用的信号的幅值。幅值改变后的信号易于在连接至摄像装置1外部的设备中使用。输出电路部517是将数据从摄像装置1内部输出至装置外部的电路,并且输出电路部517驱动与输出端子518连接的摄像装置1外部的配线。在输出端子518中,数据从摄像装置1输出至装置外部。在输出部510B中,可以省略输出数据转换电路部515和输出幅值改变部516。

[0577] 当摄像装置1连接至外部存储器设备时,输出部510B可以包括将数据输出至外部存储器设备的存储器接口电路。外部存储器设备的示例包括闪存、SRAM和DRAM等。

[0578] [摄像装置1的概略构造]

[0579] 图63和图64分别示出了摄像装置1的概略构造的示例。摄像装置1包括三个基板(第一基板100、第二基板200和第三基板300)。图63示意性地示出了第一基板100、第二基板200和第三基板300中的各者的平面构造,并且图64示意性地示出了彼此堆叠的第一基板100、第二基板200和第三基板300的截面构造。图64对应于沿着图63所示的线III-III'截取的截面构造。摄像装置1是其中三个基板(第一基板100、第二基板200和第三基板300)附接在一起的三维结构的摄像装置。第一基板100包括半导体层100S和配线层100T。第二基板200包括半导体层200S和配线层200T。第三基板300包括半导体层300S和配线层300T。这里,为了方便起见,将第一基板100、第二基板200和第三基板300之中的各者中所包括的配线与其周围的层间绝缘膜的组合称为设置在每个基板(第一基板100、第二基板200和第三基板300之中的各者)中的配线层(100T、200T或300T)。第一基板100、第二基板200和第三基板300依次堆叠,并且半导体层100S、配线层100T、半导体层200S、配线层200T、配线层300T和半导体层300S沿着堆叠方向依次设置。稍后描述第一基板100、第二基板200和第三基板300的具体构造。图64所示的箭头表示光L入射到摄像装置1上的入射方向。在本说明书中,为了方便起见,在以下截面图中,有时将摄像装置1中的光入射侧称为“底部”、“下侧”或“下方”,并且有时将与光入射侧相反的一侧称为“顶部”、“上侧”或“上方”。另外,在本说明书中,为了方便起见,在包括半导体层和配线层的基板中,有时将配线层侧称为正面,并且有时将半导体层侧称为背面。需要注意,说明书中的记载不限于上述名称。摄像装置1例如是光从包括光电二极管的第一基板100的背面侧入射的背面照射型摄像装置。

[0580] 像素阵列部540和像素阵列部540中所包括的像素共用单元539都使用第一基板100和第二基板200这两者构成。第一基板100包括像素共用单元539中所包括的多个像素541A、541B、541C和541D。每个像素541包括光电二极管(稍后描述的光电二极管PD)和传输晶体管(稍后描述的传输晶体管TR)。第二基板200包括像素共用单元539中所包括的像素电路(稍后描述的像素电路210)。像素电路读出从像素541A、541B、541C和541D中的各者的光电二极管经由传输晶体管传输的像素信号,或者复位光电二极管。除这种像素电路以外,第二基板200还包括在行方向上延伸的多个行驱动信号线542和在列方向上延伸的多个垂直信号线543。第二基板200还包括在行方向上延伸的电源线544(稍后描述的电源线VDD等)。第三基板300包括例如输入部510A、行驱动部520、时序控制器530、列信号处理器550、图像信号处理器560和输出部510B。行驱动部520设置于例如在第一基板100、第二基板200和第三基板300的堆叠方向(在下文中,简称为堆叠方向)上与像素阵列部540部分重叠的区域中。更具体地,行驱动部520设置于在堆叠方向上与像素阵列部540的在H方向上的端部附近重叠的区域中(图63)。列信号处理器550设置于例如在堆叠方向上与像素阵列部540部分重叠的区域中。更具体地,列信号处理器550设置于在堆叠方向上与像素阵列部540的在V方向

上的端部附近重叠的区域中(图63)。尽管省略了图示,但是输入部510A和输出部510B可以设置在除第三基板300以外的部分中,并且可以设置在例如第二基板200中。可替代地,输入部510A和输出部510B可以设置在第一基板100的背面(光入射面)侧。需要注意,也将设置在上述第二基板200中的像素电路称为像素晶体管电路、像素晶体管群组、像素晶体管、像素读出电路或读出电路。在本说明书中,使用“像素电路”的名称。

[0581] 第一基板100和第二基板200通过例如贯通电极(稍后描述的图67中的贯通电极120E和121E)彼此电气连接。第二基板200和第三基板300通过例如接触部201、202、301和302彼此电气连接。第二基板200设置有接触部201和202,并且第三基板300设置有接触部301和302。第二基板200的接触部201与第三基板300的接触部301接触,并且第二基板200的接触部202与第三基板300的接触部302接触。第二基板200包括设置有多个接触部201的接触区域201R和设置有多个接触部202的接触区域202R。第三基板300包括设置有多个接触部301的接触区域301R和设置有多个接触部302的接触区域302R。接触区域201R和301R在堆叠方向上设置在像素阵列部540与行驱动部520之间(图64)。换言之,接触区域201R和301R设置在例如行驱动部520(第三基板300)和像素阵列部540(第二基板200)在堆叠方向上彼此重叠的区域中,或者设置在该区域附近的区域中。例如,接触区域201R和301R设置在这种区域的在H方向上的端部中(图63)。在第三基板300中,接触区域301R设置在行驱动部520的一部分中,具体地,设置在与行驱动部520的在H方向上的端部重叠的位置处(图63和图64)。接触部201和301例如将设置在第三基板300中的行驱动部520和设置在第二基板200中的行驱动信号线542彼此连接。接触部201和301例如可以将设置在第三基板300中的输入部510A连接至电源线544和基准电位线(稍后描述的基准电位线VSS)。接触区域202R和302R在堆叠方向上设置在像素阵列部540与列信号处理器550之间(图64)。换言之,接触区域202R和302R设置在例如列信号处理器550(第三基板300)和像素阵列部540(第二基板200)在堆叠方向上重叠的区域中,或者设置在该区域附近的区域中。接触区域202R和302R设置在这种区域的在V方向上的端部中(图63)。在第三基板300中,接触区域302R设置在例如列信号处理器550的一部分中,具体地,设置在与列信号处理器550的在V方向上的端部重叠的位置处(图63和图64)。接触部202和302例如将从像素阵列部540中所包括的多个像素共用单元539中的各者输出的像素信号(与作为光电二极管的光电转换的结果而产生的电荷量相对应的信号)连接至设置在第三基板300中的列信号处理器550。像素信号从第二基板200传输至第三基板300。

[0582] 图64是如上所述的摄像装置1的截面图的示例。第一基板100、第二基板200和第三基板300经由配线层100T、200T和300T彼此电气连接。例如,摄像装置1包括将第二基板200和第三基板300彼此电气连接的电气连接部。具体地,接触部201、202、301和302分别使用由导电材料形成的电极形成。导电材料例如由诸如铜(Cu)、铝(Al)和金(Au)等金属材料形成。接触区域201R、202R、301R和302R通过例如将形成为电极的配线直接接合而将第二基板和第三基板彼此电气连接,从而可以将信号输入至第二基板200和第三基板300和/或从第二基板200和第三基板300输出信号。

[0583] 将第二基板200和第三基板300彼此电气连接的电气连接部可以设置在期望的位置处。例如,如在图64中作为接触区域201R、202R、301R和302R所述的,电气连接部可以设置于在堆叠方向上与像素阵列部540重叠的区域中。另外,电气连接部可以设置于在堆叠方向

上不与像素阵列部540重叠的区域中。具体地,电气连接部可以设置于在堆叠方向上与设置在像素阵列部540外侧的周边部重叠的区域中。

[0584] 第一基板100和第二基板200设置有例如连接孔部H1和H2。连接孔部H1和H2贯穿第一基板100和第二基板200(图64)。连接孔部H1和H2设置在像素阵列部540(或与像素阵列部540重叠的部分)外侧(图63)。例如,连接孔部H1在H方向上设置在像素阵列部540外侧,并且连接孔部H2在V方向上设置在像素阵列部540外侧。例如,连接孔部H1到达设置在第三基板300中的输入部510A,并且连接孔部H2到达设置在第三基板300中的输出部510B。连接孔部H1和H2可以是空腔,或者可以至少部分地包括导电材料。例如,存在其中接合线连接至形成输入部510A和/或输出部510B的电极的构造。可替代地,存在其中形成输入部510A和/或输出部510B的电极和设置在连接孔部H1和H2中的导电材料彼此连接的构造。设置在连接孔部H1和H2中的导电材料可以嵌埋在连接孔部H1和H2的一部分或全部中,或者导电材料可以形成在连接孔部H1和H2中各者的侧壁上。

[0585] 需要注意,图64示出了第三基板300设置有输入部510A和输出部510B的结构,但是这不是限制性的。例如,通过经由配线层200T和300T将第三基板300的信号传输至第二基板200,可以在第二基板200中设置输入部510A和/或输出部510B。同样,通过经由配线层100T和200T将第二基板200的信号传输至第一基板100,可以在第一基板100中设置输入部510A和/或输出部510B。

[0586] 图65是示出像素共用单元539的构造的示例的等效电路图。像素共用单元539包括多个像素541(图65示出了四个像素541,即像素541A、541B、541C和541D)、连接至多个像素541的一个像素电路210以及连接至像素电路210的垂直信号线543。像素电路210包括例如四个晶体管,具体为放大晶体管AMP、选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG。如上所述,像素共用单元539以时分方式驱动一个像素电路210,以将像素共用单元539中所包括的四个像素541(像素541A、541B、541C和541D)的像素信号顺序输出至垂直信号线543。一个像素电路210连接至多个像素541,并且将多个像素541的像素信号由一个像素电路210以时分方式输出的模式称为“多个像素541共用一个像素电路210”。

[0587] 像素541A、541B、541C和541D包括彼此共有的构成要素。在下文中,为了将像素541A、541B、541C和541D的构成要素彼此区分,在像素541A的构成要素的符号的末尾赋予标识号1,在像素541B的构成要素的符号的末尾赋予标识号2,在像素541C的构成要素的符号的末尾赋予标识号3,并且在像素541D的构成要素的符号的末尾赋予标识号4。在不需要将像素541A、541B、541C和541D的构成要素彼此区分的情况下,省略像素541A、541B、541C和541D中各者的构成要素的符号末尾的标识号。

[0588] 像素541A、541B、541C和541D均包括例如光电二极管PD、电气连接至光电二极管PD的传输晶体管TR和电气连接至传输晶体管TR的浮动扩散部FD。在光电二极管PD(PD1、PD2、PD3和PD4)中,阴极电气连接至传输晶体管TR的源极,并且阳极电气连接至基准电位线(例如,接地)。光电二极管PD对入射光进行光电转换,并产生对应于接收光量的电荷。传输晶体管TR(传输晶体管TR1、TR2、TR3和TR4)例如为n型CMOS(Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)晶体管。在传输晶体管TR中,漏极电气连接至浮动扩散部FD,并且栅极电气连接至驱动信号线。该驱动信号线是与一个像素共用单元539连接的多个行驱动信号线542(参见图62)中的一部分。传输晶体管TR将由光电二极管PD产生的

电荷传输至浮动扩散部FD。浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)是形成在p型半导体层中的n型扩散层区域。浮动扩散部FD是暂时保持从光电二极管PD传输的电荷的电荷保持装置和产生对应于电荷量的电压的电荷-电压转换装置。

[0589] 一个像素共用单元539中所包括的四个浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)彼此电气连接,并且电气连接至放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。FD转换增益切换晶体管FDG的漏极连接至复位晶体管RST的源极,并且FD转换增益切换晶体管FDG的栅极连接至驱动信号线。该驱动信号线是与一个像素共用单元539连接的多个行驱动信号线542中的一部分。复位晶体管RST的漏极连接至电源线VDD,并且复位晶体管RST的栅极连接至驱动信号线。该驱动信号线是与一个像素共用单元539连接的多个行驱动信号线542中的一部分。放大晶体管AMP的栅极连接至浮动扩散部FD,放大晶体管AMP的漏极连接至电源线VDD,并且放大晶体管AMP的源极连接至选择晶体管SEL的漏极。选择晶体管SEL的源极连接至垂直信号线543,并且选择晶体管SEL的栅极连接至驱动信号线。该驱动信号线是与一个像素共用单元539连接的多个行驱动信号线542中的一部分。

[0590] 当传输晶体管TR进入导通状态时,传输晶体管TR将光电二极管PD的电荷传输至浮动扩散部FD。传输晶体管TR的栅极(传输栅极TG)包括例如所谓的垂直型电极,并且如稍后描述的图67所示,设置成从半导体层(稍后描述的图67中的半导体层100S)的正面延伸至到达PD的深度。复位晶体管RST将浮动扩散部FD的电位复位为预定电位。当复位晶体管RST进入导通状态时,浮动扩散部FD的电位被复位为电源线VDD的电位。选择晶体管SEL控制来自像素电路210的像素信号的输出时序。放大晶体管AMP产生与由浮动扩散部FD保持的电荷的电平相对应的电压的信号作为像素信号。放大晶体管AMP经由选择晶体管SEL连接至垂直信号线543。放大晶体管AMP与列信号处理器550中的连接至垂直信号线543的负载电路部(参见图62)一起构成源极跟随器。当选择晶体管SEL进入导通状态时,放大晶体管AMP经由垂直信号线543将浮动扩散部FD的电压输出至列信号处理器550。复位晶体管RST、放大晶体管AMP和选择晶体管SEL例如为n型CMOS晶体管。

[0591] FD转换增益切换晶体管FDG用于改变浮动扩散部FD中的电荷-电压转换的增益。一般而言,当在暗处拍摄时,像素信号较小。在基于 $Q=CV$ 进行电荷-电压转换时,如果浮动扩散部FD的电容(FD电容C)较大,则在放大晶体管AMP中转换成电压时的值V会较小。同时,在亮处,像素信号变大;因此,除非FD电容C很大,否则浮动扩散部FD不可能完全接收光电二极管PD的电荷。此外,需要FD电容C变大,以使得在放大晶体管AMP中转换成电压时的值V不会太大(换言之,变小)。考虑到这些情况,当FD转换增益切换晶体管FDG进入导通状态时,FD转换增益切换晶体管FDG的栅极电容增大,因此导致整个FD电容C变大。同时,当FD转换增益切换晶体管FDG截止时,整个FD电容C变小。以这种方式,通过进行FD转换增益切换晶体管FDG的导通/截止切换,使得FD电容C可变,因此可以切换转换效率。FD转换增益切换晶体管FDG例如为n型CMOS晶体管。

[0592] 需要注意,未设置FD转换增益切换晶体管FDG的构造也是可能的。此时,像素电路210包括例如三个晶体管,即放大晶体管AMP、选择晶体管SEL和复位晶体管RST。像素电路210包括例如放大晶体管AMP、选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG等中的至少一者。

[0593] 选择晶体管SEL可以设置在电源线VDD与放大晶体管AMP之间。在这种情况下,复位

晶体管RST的漏极电气连接至电源线VDD和选择晶体管SEL的漏极。选择晶体管SEL的源极电气连接至放大晶体管AMP的漏极,并且选择晶体管SEL的栅极电气连接至行驱动信号线542(参见图62)。放大晶体管AMP的源极(像素电路210的输出端)电气连接至垂直信号线543,并且放大晶体管AMP的栅极电气连接至复位晶体管RST的源极。需要注意,尽管省略了图示,但是共用一个像素电路210的像素541的数量可以不是四个。例如,两个或八个像素541可以共用一个像素电路210。

[0594] 图66示出了多个像素共用单元539与垂直信号线543之间的连接模式的示例。例如,将在列方向上布置的四个像素共用单元539分为四个群组,并且垂直信号线543连接至这四个群组中的每一个群组。为了简化说明,图66示出了四个群组中的每一个群组包括一个像素共用单元539的示例;然而,四个群组中的每一个群组可以包括多个像素共用单元539。如上所述,在摄像装置1中,可以将列方向上布置的多个像素共用单元539分为包括一个或多个像素共用单元539的群组。例如,垂直信号线543和列信号处理器550连接至每个群组,从而可以同时从各个群组读出像素信号。可替代地,在摄像装置1中,一个垂直信号线543可以连接至在列方向上布置的多个像素共用单元539。此时,以时分方式从连接至一个垂直信号线543的多个像素共用单元539顺序读出像素信号。

[0595] [摄像装置1的具体构造]

[0596] 图67示出了摄像装置1的在相对于第一基板100、第二基板200和第三基板300的主面的垂直方向上的截面构造的示例。为了便于理解,图67示意性地示出了构成要素的位置关系,并且可以不同于实际截面。在摄像装置1中,第一基板100、第二基板200和第三基板300依次堆叠。摄像装置1还包括在第一基板100的背面侧(光入射面侧)的光接收透镜401。在光接收透镜401与第一基板100之间可以设置有彩色滤光片层(未示出)。例如,光接收透镜401针对像素541A、541B、541C和541D中的各者设置。摄像装置1例如是背面照射型摄像装置。摄像装置1包括设置在中央部中的像素阵列部540和设置在像素阵列部540外侧的周边部540B。

[0597] 第一基板100从光接收透镜401侧起依次包括绝缘膜111、固定电荷膜112、半导体层100S和配线层100T。半导体层100S包括例如硅基板。半导体层100S包括例如在正面(配线层100T侧的表面)的一部分中及其附近的p阱层115,并且包括在除p阱层115以外的区域(比p阱层115更深的区域)中的n型半导体区域114。例如,n型半导体区域114和p阱层115被包括在pn结型光电二极管PD中。p阱层115是p型半导体区域。

[0598] 图68A示出了第一基板100的平面构造的示例。图68A主要示出了第一基板100的像素分离部117、光电二极管PD、浮动扩散部FD、VSS接触区域118和传输晶体管TR的平面构造。使用图68A和图67来描述第一基板100的构造。

[0599] 浮动扩散部FD和VSS接触区域118设置在半导体层100S的正面附近。浮动扩散部FD包括设置在p阱层115中的n型半导体区域。例如,像素541A、541B、541C和541D的浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)彼此靠近地设置在像素共用单元539的中央部中(图68A)。如稍后详细描述,像素共用单元539中所包括的四个浮动扩散部(浮动扩散部FD1、FD2、FD3和FD4)经由第一基板中(更具体地,配线层100T中)的电气连接装置(稍后描述的焊盘部120)彼此电气连接。此外,浮动扩散部FD经由电气装置(稍后描述的贯通电极120E)从第一基板100连接至第二基板200(更具体地,从配线层100T连接至配线层200T)。在第二基

板200中(更具体地,在配线层200T内部),浮动扩散部FD通过电气装置电气连接至放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极。

[0600] VSS接触区域118是电气连接至基准电位线VSS的区域,并且与浮动扩散部FD分开地设置。例如,在像素541A、541B、541C和541D中,浮动扩散部FD设置于每个像素的在V方向上的一端处,而VSS接触区域118设置在另一端处(图68A)。VSS接触区域118包括例如p型半导体区域。例如,VSS接触区域118连接至接地电位和固定电位。因此,基准电位被供应给半导体层100S。

[0601] 第一基板100包括传输晶体管TR、光电二极管PD、浮动扩散部FD和VSS接触区域118。光电二极管PD、浮动扩散部FD、VSS接触区域118和传输晶体管TR设置在像素541A、541B、541C和541D之中的各者中。传输晶体管TR设置在半导体层100S的正面侧(与光入射面侧相反的一侧,第二基板200侧)。传输晶体管TR包括传输栅极TG。传输栅极TG包括例如与半导体层100S的正面相对的水平部分TGb和设置在半导体层100S内部的垂直部分TGa。垂直部分TGa在半导体层100S的厚度方向上延伸。垂直部分TGa的一端与水平部分TGb接触,并且另一端设置在n型半导体区域114内部。通过使用这种垂直型晶体管构成传输晶体管TR,可以阻止像素信号的传输失败的发生,因此可以提高像素信号的读出效率。

[0602] 传输栅极TG的水平部分TGb从与垂直部分TGa相对的位置在H方向上朝向例如像素共用单元539的中央部延伸(图68A)。由此,可以使到达传输栅极TG的贯通电极(稍后描述的贯通电极TGV)的在H方向上的位置接近与浮动扩散部FD和VSS接触区域118连接的贯通电极(稍后描述的贯通电极120E和121E)的在H方向上的位置。例如,设置在第一基板100中的多个像素共用单元539具有彼此相同的构造(图68A)。

[0603] 半导体层100S包括将像素541A、541B、541C和541D彼此分离的像素分离部117。像素分离部117形成为在半导体层100S的法线方向(与半导体层100S的正面垂直的方向)上延伸。像素分离部117设置成将像素541A、541B、541C和541D彼此分隔开,并且具有格子状的平面形状(图68A和图68B)。像素分离部117例如将像素541A、541B、541C和541D彼此电气分离和光学分离。像素分离部117包括例如遮光膜117A和绝缘膜117B。例如,遮光膜117A使用钨(W)等。绝缘膜117B设置在遮光膜117A与p阱层115或n型半导体区域114之间。绝缘膜117B包含例如氧化硅(SiO₂)。像素分离部117具有例如FTI(Full Trench Isolation,全沟槽隔离)结构,并且贯穿半导体层100S。尽管未示出,但是像素分离部117不限于贯穿半导体层100S的FTI结构。例如,像素分离部117可以具有不贯穿半导体层100S的DTI(Deep Trench Isolation,深沟槽隔离)结构。像素分离部117在半导体层100S的法线方向上延伸,并且形成在半导体层100S的一部分区域中。

[0604] 半导体层100S包括例如第一钉扎区域113和第二钉扎区域116。第一钉扎区域113设置在半导体层100S的背面附近,并且设置在n型半导体区域114与固定电荷膜112之间。第二钉扎区域116设置在像素分离部117的侧面上,具体地,设置在像素分离部117与p阱层115或n型半导体区域114之间。第一钉扎区域113和第二钉扎区域116分别包括例如p型半导体区域。

[0605] 具有负固定电荷的固定电荷膜112设置在半导体层100S与绝缘膜111之间。通过由固定电荷膜112感应出的电场,在半导体层100S的光接收面(背面)侧的界面处形成空穴累积层的第一钉扎区域113。由此,抑制了由半导体层100S的光接收面侧的界面状态导致的暗

电流的产生。固定电荷膜112使用例如具有负固定电荷的绝缘膜形成。具有负固定电荷的绝缘膜的材料示例包括氧化铪、氧化锆、氧化铝、氧化钛和氧化钽。

[0606] 在固定电荷膜112与绝缘膜111之间设置有遮光膜117A。该遮光膜117A可以与像素分离部117中所包括的遮光膜117A连续地设置。例如,固定电荷膜112与绝缘膜111之间的遮光膜117A选择性地设置在半导体层100S中的与像素分离部117相对的位置处。绝缘膜111设置成覆盖该遮光膜117A。绝缘膜111包含例如氧化硅。

[0607] 设置在半导体层100S与第二基板200之间的配线层100T从半导体层100S侧起依次包括层间绝缘膜119、焊盘部120和121、钝化膜122、层间绝缘膜123和接合膜124。例如,传输栅极TG的水平部分TGb设置在配线层100T中。层间绝缘膜119遍及半导体层100S的整个正面设置,并且与半导体层100S接触。层间绝缘膜119包括例如氧化硅膜。需要注意,配线层100T的构造不限于上述构造,并且配线层100T具有包括配线和绝缘膜的构造就足够了。

[0608] 图68B示出了焊盘部120和121的构造以及图68A所示的平面构造。焊盘部120和121设置在层间绝缘膜119上的选择区域中。焊盘部120将像素541A、541B、541C和541D的浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)彼此连接。在平面图中,焊盘部120针对每个像素共用单元539设置在像素共用单元539的中央部中(图68B)。焊盘部120设置成横跨像素分离部117,并且设置成至少部分地叠加在浮动扩散部FD1、FD2、FD3和FD4中的各者上(图67和图68B)。具体地,焊盘部120形成在如下区域中:在与半导体层100S的正面垂直的方向上,该区域与共用像素电路210的多个浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)中的各者的至少一部分和形成在共用像素电路210的多个光电二极管PD(光电二极管PD1、PD2、PD3和PD4)之间的像素分离部117的至少一部分重叠。层间绝缘膜119包括用于将焊盘部120和浮动扩散部FD1、FD2、FD3、FD4彼此电气连接的连接过孔120C。连接过孔120C设置在像素541A、541B、541C和541D之中的各者中。例如,焊盘部120的一部分嵌埋在连接过孔120C中,从而将焊盘部120和浮动扩散部FD1、FD2、FD3、FD4彼此电气连接。

[0609] 焊盘部121将多个VSS接触区域118彼此连接。例如,在V方向上彼此相邻的一个像素共用单元539的设置于像素541C和541D中的VSS接触区域118和另一个像素共用单元539的设置于像素541A和541B中的VSS接触区域118通过焊盘部121彼此电气连接。焊盘部121设置成例如横跨像素分离部117,并且设置成至少部分地叠加在四个VSS接触区域118中的各者上。具体地,焊盘部121形成在如下区域中:在与半导体层100S的正面垂直的方向上,该区域与多个VSS接触区域118中的各者的至少一部分和形成在多个VSS接触区域118之间的像素分离部117的至少一部分重叠。层间绝缘膜119包括用于将焊盘部121和VSS接触区域118彼此电气连接的连接过孔121C。连接过孔121C设置在像素541A、541B、541C和541D之中的各者中。例如,焊盘部121的一部分嵌埋在连接过孔121C中,从而将焊盘部121和VSS接触区域118电气连接。例如,在V方向上布置的多个像素共用单元539中的各者的焊盘部120和121在H方向上设置在基本相同的位置处(图68B)。

[0610] 通过设置焊盘部120,可以减少整个芯片中的用于从每个浮动扩散部FD连接至像素电路210(例如,放大晶体管AMP的栅极电极)的配线的数量。同样,通过设置焊盘部121,可以减少整个芯片中的向每个VSS接触区域118供应电位的配线的数量。由此,可以实现整个芯片的面积减小、抑制小型化像素中的配线之间的电气干扰和/或通过减少部件数量而使成本降低等。

[0611] 焊盘部120和121可以设置在第一基板100和第二基板200的期望位置处。具体地,焊盘部120和121可以设置在配线层100T和半导体层200S的绝缘区域212之中的一者中。在焊盘部120和121设置在配线层100T中的情况下,焊盘部120和121可以与半导体层100S直接接触。具体地,焊盘部120和121可以具有直接连接至浮动扩散部FD和/或VSS接触区域118的至少一部分的构造。另外,可以采用如下构造:其中,从连接至焊盘部120和121的浮动扩散部FD和/或VSS接触区域118中的各者设置连接过孔120C和121C,并且在配线层100T和半导体层200S的绝缘区域212的期望位置处设置焊盘部120和121。

[0612] 特别地,在焊盘部120和121设置在配线层100T中的情况下,可以减少半导体层200S的绝缘区域212中的连接至浮动扩散部FD和/或VSS接触区域118的配线的数量。由此,可以减小形成像素电路210的第二基板200的用于形成贯通配线的绝缘区域212的面积,该贯通配线用于将浮动扩散部FD连接至像素电路210。因此,可以确保形成像素电路210的第二基板200的面积较大。通过确保像素电路210的面积,可以形成大的像素晶体管,并且有助于通过降噪等来提高图像质量。

[0613] 特别地,在像素分离部117使用FTI结构的情况下,浮动扩散部FD和/或VSS接触区域118优选地设置在各个像素541中;因此,通过使用焊盘部120和121的构造,可以显著减少将第一基板100和第二基板200彼此连接的配线的数量。

[0614] 另外,如图68B所示,例如,连接至多个浮动扩散部FD的焊盘部120和连接至多个VSS接触区域118的焊盘部121在V方向上交替地线性布置。另外,焊盘部120和121形成在由多个光电二极管PD、多个传输栅极TG和多个浮动扩散部FD包围的位置处。由此,可以在形成多个元件的第一基板100中自由地设置除浮动扩散部FD和VSS接触区域118以外的元件,并且可以提高整个芯片的布局效率。另外,可以确保在每个像素共用单元539中形成的元件的布局的对称性,从而可以抑制像素541的特性的偏差。

[0615] 焊盘部120和121包含例如多晶硅(Poly Si),更具体为掺杂有杂质的掺杂多晶硅。焊盘部120和121优选包含诸如多晶硅、钨(W)、钛(Ti)和氮化钛(TiN)等具有高耐热性的导电材料。由此,可以在将第二基板200的半导体层200S附接至第一基板100之后形成像素电路210。下面,将说明其理由。需要注意,在以下描述中,将在附接第一基板100和第二基板200的半导体层200S之后形成像素电路210的方法称为第一制造方法。

[0616] 这里,可以构思在第二基板200中形成像素电路210,其后将像素电路210附接至第一基板100的方法(在下文中,称为第二制造方法)。在第二制造方法中,在第一基板100的正面(配线层100T的正面)和第二基板200的正面(配线层200T的正面)中的各者上预先形成用于电气连接的电极。当第一基板100和第二基板200附接在一起时,与此同时,形成在第一基板100的正面和第二基板200的正面上的用于电气连接的电极彼此接触。因此,在第一基板100中所包括的配线与第二基板200中所包括的配线之间形成电气连接。因此,使用第二制造方法构成摄像装置1,从而可以使用例如与第一基板100和第二基板200的构造相对应的适当工艺来制造摄像装置1,并且可以制造具有高质量和高性能的摄像装置。

[0617] 在这种第二制造方法中,在将第一基板100和第二基板200附接在一起时,可能会由于附接用的制造装置而产生对准误差。另外,第一基板100和第二基板200分别具有例如大约几十cm的直径,并且在将第一基板100和第二基板200接合在一起时,可能在第一基板100和第二基板200的每个部分的微观区域中产生基板的伸缩。基板的伸缩是由基板彼此接

触时的时刻存在微小偏差引起的。由于第一基板100和第二基板200的这种伸缩,可能会在形成于第一基板100的正面和第二基板200的正面上的用于电气连接的电极的位置处产生误差。在第二制造方法中,优选的是,即使在产生这种误差时,也使第一基板100的电极和第二基板200的电极彼此接触。具体地,考虑到上述误差,第一基板100的电极和第二基板200的电极中的至少一者、优选两者变大。因此,当使用第二制造方法时,例如,形成在第一基板100或第二基板200的正面上的电极的尺寸(在基板平面方向上的尺寸)变得大于从第一基板100或第二基板200的内部在厚度方向上延伸至正面的内部电极的尺寸。

[0618] 同时,焊盘部120和121包含具有耐热性的导电材料,从而可以使用上述第一制造方法。在第一制造方法中,在形成包括光电二极管PD和传输晶体管TR的第一基板100之后,将第一基板100和第二基板200(半导体层200S)附接在一起。此时,第二基板200处于像素电路210中所包括的诸如有源元件和配线层等的图案尚未形成的状态。第二基板200处于形成图案之前的状态;因此,即使当在将第一基板100和第二基板200附接在一起时在附接位置中产生误差时,也不会由于该附接误差而引起第一基板100的图案与第二基板200的图案之间的对准误差。其一个原因是,第二基板200的图案是在将第一基板100和第二基板200附接在一起之后形成的。需要注意,当在第二基板上形成图案时,例如,在用于形成图案的曝光装置中,将形成在第一基板中的图案作为对准对象而形成该图案。鉴于上述理由,在第一制造方法中,第一基板100与第二基板200之间的附接位置的误差对于摄像装置1的制造不成问题。鉴于类似原因,在第二制造方法中产生的由基板的伸缩引起的误差对于摄像装置1的制造也不成问题。

[0619] 在第一制造方法中,以这种方式,在将第一基板100和第二基板200(半导体层200S)附接在一起之后,在第二基板200上形成有源元件。其后,形成贯通电极120E和121E以及贯通电极TGV(图67)。例如,在贯通电极120E、121E和TGV的形成中,使用曝光装置的缩小投影曝光,从第二基板200上方形成贯通电极的图案。由于使用缩小投影曝光,因此,即使在第二基板200与曝光装置之间的对准中产生误差,第二基板200中的该误差的大小也只是上述第二制造方法中的误差的几分之一(缩小投影曝光倍率的倒数)。因此,通过使用第一制造方法构成摄像装置1,形成在第一基板100和第二基板200之中的各者中的元件之间的对准变得容易,并且可以制造具有高质量和高性能的摄像装置。

[0620] 使用这种第一制造方法制造的摄像装置1具有与通过第二制造方法制造的摄像装置不同的特性。具体地,在通过第一制造方法制造的摄像装置1中,例如,从第二基板200至第一基板100,贯通电极120E、121E和TGV分别具有基本恒定的粗细(在基板平面方向上的尺寸)。可替代地,当贯通电极120E、121E和TGV分别具有锥形形状时,它们具有恒定斜率的锥形形状。在包括这种贯通电极120E、121E和TGV的摄像装置1中,像素541易于小型化。

[0621] 这里,当通过第一制造方法制造摄像装置1时,在将第一基板100和第二基板200(半导体层200S)附接在一起之后,在第二基板200中形成有源元件;因此,形成有源元件所需的加热处理也会影响第一基板100。因此,如上所述,设置在第一基板100中的焊盘部120和121优选使用具有更高耐热性的导电材料。例如,焊盘部120和121优选使用与第二基板200的配线层200T中所包括的配线材料的至少一部分相比熔点较高(即,耐热性较高)的材料。例如,焊盘部120和121使用诸如掺杂多晶硅、钨、钛和氮化钛等具有高耐热性的导电材料。由此,可以使用上述第一制造方法来制造摄像装置1。

[0622] 例如,钝化膜122遍及半导体层100S的整个正面设置,以覆盖焊盘部120和121(图67)。钝化膜122包括例如氮化硅(SiN)膜。层间绝缘膜123隔着钝化膜122覆盖焊盘部120和121。例如,层间绝缘膜123遍及半导体层100S的整个正面设置。层间绝缘膜123包括例如氧化硅(SiO)膜。接合膜124设置在第一基板100(具体地,配线层100T)与第二基板200之间的接合面处。即,接合膜124与第二基板200接触。接合膜124遍及第一基板100的整个主面设置。接合膜124包括例如氮化硅膜。

[0623] 例如,光接收透镜401隔着固定电荷膜112和绝缘膜111而与半导体层100S相对(图67)。例如,光接收透镜401设置在与像素541A、541B、541C和541D中的各者的光电二极管PD相对的位置处。

[0624] 第二基板200从第一基板100侧起依次包括半导体层200S和配线层200T。半导体层200S包括硅基板。在半导体层200S中,在厚度方向上设置有阱区域211。阱区域211例如是p型半导体区域。在第二基板200中,设置有针对每个像素共用单元539设置的像素电路210。例如,像素电路210设置在半导体层200S的正面侧(配线层200T侧)。在摄像装置1中,第二基板200附接至第一基板100,以使得第二基板200的背面侧(半导体层200S侧)面对第一基板100的正面侧(配线层100T侧)。即,第二基板200以背对面的方式附接至第一基板100。

[0625] 图69至图73分别示意性地示出了第二基板200的平面构造的示例。图69示出了设置在半导体层200S的正面附近的像素电路210的构造。图70示意性地示出了配线层200T(具体地,稍后描述的第一配线层W1)、连接至配线层200T的半导体层200S和第一基板100中的各者的构造。图71至图73分别示出了配线层200T的平面构造的示例。下面,使用图69至图73和图67描述第二基板200的构造。在图69和图70中,由虚线表示光电二极管PD的外形(像素分离部117与光电二极管PD之间的边界),并且由点线表示与像素电路210中所包括的每个晶体管的栅极电极重叠的部分中的半导体层200S与元件分离区域213或绝缘区域212之间的边界。在与放大晶体管AMP的栅极电极重叠的部分中,在一个沟道宽度方向上设置有半导体层200S与元件分离区域213之间的边界以及元件分离区域213与绝缘区域212之间的边界。

[0626] 第二基板200包括分割半导体层200S的绝缘区域212和设置在半导体层200S的在厚度方向上的一部分中的元件分离区域213(图67)。例如,在沿着H方向彼此相邻的两个像素电路210之间所设置的绝缘区域212中,设置有与这两个像素电路210连接的两个像素共用单元539的贯通电极120E和121E以及贯通电极TGV(贯通电极TGV1、TGV2、TGV3和TGV4)(图70)。

[0627] 绝缘区域212具有与半导体层200S的厚度基本相同的厚度(图67)。半导体层200S由绝缘区域212分割。贯通电极120E和121E以及贯通电极TGV设置在绝缘区域212中。绝缘区域212包含例如氧化硅。

[0628] 贯通电极120E和121E设置成在厚度方向上贯穿绝缘区域212。贯通电极120E和121E的上端连接至配线层200T的配线(稍后描述的第一配线层W1、第二配线层W2、第三配线层W3和第四配线层W4)。贯通电极120E和121E设置成贯穿绝缘区域212、接合膜124、层间绝缘膜123和钝化膜122,并且贯通电极120E和121E的下端连接至焊盘部120和121(图67)。贯通电极120E将焊盘部120和像素电路210彼此电气连接。即,第一基板100的浮动扩散部FD通过贯通电极120E电气连接至第二基板200的像素电路210。贯通电极121E将焊盘部121和配

线层200T的基准电位线VSS彼此电气连接。即,第一基板100的VSS接触区域118通过贯通电极121E电气连接至第二基板200的基准电位线VSS。

[0629] 贯通电极TGV设置成在厚度方向上贯穿绝缘区域212。贯通电极TGV的上端连接至配线层200T的配线。贯通电极TGV设置成贯穿绝缘区域212、接合膜124、层间绝缘膜123、钝化膜122和层间绝缘膜119,并且贯通电极TGV的下端连接至传输栅极TG(图67)。这种贯通电极TGV将像素541A、541B、541C和541D的传输栅极TG(传输栅极TG1、TG2、TG3和TG4)和配线层200T的配线(行驱动信号线542的一部分,具体为稍后描述的图72中的配线TRG1、TRG2、TRG3和TRG4)彼此电气连接。即,第一基板100的传输栅极TG通过贯通电极TGV电气连接至第二基板200的配线TRG,以将驱动信号传输至每个传输晶体管TR(传输晶体管TR1、TR2、TR3和TR4)。

[0630] 绝缘区域212是用于使半导体层200S与将第一基板100和第二基板200彼此电气连接的贯通电极120E和121E以及贯通电极TGV绝缘的区域。例如,在沿着H方向彼此相邻的两个像素电路210(像素共用单元539)之间所设置的绝缘区域212中,设置有与这两个像素电路210连接的贯通电极120E和121E以及贯通电极TGV(贯通电极TGV1、TGV2、TGV3和TGV4)。绝缘区域212设置成例如在V方向上延伸(图69和70)。这里,对传输栅极TG的水平部分TGb的设置进行设计,从而与垂直部分TGa的位置相比,将贯通电极TGV的在H方向上的位置设置成更接近贯通电极120E和121E的在H方向上的位置(图68A和图70)。例如,贯通电极TGV在H方向上设置在与贯通电极120E和120E基本相同的位置处。由此,可以将贯通电极120E和121E以及贯通电极TGV统一设置在沿着V方向延伸的绝缘区域212中。作为另一个布置示例,可以构思仅在叠加在垂直部分TGa上的区域中设置水平部分TGb。在这种情况下,贯通电极TGV形成在垂直部分TGa的大致正上方,并且贯通电极TGV设置在例如每个像素541的在H方向和Y方向上的大致中央部中。此时,贯通电极TGV的在H方向上的位置显著偏离贯通电极120E和121E的在H方向上的位置。例如,绝缘区域212设置在贯通电极TGV以及贯通电极120E和121E周围,以使这些贯通电极与靠近它们的半导体层200S电气绝缘。在贯通电极TGV的在H方向上的位置与贯通电极120E和121E的在H方向上的位置彼此相隔较远的情况下,有必要在贯通电极120E、121E和TGV中的各者的周围独立地设置绝缘区域212。因此,半导体层200S被精细分割。相比之下,在沿着V方向延伸的绝缘区域212中统一设置贯通电极120E和121E以及贯通电极TGV的布局可以使半导体层200S的在H方向上的尺寸增大。由此,可以确保半导体层200S中的半导体元件形成区域的面积较大。因此,例如,可以使放大晶体管AMP的尺寸增大并且可以降低噪声。

[0631] 如参照图65所述的,像素共用单元539将设置在各个像素541中的浮动扩散部FD电气连接在一起,并且具有多个像素541共用一个像素电路210的结构。另外,浮动扩散部FD之间的电气连接由设置在第一基板100中的焊盘部120实现(图67和图68B)。设置在第一基板100中的电气连接部(焊盘部120)和设置在第二基板200中的像素电路210经由一个贯通电极120E电气连接在一起。可替代地,作为另一个结构示例,也可以构思将浮动扩散部FD之间的电气连接部设置在第二基板200中。在这种情况下,像素共用单元539包括分别连接至浮动扩散部FD1、FD2、FD3和FD4的四个贯通电极。因此,在第二基板200中,贯穿半导体层200S的贯通电极的数量增加,并且使贯通电极的周边绝缘的绝缘区域212变大。相比之下,包括焊盘部120的第一基板100的结构(图67和图68B)可以减少贯通电极的数量并且可以使绝缘

区域212变小。因此,可以确保半导体层200S中的半导体元件形成区域的面积较大。由此,例如,可以增大放大晶体管AMP的尺寸,从而抑制噪声。

[0632] 元件分离区域213设置在半导体层200S的正面侧。元件分离区域213具有STI(浅沟槽隔离)结构。在元件分离区域213中,半导体层200S在厚度方向(与第二基板200的主面垂直的方向)上被挖掘,并且在该挖掘部中嵌埋有绝缘膜。该绝缘膜包含例如氧化硅。根据像素电路210的布局,元件分离区域213在像素电路210中所包括的多个晶体管之间进行元件分离。半导体层200S(具体地,阱区域211)在元件分离区域213下方(半导体层200S的深部)延伸。

[0633] 这里,参照图68A、图68B和图69,对第一基板100中的像素共用单元539的外形形状(在基板平面方向上的外形形状)与第二基板200中的像素共用单元539的外形形状之间的差异进行描述。

[0634] 在摄像装置1中,在第一基板100和第二基板200这两者上设置有像素共用单元539。例如,设置在第一基板100中的像素共用单元539的外形形状和设置在第二基板200中的像素共用单元539的外形形状互不相同。

[0635] 在图68A和图68B中,由长短交替的虚线表示像素541A、541B、541C和541D中的各者的外形线,并且由粗线表示像素共用单元539的外形线。例如,第一基板100的像素共用单元539包括在H方向上彼此相邻布置的两个像素541(像素541A和541B)和在V方向上与这两个像素541相邻布置的两个像素541(像素541C和541D)。即,第一基板100的像素共用单元539包括相邻的2行×2列的四个像素541,并且第一基板100的像素共用单元539具有大致正方形的外形形状。在像素阵列部540中,这种像素共用单元539以在H方向上为两个像素间距(相当于两个像素541的间距)且在V方向上为两个像素间距(相当于两个像素541的间距)的方式彼此相邻地布置。

[0636] 在图69和图70中,由长短交替的虚线表示像素541A、541B、541C和541D中的各者的外形线,并且由粗线表示像素共用单元539的外形线。例如,第二基板200的像素共用单元539的外形形状在H方向上小于第一基板100的像素共用单元539的外形形状,并且在V方向上大于第一基板100的像素共用单元539的外形形状。例如,第二基板200的像素共用单元539形成为在H方向上具有相当于一个像素的尺寸(区域),并且形成为在V方向上具有相当于四个像素的尺寸。即,第二基板200的像素共用单元539形成为具有相当于以1行×4列相邻布置的像素的尺寸,并且第二基板200的像素共用单元539具有大致矩形的外形形状。

[0637] 例如,在每个像素电路210中,选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG在V方向上依次并排布置(图69)。如上所述,每个像素电路210的外形形状是大致矩形形状,从而可以在一个方向(图69中的V方向)上并排布置四个晶体管(选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG)。由此,可以在一个扩散区域(连接至电源线VDD的扩散区域)中共用放大晶体管AMP的漏极和复位晶体管RST的漏极。例如,可以设置具有大致正方形形状的形成区域(参见稍后描述的图82)。在这种情况下,在一个方向上设置两个晶体管,从而难以在一个扩散区域中共用放大晶体管AMP的漏极和复位晶体管RST的漏极。因此,通过设置具有大致矩形形状的像素电路210的形成区域,易于将四个晶体管彼此靠近地设置,并且可以缩小像素电路210的形成区域。即,可以使像素小型化。另外,在不需要使像素电路210的形成区域变小的

情况下,可以使放大晶体管AMP的形成区域变大,从而可以抑制噪声。

[0638] 例如,在半导体层200S的正面附近,除选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG以外,还设置有连接至基准电位线VSS的VSS接触区域218。VSS接触区域218包括例如p型半导体区域。VSS接触区域218经由配线层200T的配线和贯通电极121E电气连接至第一基板100(半导体层100S)的VSS接触区域118。例如,VSS接触区域218设置在隔着元件分离区域213与FD转换增益切换晶体管FDG的源极相邻的位置处(图69)。

[0639] 接下来,参照图68B和图69,对设置在第一基板100中的像素共用单元539与设置在第二基板200中的像素共用单元539之间的位置关系进行描述。例如,第一基板100的沿着V方向布置的两个像素共用单元539中的一个(例如,图68B的纸面上侧)像素共用单元539连接至第二基板200的沿着H方向布置的两个像素共用单元539中的一个(例如,图69的纸面左侧)像素共用单元539。例如,第一基板100的沿着V方向布置的两个像素共用单元539中的另一个(例如,图68B的纸面下侧)像素共用单元539连接至第二基板200的沿着H方向布置的两个像素共用单元539中的另一个(例如,图69的纸面右侧)像素共用单元539。

[0640] 例如,在第二基板200的沿着H方向布置的两个像素共用单元539中,一个像素共用单元539的内部布局(晶体管等的布置)与使另一个像素共用单元539的内部布局在V方向和H方向上反转而获得的布局基本相同。下面将描述由这种布局实现的效果。

[0641] 在第一基板100的沿着V方向布置的两个像素共用单元539中,每个焊盘部120设置在像素共用单元539的外形形状的中央部中,即,设置在像素共用单元539的在V方向和H方向上的中央部中(图68B)。同时,如上所述,第二基板200的像素共用单元539具有在V方向上较长的大致矩形的外形形状,因此,例如,连接至焊盘部120的放大晶体管AMP设置在从像素共用单元539的在V方向上的中央朝向纸面上方偏离的位置。例如,在第二基板200的沿着H方向布置的两个像素共用单元539的内部布局相同的情况下,一个像素共用单元539的放大晶体管AMP与焊盘部120(例如,图7的纸面上侧的像素共用单元539的焊盘部120)之间的距离相对较短。然而,另一个像素共用单元539的放大晶体管AMP与焊盘部120(例如,图7的纸面下侧的像素共用单元539的焊盘部120)之间的距离较长。因此,放大晶体管AMP与焊盘部120之间的连接所需的配线的面积增大,从而可能使像素共用单元539的配线布局复杂化。存在该情况可能会影响摄像装置1的小型化的可能性。

[0642] 相比之下,第二基板200的沿着H方向布置的两个像素共用单元539的内部布局至少在V方向上反转,从而可以缩短这两个像素共用单元539的放大晶体管AMP与焊盘部120之间的距离。因此,与第二基板200的沿着H方向布置的两个像素共用单元539的内部布局相同的构造相比,易于实施摄像装置1的小型化。需要注意,第二基板200的多个像素共用单元539中的各者的平面布局在图69所示的范围内是左右对称的,然而,包括稍后描述的图70所示的第一配线层W1的布局在内的布局是左右不对称的。

[0643] 另外,第二基板200的沿着H方向布置的两个像素共用单元539的内部布局优选地也在H方向上彼此反转。下面将描述其原因。如图70所示,第二基板200的沿着H方向布置的两个像素共用单元539分别连接至第一基板100的焊盘部120和121。例如,焊盘部120和121设置在第二基板200的沿着H方向布置的两个像素共用单元539的在H方向上的中央部中(沿着H方向布置的两个像素共用单元539之间)。因此,第二基板200的沿着H方向布置的两个像

素共用单元539的内部布局也在H方向上彼此反转,从而可以减小第二基板200的多个像素共用单元539中的各者与焊盘部120和121之间的距离。即,这进一步促进了摄像装置1的小型化。

[0644] 另外,第二基板200的像素共用单元539的外形线的位置可以与第一基板100的像素共用单元539中的任一者的外形线的位置一致。例如,在第二基板200的沿着H方向布置的两个像素共用单元539中的一个(例如,图70的纸面左侧)像素共用单元539中,在V方向上的一条(例如,图70的纸面上侧)外形线设置在第一基板100的对应像素共用单元539(例如,图68B的纸面上侧)的在V方向上的一条外形线外侧。另外,在第二基板200的沿着H方向布置的两个像素共用单元539中的另一个(例如,图70的纸面右侧)像素共用单元539中,在V方向上的另一条(例如,图70的纸面下侧)外形线设置在第一基板100的对应像素共用单元539(例如,图68B的纸面下侧)的在V方向上的另一条外形线外侧。通过设置第二基板200的像素共用单元539和第一基板100的像素共用单元539这两者,可以缩短放大晶体管AMP与焊盘部120之间的距离。这促进了摄像装置1的小型化。

[0645] 另外,第二基板200的多个像素共用单元539的外形线的位置可以不一致。例如,第二基板200的沿着H方向布置的两个像素共用单元539设置成使在V方向上的外形线的位置偏离。由此,可以缩短放大晶体管AMP与焊盘部120之间的距离。因此,促进了摄像装置1的小型化。

[0646] 参照图68B和图70,对像素阵列部540中的像素共用单元539的重复布置进行描述。第一基板100的像素共用单元539具有在H方向上为两个像素541的尺寸和在V方向上为两个像素541的尺寸(图68B)。例如,在第一基板100的像素阵列部540中,具有相当于四个像素541的尺寸的像素共用单元539以在H方向上为两个像素间距(相当于两个像素541的间距)且在V方向上为两个像素间距(相当于两个像素541的间距)的方式彼此相邻地重复布置。可替代地,在第一基板100的像素阵列部540中,可以设置作为在V方向上彼此相邻的两个像素共用单元539的一对像素共用单元539。在第一基板100的像素阵列部540中,例如,这一对像素共用单元539以在H方向上为两个像素间距(相当于两个像素541的间距)且在V方向上为四个像素间距(相当于四个像素541的间距)的方式彼此相邻地重复布置。第二基板200的像素共用单元539具有在H方向上为一个像素541的尺寸和在V方向上为四个像素541的尺寸(图70)。例如,在第二基板200的像素阵列部540中,设置有一对像素共用单元539,这一对像素共用单元539包括两个尺寸相当于四个像素541的像素共用单元539。该像素共用单元539在H方向上彼此相邻地设置,并且设置成在V方向上偏离。在第二基板200的像素阵列部540中,例如,所述一对像素共用单元539以在H方向上为两个像素间距(相当于两个像素541的间距)且在V方向上为四个像素间距(相当于四个像素541的间距)的方式无间隙且彼此相邻地重复布置。通过像素共用单元539的这种重复布置,可以无间隙地布置像素共用单元539。因此,促进了摄像装置1的小型化。

[0647] 例如,放大晶体管AMP优选地具有诸如鳍(Fin)型等三维结构(图67)。由此,有效栅极宽度的尺寸增大,从而可以抑制噪声。选择晶体管SEL、复位晶体管RST和FD转换增益切换晶体管FDG具有例如平面结构。放大晶体管AMP可以具有平面结构。可替代地,选择晶体管SEL、复位晶体管RST或FD转换增益切换晶体管FDG可以具有三维结构。

[0648] 配线层200T包括例如钝化膜221、层间绝缘膜222和多个配线(第一配线层W1、第二

配线层W2、第三配线层W3和第四配线层W4)。钝化膜221例如与半导体层200S的正面接触,并且覆盖半导体层200S的整个正面。钝化膜221覆盖选择晶体管SEL、放大晶体管AMP、复位晶体管RST和FD转换增益切换晶体管FDG的各个栅极电极。层间绝缘膜222设置在钝化膜221与第三基板300之间。层间绝缘膜222将多个配线(第一配线层W1、第二配线层W2、第三配线层W3和第四配线层W4)分离。层间绝缘膜222包含例如氧化硅。

[0649] 在配线层200T中,例如,从半导体层200S侧起,依次设置有第一配线层W1、第二配线层W2、第三配线层W3、第四配线层W4以及接触部201和202,并且这些元件通过层间绝缘膜222彼此绝缘。层间绝缘膜222包括将第一配线层W1、第二配线层W2、第三配线层W3或第四配线层W4与其下方的层彼此连接的多个连接部。连接部是设置在层间绝缘膜222中的连接孔内嵌入有导电材料的部分。例如,层间绝缘膜222包括将第一配线层W1和半导体层200S的VSS接触区域218彼此连接的连接部218V。例如,将第二基板200的元件彼此连接的这种连接部的孔径不同于贯通电极120E和121E以及贯通电极TGV的孔径。具体地,将第二基板200的元件彼此连接的连接孔的孔径优选小于贯通电极120E和121E以及贯通电极TGV的孔径。下面将描述其原因。设置在配线层200T中的连接部(诸如连接部218V等)的深度小于贯通电极120E和121E以及贯通电极TGV的深度。因此,在连接部中,与贯通电极120E和121E以及贯通电极TGV相比,导电材料能够更容易地嵌入在连接孔中。通过使连接部的孔径小于贯通电极120E和121E以及贯通电极TGV的孔径,可以促进摄像装置1的小型化。

[0650] 例如,贯通电极120E与放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极(具体地,到达FD转换增益切换晶体管FDG的源极的连接孔)通过第一配线层W1彼此连接。第一配线层W1例如将贯通电极121E和连接部218V彼此连接,从而使得半导体层200S的VSS接触区域218和半导体层100S的VSS接触区域118彼此电气连接。

[0651] 接下来,参照图71至图73,对配线层200T的平面构造进行描述。图71示出了第一配线层W1和第二配线层W2的平面构造的示例。图72示出了第二配线层W2和第三配线层W3的平面构造的示例。图73示出了第三配线层W3和第四配线层W4的平面构造的示例。

[0652] 例如,第三配线层W3包括在H方向(行方向)上延伸的配线TRG1、TRG2、TRG3、TRG4、SELL、RSTL和FDGL(图72)。这些配线相当于参照图65描述的多个行驱动信号线542。配线TRG1、TRG2、TRG3和TRG4将驱动信号分别传输至传输栅极TG1、TG2、TG3和TG4。配线TRG1、TRG2、TRG3和TRG4经由第二配线层W2、第一配线层W1和贯通电极120E分别连接至传输栅极TG1、TG2、TG3和TG4。配线SELL将驱动信号传输至选择晶体管SEL的栅极,配线RSTL将驱动信号传输至复位晶体管RST的栅极,并且配线FDGL将驱动信号传输至FD转换增益切换晶体管FDG的栅极。配线SELL、RSTL和FDGL经由第二配线层W2、第一配线层W1和连接部分别连接至选择晶体管SEL的栅极、复位晶体管RST的栅极和FD转换增益切换晶体管FDG的栅极。

[0653] 例如,第四配线层W4包括在V方向(列方向)上延伸的电源线VDD、基准电位线VSS和垂直信号线543(图73)。电源线VDD经由第三配线层W3、第二配线层W2、第一配线层W1和连接部连接至放大晶体管AMP的漏极和复位晶体管RST的漏极。基准电位线VSS经由第三配线层W3、第二配线层W2、第一配线层W1和连接部218V连接至VSS接触区域218。另外,基准电位线VSS经由第三配线层W3、第二配线层W2、第一配线层W1、贯通电极121E和焊盘部121连接至第一基板100的VSS接触区域118。垂直信号线543经由第三配线层W3、第二配线层W2、第一配线层W1和连接部连接至选择晶体管SEL的源极(Vout)。

[0654] 在平面图中,接触部201和202可以设置在与像素阵列部540重叠的位置处(例如,图64),或者可以设置在像素阵列部540外侧的周边部540B中(例如,图67)。接触部201和202设置在第二基板200的正面(配线层200T侧的表面)上。例如,接触部201和202包含诸如Cu(铜)和Al(铝)等金属。接触部201和202暴露于配线层200T的正面(第三基板300侧的表面)。接触部201和202用于第二基板200与第三基板300之间的电气连接以及第二基板200与第三基板300之间的附接。

[0655] 图67示出了在第二基板200的周边部540B中设置有周边电路的示例。该周边电路可以包括行驱动部520的一部分或列信号处理器550的一部分。另外,如图64所示,可以不在第二基板200的周边部540B中设置周边电路,并且可以将连接孔部H1和H2设置在像素阵列部540附近。

[0656] 第三基板300从第二基板200侧起依次包括例如配线层300T和半导体层300S。例如,半导体层300S的正面设置在第二基板200侧。半导体层300S包括硅基板。在半导体层300S的正面侧的一部分中设置有电路。具体地,例如,在半导体层300S的正面侧的一部分中设置有输入部510A、行驱动部520、时序控制器530、列信号处理器550、图像信号处理器560和输出部510B的至少一部分。设置在半导体层300S与第二基板200之间的配线层300T包括例如层间绝缘膜、由层间绝缘膜分离的多个配线层以及接触部301和302。接触部301和302暴露于配线层300T的正面(第二基板200侧的表面)。接触部301连接至第二基板200的接触部201,并且接触部302连接至第二基板200的接触部202。接触部301和302电气连接至形成在半导体层300S中的电路(例如,输入部510A、行驱动部520、时序控制器530、列信号处理器550、图像信号处理器560和输出部510B中的至少一者)。例如,接触部301和302包含诸如Cu(铜)和Al(铝)等金属。例如,外部端子TA经由连接孔部H1连接至输入部510A,并且外部端子TB经由连接孔部H2连接至输出部510B。

[0657] 这里,对摄像装置1的特性进行描述。

[0658] 一般而言,摄像装置包括光电二极管和像素电路作为主要部件。这里,当光电二极管的面积增大时,由光电转换产生的电荷增加,因此可以改善像素信号的信噪比(S/N比),从而使得摄像装置能够输出更有利的图像数据(图像信息)。同时,当像素电路中所包括的晶体管的尺寸(具体地,放大晶体管的尺寸)增大时,像素电路中产生的噪声降低,因此可以改善摄像信号的S/N比,从而使得摄像装置输出更有利的图像数据(图像信息)。

[0659] 然而,在光电二极管和像素电路设置在同一半导体基板中的摄像装置中,可以构思,当光电二极管的面积在半导体基板的有限面积内增大时,像素电路中所包括的晶体管的尺寸就会减小。另外,可以构思,当像素电路中所包括的晶体管的尺寸增大时,光电二极管的面积就会减小。

[0660] 为了解决这些问题,例如,根据本实施例的摄像装置1使用如下结构:其中,多个像素541共用一个像素电路210,并且共用的像素电路210设置成叠加在光电二极管PD上。由此,可以在半导体基板的有限面积内使光电二极管PD的面积尽可能大,并且使像素电路210中所包括的晶体管的尺寸尽可能大。由此,可以改善像素信号的S/N比,从而使得摄像装置1输出更有利的图像数据(图像信息)。

[0661] 在实现多个像素541共用一个像素电路210并且像素电路210设置成叠加在光电二极管PD上的结构时,从多个像素541中的各者的浮动扩散部FD连接至一个像素电路210的多

个配线延伸。为了确保形成像素电路210的第二基板200的面积较大,例如,可以形成将延伸的所述多个配线彼此连接以将它们组合成一个的连接配线。关于从VSS接触区域118延伸的多个配线,可以形成将延伸的所述多个配线彼此连接以将它们组合成一个的连接配线。

[0662] 例如,可以构思,当在形成像素电路210的第二基板200中形成将从多个像素541中的各者的浮动扩散部FD延伸的多个配线彼此连接的连接配线时,形成像素电路210中所包括的晶体管的面积减小。同样,可以构思,当在形成像素电路210的第二基板200中形成将从多个像素541中的各者的VSS接触区域118延伸的多个配线彼此连接以将它们组合成一个的连接配线时,形成像素电路210中所包括的晶体管的面积减小。

[0663] 为了解决这些问题,例如,根据本实施例的摄像装置1能够具有如下结构:其中,多个像素541共用一个像素电路210,并且共用的像素电路210设置成叠加在光电二极管PD上,并且还能够具有如下结构:其中,第一基板100包括将多个像素541的各个浮动扩散部FD彼此连接以将它们组合成一个的连接配线和将各个像素541中所包括的VSS接触区域118彼此连接以将它们组合成一个的连接配线。

[0664] 这里,当使用上述第二制造方法作为用于在第一基板100中设置将多个像素541的各个浮动扩散部FD彼此连接以将它们组合成一个的连接配线和将多个像素541的各个VSS接触区域118彼此连接以将它们组合成一个的连接配线的制造方法时,可以使用与第一基板100和第二基板200的各个构造相对应的适当工艺来进行制造,并且可以制造具有高质量和高性能的摄像装置。此外,可以通过简单的工艺形成第一基板100和第二基板200的连接配线。具体地,在使用上述第二制造方法的情况下,在形成第一基板100与第二基板200之间的附接边界表面的第一基板100的正面和第二基板200的正面上,分别设置连接至浮动扩散部FD的电极和连接至VSS接触区域118的电极。此外,形成在两个基板的正面上的电极的尺寸优选地变大,以使得在将第一基板100和第二基板200附接在一起时,即使当设置在两个基板的正面上的电极之间发生位置偏移时,形成在两个基板的正面上的电极也会彼此接触。在这种情况下,认为难以将上述电极设置在摄像装置1中所包括的每个像素的有限面积中。

[0665] 为了解决在第一基板100与第二基板200之间的附接边界表面上需要较大电极的问题,例如,在根据本实施例的摄像装置1中,可以使用上述第一制造方法作为其中多个像素541共用一个像素电路210并且共用的像素电路210设置成叠加在光电二极管PD上的制造方法。由此,可以促进形成在第一基板100和第二基板200之中的各者中的元件的对准,并且可以制造具有高质量和高性能的摄像装置。此外,可以具有通过使用该制造方法而形成的固有结构。即,包括将第一基板100的半导体层100S和配线层100T以及第二基板200的半导体层200S和配线层200T依次堆叠的结构,换言之,包括将第一基板100和第二基板200以面对背的方式堆叠的结构,并且包括从第二基板200的半导体层200S的正面侧贯穿半导体层200S和第一基板100的配线层100T直至到达第一基板100的半导体层100S的正面的贯通电极120E和121E。

[0666] 当在第一基板100中设置有将多个像素541的各个浮动扩散部FD彼此连接以将它们组合成一个的连接配线和将多个像素541的各个VSS接触区域118彼此连接以将它们组合成一个的连接配线的结构中,使用第一制造方法堆叠该结构和第二基板200以在第二基板200中形成像素电路210时,存在形成像素电路210中所包括的有源元件所需的加热处理可

能会影响形成在第一基板100中的上述连接配线的可能性。

[0667] 因此,为了解决用于形成上述有源元件的加热处理会影响上述连接配线的问题,在根据本实施例的摄像装置1中,期望将具有高耐热性的导电材料用于将多个像素541的各个浮动扩散部彼此连接以将它们组合成一个的连接配线和将多个像素541的各个VSS接触区域118彼此连接以将它们组合成一个的连接配线。具体地,作为具有高耐热性的导电材料,可以使用与第二基板200的配线层200T中所包括的配线材料的至少一部分相比熔点较高的材料。

[0668] 如上所述,例如,根据本实施例的摄像装置1具有如下结构:(1)第一基板100和第二基板200以面对背的方式堆叠的结构(具体地,第一基板100的半导体层100S和配线层100T以及第二基板200的半导体层200S和配线层200T依次堆叠的结构);(2)设置有从第二基板200的半导体层200S的正面侧贯穿半导体层200S和第一基板100的配线层100T直至到达第一基板100的半导体层100S的正面的贯通电极120E和121E的结构;以及(3)使用具有高耐热性的导电材料形成将多个像素541中所包括的各个浮动扩散部FD彼此连接以将它们组合成一个的连接配线和将多个像素541中所包括的各个VSS接触区域118彼此连接以将它们组合成一个的连接配线的结构,由此,可以在第一基板100中设置将多个像素541中所包括的各个浮动扩散部FD彼此连接以将它们组合成一个的连接配线和将多个像素541中所包括的各个VSS接触区域118彼此连接以将它们组合成一个的连接配线,而无需在第一基板100与第二基板200之间的界面处设置较大电极。

[0669] [摄像装置1的操作]

[0670] 接下来,使用图74和图75对摄像装置1的操作进行描述。图74和图75对图64补充了表示每个信号的路径的箭头。图74示出了由箭头表示的从外部输入至摄像装置1的输入信号、电源电位和基准电位的路径。图75示出了由箭头表示的从摄像装置1输出至外部的像素信号的信号路径。例如,经由输入部510A输入至摄像装置1的输入信号(例如,像素时钟和同步信号)被传输至第三基板300的行驱动部520,并且由行驱动部520产生行驱动信号。该行驱动信号经由接触部301和201传输至第二基板200。此外,该行驱动信号经由配线层200T中的行驱动信号线542到达像素阵列部540的每个像素共用单元539。到达第二基板200的像素共用单元539的行驱动信号之中的除传输栅极TG以外的驱动信号被输入至像素电路210,以驱动像素电路210中所包括的每个晶体管。传输栅极TG的驱动信号经由贯通电极TGV输入至第一基板100的传输栅极TG1、TG2、TG3和TG4,以驱动像素541A、541B、541C和541D(图74)。另外,从摄像装置1外部供应给第三基板300的输入部510A(输入端子511)的电源电位和基准电位经由接触部301和201传输至第二基板200,以经由配线层200T中的配线供应给每个像素共用单元539的像素电路210。基准电位进一步经由贯通电极121E供应给第一基板100的像素541A、541B、541C和541D。同时,在第一基板100的像素541A、541B、541C和541D中经光电转换的像素信号经由贯通电极120E针对每个像素共用单元539传输至第二基板200的像素电路210。基于该像素信号的像素信号从像素电路210经由垂直信号线543以及接触部202和302传输至第三基板300。该像素信号在第三基板300的列信号处理器550和图像信号处理器560中被处理,然后经由输出部510B输出至外部。

[0671] [效果]

[0672] 在本实施例中,像素541A、541B、541C和541D(像素共用单元539)与像素电路210设

置在不同的基板(第一基板100和第二基板200)中。由此,与像素541A、541B、541C和541D以及像素电路210形成在同一基板中的情况相比,可以增大像素541A、541B、541C和541D以及像素电路210的面积。因此,可以增加通过光电转换获得的像素信号的量,并且可以降低像素电路210的晶体管噪声。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。另外,可以使摄像装置1小型化(换言之,减小像素尺寸并缩小摄像装置1的尺寸)。通过减小像素尺寸,可以使每单位面积的像素数量增加,并且摄像装置1可以输出具有高图像质量的图像。

[0673] 另外,在摄像装置1中,第一基板100和第二基板200通过设置在绝缘区域212中的贯通电极120E和121E彼此电气连接。例如,可以构思通过将焊盘电极接合在一起而将第一基板100和第二基板200彼此连接的方法以及通过贯穿半导体层的贯通配线(例如,TSV(Thorough Si Via,硅穿孔))将第一基板100和第二基板200彼此连接的方法。与这种方法相比,通过在绝缘区域212中设置贯通电极120E和121E,可以减小第一基板100与第二基板200之间的连接所需的面积。由此,可以减小像素尺寸并进一步缩小摄像装置1的尺寸。另外,通过每个像素的面积的小型化,可以进一步提高分辨率。当不需要减小芯片尺寸时,可以扩大像素541A、541B、541C和541D以及像素电路210的形成区域。因此,可以增加通过光电转换获得的像素信号的量,并且可以降低像素电路210中所包括的晶体管的噪声。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。

[0674] 另外,在摄像装置1中,像素电路210与列信号处理器550和图像信号处理器560设置在不同的基板(第二基板200和第三基板300)中。因此,与像素电路210、列信号处理器550和图像信号处理器560形成在同一基板中的情况相比,可以增大像素电路210的面积以及列信号处理器550和图像信号处理器560的面积。由此,可以降低在列信号处理器550中产生的噪声,并且可以在图像信号处理器560中安装更高级的图像处理电路。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。

[0675] 另外,在摄像装置1中,像素阵列部540设置在第一基板100和第二基板200中,并且列信号处理器550和图像信号处理器560设置在第三基板300中。另外,将第二基板200和第三基板300彼此连接的接触部201、202、301和302形成在像素阵列部540上方。由此,可以自由地布局接触部201、202、301和302,而不会干扰像素阵列中所包括的各种类型的配线的布局。因此,可以将接触部201、202、301和302用于第二基板200与第三基板300之间的电气连接。通过使用接触部201、202、301和302,例如,列信号处理器550和图像信号处理器560的布局的自由度提高。由此,可以降低在列信号处理器550中产生的噪声,并且可以在图像信号处理器560中安装更高级的图像处理电路。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。

[0676] 另外,在摄像装置1中,像素分离部117贯穿半导体层100S。因此,即使在相邻像素(像素541A、541B、541C和541D)之间的距离因每个像素的面积的小型化而减小的情况下,也可以抑制像素541A、541B、541C和541D之间的混色。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。

[0677] 另外,在摄像装置1中,像素电路210针对每个像素共用单元539设置。因此,与针对像素541A、541B、541C和541D中的各者设置像素电路210的情况相比,可以使像素电路210中所包括的晶体管(放大晶体管AMP、复位晶体管RST、选择晶体管SEL和FD转换增益切换晶体

管FDG)的形成区域增大。例如,通过使放大晶体管AMP的形成区域增大,可以抑制噪声。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。

[0678] 此外,在摄像装置1中,第一基板100包括将四个像素(像素541A、541B、541C和541D)的浮动扩散部FD(浮动扩散部FD1、FD2、FD3和FD4)电气连接在一起的焊盘部120。因此,与这种焊盘部120设置在第二基板200中的情况相比,可以减少将第一基板100和第二基板200彼此连接的贯通电极(贯通电极120E)的数量。由此,可以减小绝缘区域212的尺寸,并且可以确保像素电路210中所包括的晶体管的形成区域(半导体层200S)足够大。由此,可以降低像素电路210中所包括的晶体管的噪声,从而可以改善像素信号的信噪比,因此使得摄像装置1输出更有利的像素数据(图像信息)。

[0679] 下面,对根据上述实施例的摄像装置1的变形例进行描述。在以下变形例中,与上述实施例共有的部件由相同的附图标记表示。

[0680] <6.2. 变形例1>

[0681] 图76至图80示出了根据上述实施例的摄像装置1的平面构造的变形例。图76示意性地示出了第二基板200的半导体层200S的正面附近的平面构造,并且对应于上述实施例中所述的图69。图77示意性地示出了第一配线层W1、连接至第一配线层W1的半导体层200S以及第一基板100的各个部件中的各者的构造,并且对应于上述实施例中所述的图70。图78示出了第一配线层W1和第二配线层W2的平面构造的示例,并且对应于上述实施例中所述的图71。图79示出了第二配线层W2和第三配线层W3的平面构造的示例,并且对应于上述实施例中所述的图72。图80示出了第三配线层W3和第四配线层W4的平面构造的示例,并且对应于上述实施例中所述的图73。

[0682] 在本变形例中,如图77所示,在第二基板200的沿着H方向布置的两个像素共用单元539中,一个像素共用单元539(例如,在纸面右侧)的内部布局具有通过使另一个像素共用单元539(例如,在纸面左侧)的内部布局仅在H方向上反转而获得的构造。另外,一个像素共用单元539的外形线与另一个像素共用单元539的外形线之间的在V方向上的偏移大于上述实施例中所述的偏移(图70)。以这种方式,通过增大在V方向上的偏移,可以减小另一个像素共用单元539的放大晶体管AMP与连接至该放大晶体管AMP的焊盘部120(图7所示的沿着V方向布置的两个像素共用单元539中的另一个(在纸面下侧)的焊盘部120)之间的距离。这种布局使得图76至图80所示的摄像装置1的变形例1不能使沿着H方向布置的两个像素共用单元539的平面布局在V方向上彼此反转,而是使其面积与上述实施例中所述的第二基板200的像素共用单元539的面积相同。需要注意,第一基板100的像素共用单元539的平面布局与上述实施例中所述的平面布局(图68A和图68B)相同。因此,根据本变形例的摄像装置1能够实现与上述实施例中所述的摄像装置1类似的效果。第二基板200的像素共用单元539的布置不限于上述实施例和本变形例中所述的布置。

[0683] <6.3. 变形例2>

[0684] 图81至图86示出了根据上述实施例的摄像装置1的平面构造的变形例。图81示意性地示出了第一基板100的平面构造,并且对应于上述实施例中所述的图68A。图82示意性地示出了第二基板200的半导体层200S的正面附近的平面构造,并且对应于上述实施例中所述的图69。图83示意性地示出了第一配线层W1、连接至第一配线层W1的半导体层200S以及第一基板100的各个部件中的各者的构造,并且对应于上述实施例中所述的图70。图84示

出了第一配线层W1和第二配线层W2的平面构造的示例,并且对应于上述实施例中所描述的图71。图85示出了第二配线层W2和第三配线层W3的平面构造的示例,并且对应于上述实施例中所描述的图72。图86示出了第三配线层W3和第四配线层W4的平面构造的示例,并且对应于上述实施例中所描述的图73。

[0685] 在本变形例中,每个像素电路210的外形具有大致正方形的平面形状(图82等)。根据本变形例的摄像装置1的平面构造在这一点上不同于上述实施例中所描述的摄像装置1的平面构造。

[0686] 例如,第一基板100的像素共用单元539以与上述实施例中所描述的情况类似的方式形成在2行×2列的像素区域上,并且具有大致正方形的平面形状(图81)。例如,在每个像素共用单元539中,一个像素列中的像素541A和像素541C的传输栅极TG1和TG3的水平部分TGb在从叠加在垂直部分TGa上的位置朝向像素共用单元539的在H方向上的中央部的方向上(更具体地,在朝向像素541A和541C的外边缘的方向上且在朝向像素共用单元539的中央部的方向上)延伸,并且另一个像素列中的像素541B和像素541D的传输栅极TG2和TG4的水平部分TGb在从叠加在垂直部分TGa上的位置朝向像素共用单元539的在H方向上的外侧的方向上(更具体地,在朝向像素541B和541D的外边缘的方向上且在朝向像素共用单元539的外侧的方向上)延伸。连接至浮动扩散部FD的焊盘部120设置在像素共用单元539的中央部(像素共用单元539的在H方向和V方向上的中央部)中,并且连接至VSS接触区域118的焊盘部121至少在H方向上(在图81中的H方向和V方向上)设置在像素共用单元539的端部中。

[0687] 作为另一个布置示例,还可以构思,传输栅极TG1、TG2、TG3和TG4的水平部分TGb仅设置在与垂直部分TGa相对的区域中。此时,以与上述实施例中所描述的情况类似的方式,半导体层200S容易被精细分割。因此,难以使像素电路210的晶体管变大。相比之下,当传输栅极TG1、TG2、TG3和TG4的水平部分TGb从叠加在垂直部分TGa上的位置沿着H方向延伸时,与上述变形例一样,可以增大半导体层200S的宽度。具体地,可以将连接至传输栅极TG1和TG3的贯通电极TGV1和TGV3的在H方向上的位置设置成接近贯通电极120E的在H方向上的位置,并且可以将连接至传输栅极TG2和TG4的贯通电极TGV2和TGV4的在H方向上的位置设置成接近贯通电极121E的在H方向上的位置(图83)。由此,以与上述实施例中所描述的情况类似的方式,可以增大在V方向上延伸的半导体层200S的宽度(在H方向上的尺寸)。因此,可以增大像素电路210的晶体管的尺寸,特别是放大晶体管AMP的尺寸。因此,可以改善像素信号的信噪比,从而使得摄像装置1输出更有利的像素数据(图像信息)。

[0688] 第二基板200的像素共用单元539例如具有与第一基板100的像素共用单元539的在H方向和V方向上的尺寸基本相同的尺寸,并且设置在与2行×2列的像素区域基本对应的区域上。例如,在每个像素电路210中,选择晶体管SEL和放大晶体管AMP沿着V方向并排布置在沿着V方向延伸的一个半导体层200S中,并且FD转换增益切换晶体管FDG和复位晶体管RST沿着V方向并排布置在沿着V方向延伸的一个半导体层200S中。设置有选择晶体管SEL和放大晶体管AMP的一个半导体层200S以及设置有FD转换增益切换晶体管FDG和复位晶体管RST的一个半导体层200S隔着绝缘区域212布置在H方向上。绝缘区域212在V方向上延伸(图82)。

[0689] 这里,参照图82和图83,对第二基板200的像素共用单元539的外形进行描述。例如,图81所示的第一基板100的像素共用单元539连接至设置在焊盘部120的在H方向上的一

侧(在图83的纸面左侧)的放大晶体管AMP和选择晶体管SEL以及设置在焊盘部120的在H方向上的另一侧(在图83的纸面右侧)的FD转换增益切换晶体管FDG和复位晶体管RST。包括放大晶体管AMP、选择晶体管SEL、FD转换增益切换晶体管FDG和复位晶体管RST的第二基板200的像素共用单元539的外形由以下四个外边缘决定。

[0690] 第一外边缘是包括选择晶体管SEL和放大晶体管AMP的半导体层200S的在V方向上的一端(图83的纸面上侧的端部)的外边缘。第一外边缘设置在该像素共用单元539中所包括的放大晶体管AMP和与该像素共用单元539在V方向上的一侧(图83的纸面上侧)相邻的像素共用单元539中所包括的选择晶体管SEL之间。更具体地,第一外边缘设置在放大晶体管AMP与选择晶体管SEL之间的元件分离区域213的在V方向上的中央部中。第二外边缘是包括选择晶体管SEL和放大晶体管AMP的半导体层200S的在V方向上的另一端(图83的纸面下侧的端部)的外边缘。第二外边缘设置在该像素共用单元539中所包括的选择晶体管SEL和与该像素共用单元539在V方向上的另一侧(图83的纸面下侧)相邻的像素共用单元539中所包括的放大晶体管AMP之间。更具体地,第二外边缘设置在选择晶体管SEL与放大晶体管AMP之间的元件分离区域213的在V方向上的中央部中。第三外边缘是包括复位晶体管RST和FD转换增益切换晶体管FDG的半导体层200S的在V方向上的另一端(图83的纸面下侧的端部)的外边缘。第三外边缘设置在该像素共用单元539中所包括的FD转换增益切换晶体管FDG和与该像素共用单元539在V方向上的另一侧(图83的纸面下侧)相邻的像素共用单元539中所包括的复位晶体管RST之间。更具体地,第三外边缘设置在FD转换增益切换晶体管FDG与复位晶体管RST之间的元件分离区域213的在V方向上的中央部中。第四外边缘是包括复位晶体管RST和FD转换增益切换晶体管FDG的半导体层200S的在V方向上的一端(图83的纸面上侧的端部)的外边缘。第四外边缘设置在该像素共用单元539中所包括的复位晶体管RST和与该像素共用单元539在V方向上的一侧(图83的纸面上侧)相邻的像素共用单元539中所包括的FD转换增益切换晶体管FDG(未示出)之间。更具体地,第四外边缘设置在复位晶体管RST与FD转换增益切换晶体管FDG之间的元件分离区域213(未示出)的在V方向上的中央部中。

[0691] 在包括这种第一外边缘、第二外边缘、第三外边缘和第四外边缘的第二基板200的像素共用单元539的外形中,第三外边缘和第四外边缘设置成从第一外边缘和第二外边缘朝着在V方向上的一侧偏移(换言之,朝着在V方向上的一侧偏移)。通过使用这种布局,可以将放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极尽可能靠近焊盘部120设置。由此,可以更容易地减小与放大晶体管AMP的栅极和FD转换增益切换晶体管FDG的源极连接的配线的面积,并且可以更容易地使摄像装置1小型化。需要注意,VSS接触区域218设置在包括选择晶体管SEL和放大晶体管AMP的半导体层200S与包括复位晶体管RST和FD转换增益切换晶体管FDG的半导体层200S之间。例如,多个像素电路210具有彼此相同的布置。

[0692] 包括这种第二基板200的摄像装置1也实现了与上述实施例中所述的效果类似的效果。第二基板200的像素共用单元539的布置不限于上述实施例和本变形例中所述的布置。

[0693] <6.4.变形例3>

[0694] 图87至图92示出了根据上述实施例的摄像装置1的平面构造的变形例。图87示意性地示出了第一基板100的平面构造,并且对应于上述实施例中所述的图68B。图88示意性地示出了第二基板200的半导体层200S的正面附近的平面构造,并且对应于上述实施例中的

所述的图69。图89示意性地示出了第一配线层W1、连接至第一配线层W1的半导体层200S以及第一基板100的各个部件中的各者的构造,并且对应于上述实施例中所描述的图70。图90示出了第一配线层W1和第二配线层W2的平面构造的示例,并且对应于上述实施例中所描述的图71。图91示出了第二配线层W2和第三配线层W3的平面构造的示例,并且对应于上述实施例中所描述的图72。图92示出了第三配线层W3和第四配线层W4的平面构造的示例,并且对应于上述实施例中所描述的图73。

[0695] 在本变形例中,第二基板200的半导体层200S在H方向上延伸(图89)。即,本变形例基本上对应于通过将上述图82等所示的摄像装置1的平面构造旋转90度而获得的构造。

[0696] 例如,第一基板100的像素共用单元539以与上述实施例中所描述的情况类似的方式形成在2行×2列的像素区域上,并且具有大致正方形的平面形状(图87)。例如,在每个像素共用单元539中,一个像素行中的像素541A和像素541B的传输栅极TG1和TG2在V方向上朝向像素共用单元539的中央部延伸,并且另一个像素行中的像素541C和像素541D的传输栅极TG3和TG4在V方向上朝向像素共用单元539的外侧延伸。连接至浮动扩散部FD的焊盘部120设置在像素共用单元539的中央部中,并且连接至VSS接触区域118的焊盘部121至少在V方向上(在图87中的V方向和H方向上)设置在像素共用单元539的端部中。此时,传输栅极TG1和TG2的贯通电极TGV1和TGV2的在V方向上的位置接近贯通电极120E的在V方向上的位置,并且传输栅极TG3和TG4的贯通电极TGV3和TGV4的在V方向上的位置接近贯通电极121E的在V方向上的位置(图89)。因此,由于与上述实施例中所描述的原因类似的原因,可以增大在H方向上延伸的半导体层200S的宽度(在V方向上的尺寸)。由此,可以增大放大晶体管AMP的尺寸,并且可以抑制噪声。

[0697] 在每个像素电路210中,选择晶体管SEL和放大晶体管AMP沿着H方向并排布置,并且复位晶体管RST布置在隔着绝缘区域212在V方向上与选择晶体管SEL相邻的位置处(图88)。FD转换增益切换晶体管FDG在H方向上与复位晶体管RST并排设置。VSS接触区域218以岛状设置在绝缘区域212中。例如,第三配线层W3在H方向上延伸(图91),并且第四配线层W4在V方向上延伸(图92)。

[0698] 具有这种第二基板200的摄像装置1也实现了与上述实施例中所描述的效果类似的效果。第二基板200的像素共用单元539的布置不限于上述实施例和本变形例中所描述的布置。例如,在上述实施例和变形例1中所描述的半导体层200S可以在H方向上延伸。

[0699] <6.5. 变形例4>

[0700] 图93示意性地示出了根据上述实施例的摄像装置1的截面构造的变形例。图93对应于上述实施例中所描述的图64。在本变形例中,除接触部201、202、301和302以外,摄像装置1还包括接触部203、204、303和304。根据本变形例的摄像装置1在这一点上不同于上述实施例中所描述的摄像装置1。

[0701] 接触部203和204设置在第二基板200中,并且暴露于与第三基板300的接合表面。接触部303和304设置在第三基板300中,并且暴露于与第二基板200的接合表面。接触部203与接触部303接触,并且接触部204与接触部304接触。即,在摄像装置1中,第二基板200和第三基板300除通过接触部201、202、301和302以外,还通过接触部203、204、303和304彼此连接。

[0702] 接下来,使用图94和图95对摄像装置1的操作进行描述。图94示出了由箭头表示的

从外部输入至摄像装置1的输入信号、电源电位和基准电位的路径。图95示出了由箭头表示的从摄像装置1输出至外部的像素信号的信号路径。例如,经由输入部510A输入至摄像装置1的输入信号被传输至第三基板300的行驱动部520,并且在行驱动部520中产生行驱动信号。该行驱动信号经由接触部303和203传输至第二基板200。此外,该行驱动信号经由配线层200T中的行驱动信号线542到达像素阵列部540的每个像素共用单元539。到达第二基板200的像素共用单元539的行驱动信号之中的除传输栅极TG以外的驱动信号被输入至像素电路210,以驱动像素电路210中所包括的每个晶体管。传输栅极TG的驱动信号经由贯通电极TGV输入至第一基板100的传输栅极TG1、TG2、TG3和TG4,以驱动像素541A、541B、541C和541D。另外,从摄像装置1外部供应给第三基板300的输入部510A(输入端子511)的电源电位和基准电位经由接触部303和203传输至第二基板200,以经由配线层200T中的配线供应给每个像素共用单元539的像素电路210。基准电位进一步经由贯通电极121E供应给第一基板100的像素541A、541B、541C和541D。同时,在第一基板100的像素541A、541B、541C和541D中经光电转换的像素信号针对每个像素共用单元539传输至第二基板200的像素电路210。基于该像素信号的像素信号从像素电路210经由垂直信号线543以及接触部204和304传输至第三基板300。该像素信号在第三基板300的列信号处理器550和图像信号处理器560中被处理,然后经由输出部510B输出至外部。

[0703] 包括这种接触部203、204、303和304的摄像装置1也实现了与上述实施例中所述的效果类似的效果。可以根据经由接触部303和304的作为配线的连接对象的第三基板300的电路等的设计来改变接触部的位置和数量等。

[0704] <6.6.变形例5>

[0705] 图96示出了根据上述实施例的摄像装置1的截面构造的变形例。图96对应于上述实施例中所述的图67。在本变形例中,具有平面结构的传输晶体管TR设置在第一基板100中。根据本变形例的摄像装置1在这一点上不同于上述实施例中所述的摄像装置1。

[0706] 在传输晶体管TR中,传输栅极TG中仅包括水平部分TGb。换言之,传输栅极TG不包括垂直部分TGa,并且与半导体层100S相对地设置。

[0707] 包括具有这种平面结构的传输晶体管TR的摄像装置1也实现了与上述实施例中所述的效果类似的效果。此外,还可以构思,通过在第一基板100中设置平面型传输栅极TG,与在第一基板100中设置垂直型传输栅极TG的情况相比,可以使光电二极管PD形成成为更靠近半导体层100S的正面,从而使饱和信号量(Q_s)增加。另外,还可以构思,与在第一基板100中形成垂直型传输栅极TG的方法相比,在第一基板100中形成平面型传输栅极TG的方法涉及较少数量的制造工序,从而阻止光电二极管PD由于制造工序而受到不利影响。

[0708] <6.7.变形例6>

[0709] 图97示出了根据上述实施例的摄像装置的像素电路的变形例。图97对应于上述实施例中所述的图65。在本变形例中,针对每个像素(像素541A)设置像素电路210。即,像素电路210未由多个像素共用。根据本变形例的摄像装置1在这一点上不同于上述实施例中所述的摄像装置1。

[0710] 根据本变形例的摄像装置1与上述实施例中所述的摄像装置1的相同之处在于,像素541A和像素电路210设置在不同的基板(第一基板100和第二基板200)中。因此,根据本变形例的摄像装置1也能够实现与上述实施例中所述的效果类似的效果。

[0711] <6.8. 变形例7>

[0712] 图98示出了上述实施例中所描述的像素分离部117的平面构造的变形例。可以在包围像素541A、541B、541C和541D中的各者的像素分离部117中设置间隙。即,像素541A、541B、541C和541D中的各者的整个周边可以不被像素分离部117包围。例如,像素分离部117的间隙设置在焊盘部120和121附近(参见图68B)。

[0713] 在上述实施例中,已经描述了像素分离部117具有贯穿半导体层100S的FTI结构的示例(参见图67),然而,像素分离部117可以具有除FTI结构以外的结构。例如,像素分离部117可以不设置成完全贯穿半导体层100S,并且可以具有所谓的DTI(深沟槽隔离)结构。

[0714] <6.9. 适用例>

[0715] 图99示出了包括根据上述实施例及其变形例中任一者的摄像装置1的摄像系统7的概略构造的示例。

[0716] 例如,摄像系统7是包括诸如数码相机或摄像机等摄像装置或者诸如智能手机或平板型终端等便携式终端装置的电子设备。摄像系统7包括例如根据上述实施例及其变形例中的任一者的摄像装置1、DSP电路243、帧存储器244、显示单元245、存储单元246、操作单元247和电源单元248。在摄像系统7中,根据上述实施例及其变形例中的任一者的摄像装置1、DSP电路243、帧存储器244、显示单元245、存储单元246、操作单元247和电源单元248经由总线249彼此连接。

[0717] 根据上述实施例及其变形例中的任一者的摄像装置1输出对应于入射光的图像数据。DSP电路243是对从根据上述实施例及其变形例中的任一者的摄像装置1输出的信号(图像数据)进行处理的信号处理电路。帧存储器244以帧为单位暂时保持由DSP电路243处理后的图像数据。例如,显示单元245包括诸如液晶面板或有机EL(Electro Luminescence,电致发光)面板等面板型显示装置,并且显示由根据上述实施例及其变形例中的任一者的摄像装置1拍摄的运动图像或静止图像。存储单元246将由根据上述实施例及其变形例中的任一者的摄像装置1拍摄的运动图像或静止图像的图像数据记录在诸如半导体存储器或硬盘等记录介质中。操作单元247根据用户的操作发出用于摄像系统7的各种功能的操作命令。电源单元248将各种类型的操作电源适当地供应给作为供应对象的根据上述实施例及其变形例中的任一者的摄像装置1、DSP电路243、帧存储器244、显示单元245、存储单元246和操作单元247。

[0718] 接下来,对摄像系统7中的摄像过程进行描述。

[0719] 图100示出了摄像系统7中的摄像操作的流程图的示例。用户通过操作操作单元247来指示摄像开始(步骤S101)。然后,操作单元247将摄像命令传输至摄像装置1(步骤S102)。摄像装置1(具体地,系统控制电路36)在接收到摄像命令时以预定摄像方法执行摄像(步骤S103)。

[0720] 摄像装置1将通过摄像获得的图像数据输出至DSP电路243。如本文中所使用的,图像数据是指基于暂时保持在浮动扩散部FD中的电荷而产生的像素信号的所有像素的数据。DSP电路243基于从摄像装置1输入的图像数据进行预定信号处理(例如,降噪处理等)(步骤S104)。DSP电路243使帧存储器244保持已经进行了预定信号处理的图像数据,并且帧存储器244使存储单元246存储图像数据(步骤S105)。以这种方式,进行摄像系统7中的摄像。

[0721] 在本适用例中,将根据上述实施例及其变形例中的任一者的摄像装置1应用于摄

像系统7。由此,使得摄像装置1能够具有更小的尺寸或更高的清晰度,从而可以提供一种小型或高清晰度的摄像系统7。

[0722] <6.10.应用例>

[0723] [应用例1]

[0724] 根据本公开的技术(本技术)能够应用于各种产品。例如,根据本公开的技术可以安装在诸如汽车、电动汽车、混合动力电动汽车、摩托车、自行车、个人移动设备、飞机、无人机、船舶和机器人等任意种类的移动体上的装置的形式被实现。

[0725] 图101是示出了作为能够应用根据本公开实施例的技术的移动体控制系统的示例的车辆控制系统的示意性构造的示例的框图。

[0726] 车辆控制系统12000包括经由通信网络12001彼此连接的多个电子控制单元。在图101所示的示例中,车辆控制系统12000包括驱动系统控制单元12010、车身系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040和综合控制单元12050。另外,作为综合控制单元12050的功能构造,示出了微型计算机12051、声音/图像输出部12052和车载网络接口(I/F)12053。

[0727] 驱动系统控制单元12010根据各种程序控制与车辆的驱动系统有关的装置的操作。例如,驱动系统控制单元12010用作以下装置的控制装置:诸如内燃机或驱动电机等用于产生车辆驱动力的驱动力产生装置;用于将驱动力传递至车轮的驱动力传递机构;用于调节车辆的转向角的转向机构;以及用于产生车辆制动力的制动装置等。

[0728] 车身系统控制单元12020根据各种程序控制设置在车体上的各种装置的操作。例如,车身系统控制单元12020用作无钥匙进入系统、智能钥匙系统、电动窗装置、或诸如车头灯、车尾灯、刹车灯、转向信号灯或雾灯等各种灯的控制装置。在这种情况下,能够将从替代钥匙的移动装置传输的无线电波或各种开关的信号输入至车身系统控制单元12020。车身系统控制单元12020接收这些输入的无线电波或信号,并且控制车辆的门锁装置、电动窗装置或灯等。

[0729] 车外信息检测单元12030检测包括车辆控制系统12000的车辆外部的信息。例如,车外信息检测单元12030与摄像部12031连接。车外信息检测单元12030使摄像部12031对车辆外部的图像进行摄像,并且接收摄像的图像。基于接收到的图像,车外信息检测单元12030可以进行诸如人、车辆、障碍物、标志或路面上的文字等物体的检测处理,或者可以进行与上述物体之间的距离的检测处理。

[0730] 摄像部12031是用于接收光并且输出与接收的光的光量相对应的电气信号的光学传感器。摄像部12031能够将电气信号作为图像输出,或者能够将电气信号作为测距信息输出。另外,由摄像部12031接收的光可以是可见光,或者可以是诸如红外线等不可见光。

[0731] 车内信息检测单元12040检测车辆内部的信息。车内信息检测单元12040例如与用于检测驾驶员的状态的驾驶员状态检测部12041连接。例如,驾驶员状态检测部12041包括用于对驾驶员进行摄像的相机。基于从驾驶员状态检测部12041输入的检测信息,车内信息检测单元12040可以计算驾驶员的疲劳程度或驾驶员的专注程度,或者可以判断驾驶员是否正在打瞌睡。

[0732] 基于由车外信息检测单元12030或车内信息检测单元12040获得的车辆外部或内部的信息,微型计算机12051能够计算驱动力产生装置、转向机构或制动装置的控制目标

值,并且能够将控制命令输出至驱动系统控制单元12010。例如,微型计算机12051能够进行旨在实现高级驾驶员辅助系统(ADAS:Advanced Driver Assistance System)功能的协同控制,该功能包括车辆的碰撞规避或冲击缓和、基于车间距离的跟车驾驶、车速保持驾驶、车辆碰撞警告或车辆偏离车道警告等。

[0733] 另外,基于由车外信息检测单元12030或车内信息检测单元12040获得的车辆外部或内部的信息,微型计算机12051能够通过控制驱动力产生装置、转向机构或制动装置等来进行旨在自动驾驶等的协同控制,自动驾驶使车辆自主行驶而不依赖于驾驶员的操作。

[0734] 另外,基于由车外信息检测单元12030获得的车辆外部的信息,微型计算机12051能够将控制命令输出至车身系统控制单元12020。例如,通过例如根据由车外信息检测单元12030检测到的前行驶车辆或对向车辆的位置来控制车头灯以从远光变为近光,微型计算机12051能够进行旨在防止眩光的协同控制。

[0735] 声音/图像输出部12052将声音和图像中的至少一者的输出信号传输至输出装置,该输出装置能够将信息以视觉或听觉的方式通知车辆的乘员或车辆的外部。在图101的示例中,作为输出装置,示出了音频扬声器12061、显示部12062和仪表盘12063。例如,显示部12062可以包括车载显示器和平视显示器中的至少一者。

[0736] 图102是示出了摄像部12031的安装位置的示例的图。

[0737] 在图102中,摄像部12031包括摄像部12101、12102、12103、12104和12105。

[0738] 摄像部12101、12102、12103、12104和12105例如被设置于车辆12100的前鼻、侧视镜、后保险杠和后门上的位置处以及车内挡风玻璃的上部位置处。设置于前鼻上的摄像部12101和设置于车内挡风玻璃的上部上的摄像部12105主要获得车辆12100前方的图像。设置于侧视镜上的摄像部12102和12103主要获得车辆12100侧面的图像。设置于后保险杠或后门上的摄像部12104主要获得车辆12100后方的图像。设置于车内挡风玻璃的上部上的摄像部12105主要用于检测前行驶车辆、行人、障碍物、交通信号灯、交通标志或车道等。

[0739] 顺便提及,图102示出了摄像部12101~12104的摄影范围的示例。摄像范围12111表示设置于前鼻上的摄像部12101的摄像范围。摄像范围12112和12113分别表示设置于侧视镜上的摄像部12102和12103的摄像范围。摄像范围12114表示设置于后保险杠或后门上的摄像部12104的摄像范围。例如,通过将由摄像部12101~12104摄像的图像数据叠加,获得了从上方观察的车辆12100的鸟瞰图像。

[0740] 摄像部12101~12104中的至少一者可以具有获得距离信息的功能。例如,摄像部12101~12104中的至少一者可以由多个摄像元件构成的立体相机,或者可以是具有用于相位差检测的像素的摄像元件。

[0741] 例如,基于从摄像部12101~12104获得的距离信息,微型计算机12051能够求出与摄像范围12111~12114内的每个三维物体之间的距离以及该距离的时间变化(相对于车辆12100的相对速度),由此特别地提取如下的最近三维物体作为前行驶车辆:该三维物体存在于车辆12100的行驶路径上,并且在与车辆12100大致相同的方向上以预定速度(例如,大于或等于0km/h)行驶。此外,微型计算机12051能够预先设定在前行驶车辆的前方要保持的车间距离,并且能够进行自动制动控制(包括跟随停止控制)或自动加速控制(包括跟随启动控制)等。因此,可以进行旨在使车辆不依赖于驾驶员的操作而自主行驶的自动驾驶等的协同控制。

[0742] 例如,基于从摄像部12101~12104获得的距离信息,微型计算机12051能够将关于三维物体的三维物体数据分类为两轮车辆、标准尺寸车辆、大型车辆、行人、电线杆和其他三维物体的三维物体数据,提取分类后的三维物体数据,并且使用提取的三维物体数据以自动规避障碍物。例如,微型计算机12051将车辆12100周围的障碍物识别为车辆12100的驾驶员能够视觉识别的障碍物和车辆12100的驾驶员难以视觉识别的障碍物。然后,微型计算机12051判断表示与每个障碍物碰撞的风险的碰撞风险。在碰撞风险等于或高于设定值并因此存在碰撞可能性的情况下,微型计算机12051经由音频扬声器12061或显示部12062向驾驶员输出警告,并且经由驱动系统控制单元12010进行强制减速或规避转向。由此,微型计算机12051能够辅助驾驶以规避碰撞。

[0743] 摄像部12101~12104中的至少一者可以是用于检测红外线的红外相机。例如,微型计算机12051能够通过判断摄像部12101~12104的摄像图像中是否存在行人来识别行人。例如,通过如下的过程进行这种行人识别:在作为红外相机的摄像部12101至12104的摄像图像中提取特征点的过程;以及通过对表示物体轮廓的一系列特征点进行图案匹配处理来判断是否是行人的过程。当微型计算机12051判断摄像部12101~12104的摄像图像中存在行人并因此识别出行人时,声音/图像输出部12052控制显示部12062,使得以叠加在识别出的行人上的方式显示用于强调的方形轮廓线。声音/图像输出部12052还可以控制显示部12062,使得在期望的位置处显示表示行人的图标等。

[0744] 在上文中,已经描述了可以应用根据本公开的技术的移动体控制系统的的一个示例。根据本公开的技术可以应用于上述构造之中的摄像部12031。具体地,根据上述实施例及其变形例中的任一者的摄像装置1能够应用于摄像部12031。通过将根据本公开的技术应用于摄像部12031,能够获得具有较少噪声的高清晰度的拍摄图像,从而可以在移动体控制系统中利用拍摄图像进行高精度的控制。

[0745] [应用例2]

[0746] 图103是示出了能够应用根据本公开实施例的技术(本技术)的内窥镜手术系统的示意性构造的示例的图。

[0747] 在图103中,示出了外科医生(医师)11131正在使用内窥镜手术系统11000对病床11133上的患者11132进行手术的状态。如图所示,内窥镜手术系统11000包括内窥镜11100、诸如气腹管11111和能量装置11112等的其他手术工具11110、支撑内窥镜11100的支撑臂装置11120和安装有用于内窥镜手术的各种装置的推车11200。

[0748] 内窥镜11100包括:镜筒11101,从镜筒11101的远端起具有预定长度的区域被插入患者11132的体腔中;以及摄像头11102,其连接至镜筒11101的近端。在所示的示例中,将内窥镜11100示出为包括具有硬型镜筒11101的刚性内窥镜。然而,内窥镜11100可以另外地包括具有柔型镜筒11101的柔性内窥镜。

[0749] 镜筒11101在其远端处具有开口部,在该开口部中安装有物镜。光源装置11203连接至内窥镜11100,使得由光源装置11203产生的光通过在镜筒11101内部延伸的导光件被引入至镜筒11101的远端,并且该光通过物镜朝向患者11132的体腔中的观察对象照射。需要注意,内窥镜11100可以是前视内窥镜,或者可以是斜视内窥镜或侧视内窥镜。

[0750] 在摄像头11102内部设置有光学系统和摄像元件,使得来自观察对象的反射光(观察光)通过光学系统被会聚在摄像元件上。观察光通过摄像元件进行光电转换,以产生对应

于观察光的电气信号,即,对应于观察图像的图像信号。该图像信号作为RAW数据被传输至CCU 11201。

[0751] CCU 11201包括中央处理单元(CPU:Central Processing Unit)或图形处理单元(GPU:Graphics Processing Unit)等,并且CCU 11201整体地控制内窥镜11100和显示装置11202的操作。此外,CCU 11201接收来自摄像头11102的图像信号,并且例如对该图像信号进行诸如显像处理(去马赛克处理)等各种图像处理以显示基于该图像信号的图像。

[0752] 在CCU 11201的控制下,显示装置11202在其上显示基于已经由CCU 11201进行了图像处理的图像信号的图像。

[0753] 例如,光源装置11203包括诸如发光二极管(LED:Light Emitting Diode)等光源,并且将在对手术部位进行摄像时的照射光供应给内窥镜11100。

[0754] 输入装置11204是内窥镜手术系统11000的输入接口。用户能够经由输入装置11204将各种信息或指令输入至内窥镜手术系统11000。例如,用户可以输入指令等以改变内窥镜11100的摄像条件(照射光的类型、放大倍率或焦距等)。

[0755] 治疗工具控制装置11205控制用于组织烧灼或切割、或血管封止等的能量装置11112的驱动。为了确保内窥镜11100的视野并确保外科医生的工作空间,气腹装置11206通过气腹管11111将气体馈送至患者11132的体腔中以使体腔膨胀。记录仪11207是能够记录与手术有关的各种信息的装置。打印机11208是能够以诸如文本、图像或图表等各种形式打印与手术有关的各种信息的装置。

[0756] 需要注意,将在对手术部位进行摄像时的照射光供应给内窥镜11100的光源装置11203可以包括白色光源,该白色光源例如包括LED、激光光源或二者的组合。在白色光源包括红色、绿色和蓝色(RGB)激光光源的组合的情况下,由于能够针对每种颜色(每种波长)高精度地控制输出强度和输出时序,因此光源装置11203能够进行拍摄图像的白平衡调节。此外,在这种情况下,如果来自各个RGB激光光源的激光束以时分方式照射在观察对象上并且以与照射时序同步的方式控制摄像头11102的摄像元件的驱动,则也能够以时分方式对分别与R、G和B颜色相对应的图像进行拍摄。根据该方法,即使针对摄像元件没有设置彩色滤光片,也能够获得彩色图像。

[0757] 此外,可以在每个预定时间改变待输出的光的强度的方式来控制光源装置11203。通过与光强度的变化的时序同步的方式控制摄像头11102的摄像元件的驱动以便以时分的方式获取图像并且合成图像,能够产生没有曝光不足的遮挡阴影和曝光过度的高光的高动态范围图像。

[0758] 此外,光源装置11203可以被构造成供应为特殊光观察准备的预定波段的光。在特殊光观察中,例如,通过利用身体组织中光吸收的波长依赖性来照射与普通观察时的照射光(即白光)相比的窄带光,能够执行以高对比度对诸如粘膜的表层部分的血管等预定组织进行摄像的窄带观察(窄带摄像)。可替代地,在特殊光观察中,可以进行荧光观察,以根据通过激发光的照射而产生的荧光来获得图像。在荧光观察中,可以通过将激发光照射在身体组织上来进行来自身体组织的荧光的观察(自发荧光观察),或者可以通过将诸如吲哚菁绿(ICG)等试剂局部地注入到身体组织中并将与该试剂的荧光波长相对应的激发光照射在该身体组织上来获得荧光图像。光源装置11203可以被构造成供应适合于如上所述的特殊光观察的这种窄带光和/或激发光。

- [0759] 图104是示出了图103所示的摄像头11102和CCU 11201的功能构造的示例的框图。
- [0760] 摄像头11102包括透镜单元11401、摄像单元11402、驱动单元11403、通信单元11404和摄像头控制单元11405。CCU 11201包括通信单元11411、图像处理单元11412和控制单元11413。摄像头11102和CCU11201通过传输电缆11400彼此可通信地连接。
- [0761] 透镜单元11401是设置在与镜筒11101的连接位置处的光学系统。从镜筒11101的远端获取的观察光被引导至摄像头11102,并且被引入至透镜单元11401中。透镜单元11401包括多个透镜的组合,该多个透镜包括变焦透镜和聚焦透镜。
- [0762] 摄像单元11402所包括的摄像元件的数量可以是一个(单板型)或多个(多板型)。例如,在摄像单元11402被构造为多板型摄像单元的情况下,摄像元件产生分别与R、G和B相对应的图像信号,并且可以合成这些图像信号以获得彩色图像。摄像单元11402还可以被构造为具有一对摄像元件,以分别获取为三维(3D)显示准备的右眼用图像信号和左眼用图像信号。如果进行3D显示,则外科医生11131能够更准确地掌握手术部位中的活体组织的深度。需要注意,在摄像单元11402被构造为立体型摄像元件的情况下,以与各个摄像元件相对应的方式设置多个系统的透镜单元11401。
- [0763] 此外,摄像单元11402可以不必设置在摄像头11102上。例如,摄像单元11402可以在镜筒11101内部紧接在物镜后方设置。
- [0764] 驱动单元11403包括致动器,并且在摄像头控制单元11405的控制下,驱动单元11403使透镜单元11401的变焦透镜和聚焦透镜沿着光轴移动预定距离。因此,能够适当地调节摄像单元11402拍摄的图像的放大倍率和焦点。
- [0765] 通信单元11404包括通信装置,以将各种信息传输至CCU 11201并且从CCU 11201接收各种信息。通信单元11404通过传输电缆11400将从摄像单元11402获取的图像信号作为RAW数据传输至CCU 11201。
- [0766] 另外,通信单元11404从CCU 11201接收用于控制摄像头11102的驱动的控制信号,并且将该控制信号供应给摄像头控制单元11405。例如,控制信号包括与摄像条件有关的信息,诸如指定拍摄图像的帧速率的信息、指定摄像时的曝光值的信息和/或指定拍摄图像的放大倍率和焦点的信息等。
- [0767] 需要注意,诸如帧速率、曝光值、放大倍率或焦点等摄像条件可以由用户指定,或者可以由CCU 11201的控制单元11413基于获取的图像信号来自动设定。在后一种情况下,可以将自动曝光(AE:Auto Exposure)功能、自动聚焦(AF:Auto Focus)功能和自动白平衡(AWB:Auto White Balance)功能并入内窥镜11100中。
- [0768] 摄像头控制单元11405基于通过通信单元11404接收的来自CCU11201的控制信号来控制摄像头11102的驱动。
- [0769] 通信单元11411包括通信装置,以将各种信息传输至摄像头11102并且从摄像头11102接收各种信息。通信单元11411通过传输电缆11400接收从摄像头11102传输至此的图像信号。
- [0770] 此外,通信单元11411将用于控制摄像头11102的驱动的控制信号传输至摄像头11102。图像信号和控制信号能够通过电气通信或光学通信等进行传输。
- [0771] 图像处理单元11412对从摄像头11102传输至此的RAW数据形式的图像信号进行各种图像处理。

[0772] 控制单元11413进行与内窥镜11100对手术部位等的摄像和通过对手术部位等的摄像而获得的拍摄图像的显示有关的各种控制。例如,控制单元11413产生用于控制摄像头11102的驱动的控制信号。

[0773] 此外,控制单元11413基于已经由图像处理单元11412进行了图像处理的图像信号来控制显示装置11202,以显示对手术部位等进行摄像的拍摄图像。于是,控制单元11413可以使用各种图像识别技术来识别拍摄图像中的各种物体。例如,控制单元11413能够通过检测拍摄图像中所包括的物体的边缘的形状和颜色等来识别诸如钳子等手术工具、特定的活体部位、出血和使用能量装置11112时的薄雾等。当控制显示装置11202以显示拍摄图像时,控制单元11413可以利用识别结果使各种手术支持信息以重叠方式与手术部位的图像一起显示。在以重叠方式显示手术支持信息并将其呈现给外科医生11131的情况下,可以减轻外科医生11131的负担,并且外科医生11131能够确定无疑地进行手术。

[0774] 将摄像头11102和CCU 11201彼此连接的传输电缆11400是为电气信号的通信准备的电气信号电缆、为光学通信准备的光纤或为电气通信和光学通信两者准备的复合电缆。

[0775] 在此,虽然在所示的示例中,通过使用传输电缆11400的有线通信来进行通信,但是可以通过无线通信进行摄像头11102与CCU 11201之间的通信。

[0776] 上面已经描述了能够应用根据本公开的技术的内窥镜手术系统的一个示例。根据本公开的技术例如能够适当地应用于上述构造之中的设置在内窥镜11100的摄像头11102中的摄像单元11402。通过将根据本公开的技术应用于摄像单元11402,使得摄像单元11402能够小型化或者具有更高的清晰度,从而可以提供小型或高清晰度的内窥镜11100。

[0777] 尽管在上文中已经参照第一至第三实施例、变形例和具体示例描述了根据本公开的技术。然而,根据本公开的技术不限于上述实施例等,而是可以进行各种变形。

[0778] 此外,作为本公开的构成要素和操作,各个实施例中所所述的构成要素和操作并非全部是必需的。例如,在各个实施例的构成要素之中,未记载在表示本公开的最上位概念的任一独立权利要求中的那些构成要素被认为是任意的构成要素。

[0779] 贯穿本说明书和所附权利要求使用的术语应被解释为“开放式”术语。例如,术语“包括”及其语法变体旨在是非限制性的,使得列表中项目的记载不排除可以替代或添加到所列项目的其他类似项目。术语“具有”及其语法变体旨在是非限制性的,使得列表中项目的记载不排除可以替代或添加到所列项目的其他类似项目。

[0780] 需要注意,本文中使用的术语包括仅为了方便描述而使用的术语,并且不限制构造和操作。例如,术语“右”、“左”、“上”和“下”仅表示所参照的附图中的方向。此外,术语“内侧”和“外侧”分别表示朝向关注要素的中心的中心和远离关注要素的中心的中心的方向。这同样适用于与其类似的术语和具有类似含义的术语。

[0781] 需要注意,根据本公开的技术也可以具有以下构造。根据具有以下构造的本公开的技术,在包括堆叠有第二绝缘层的第二半导体基板的第二基板中,可以降低第二绝缘层中所包括的配线或第二半导体基板周围的空间的介电常数。因此,根据本公开的技术可以减小由摄像装置的三维结构产生的电容分量,从而可以提高摄像装置的特性。由根据本公开的技术实现的效果不一定限于本文中所述的效果,并且可以是本公开中所述的任一效果。

[0782] (1) 一种摄像装置,其包括:

- [0783] 第一基板,其包括进行光电转换的传感器像素;
- [0784] 第二基板,其包括基于从所述传感器像素输出的电荷而输出像素信号的像素电路;以及
- [0785] 第三基板,其包括对所述像素信号进行信号处理的处理电路,
- [0786] 所述第一基板、所述第二基板和所述第三基板依次堆叠,并且
- [0787] 在从所述传感器像素读出电荷至输出所述像素信号为止的电路周围的至少任一区域中设置有低介电常数区域。
- [0788] (2) 根据(1)所述的摄像装置,其中
- [0789] 所述传感器像素包括:光电转换元件;传输晶体管,其电气连接至所述光电转换元件;以及浮动扩散部,其暂时保持从所述光电转换元件经由所述传输晶体管输出的所述电荷,并且
- [0790] 所述像素电路包括:复位晶体管,其将所述浮动扩散部的电位复位为预定电位;放大晶体管,其产生与保持在所述浮动扩散部中的所述电荷的电平相对应的电压的信号作为所述像素信号;以及选择晶体管,其控制来自所述放大晶体管的所述像素信号的输出时序。
- [0791] (3) 根据(2)所述的摄像装置,其中
- [0792] 所述第一基板包括第一半导体基板,所述第一半导体基板包括在正面侧的所述光电转换元件、所述传输晶体管和所述浮动扩散部,
- [0793] 所述第二基板包括第二半导体基板,所述第二半导体基板包括在正面侧的所述复位晶体管、所述放大晶体管和所述选择晶体管,并且
- [0794] 所述第二基板以所述第二半导体基板的与所述正面相反的背面侧面对所述第一半导体基板的所述正面侧的方式附接。
- [0795] (4) 根据(3)所述的摄像装置,其中
- [0796] 所述传感器像素和所述像素电路通过贯通配线彼此电气连接,所述贯通配线设置在贯穿所述第二半导体基板的贯通孔内部,并且
- [0797] 所述低介电常数区域至少设置在所述贯通孔内部的所述贯通配线周围的区域中。
- [0798] (5) 根据(4)所述的摄像装置,其中,所述贯通配线将所述浮动扩散部和所述放大晶体管彼此电气连接。
- [0799] (6) 根据(4)或(5)所述的摄像装置,其中
- [0800] 所述第一基板针对每个所述传感器像素包括所述光电转换元件和所述传输晶体管,并且包括由每多个所述传感器像素共用的所述浮动扩散部,
- [0801] 所述第二基板针对共用所述浮动扩散部的每多个所述传感器像素包括所述像素电路,并且
- [0802] 所述贯通配线将由每多个所述传感器像素共用的所述浮动扩散部和所述放大晶体管彼此电气连接。
- [0803] (7) 根据(4)至(6)中任一项所述的摄像装置,其中,所述低介电常数区域至少设置在所述贯通配线与所述第二半导体基板之间的区域中。
- [0804] (8) 根据(7)所述的摄像装置,其中,所述低介电常数区域设置在遍及整个周边的包围所述贯通配线的区域中。
- [0805] (9) 根据(4)至(8)中任一项所述的摄像装置,其中,所述低介电常数区域设置在沿

着所述贯通孔的内周的区域中。

[0806] (10) 根据(9)所述的摄像装置,其中,所述低介电常数区域设置在相当于所述贯通孔的内侧表面上的侧壁的区域中。

[0807] (11) 根据(9)或(10)所述的摄像装置,其中,在所述贯通孔内部设置有多个所述贯通配线。

[0808] (12) 根据(4)至(11)中任一项所述的摄像装置,其中,所述低介电常数区域设置在所述复位晶体管、所述放大晶体管和所述选择晶体管之中的任一者以上的侧方的区域中。

[0809] (13) 根据(12)所述的摄像装置,其中,所述低介电常数区域至少设置在与所述第二半导体基板的侧方相对应的区域中。

[0810] (14) 根据(13)所述的摄像装置,其中,所述低介电常数区域设置在由绝缘材料包围的区域中,所述绝缘材料具有与用于填充所述贯通孔的绝缘材料不同的蚀刻速率。

[0811] (15) 根据(4)至(14)中任一项所述的摄像装置,其中,所述低介电常数区域设置在所述复位晶体管、所述放大晶体管和所述选择晶体管之中的任一者以上的下方的区域中。

[0812] (16) 根据(15)所述的摄像装置,其中,在沿着堆叠方向的平面图的情况下,所述低介电常数区域至少设置在如下平面区域中:其中,设置在所述第二半导体基板中的所述放大晶体管和设置在所述第一半导体基板中的所述传输晶体管的栅极电极彼此重叠。

[0813] (17) 根据(15)或(16)所述的摄像装置,其中,所述低介电常数区域设置成与所述第二半导体基板的所述背面相邻。

[0814] (18) 根据(4)至(17)中任一项所述的摄像装置,其中,所述低介电常数区域设置在所述第二基板中所设置的配线之中的与所述贯通配线电气连接的配线周围的区域中。

[0815] (19) 根据(1)至(18)中任一项所述的摄像装置,其中,所述低介电常数区域具有矩形平面形状。

[0816] (20) 根据(1)至(19)中任一项所述的摄像装置,其中,所述低介电常数区域包括空隙区域。

[0817] 本申请要求2019年6月26日向日本专利局提交的日本专利申请JP2019-118647的优先权权益,将其全部内容通过引用并入本文中。

[0818] 本领域技术人员应当理解,根据设计要求和因素,可以进行各种修改、组合、次组合和变更,只要这些修改、组合、次组合和变更在所附权利要求或其等同物的范围内。

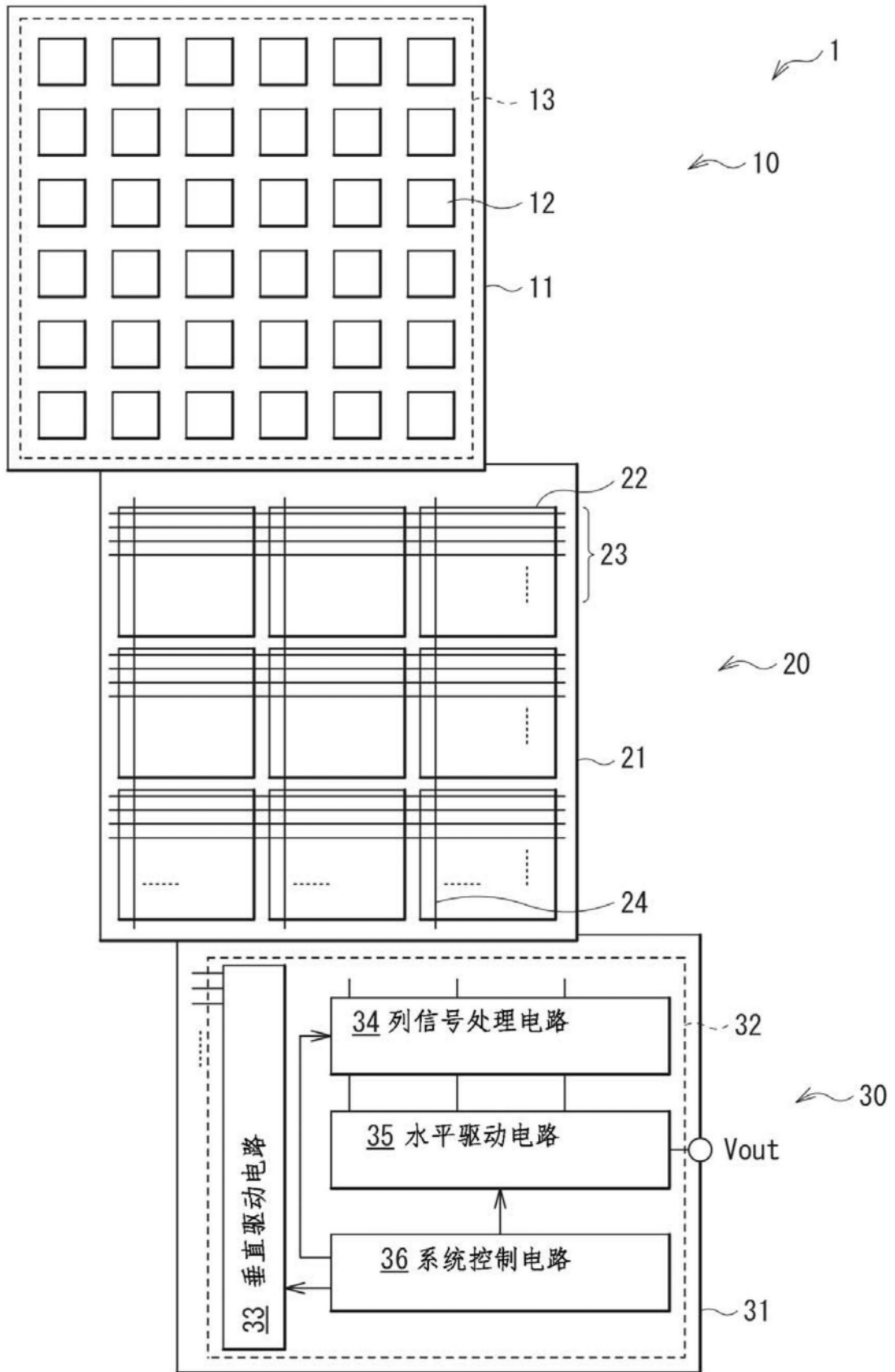


图1

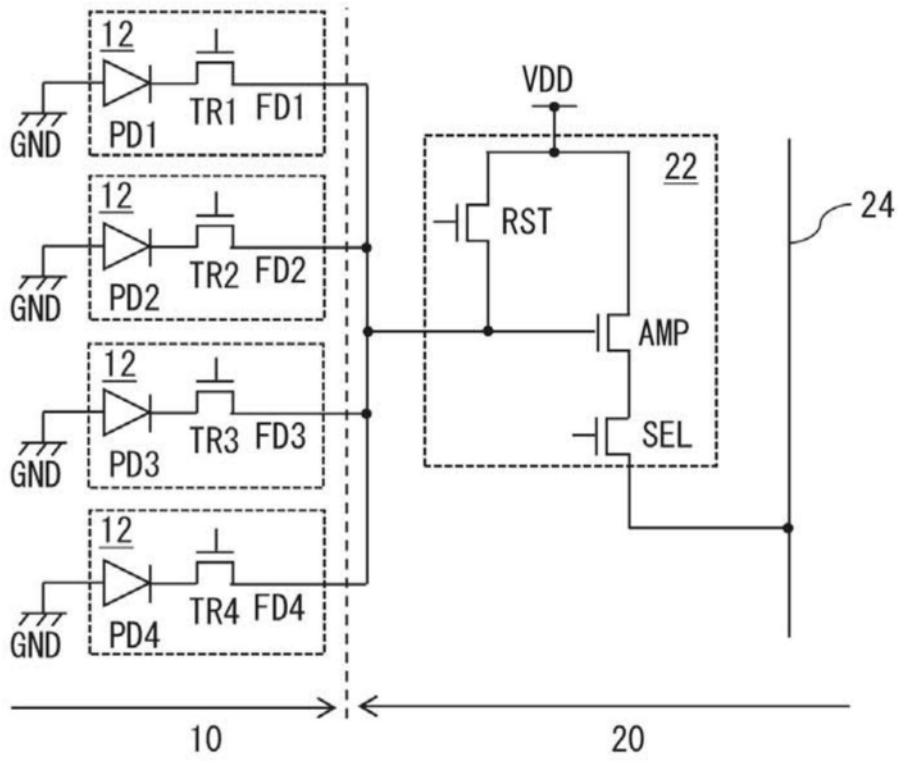


图2

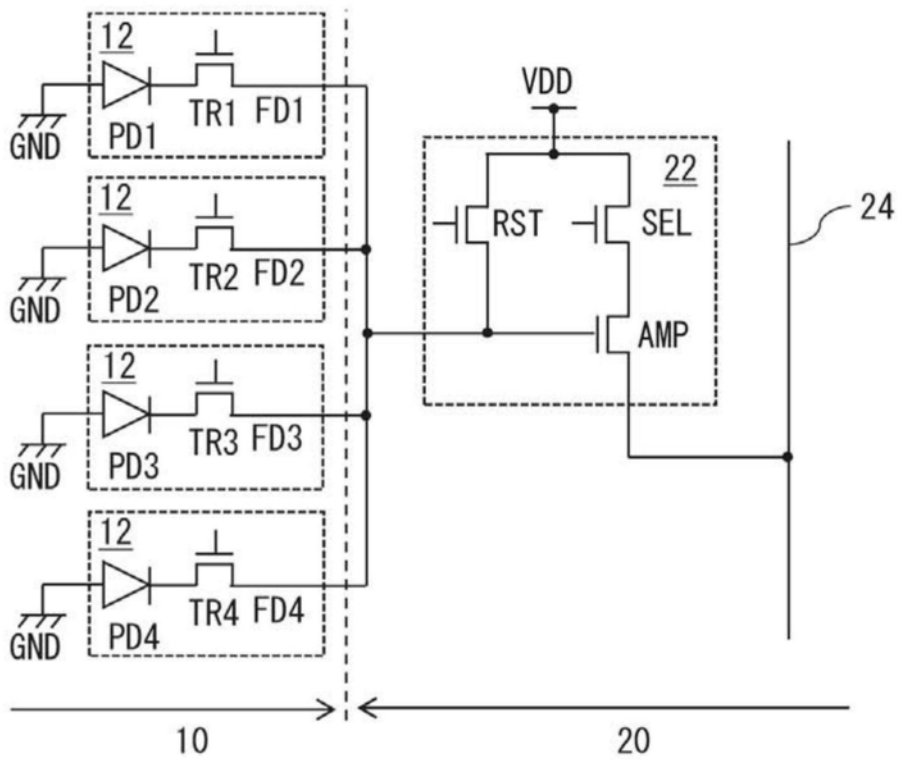


图3

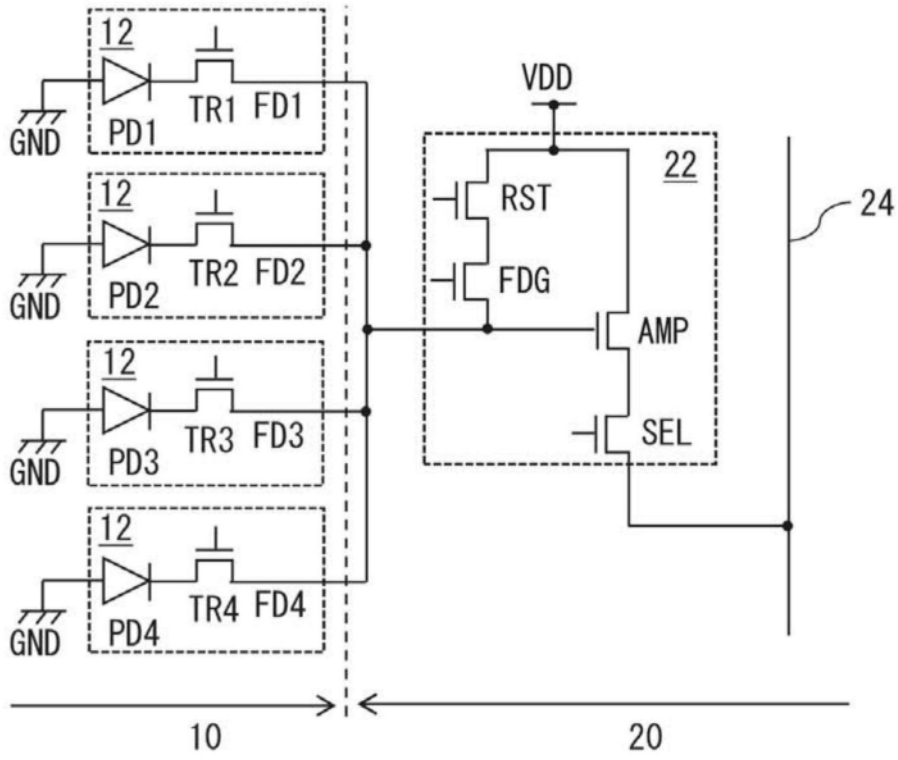


图4

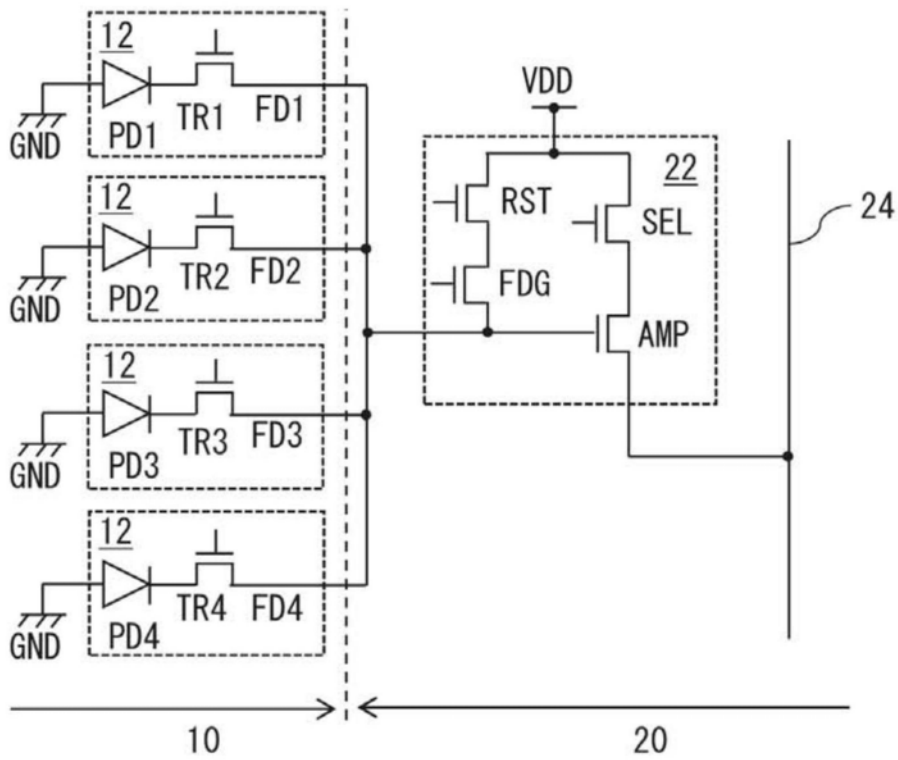


图5

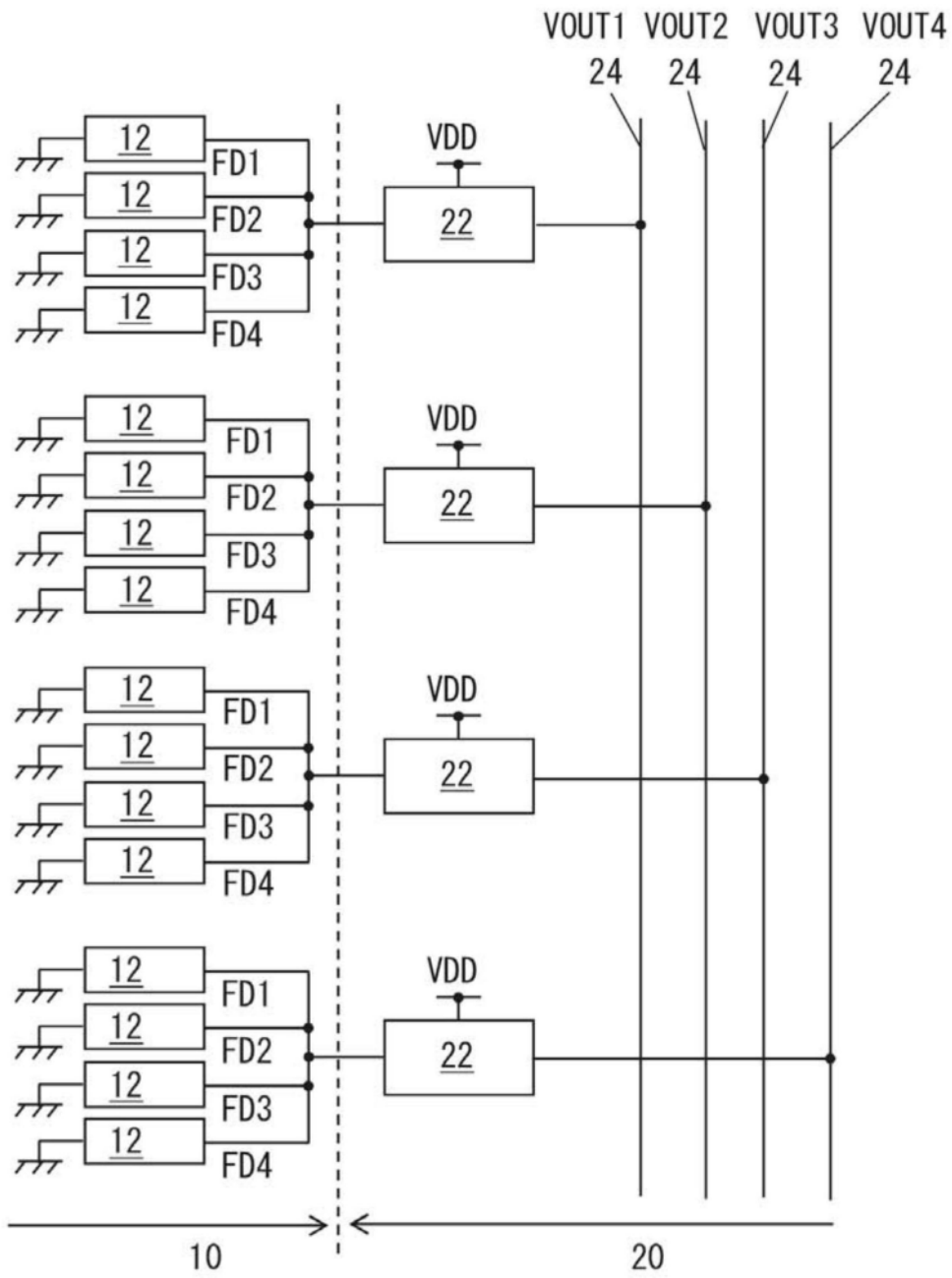


图6

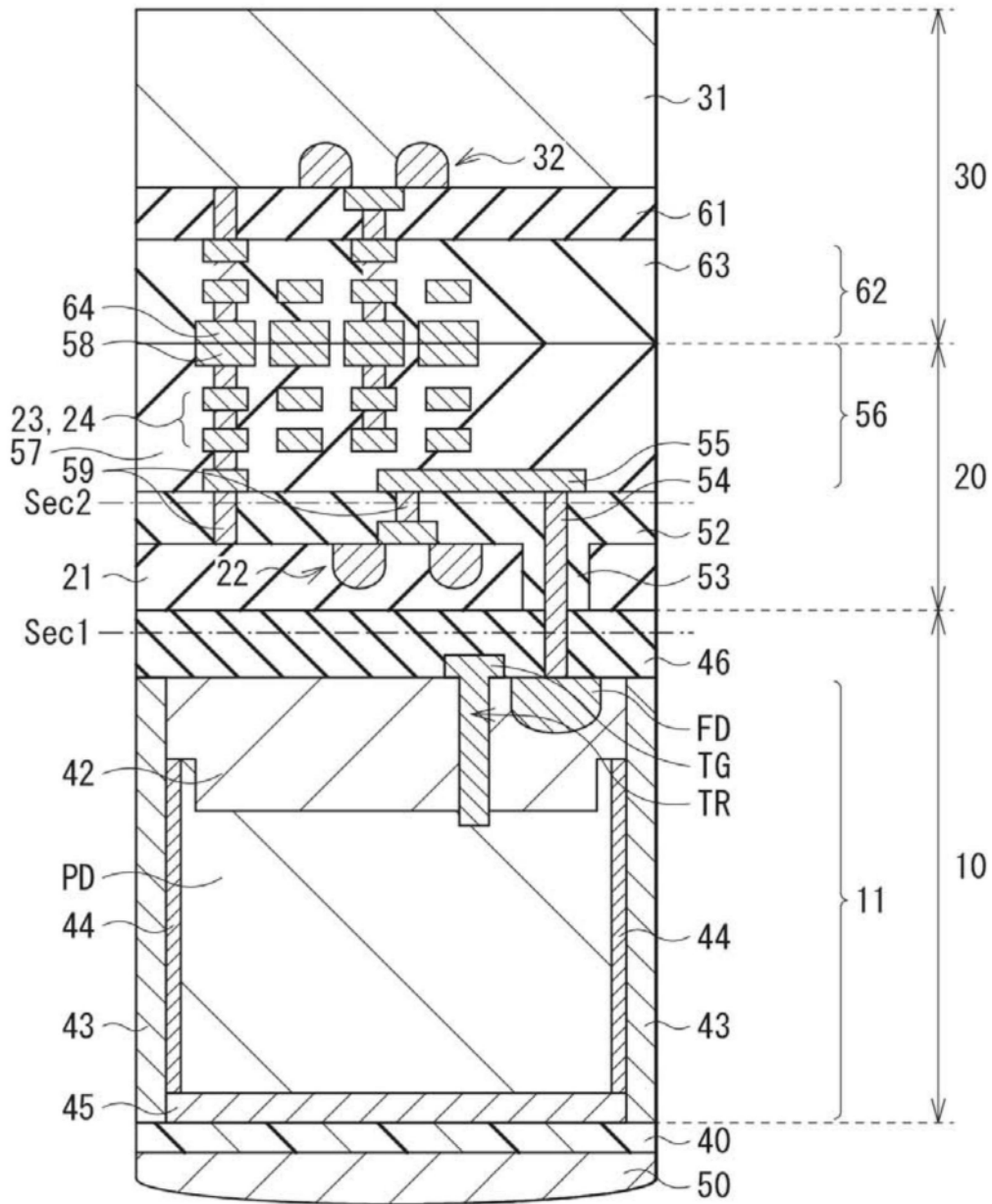


图7

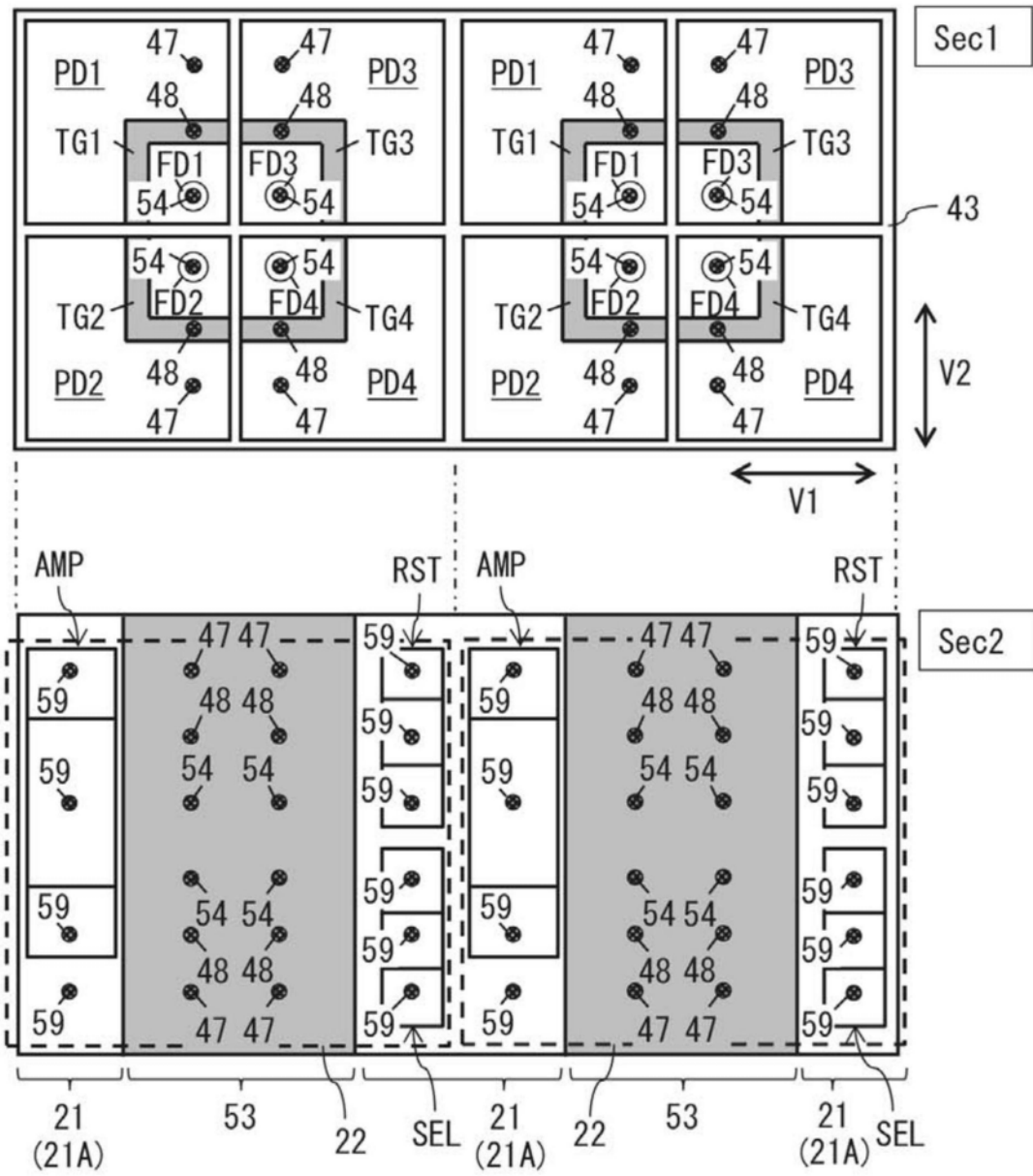


图8

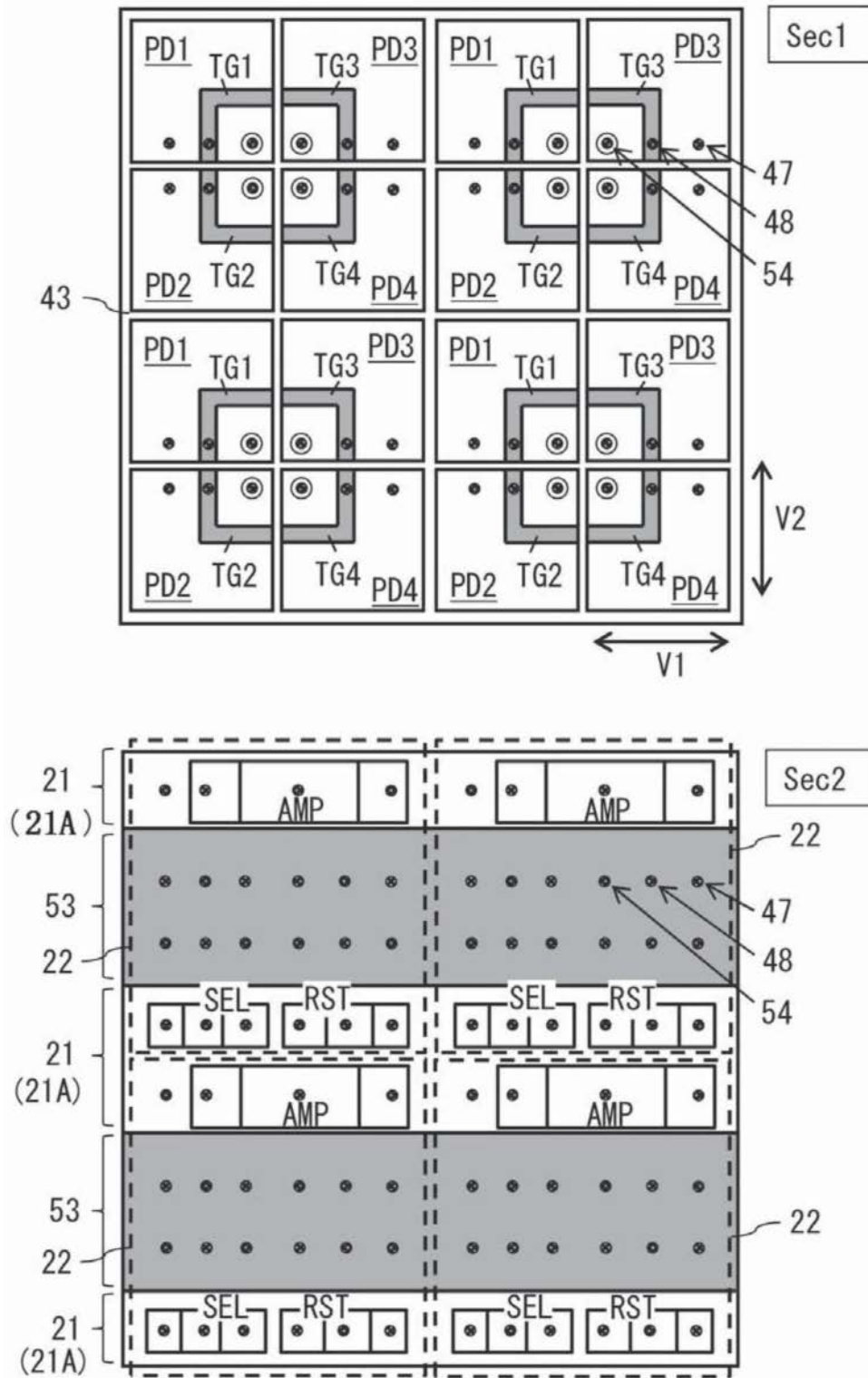


图9

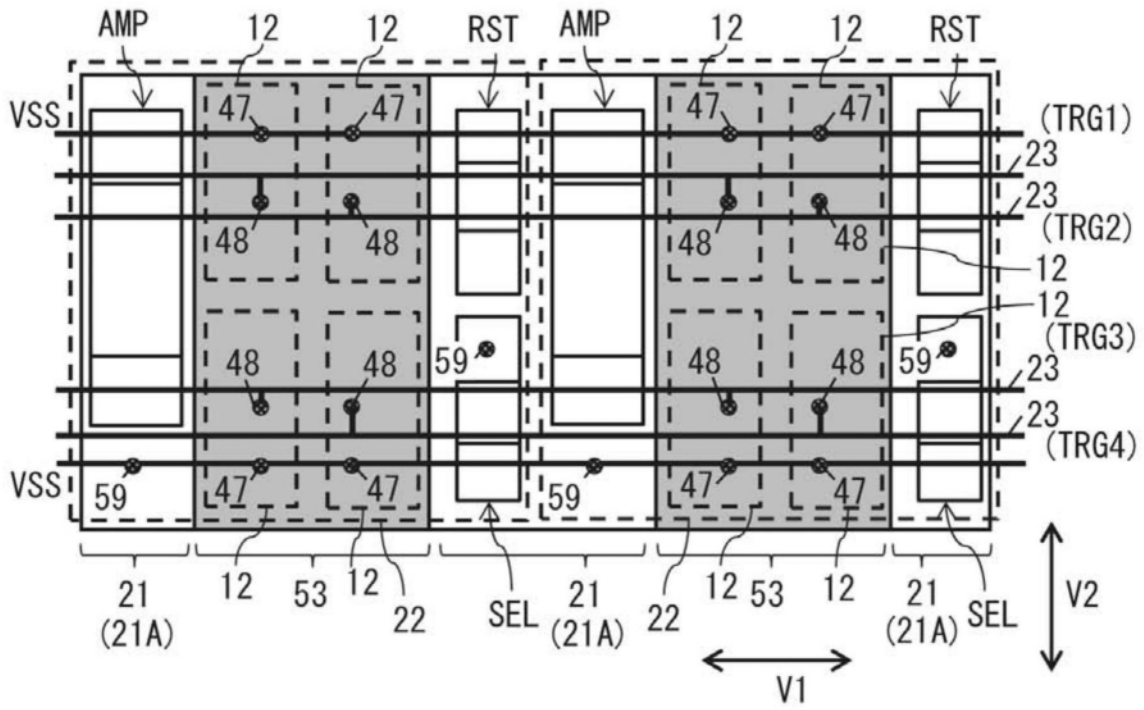


图12

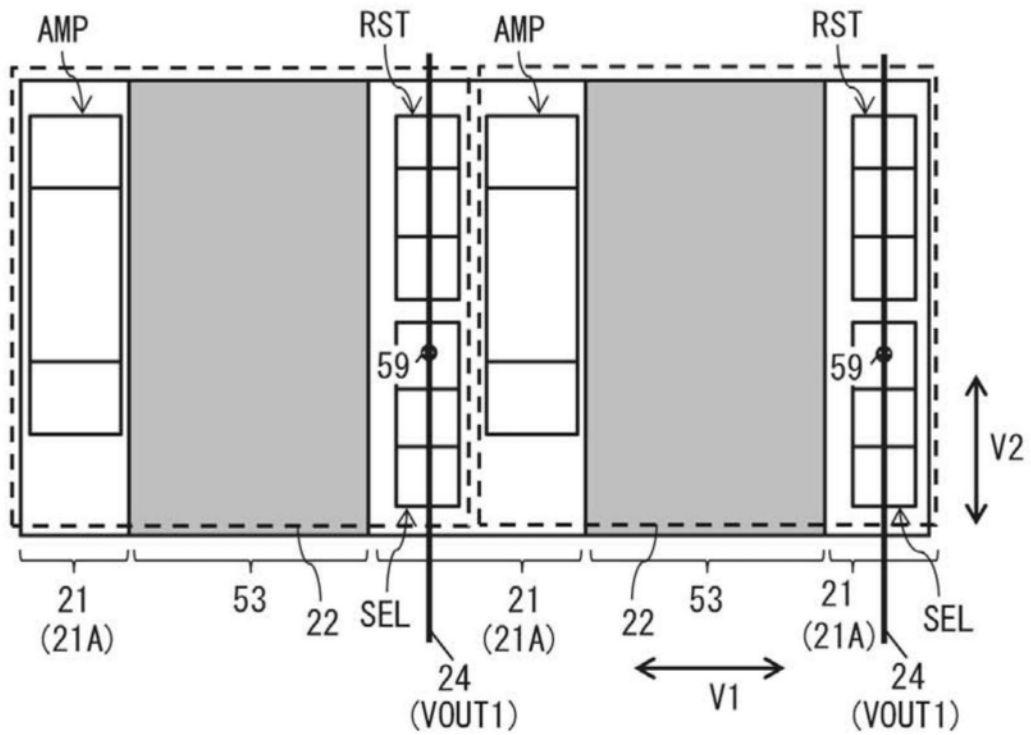


图13

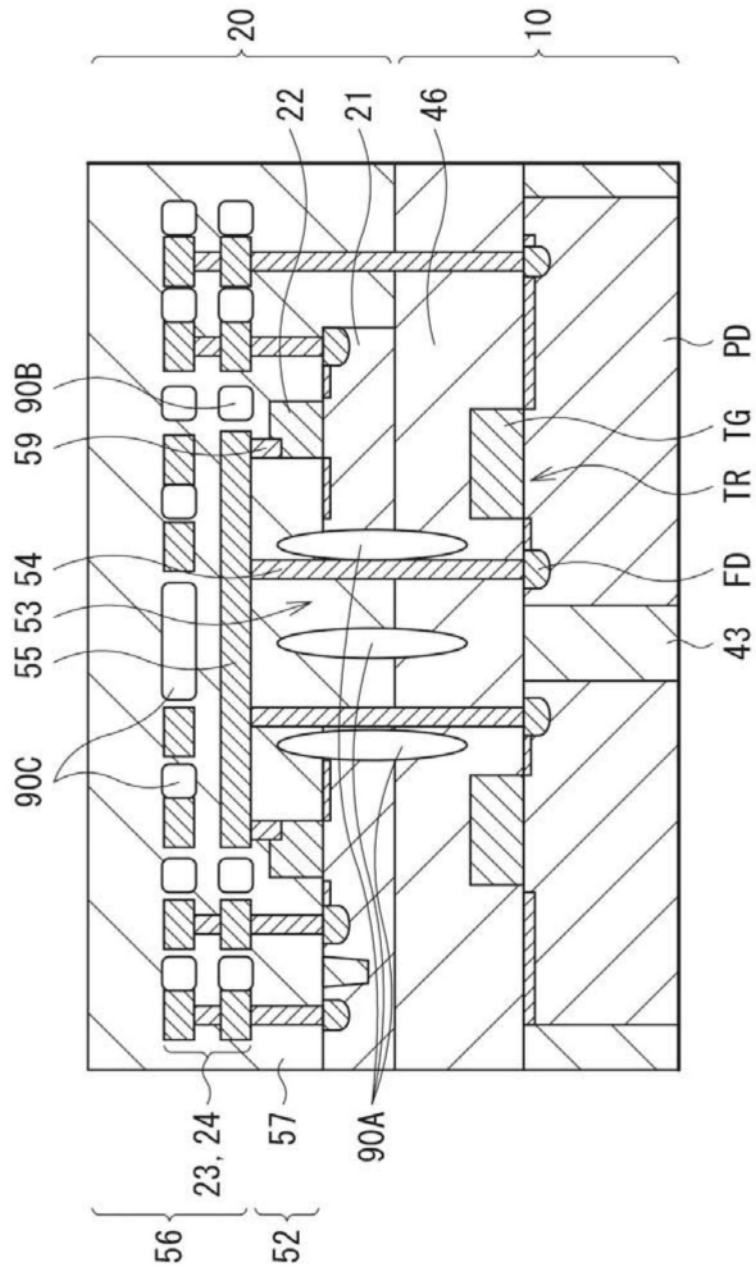


图14

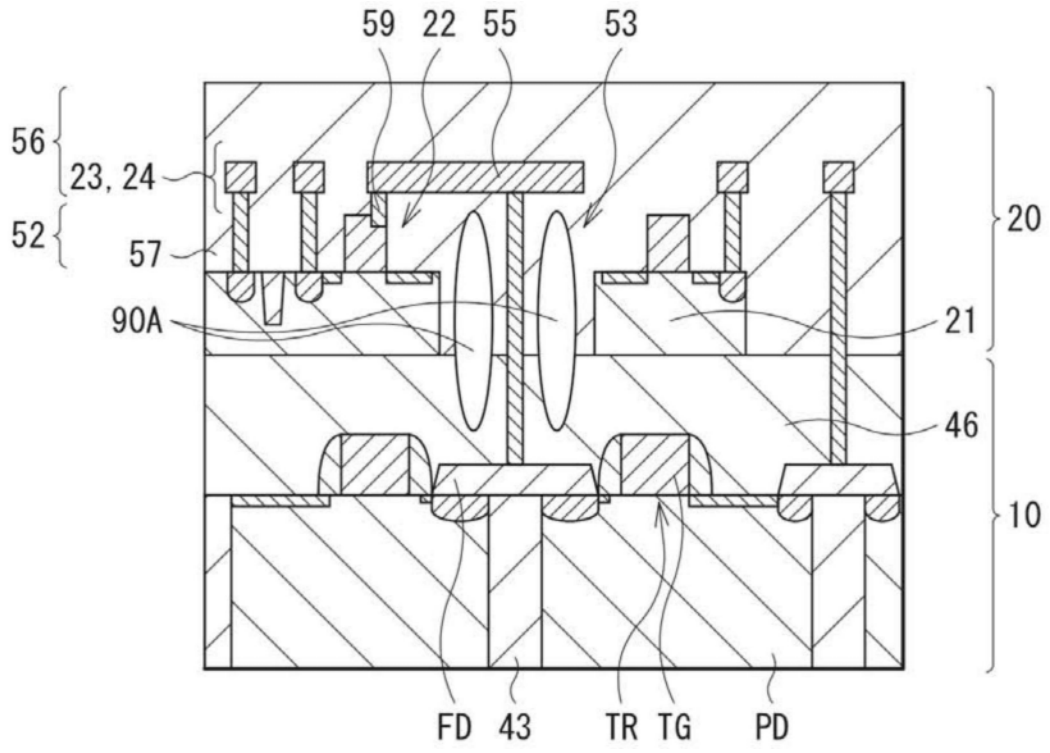


图15

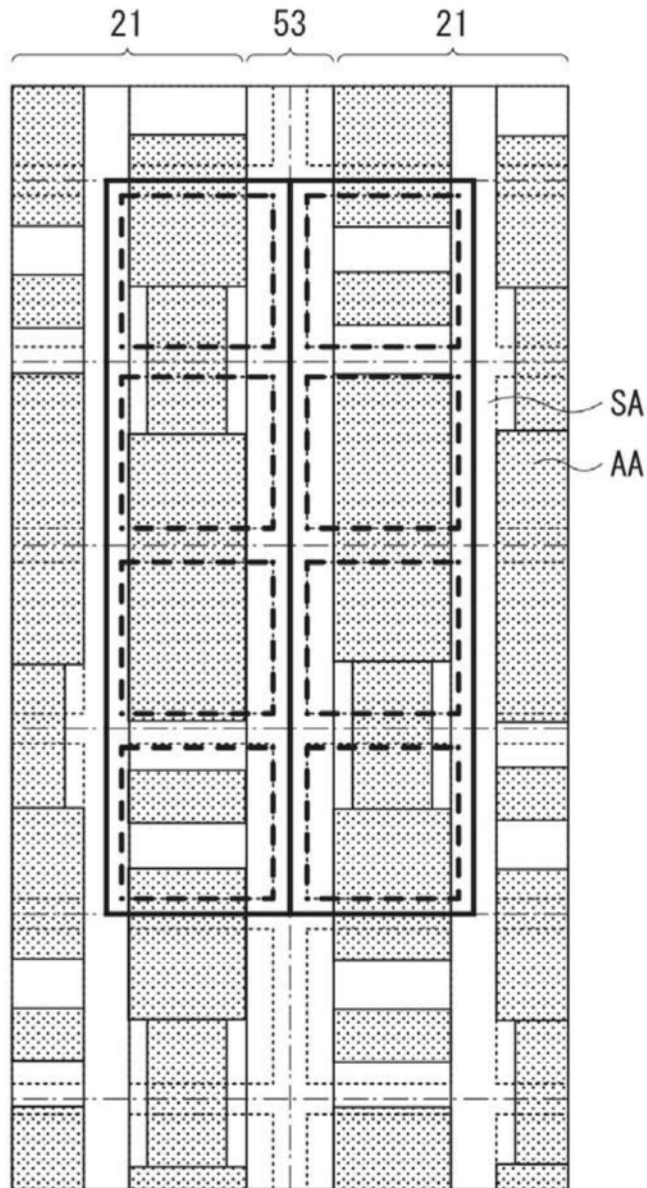


图16

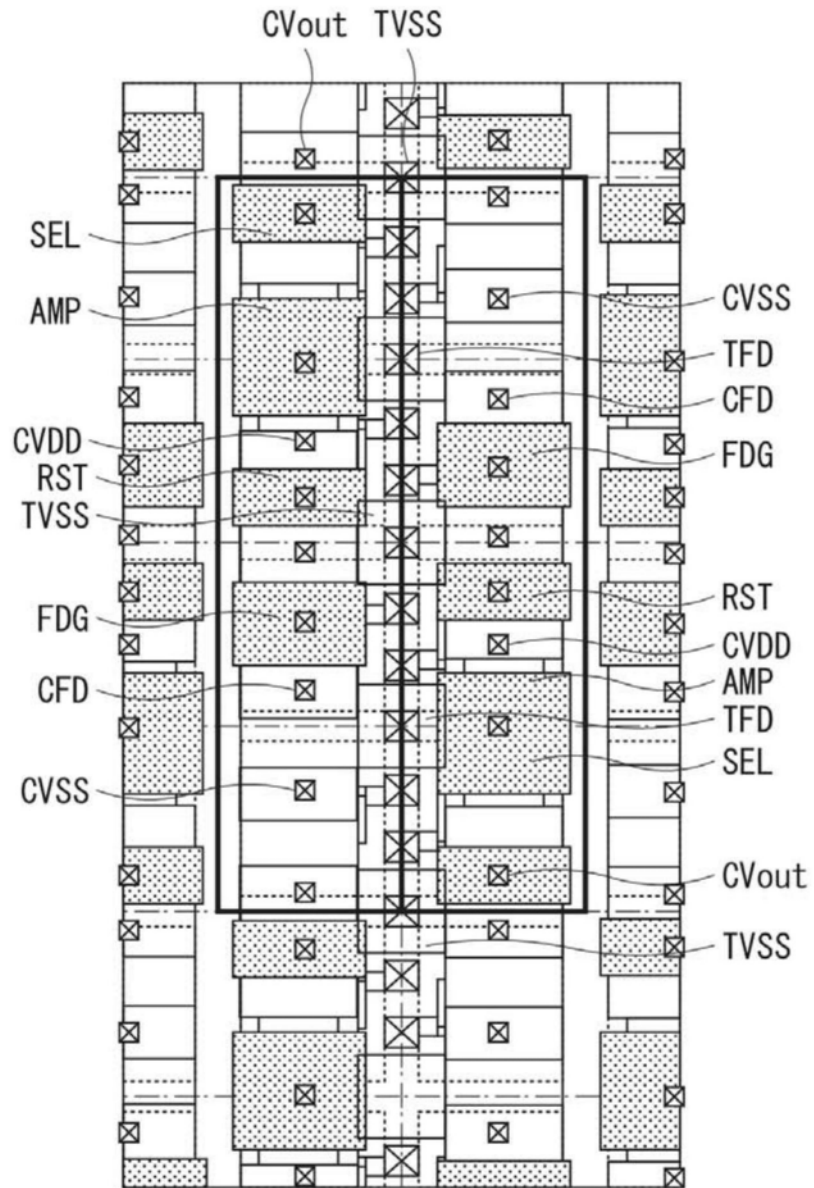


图17

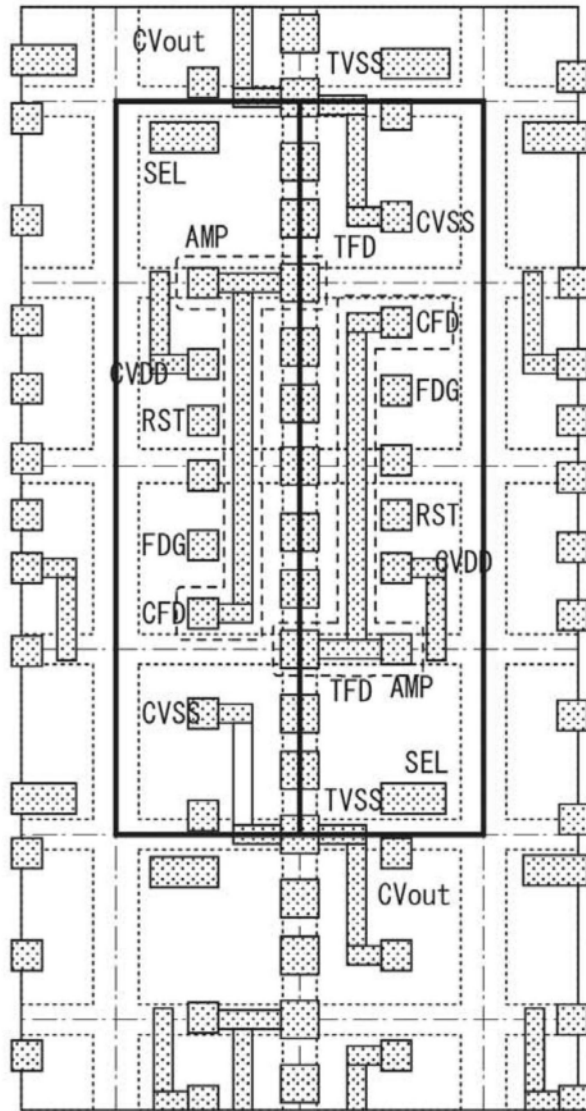


图18

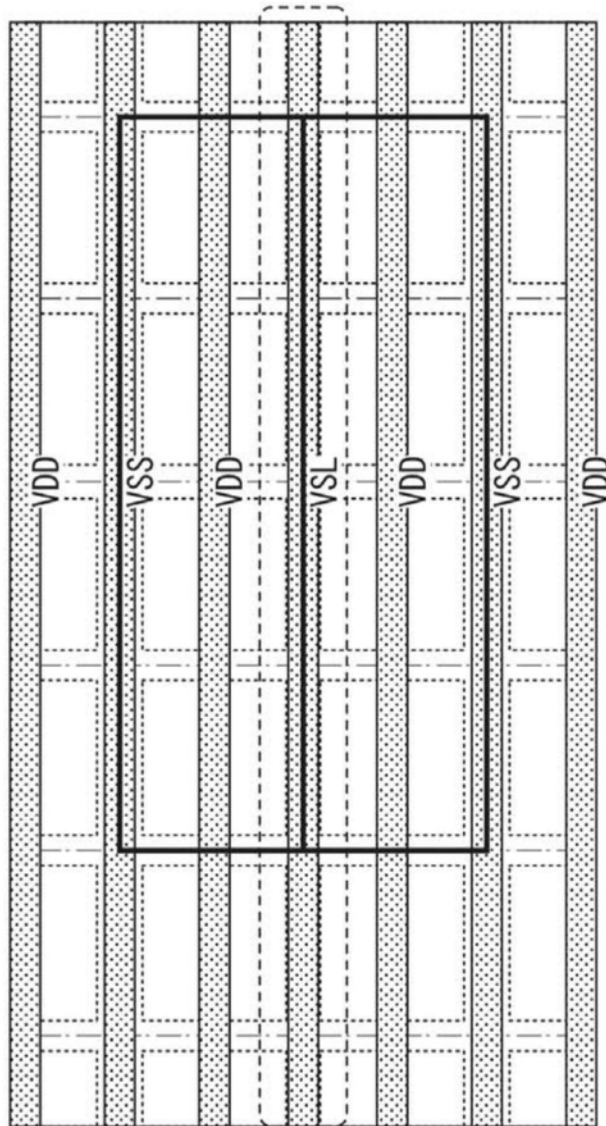


图19

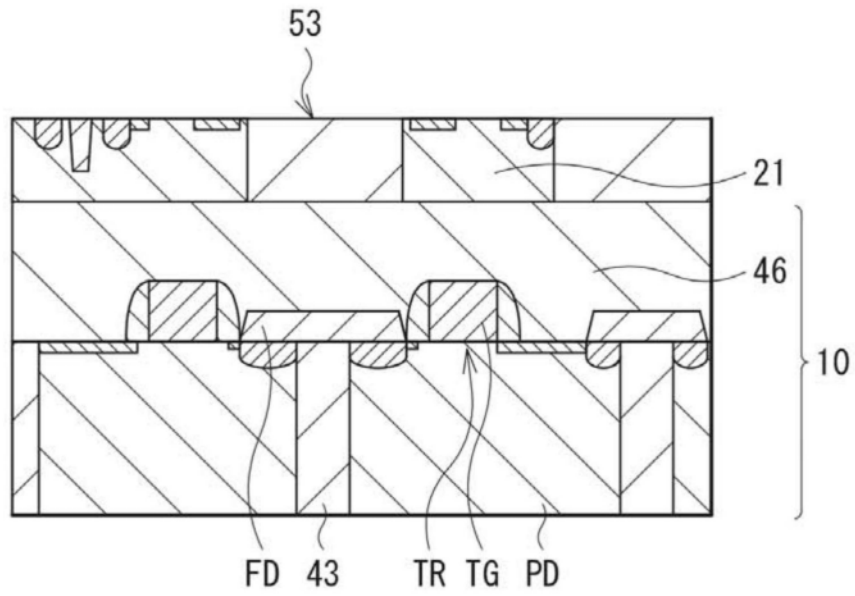


图20A

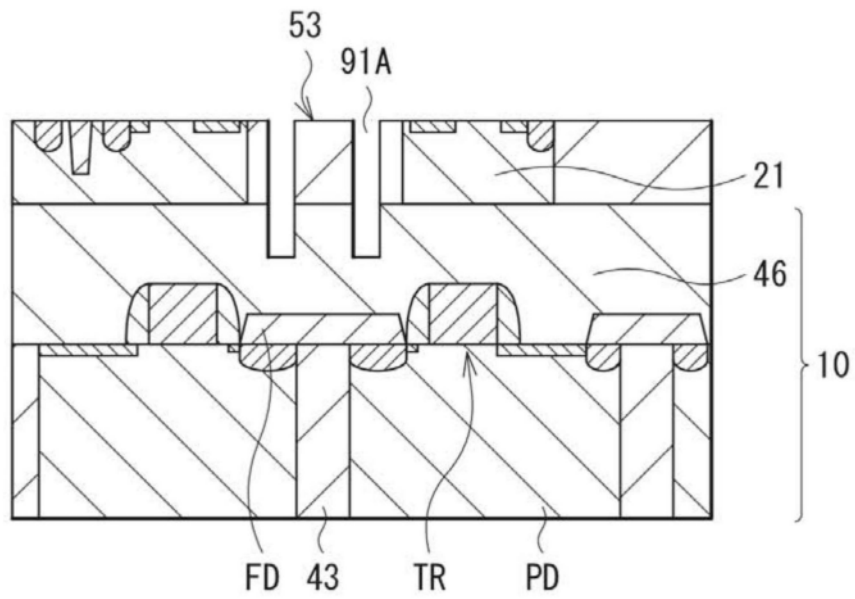


图20B

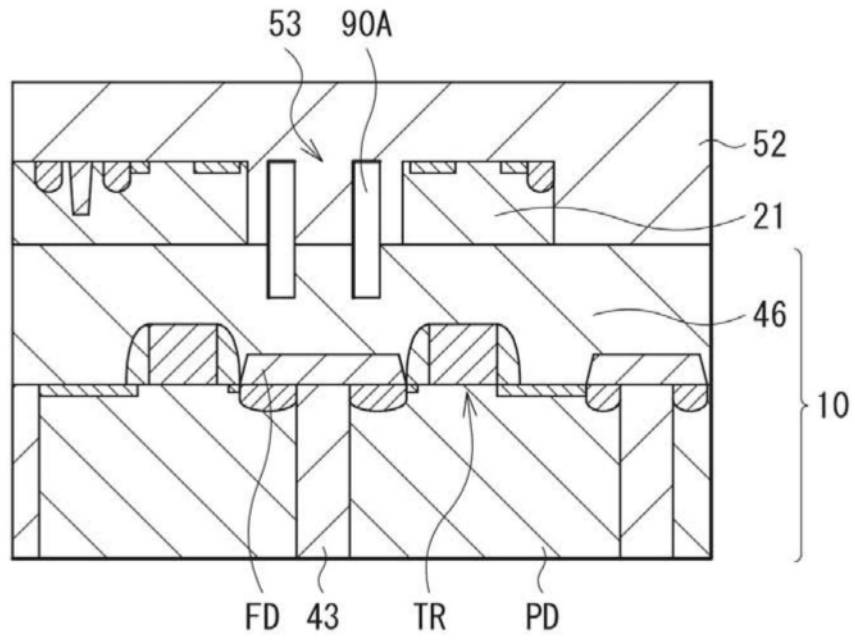


图20C

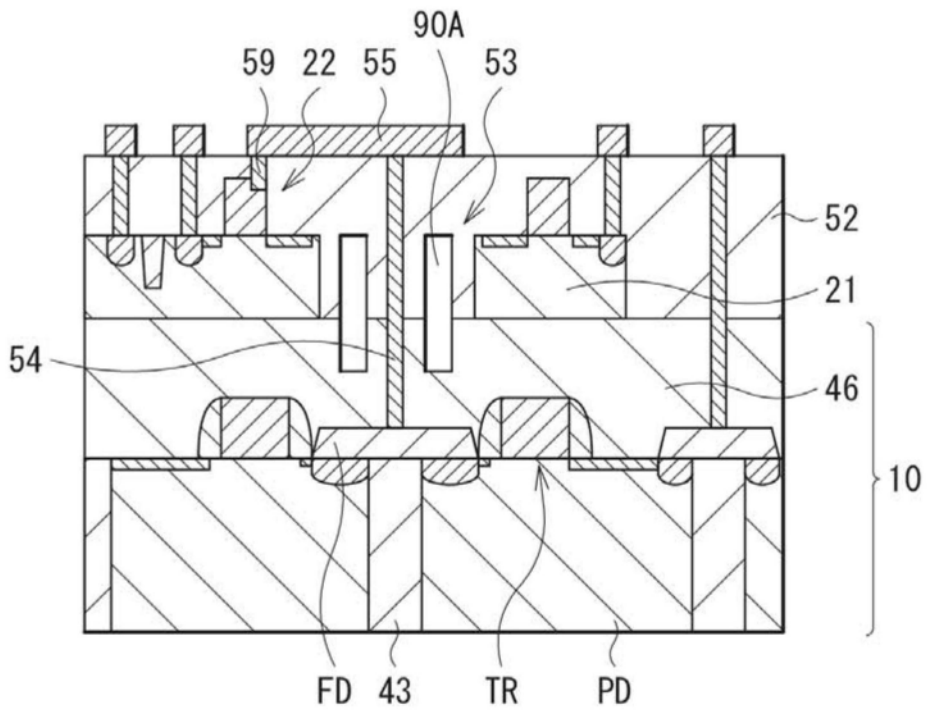


图20D

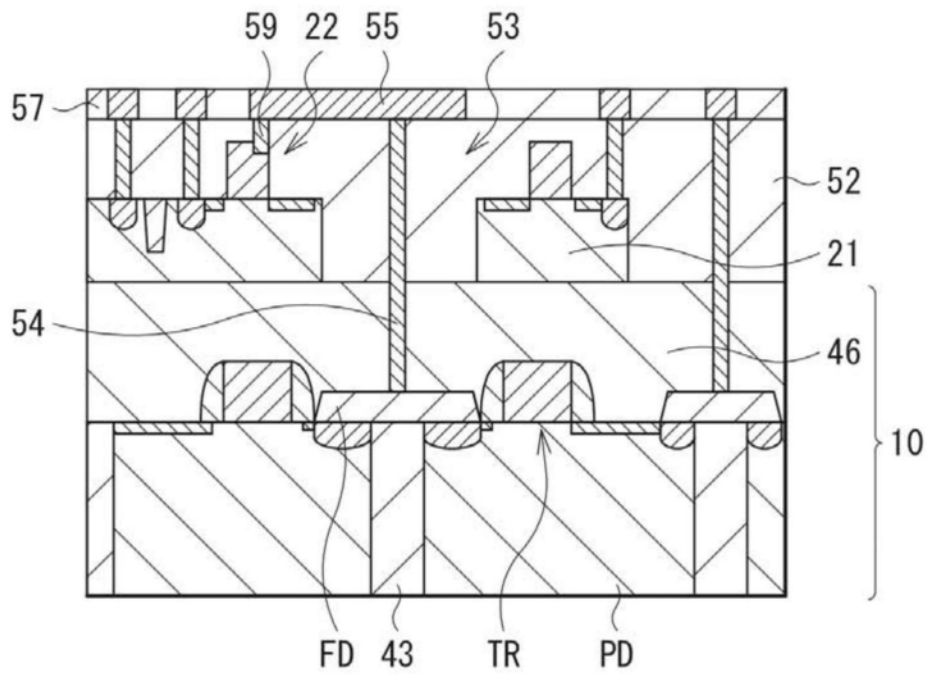


图20E

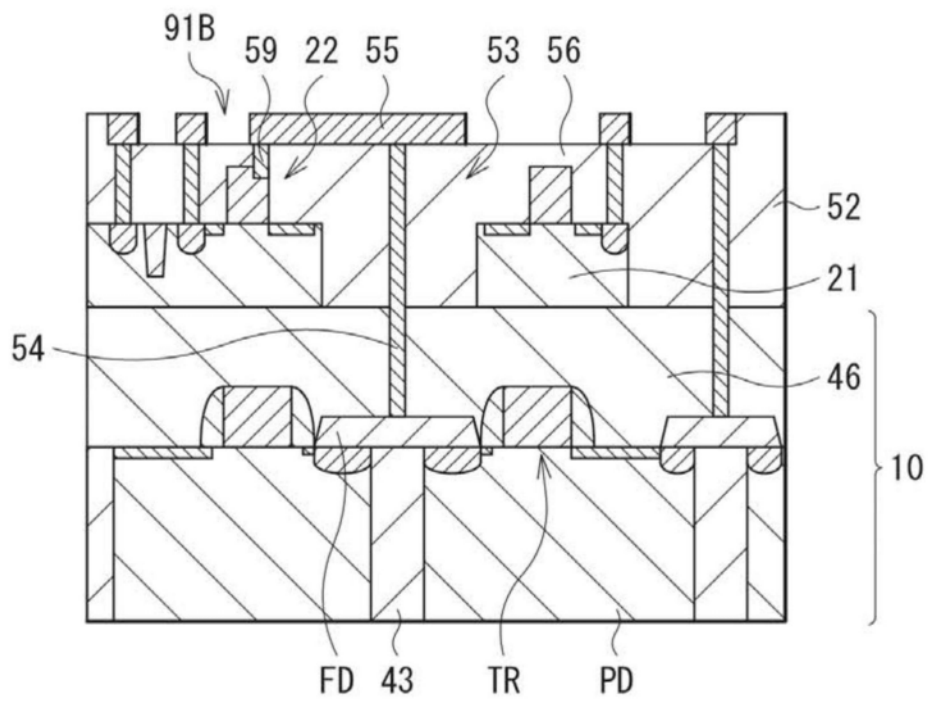


图20F

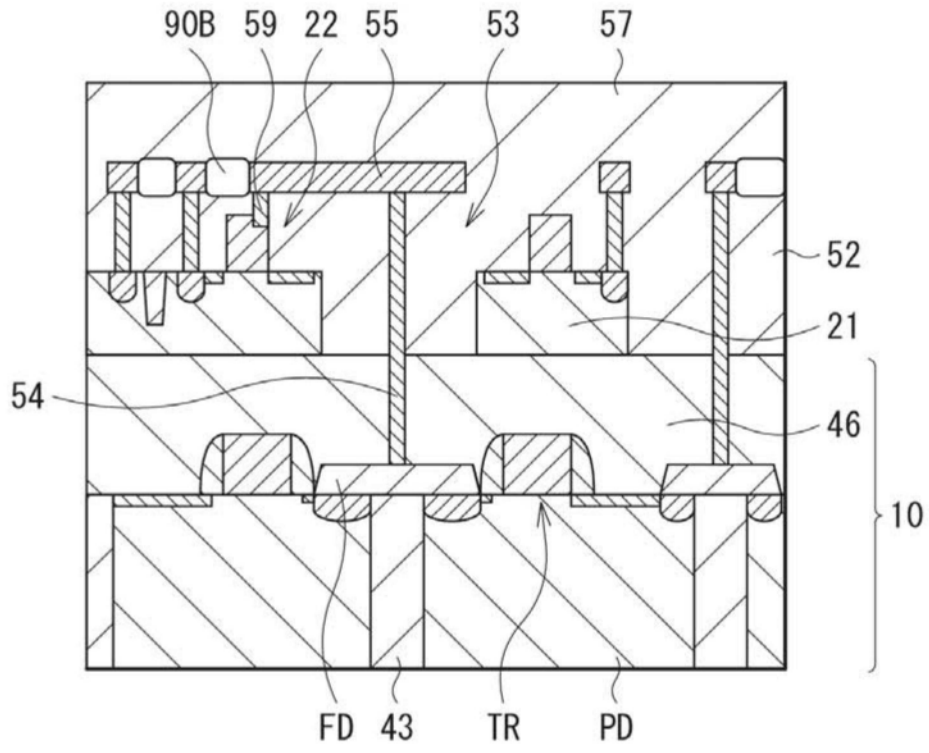


图20G

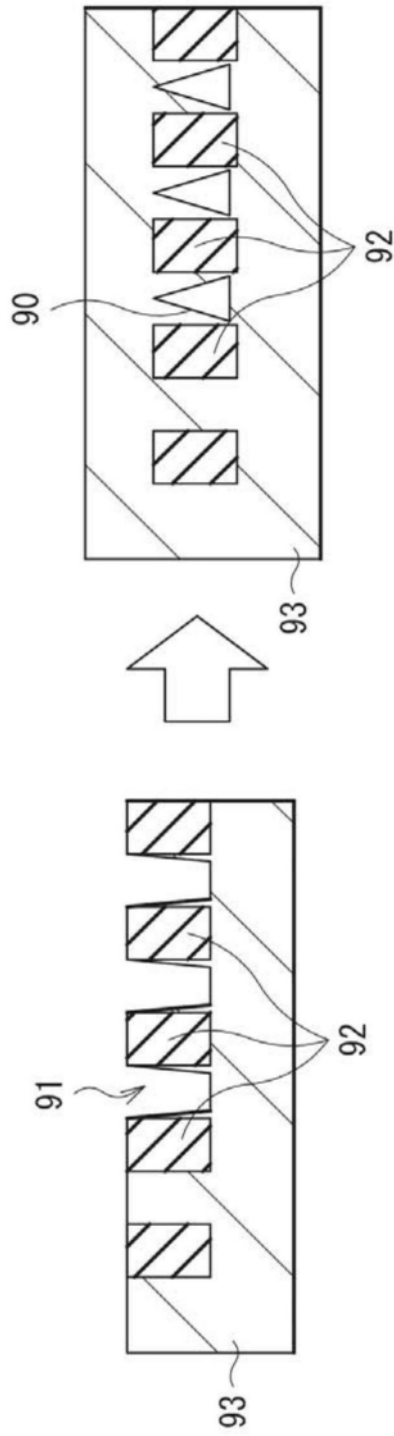


图21

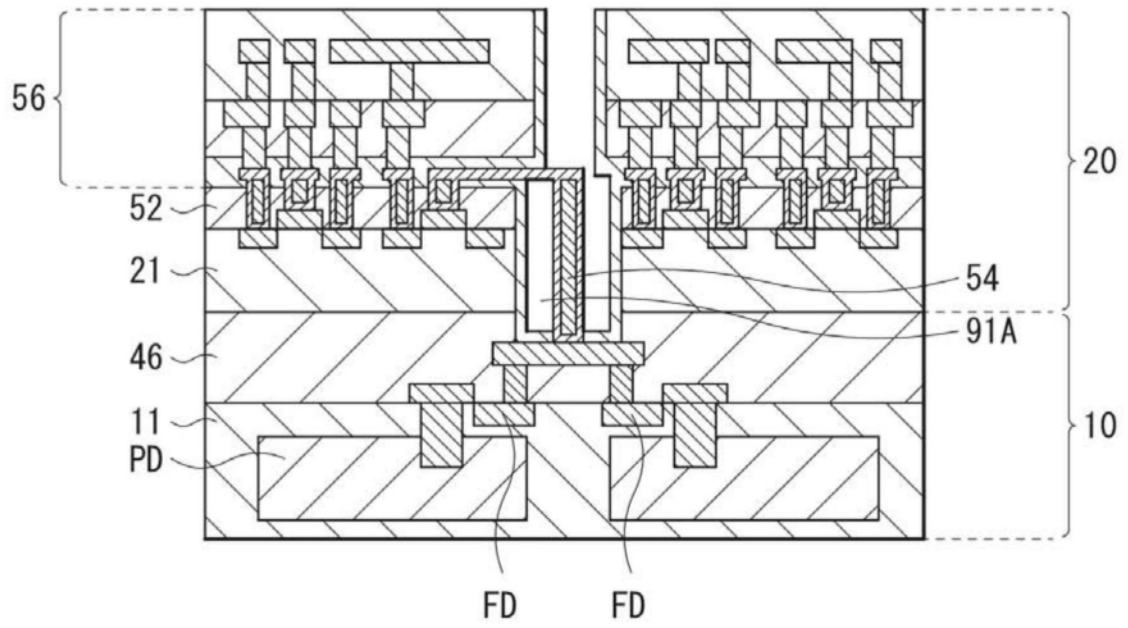


图22A

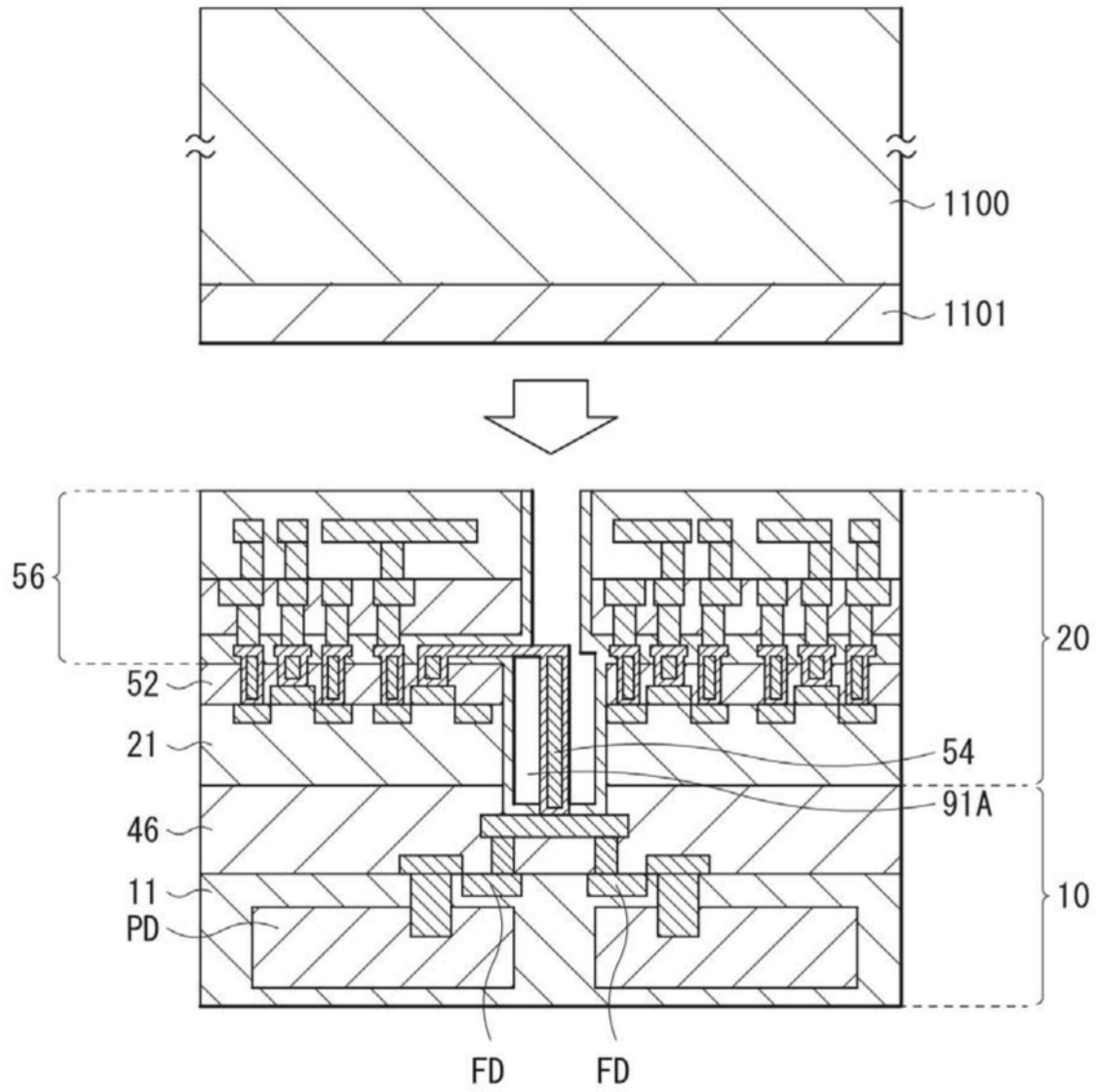


图22B

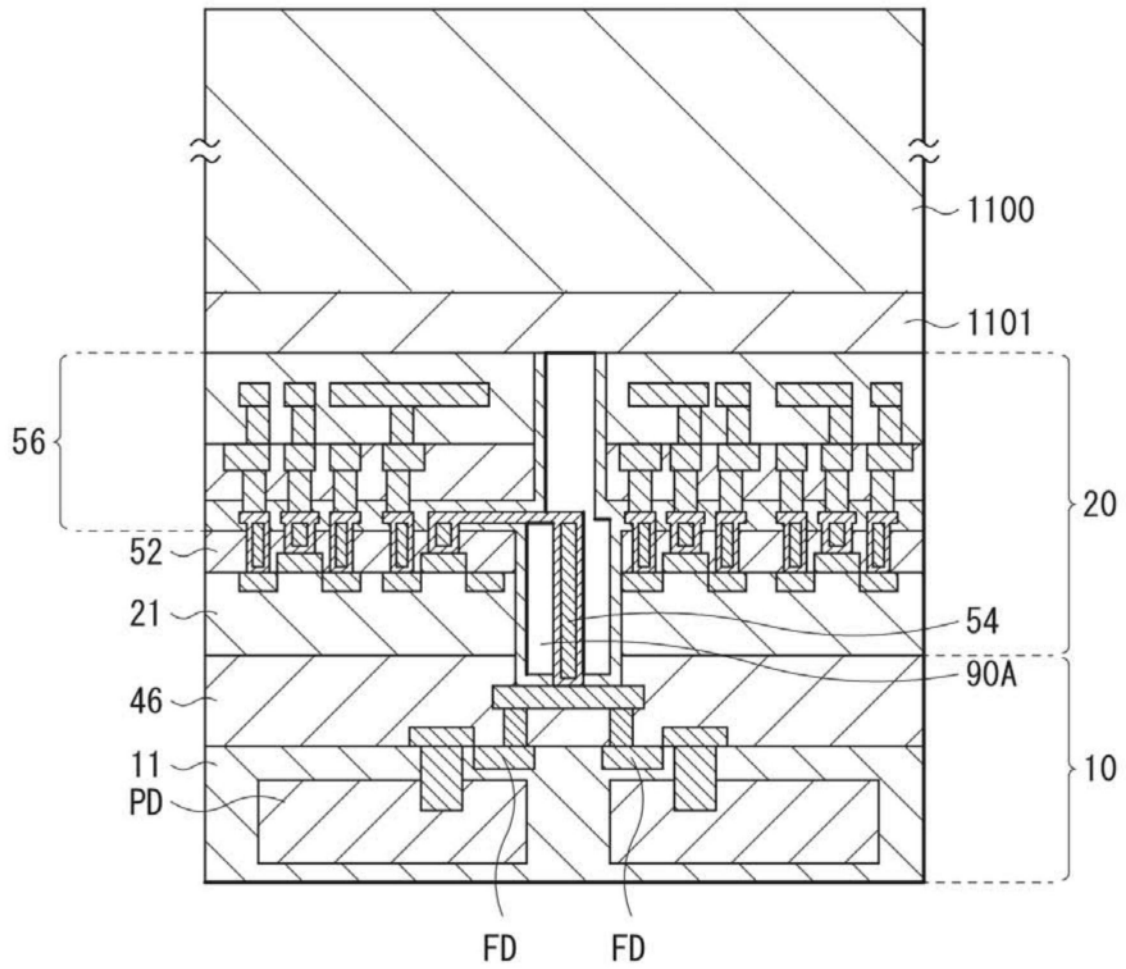


图22C

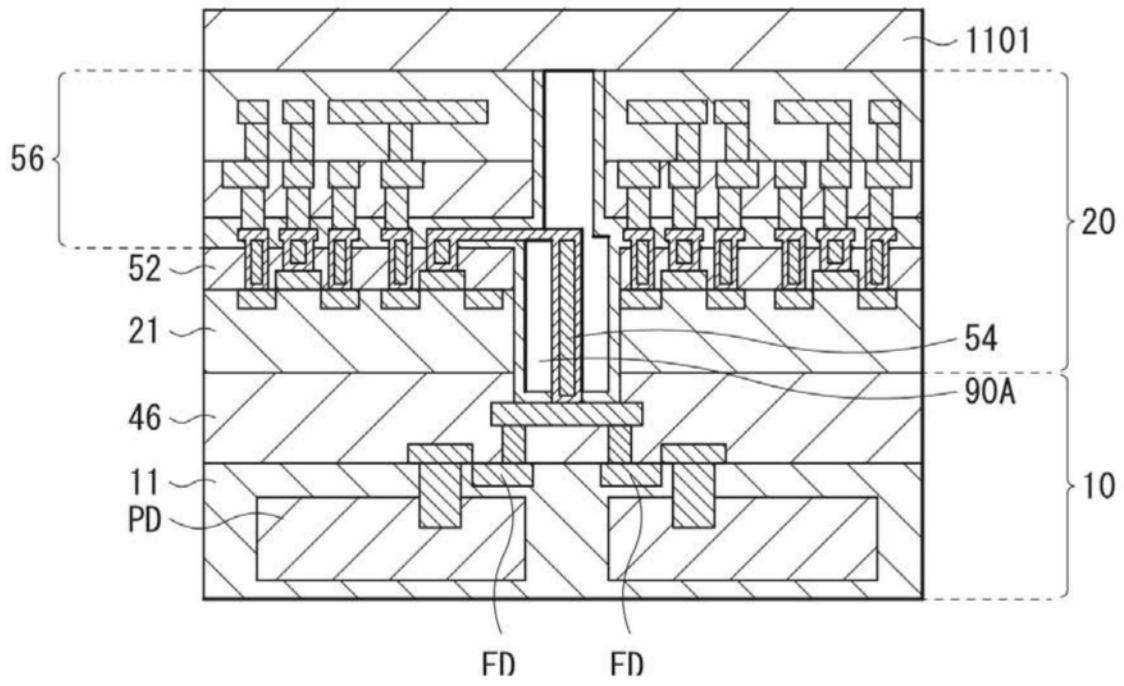


图22D

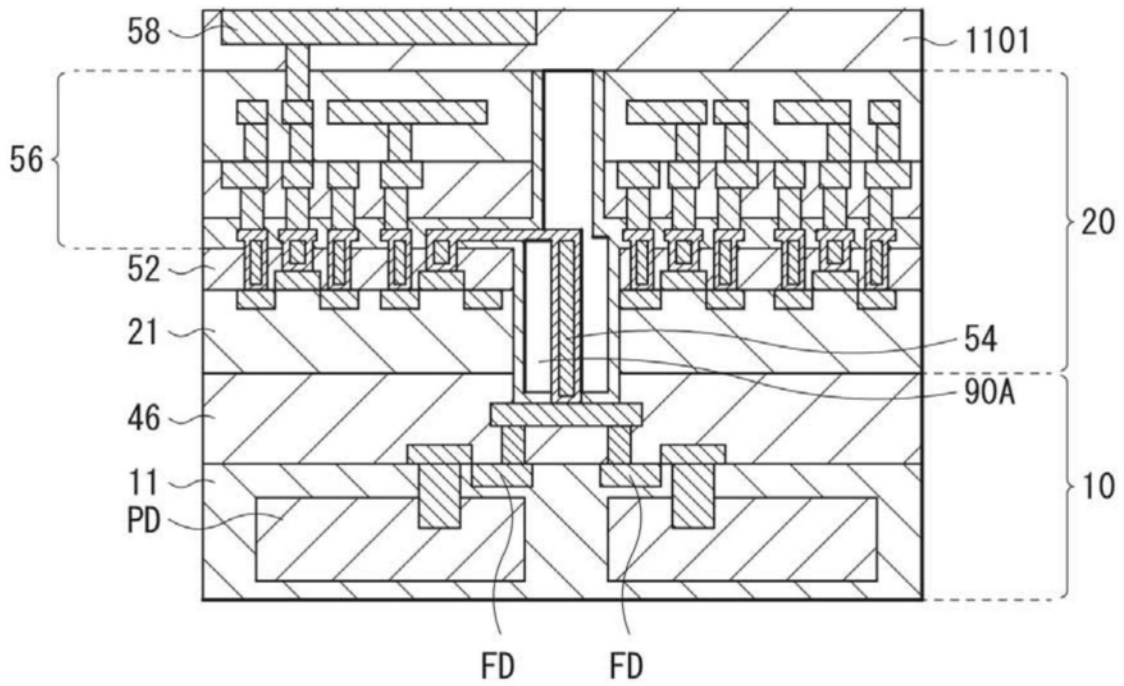


图22E

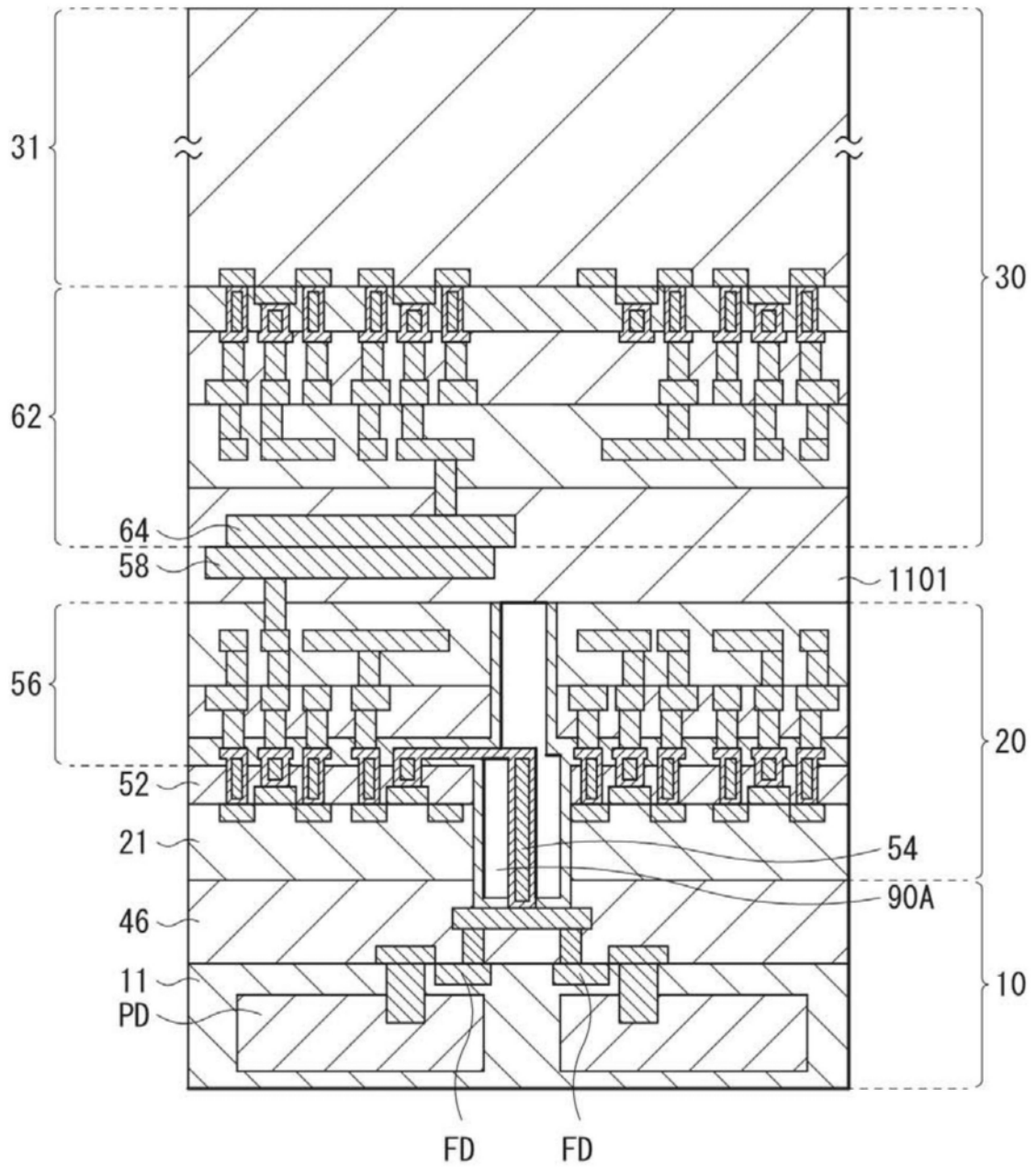


图22G

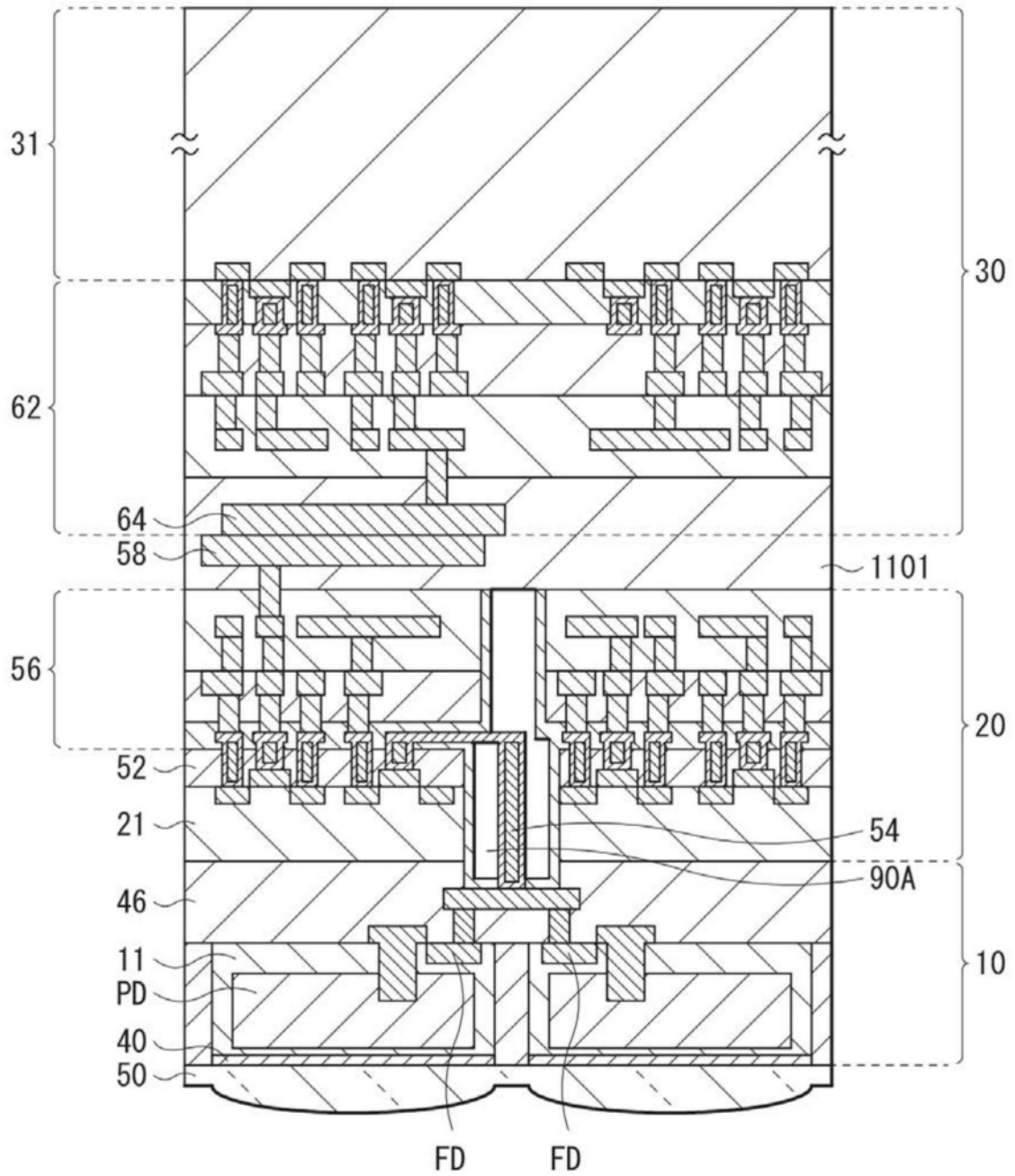


图22H

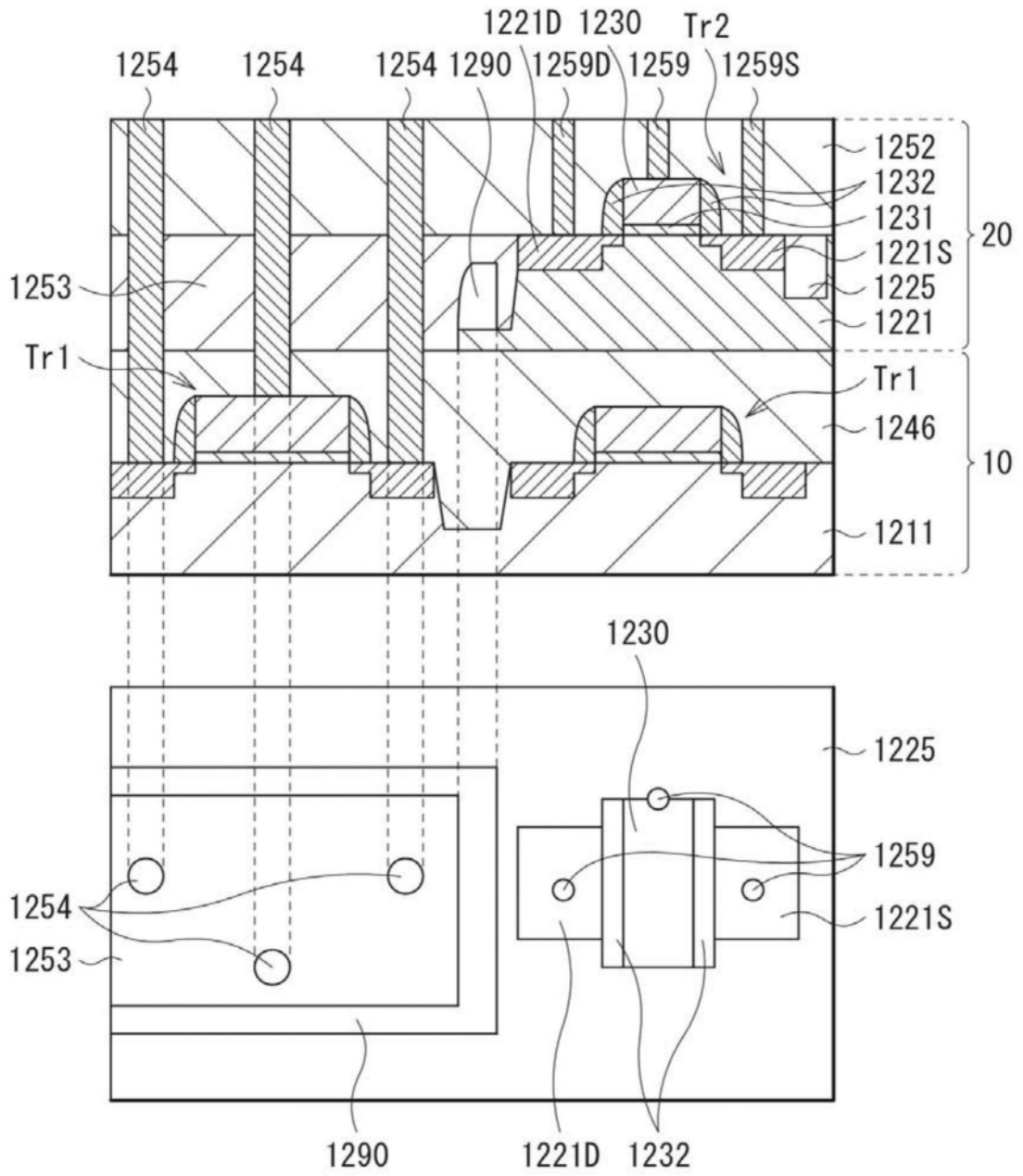


图23

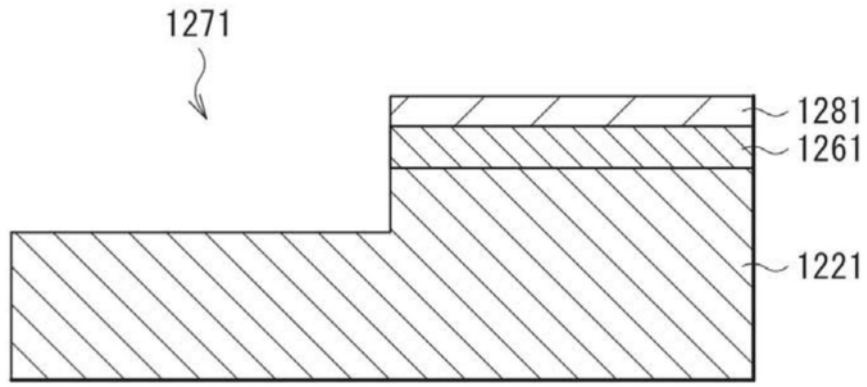


图24A

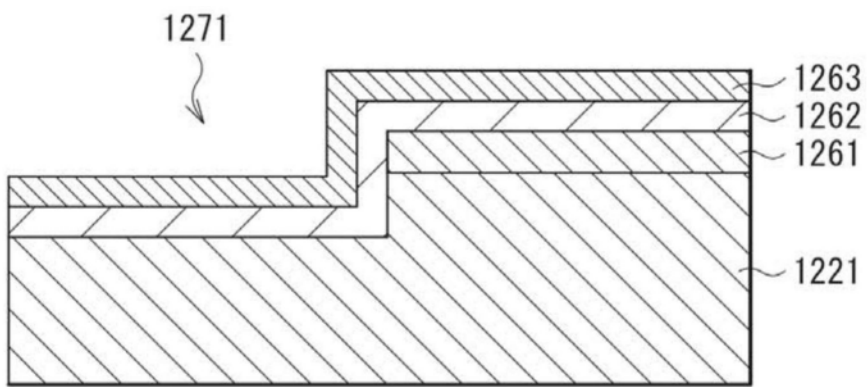


图24B

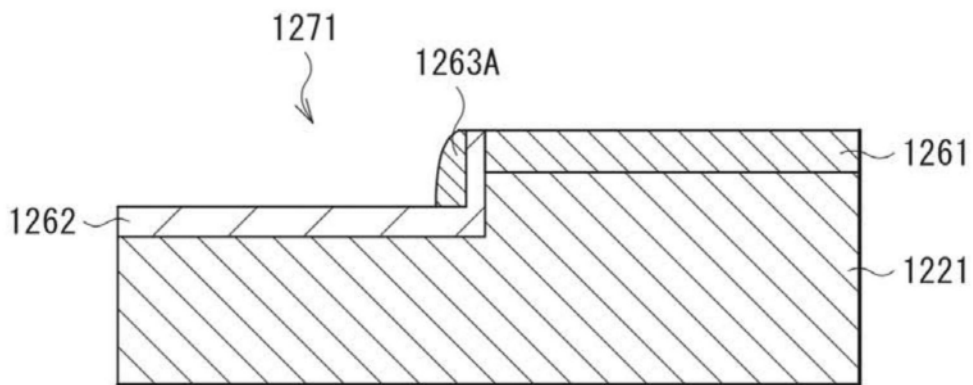


图24C

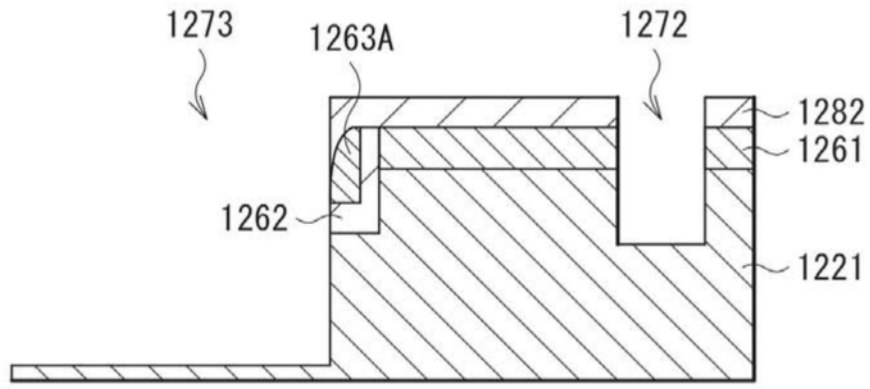


图24D

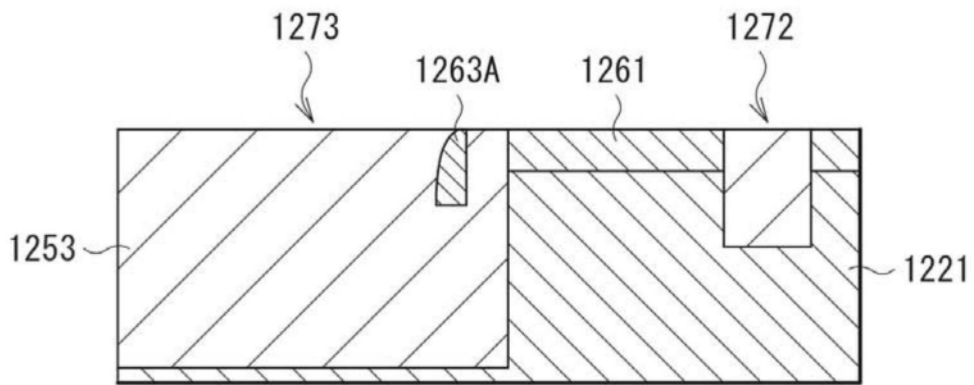


图24E

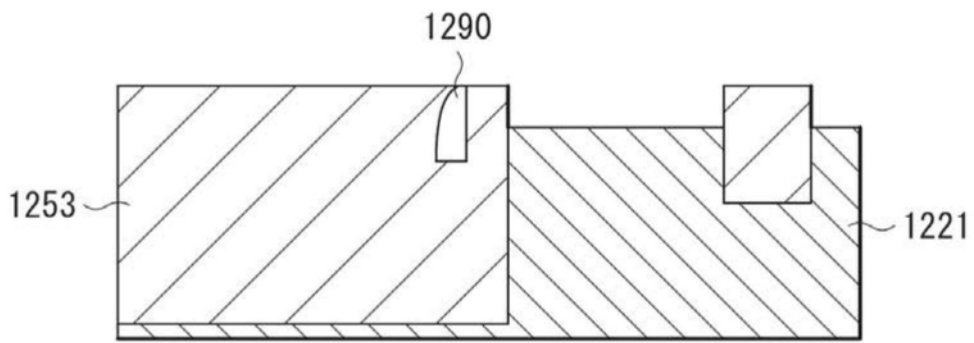


图24F

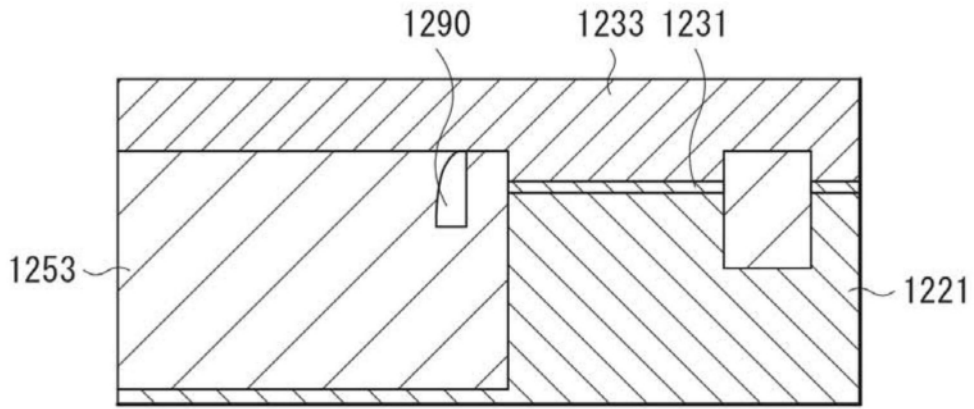


图24G

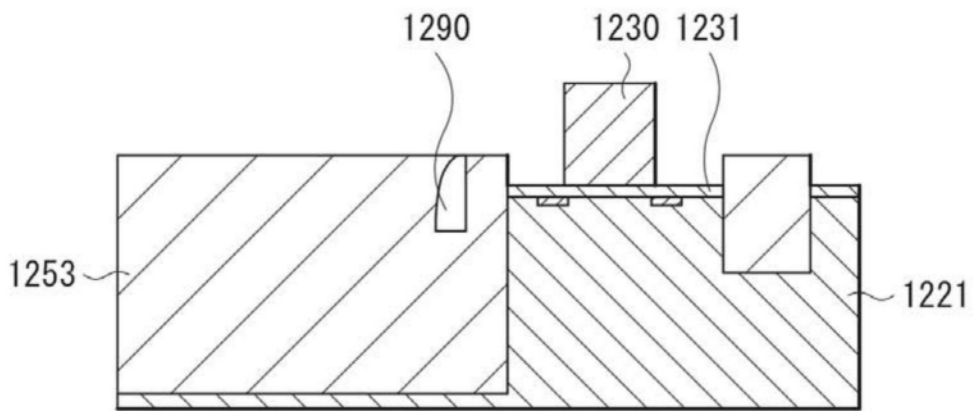


图24H

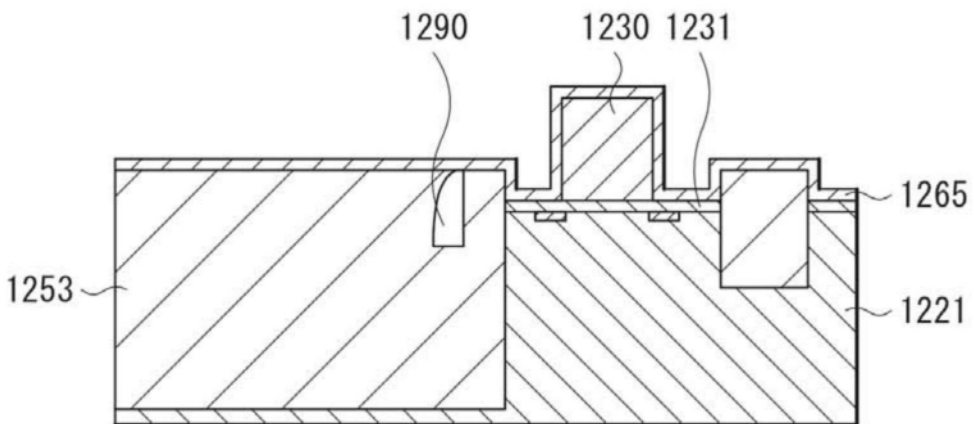


图24I

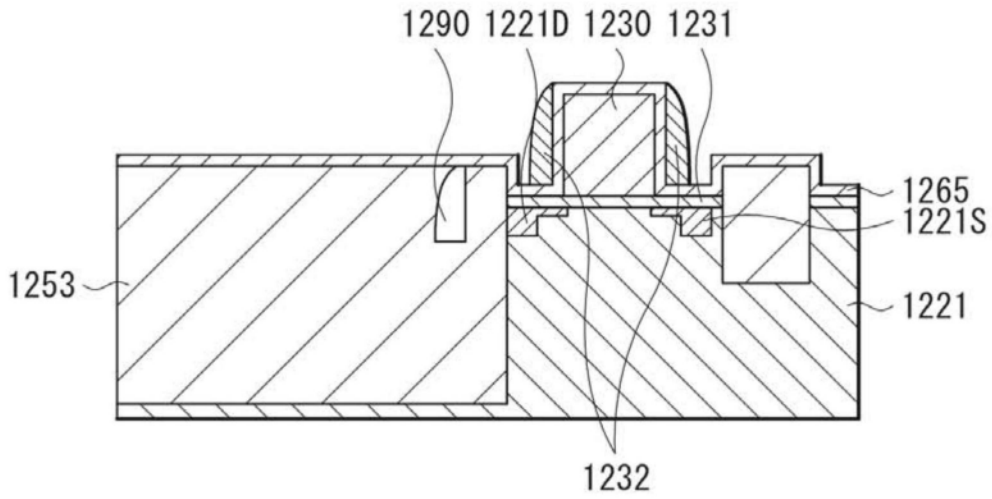


图24J

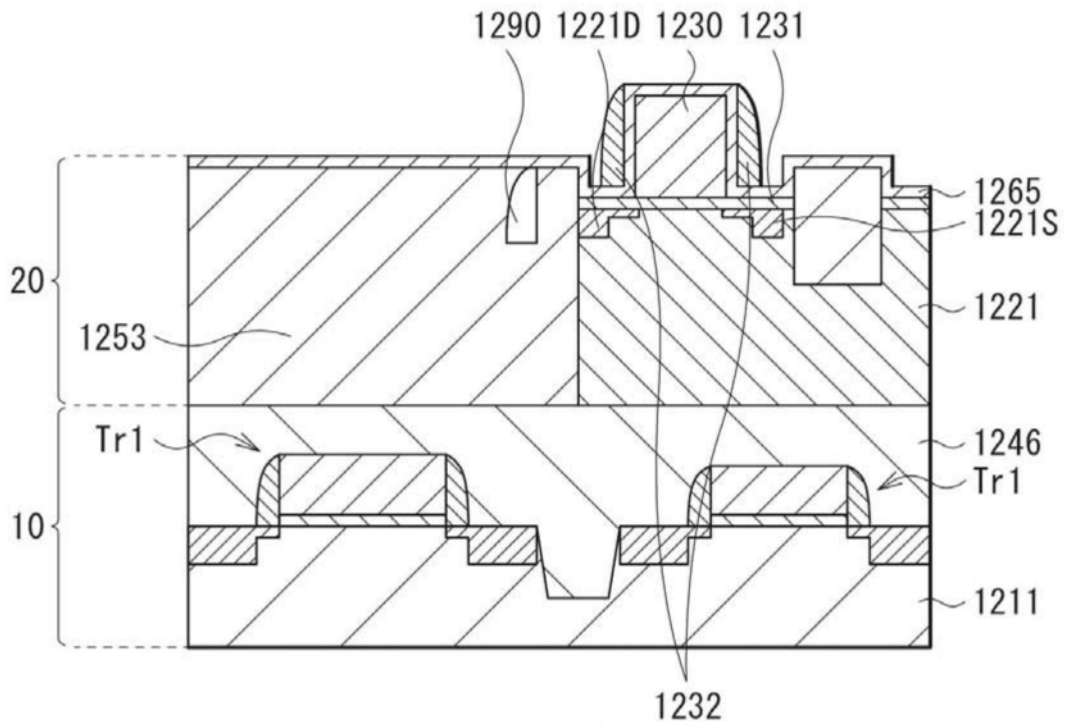


图24K

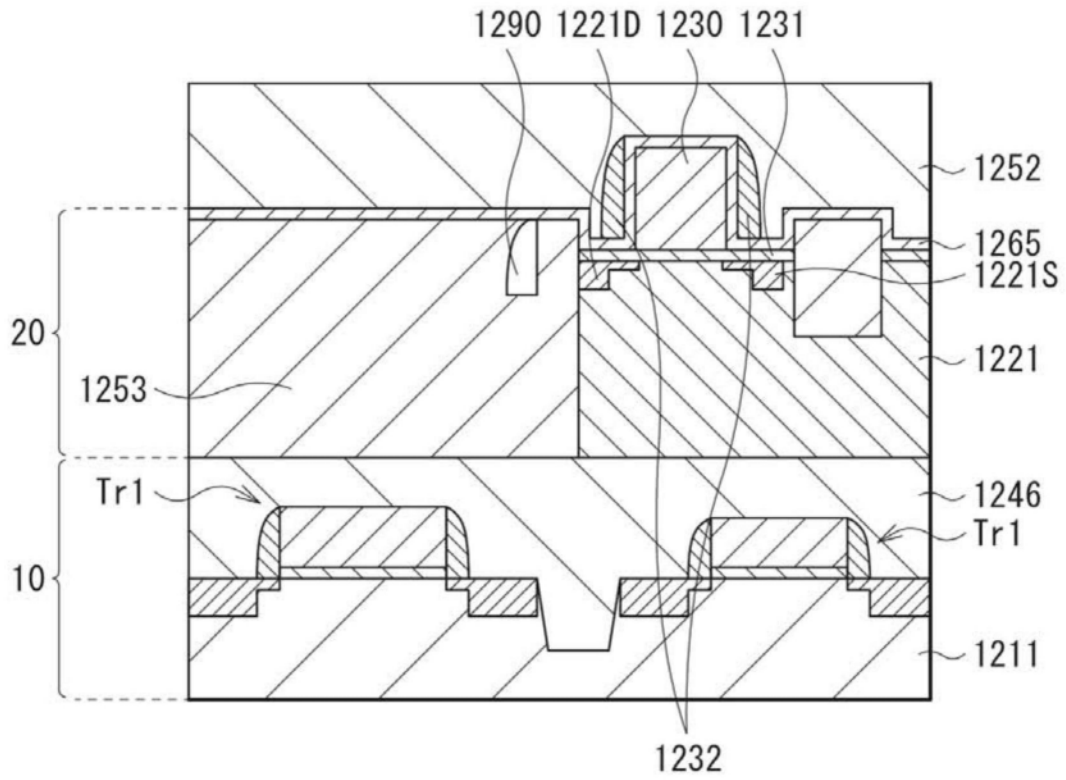


图24L

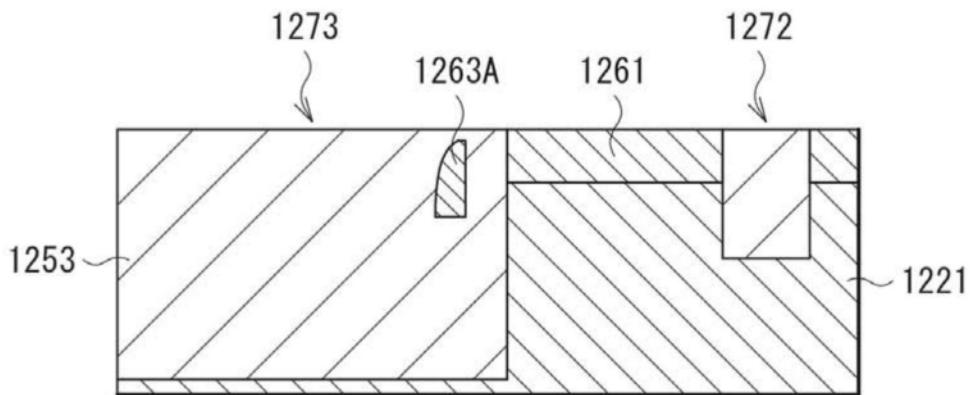


图25A

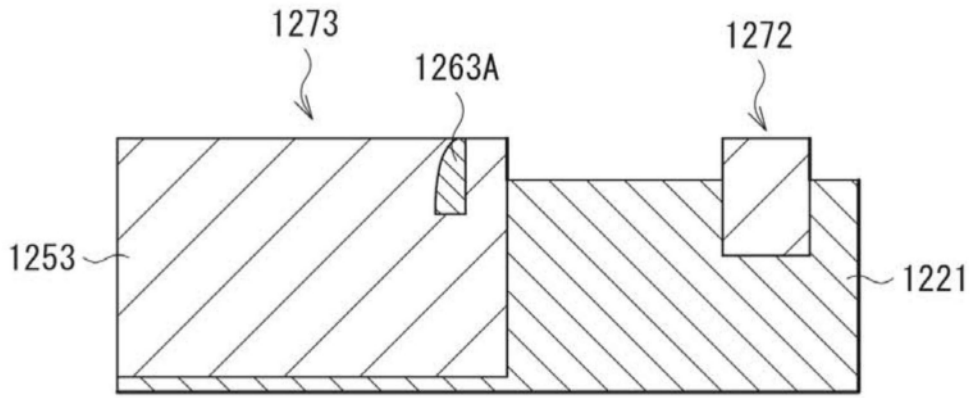


图25B

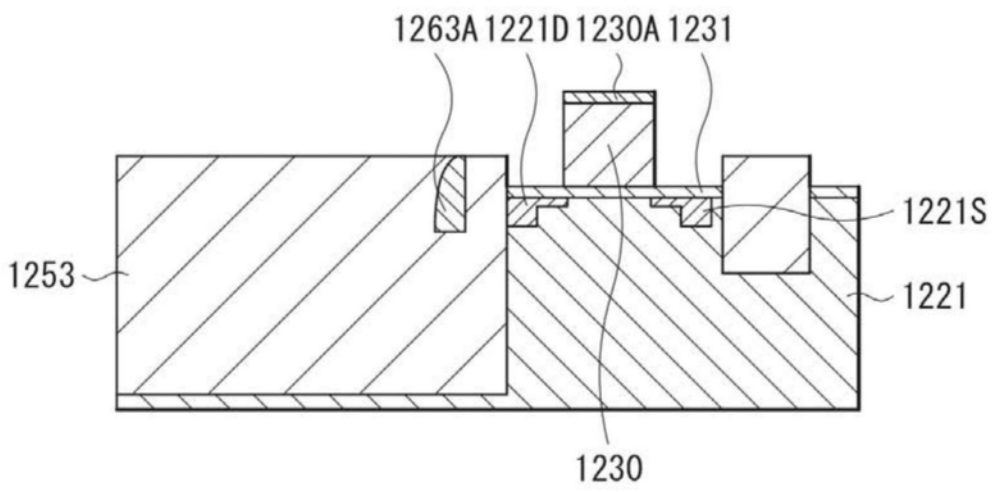


图25C

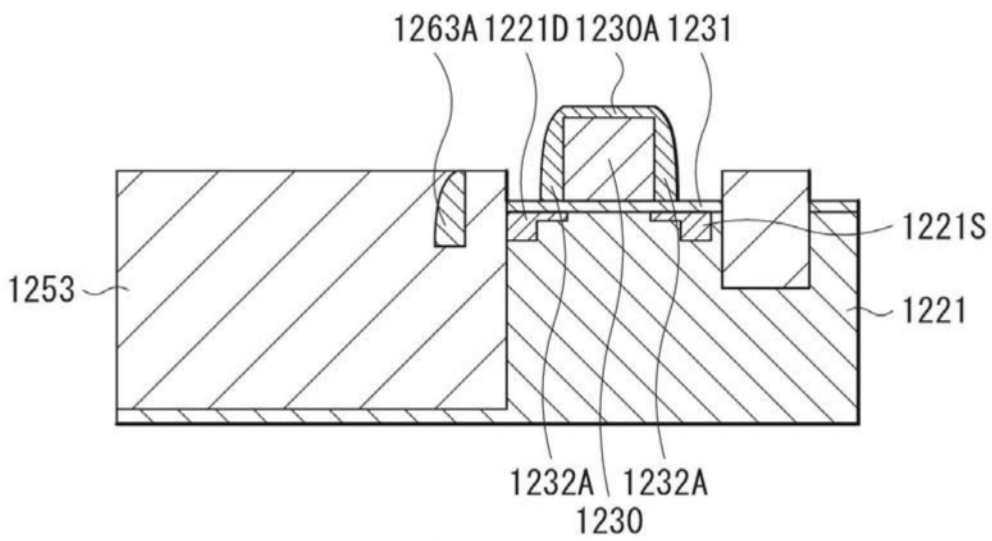


图25D

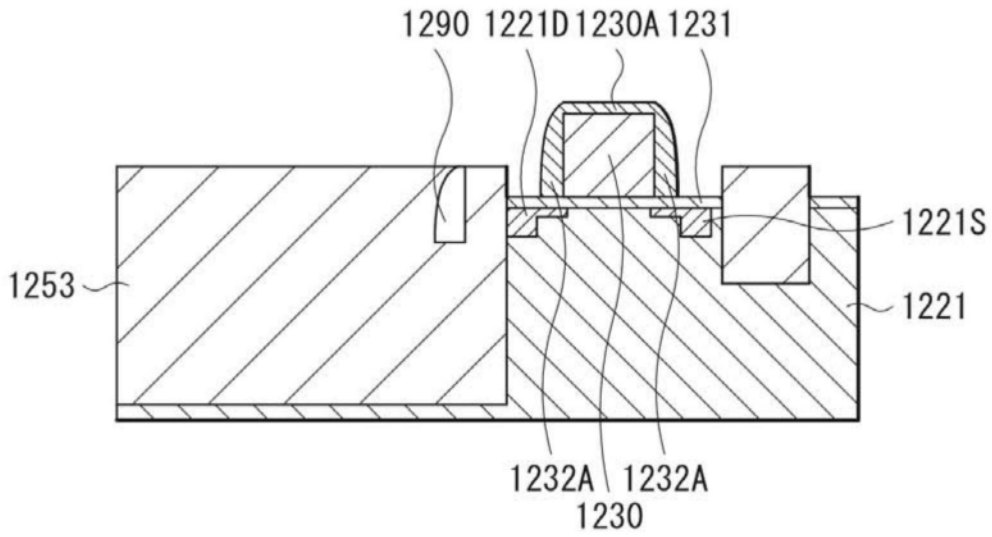


图25E

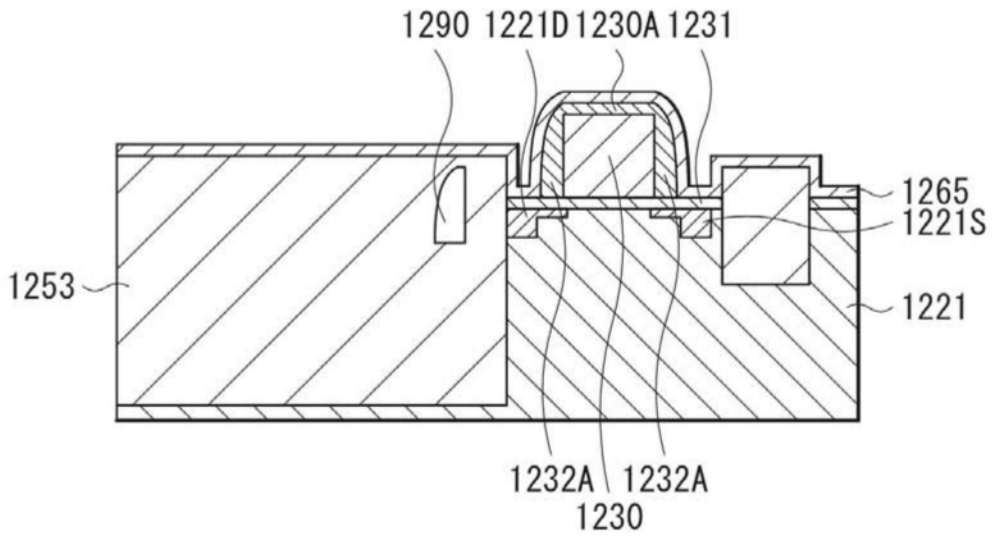


图25F

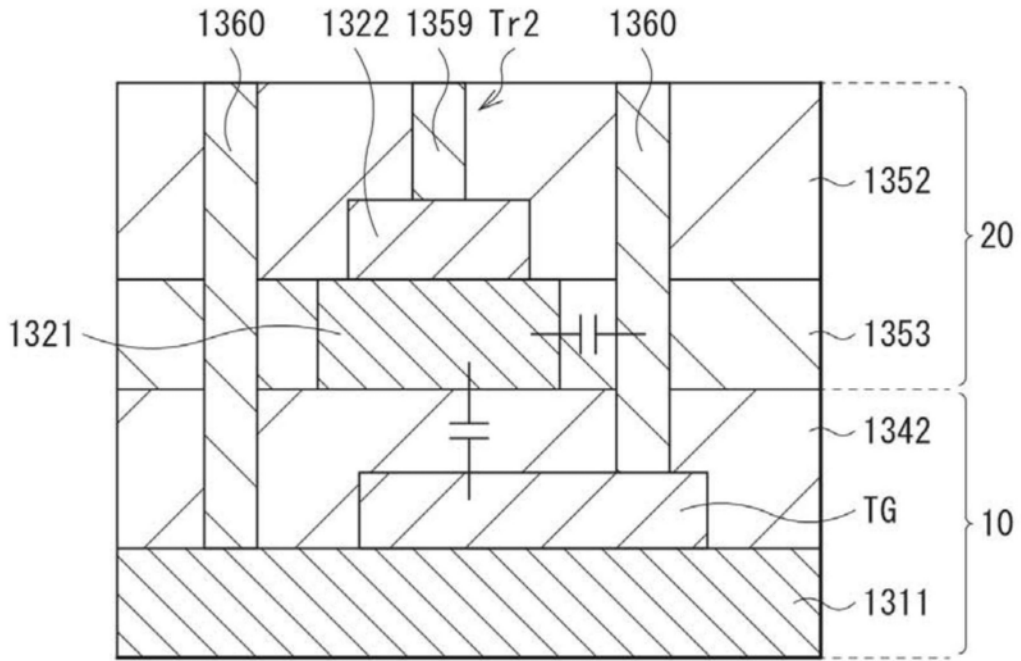


图26

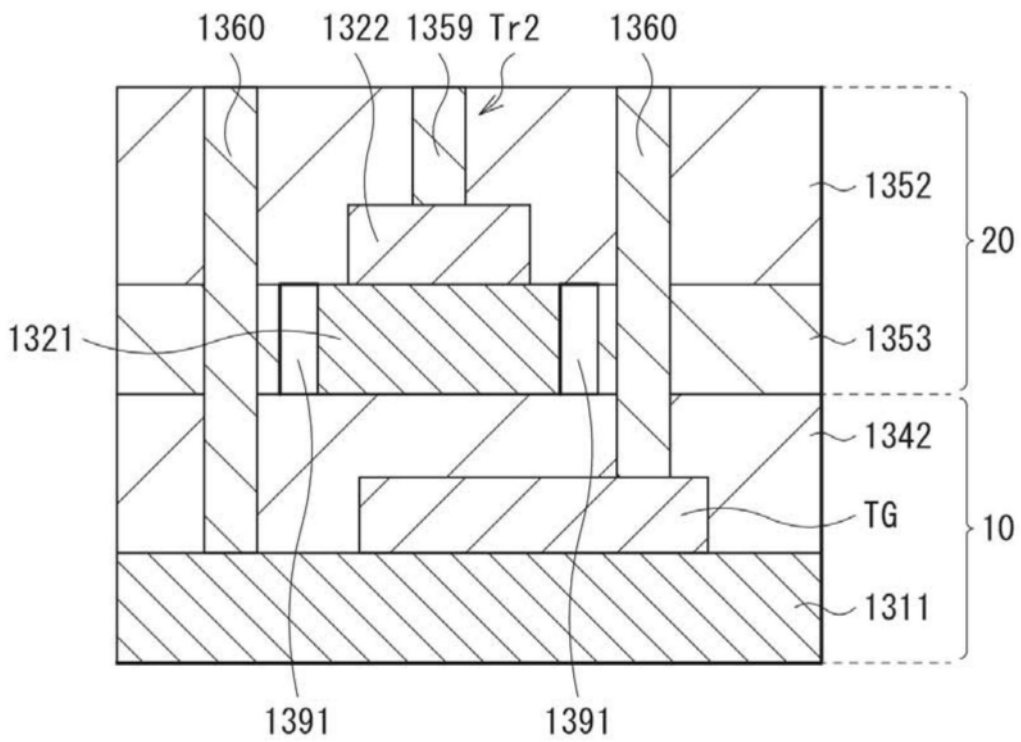


图27

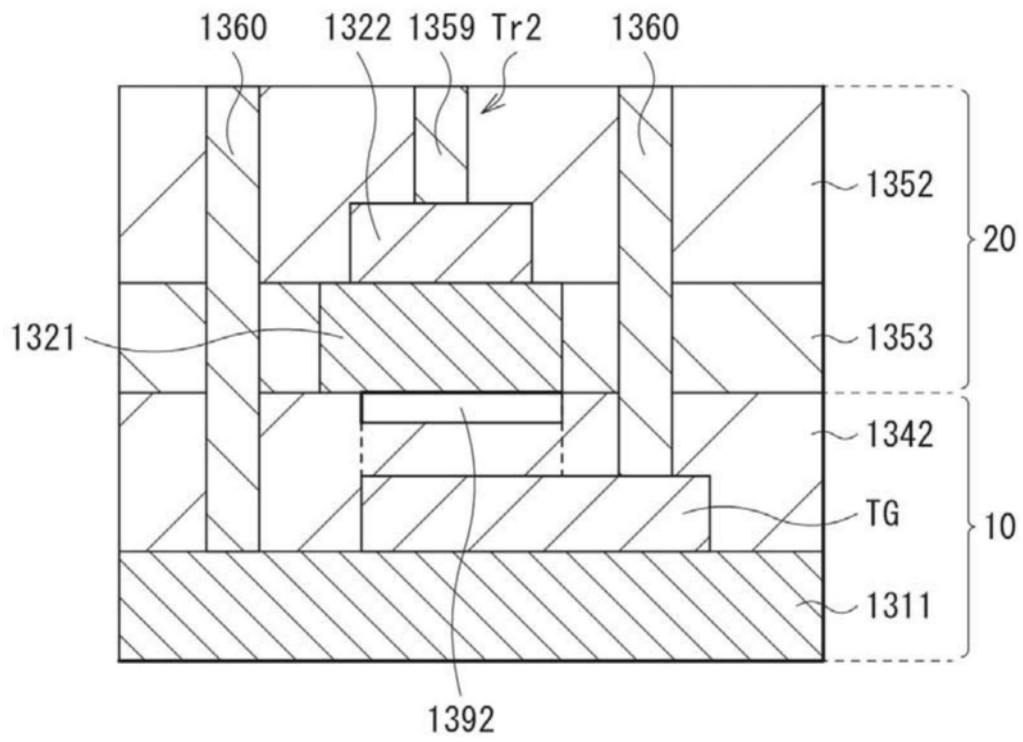


图28

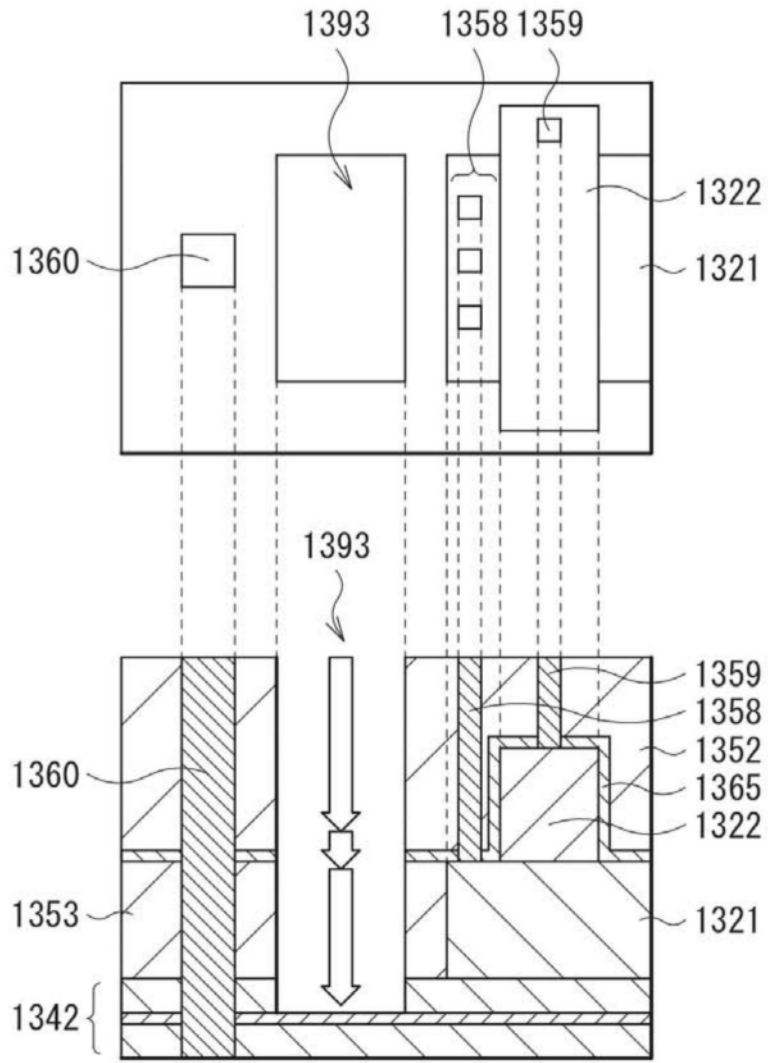


图29A

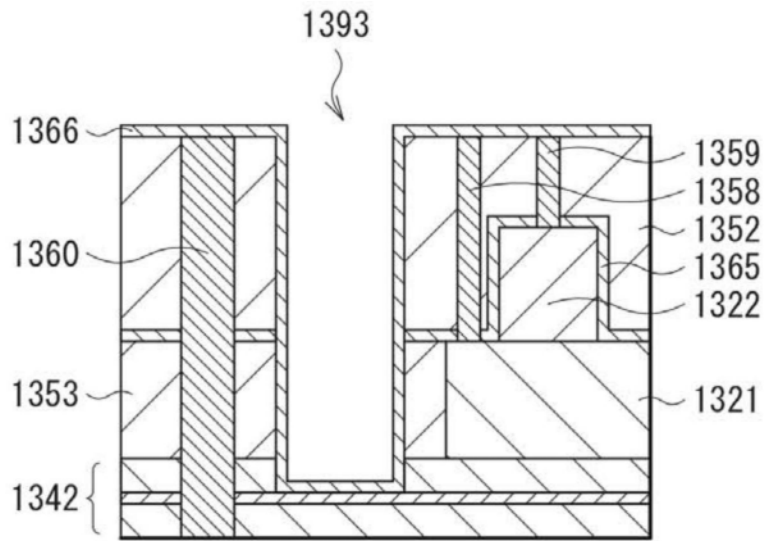


图29B

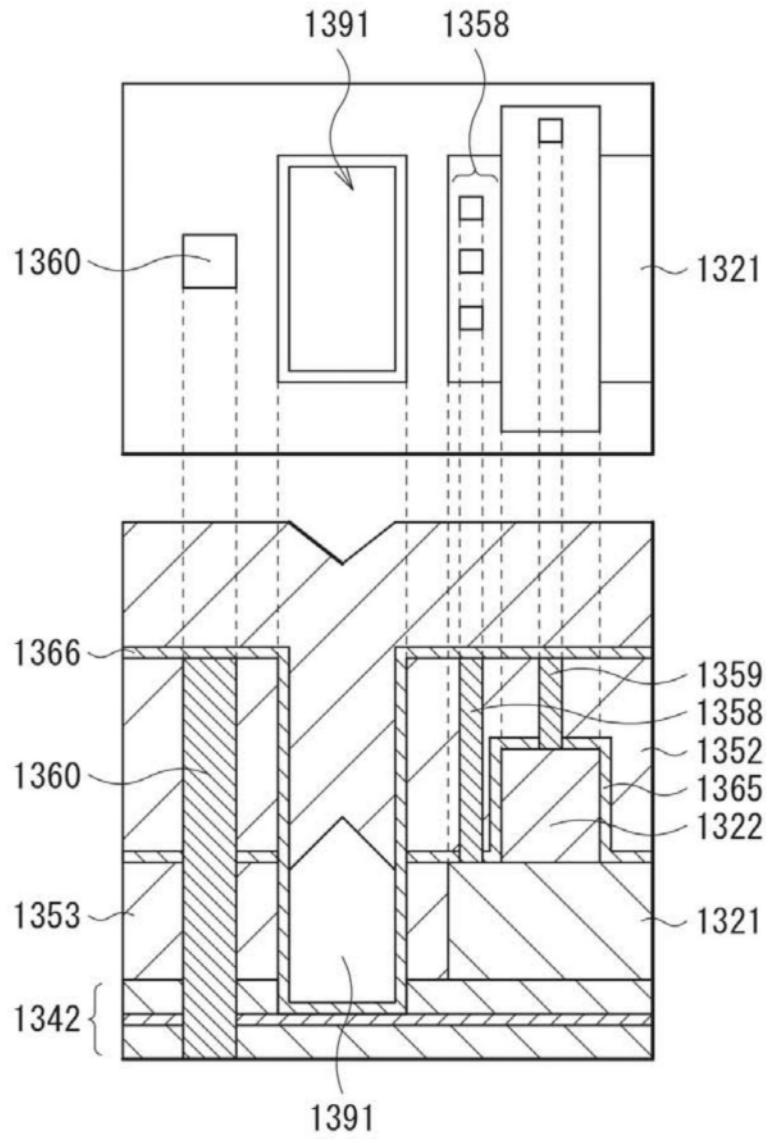


图29C

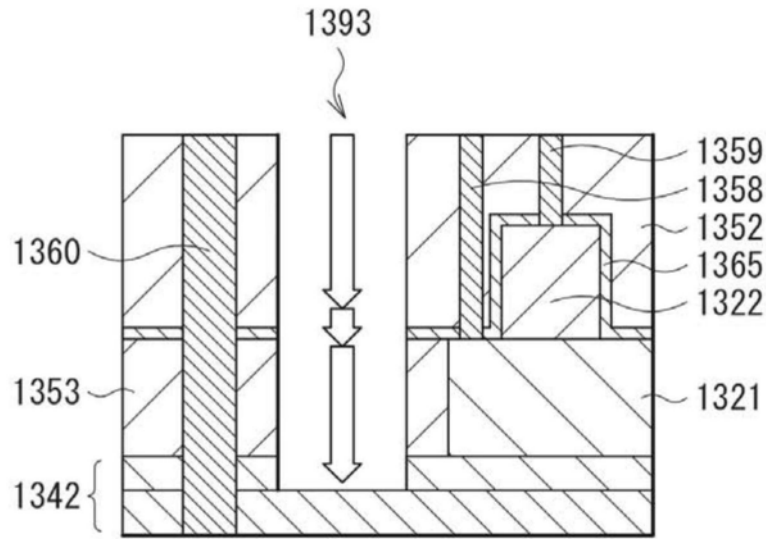


图30

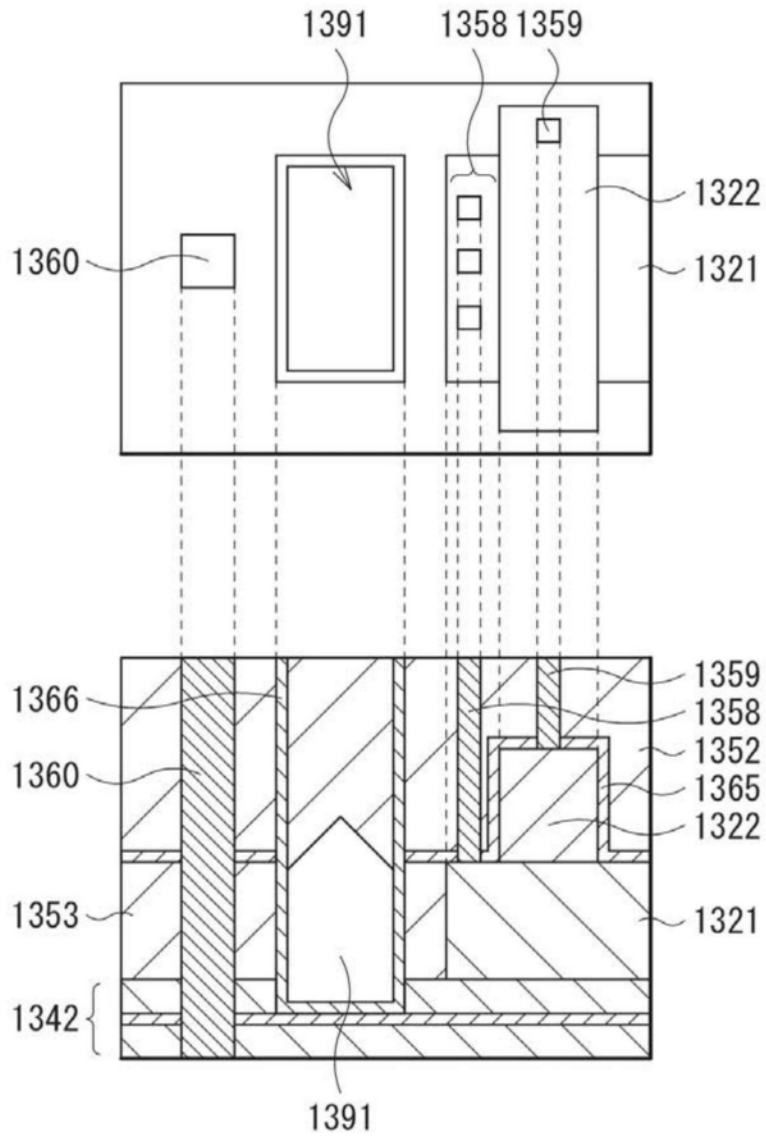


图31A

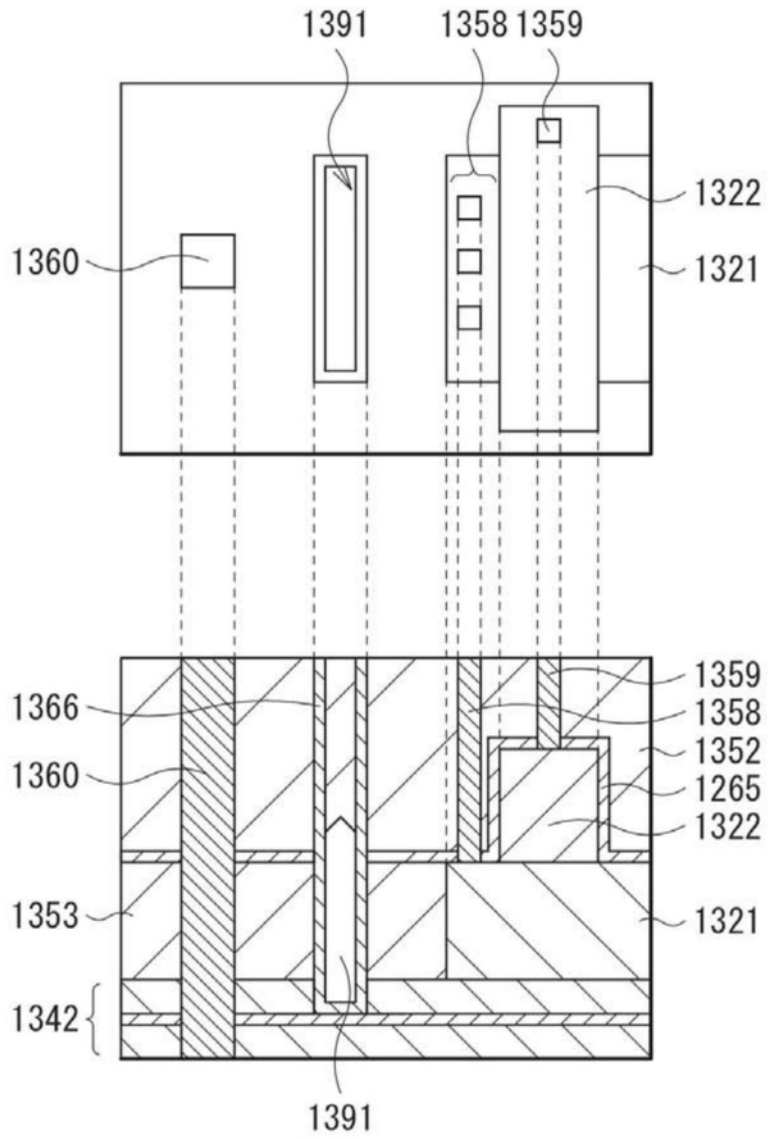


图31B

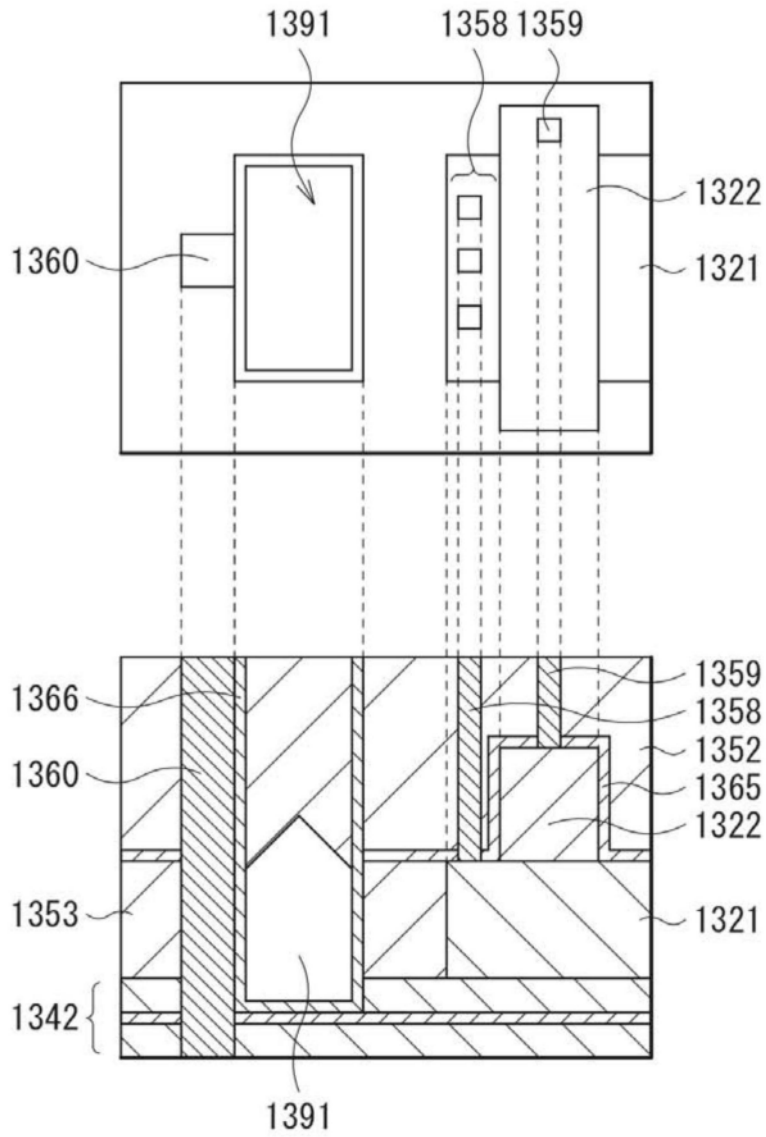


图31C

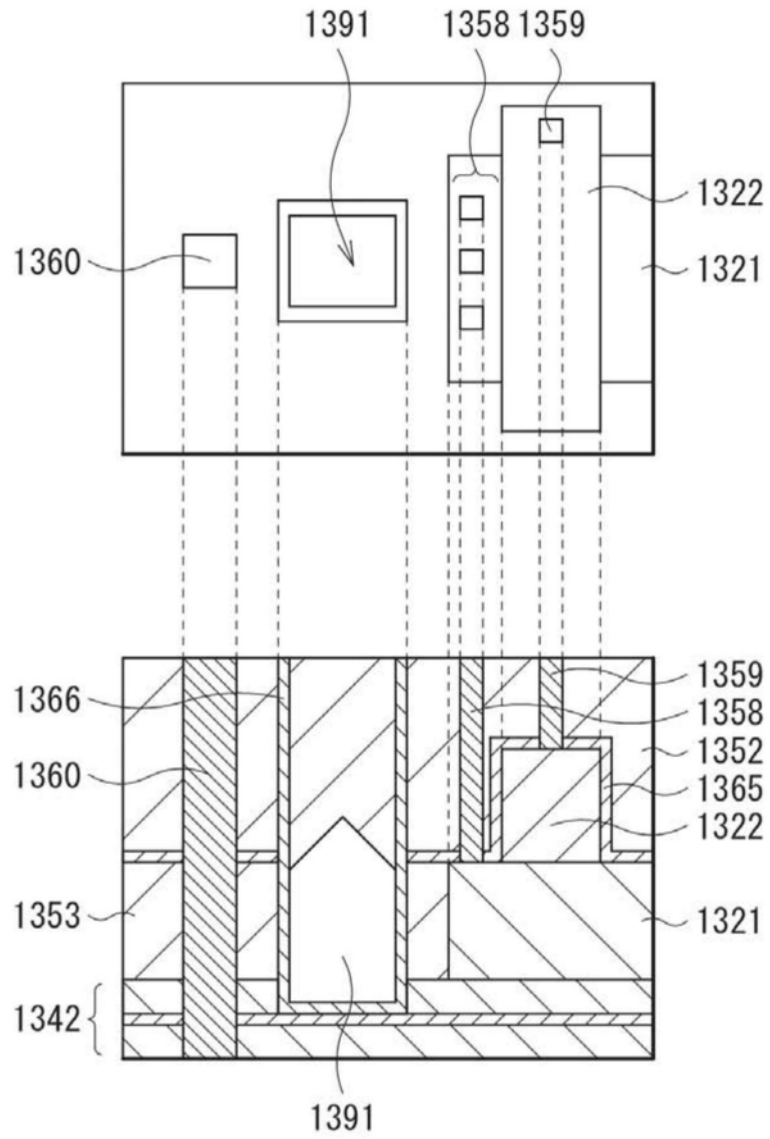


图31D

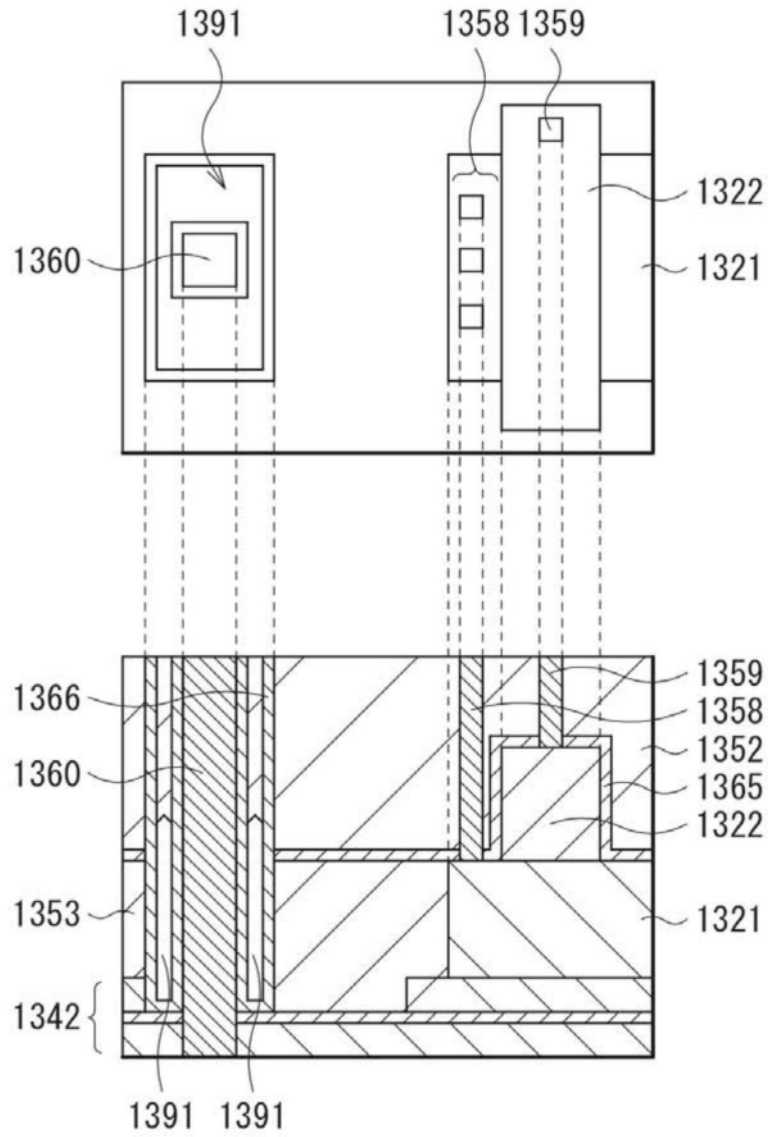


图31E

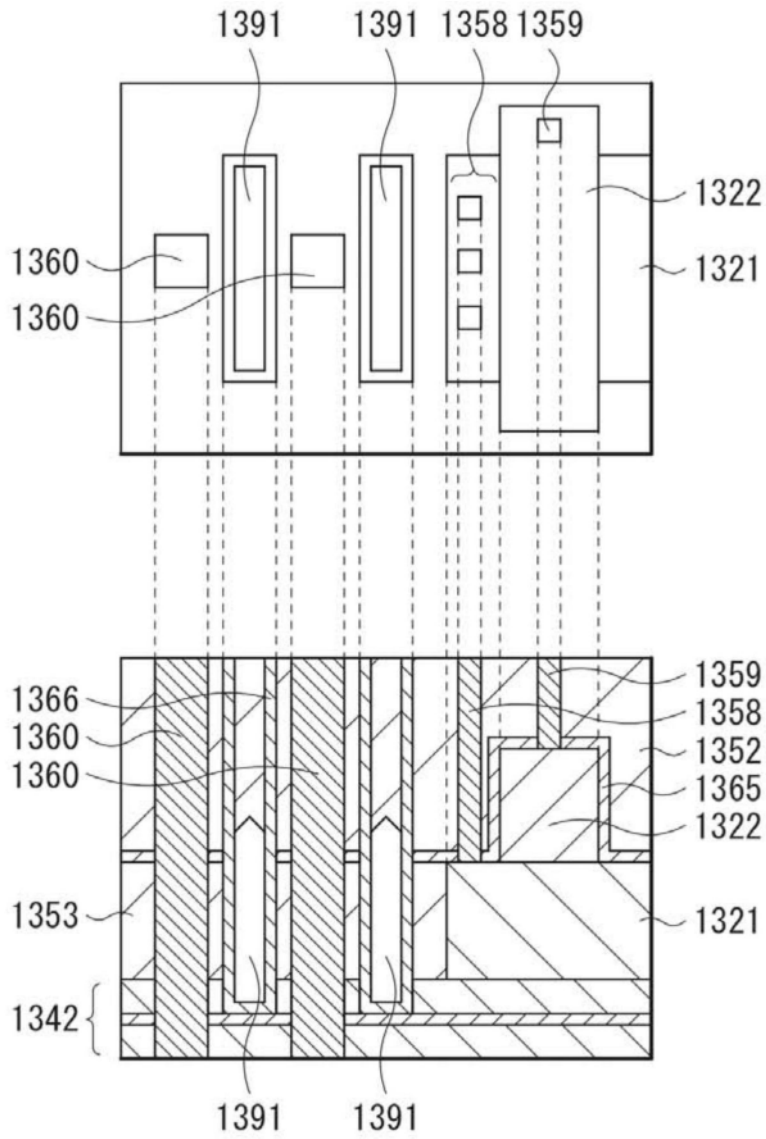


图31F

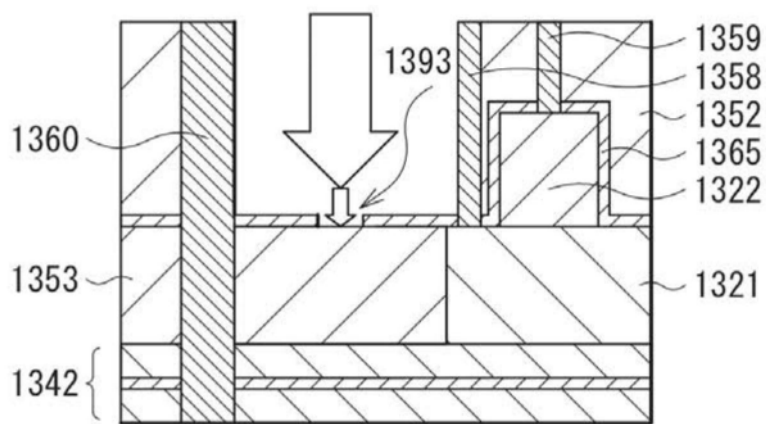


图32A

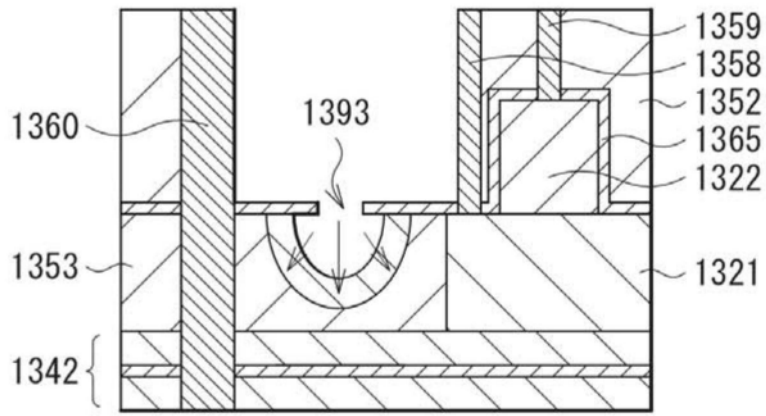


图32B

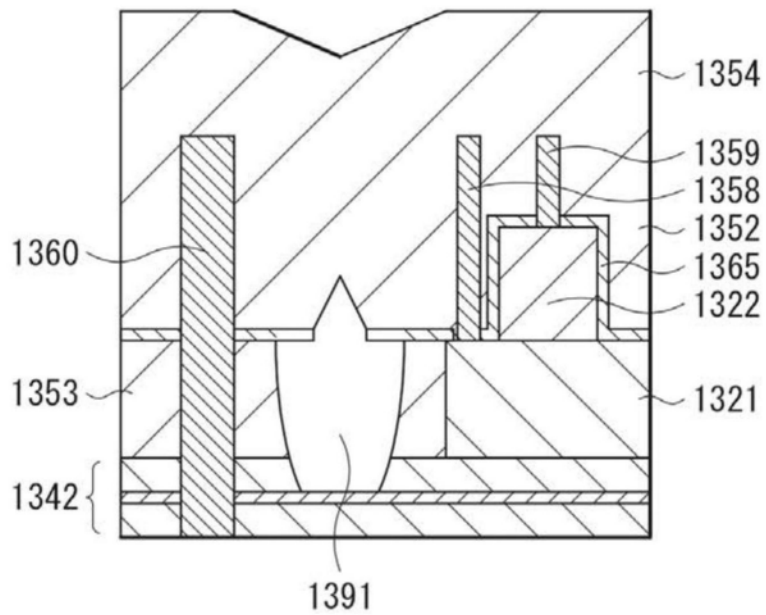


图32C

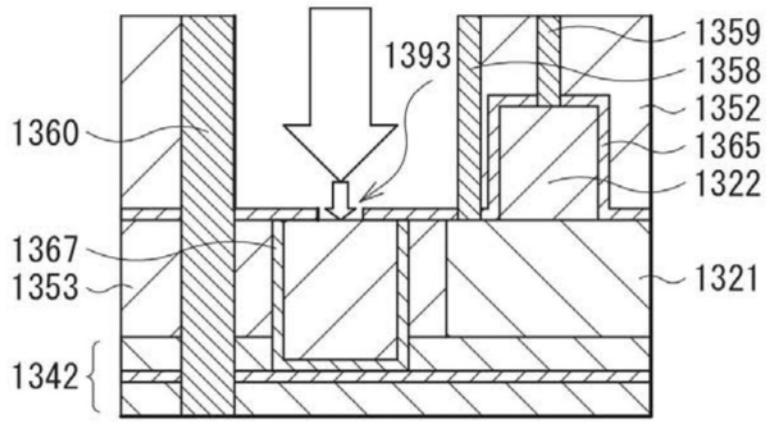


图33A

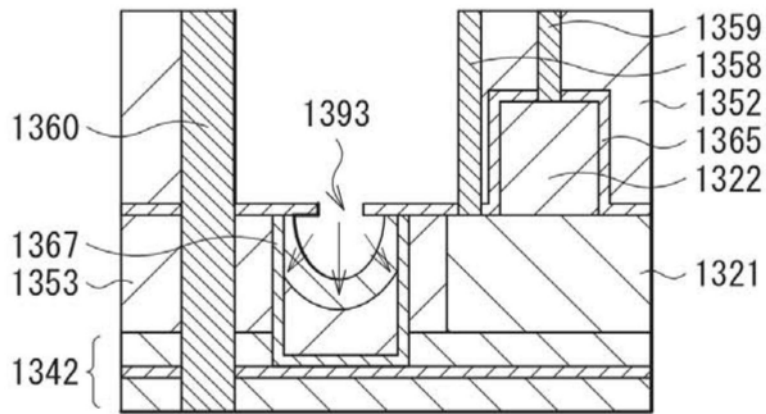


图33B

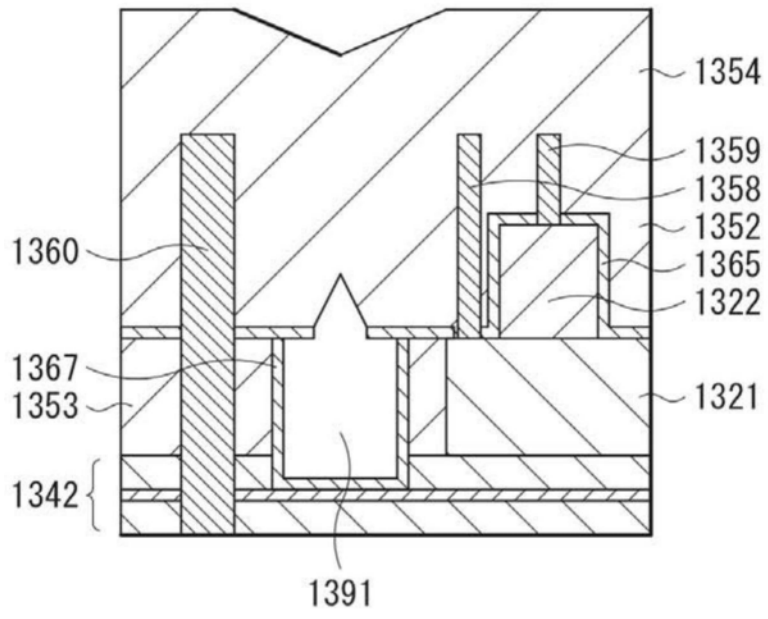


图33C

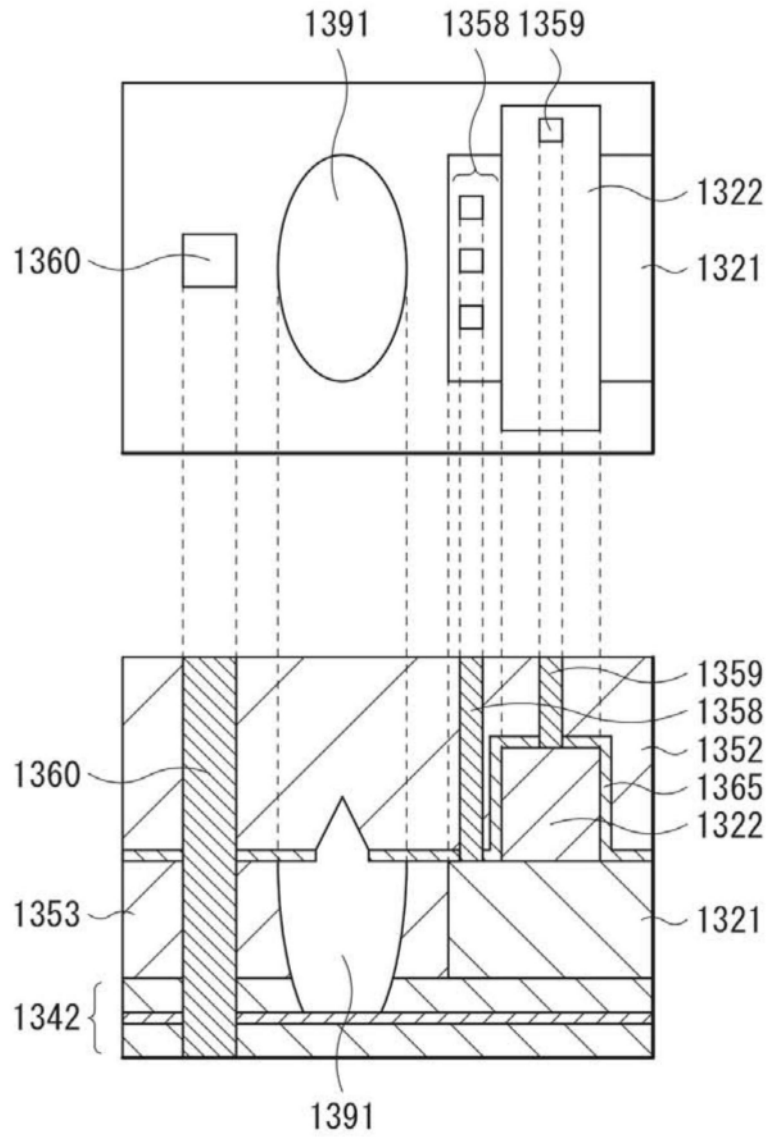


图34A

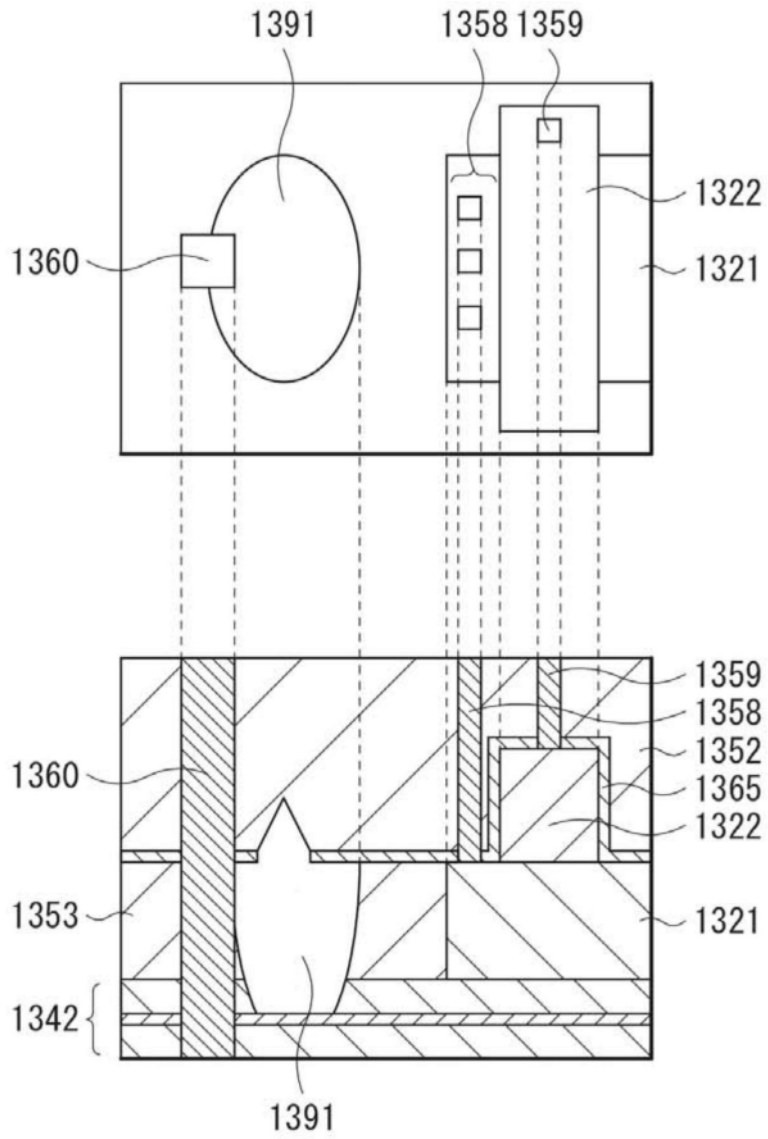


图34B

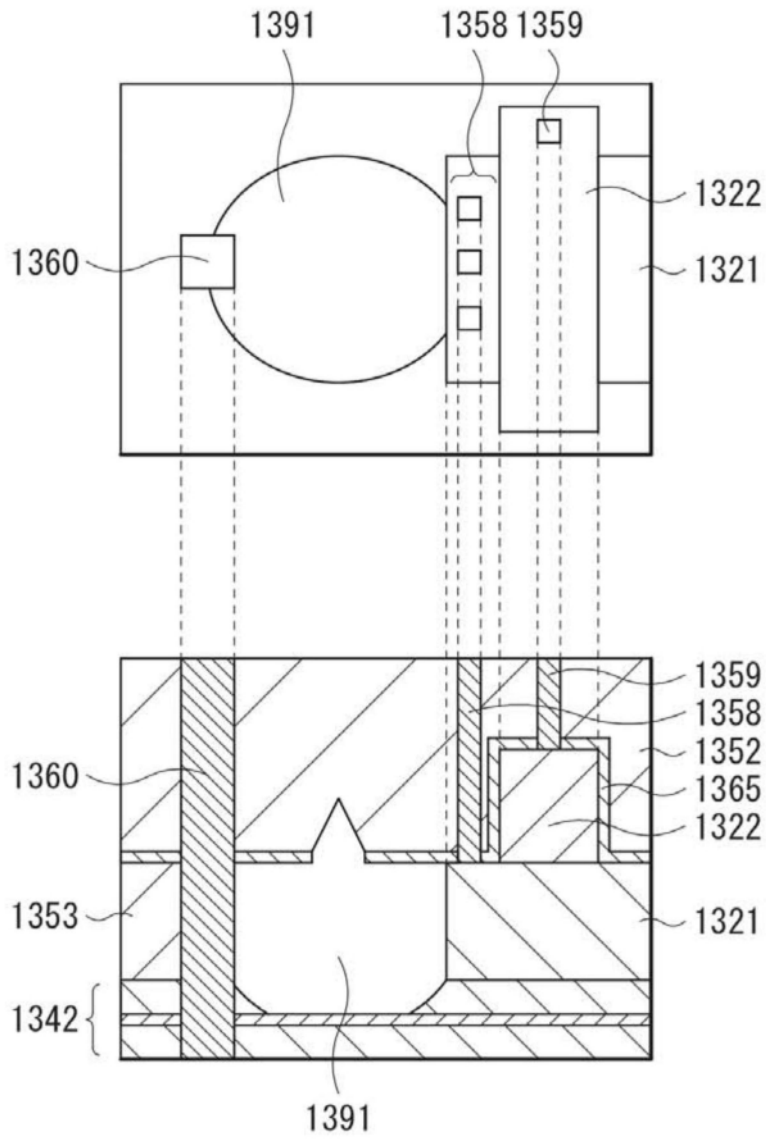


图34C

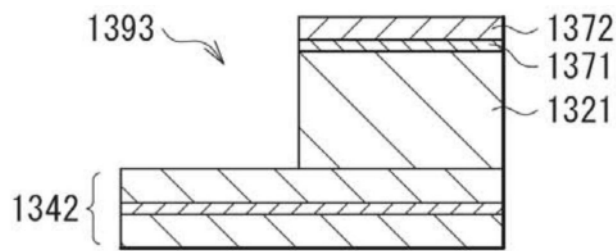


图35A

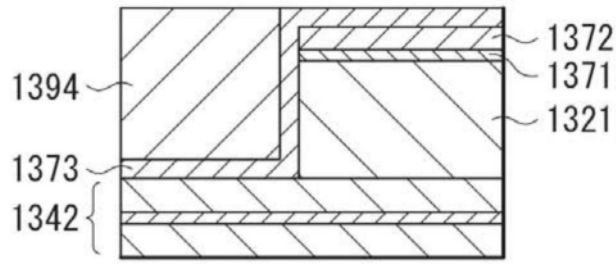


图35B

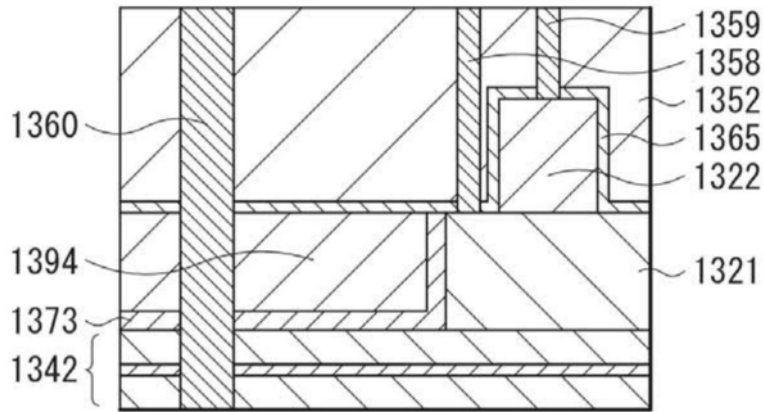


图35C

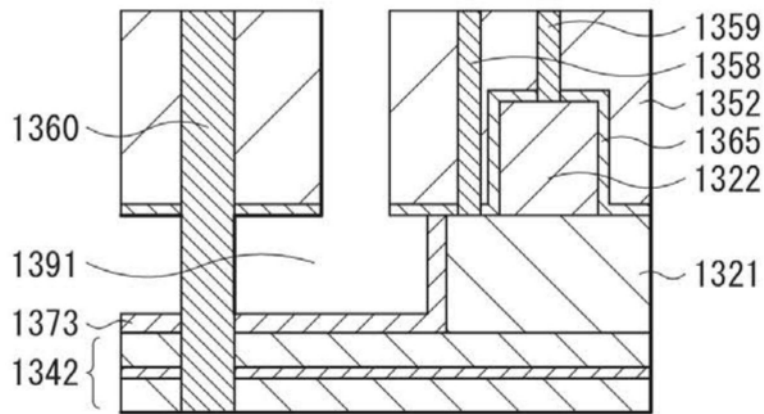


图35D

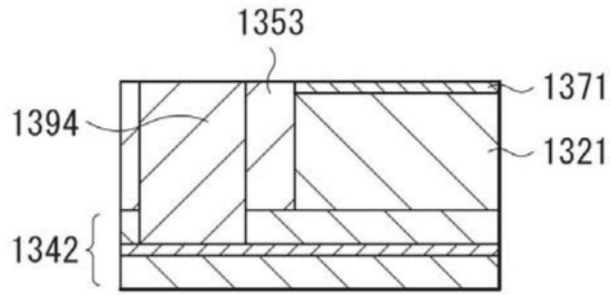


图36A

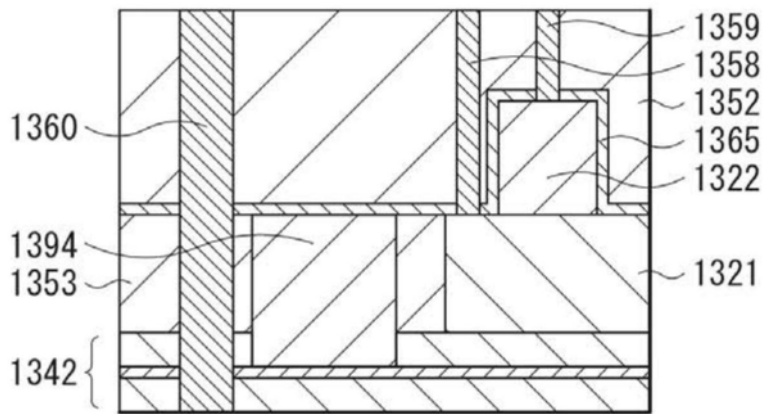


图36B

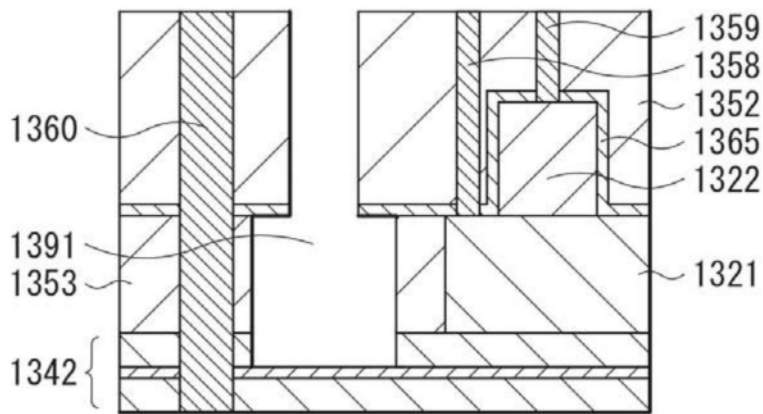


图36C

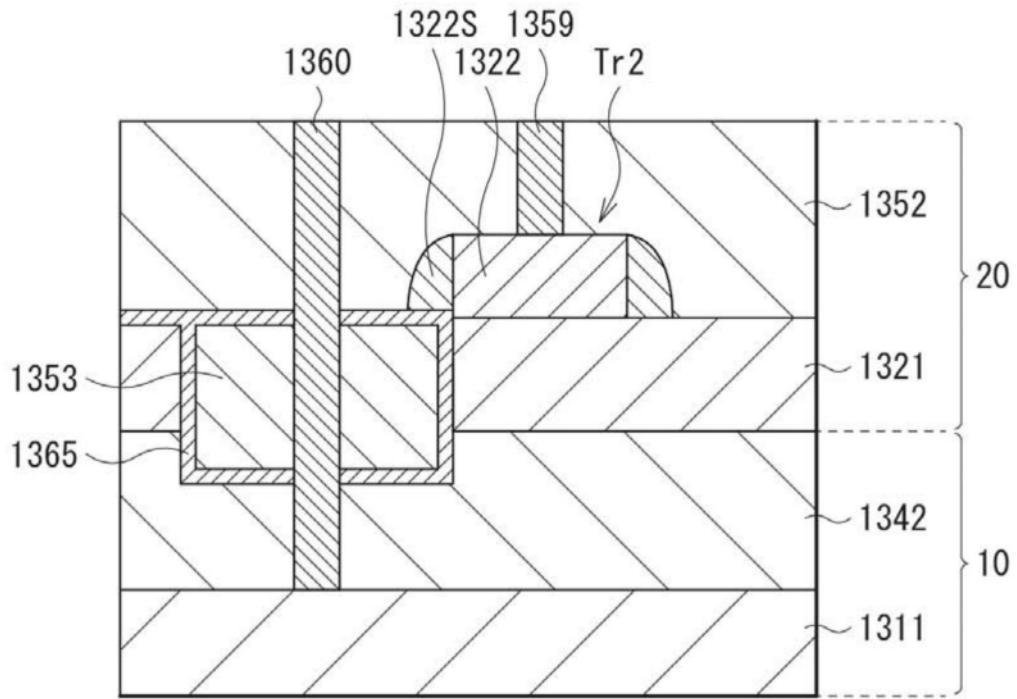


图37A

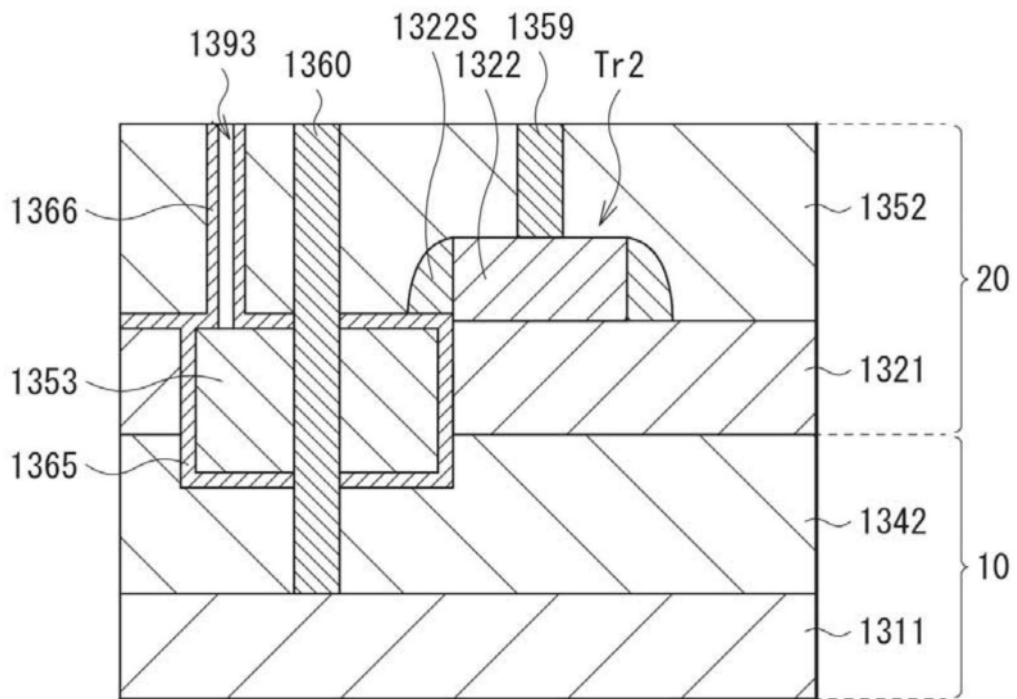


图37B

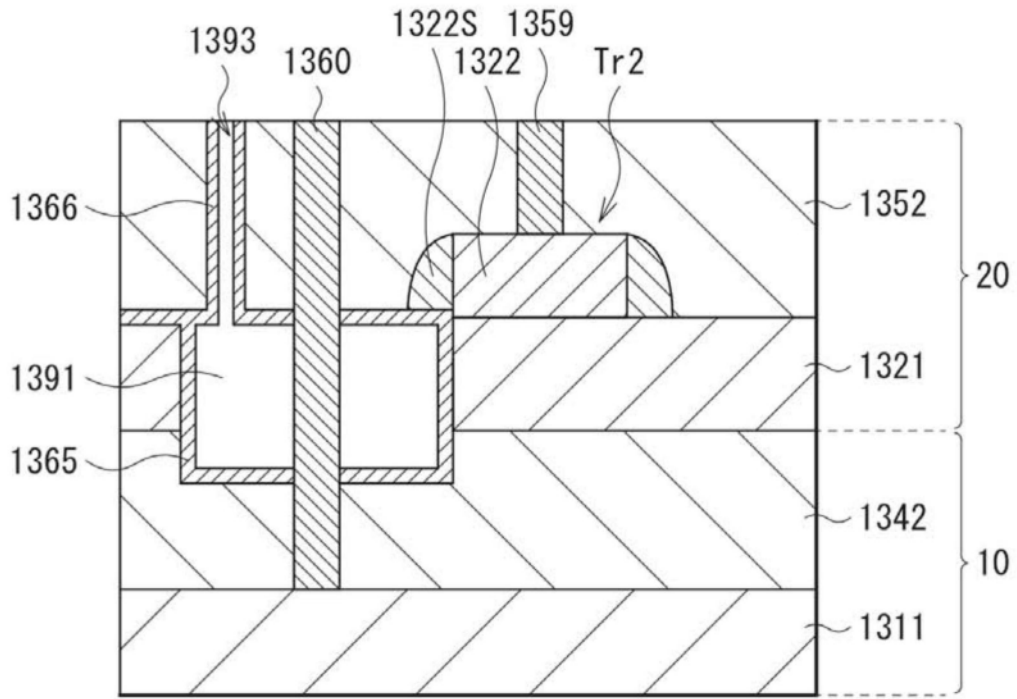


图37C

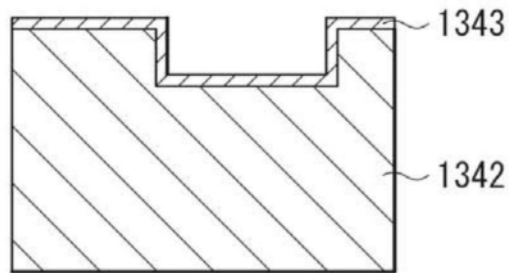


图38A

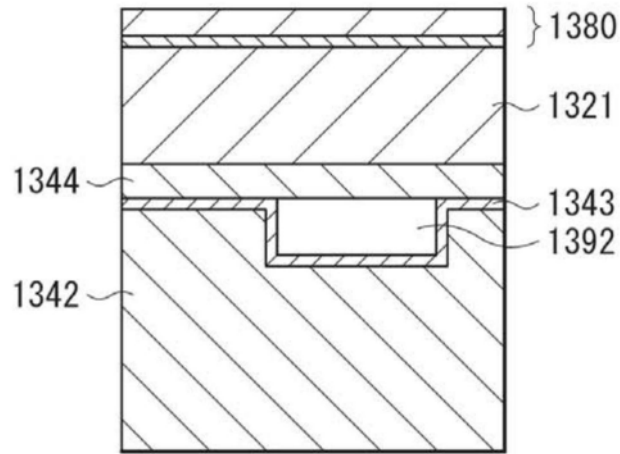


图38B

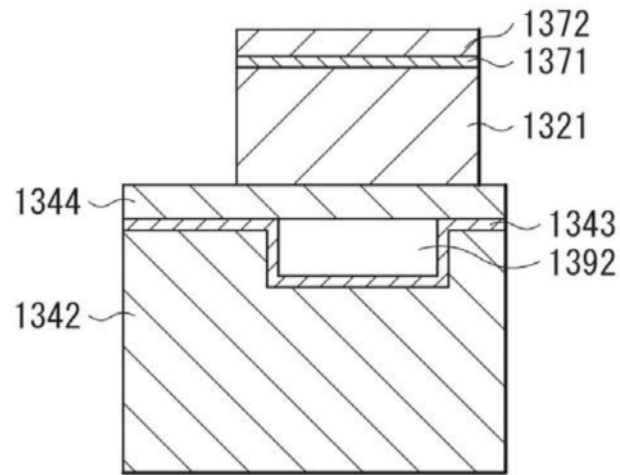


图38C

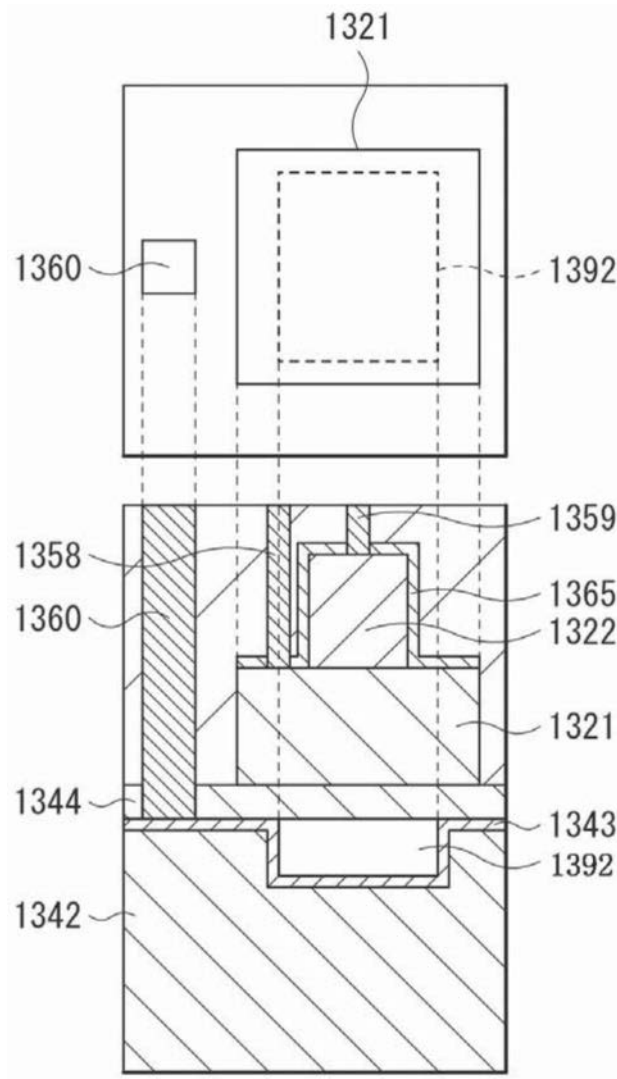


图38D

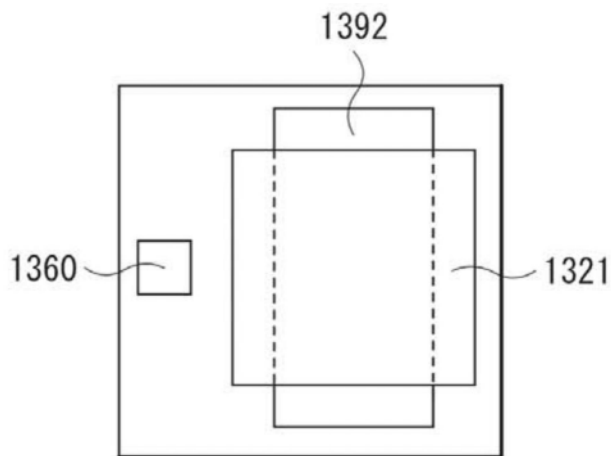


图39A

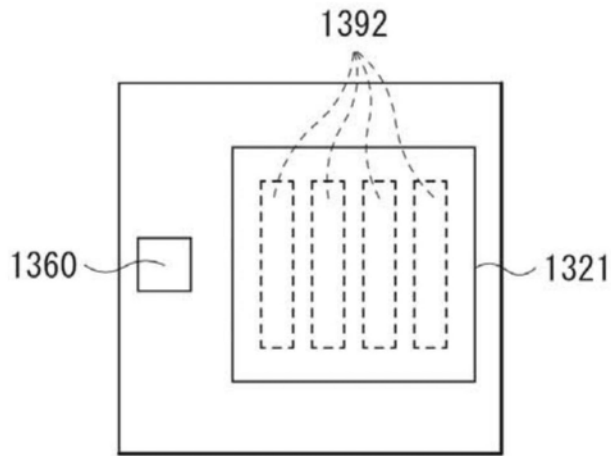


图39B

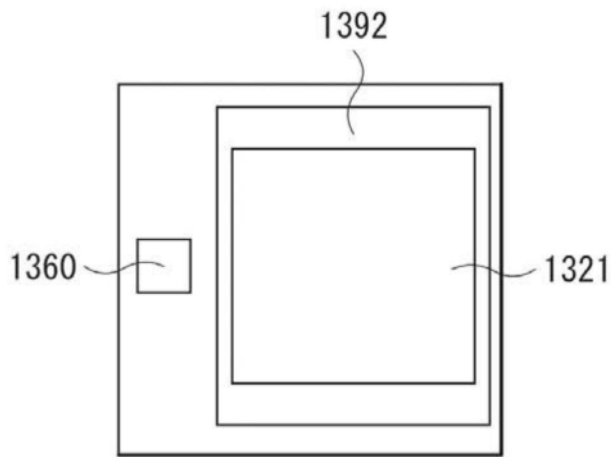


图39C

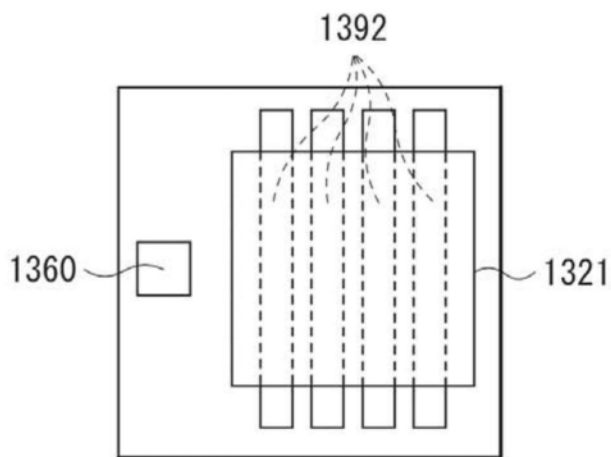


图39D

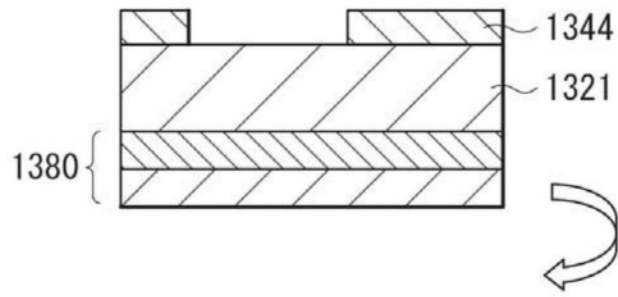


图40A

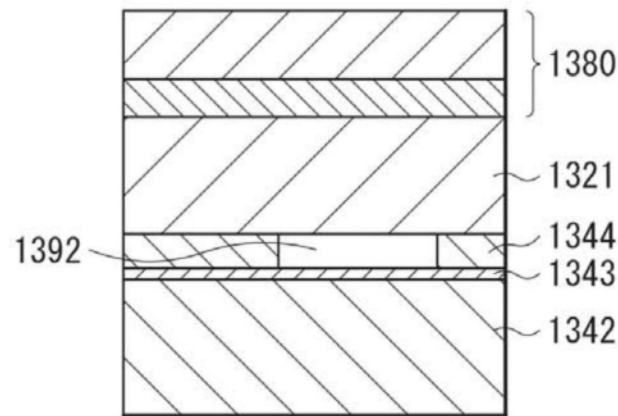
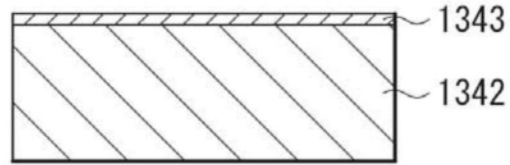


图40B

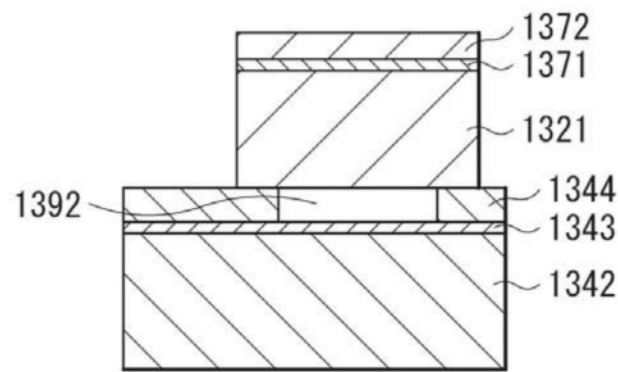


图40C

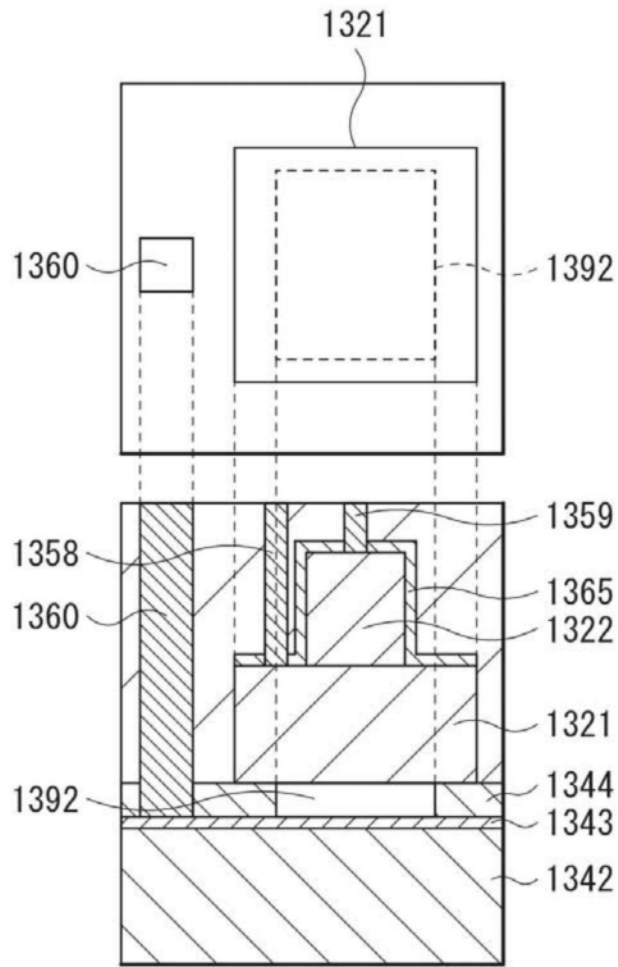


图40D

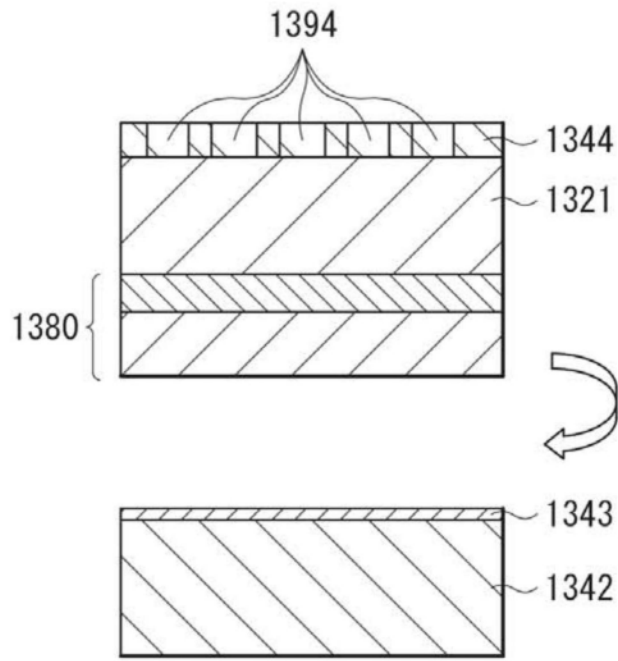


图41A

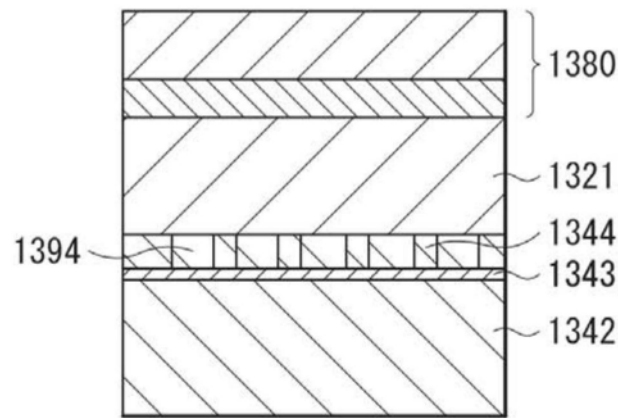


图41B

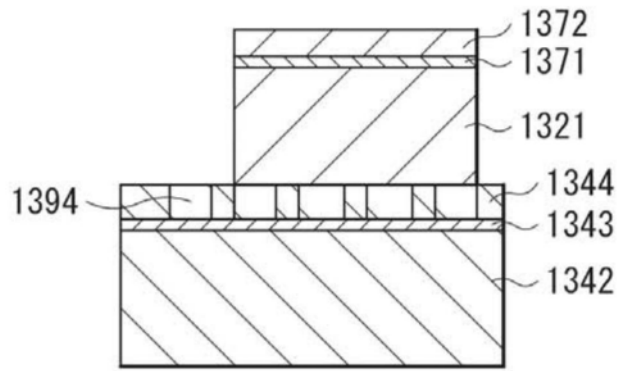


图41C

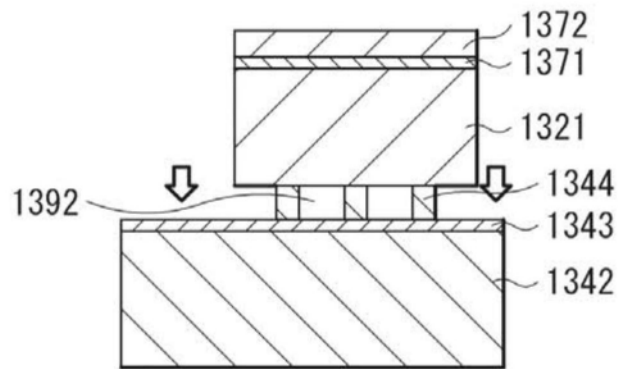


图41D

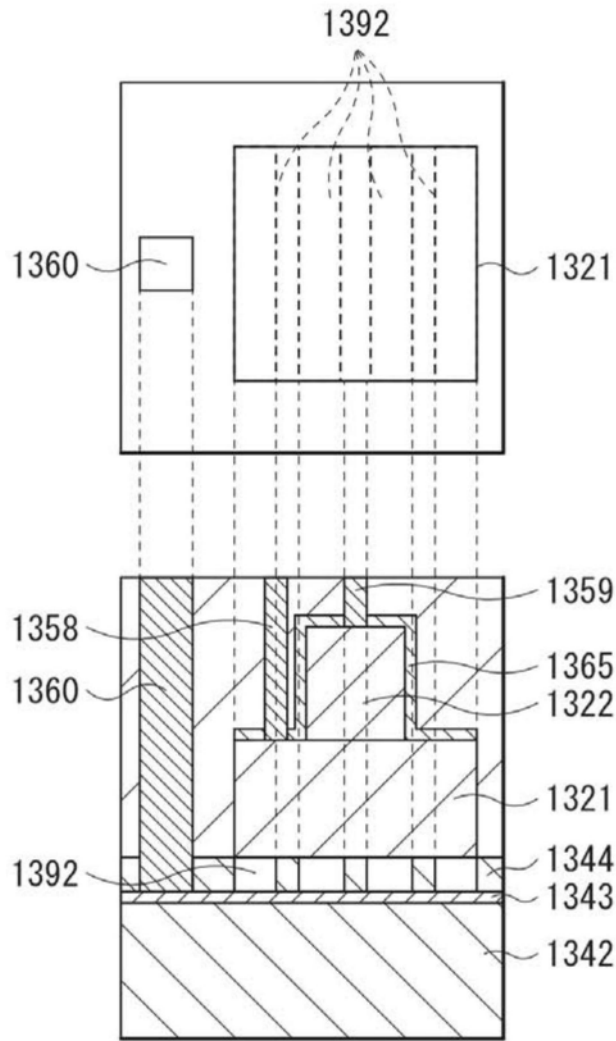


图41E

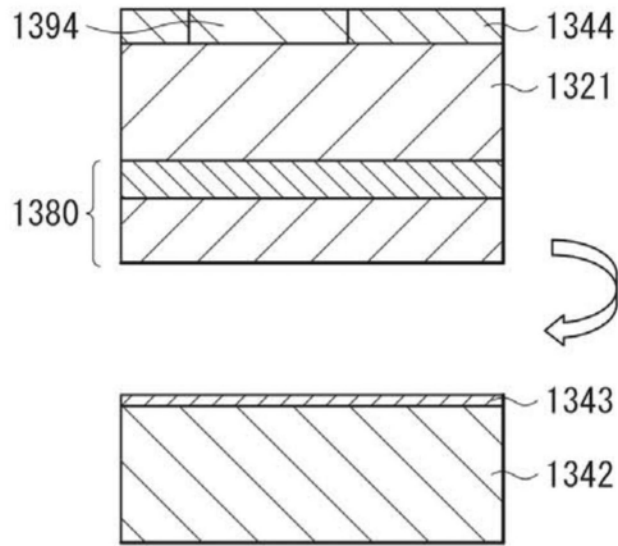


图42A

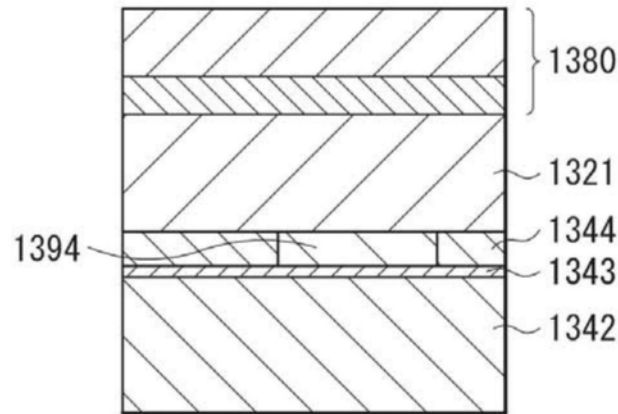


图42B

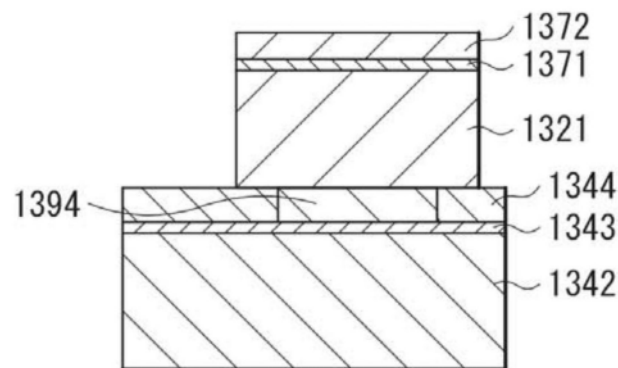


图42C

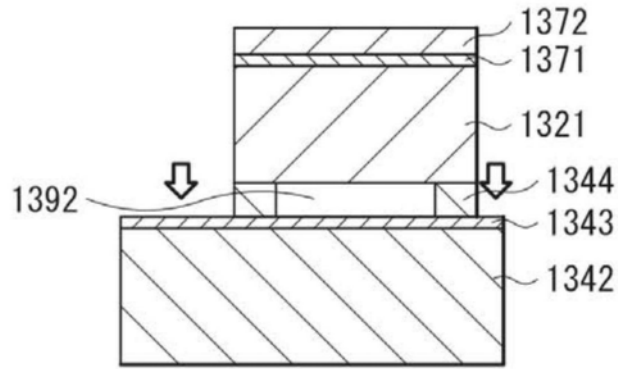


图42D

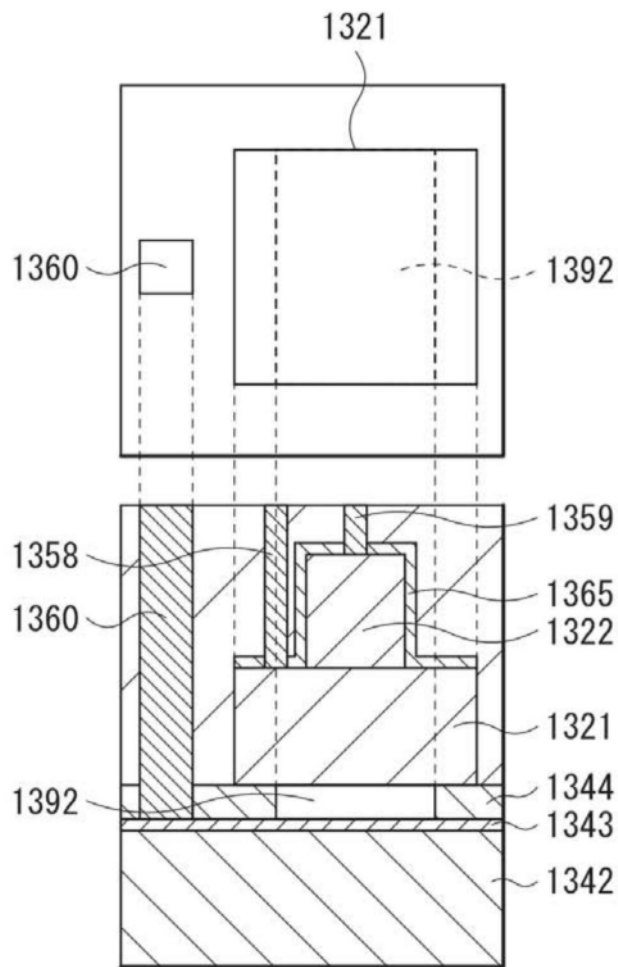


图42E

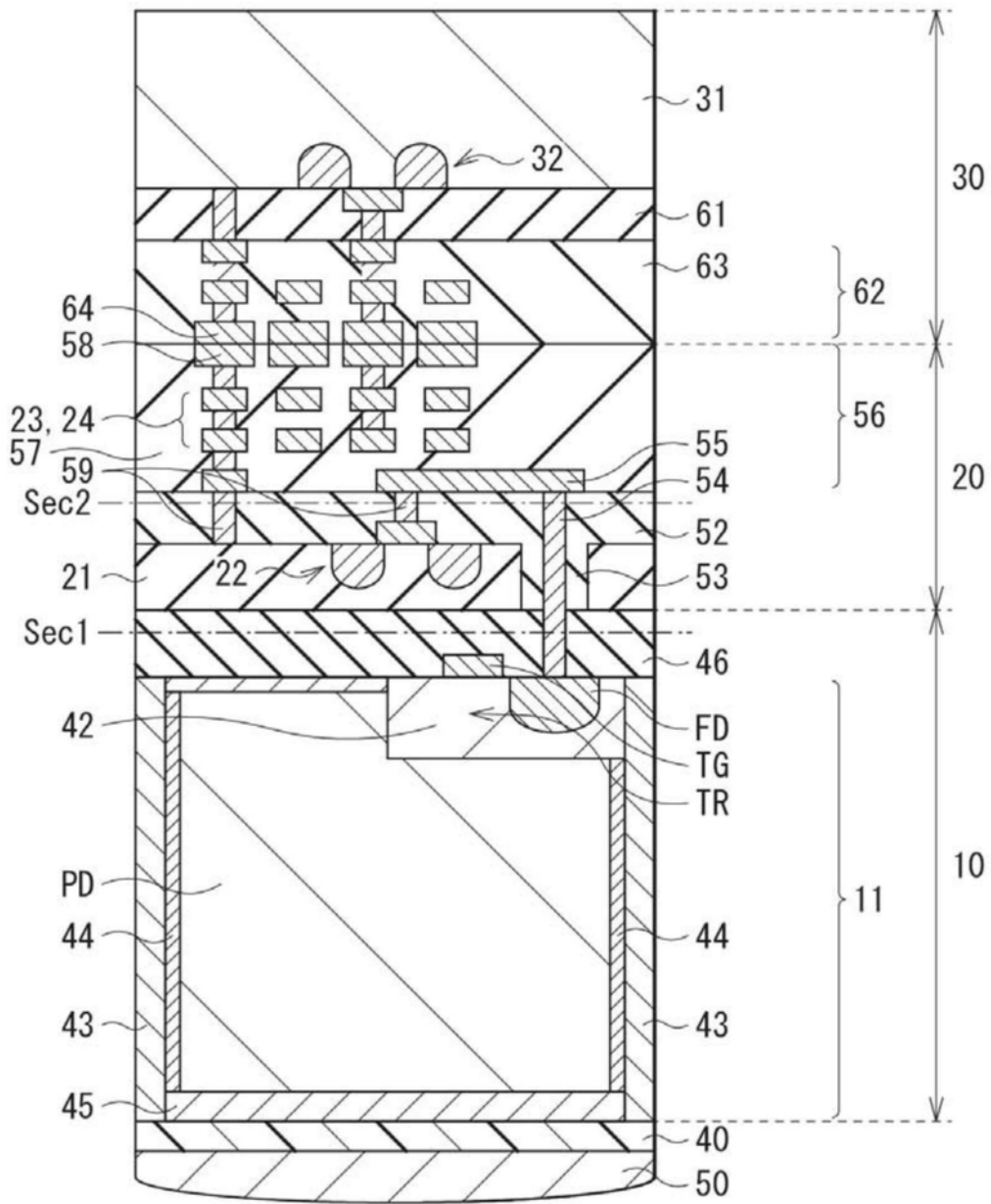


图43

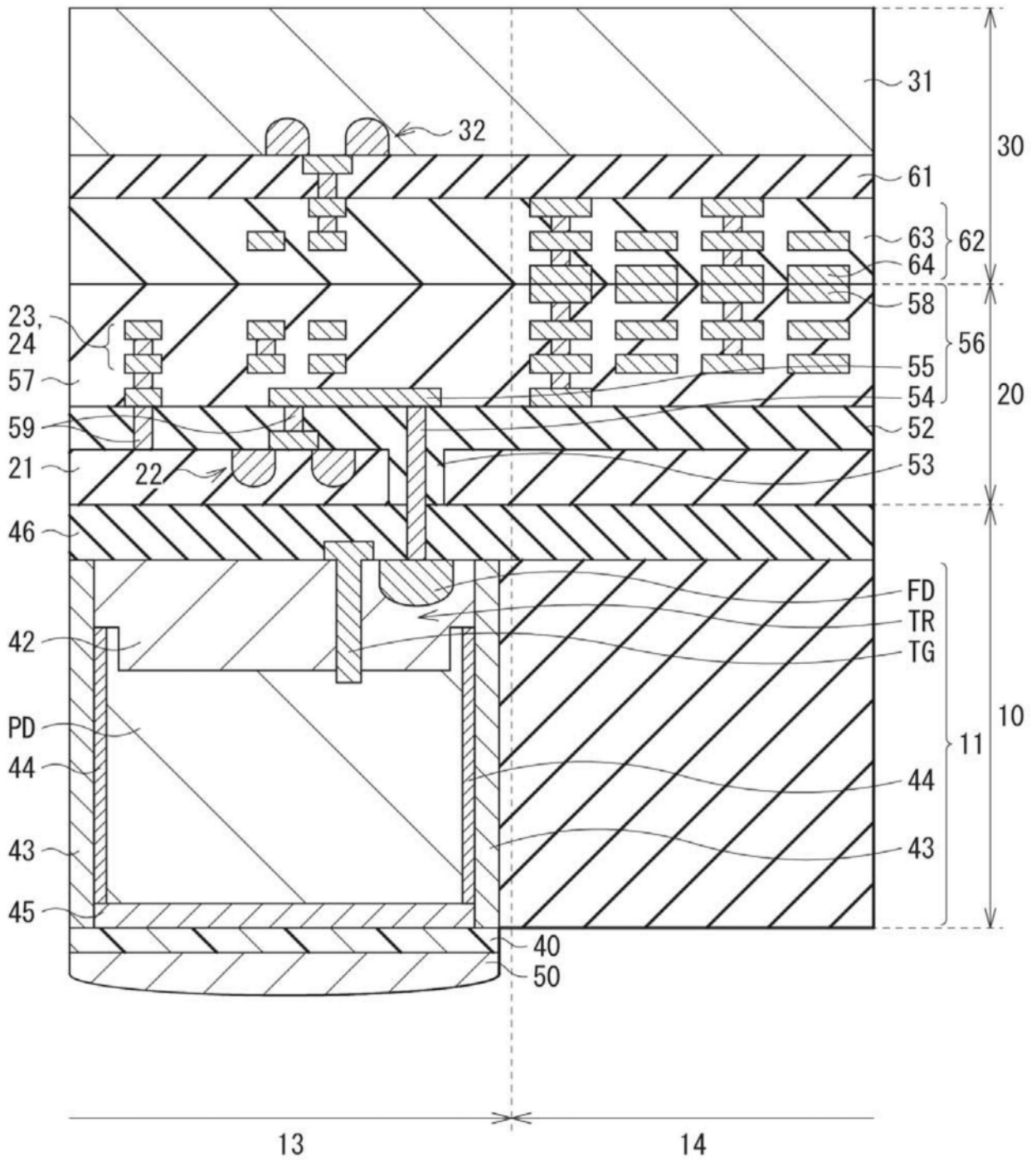


图44

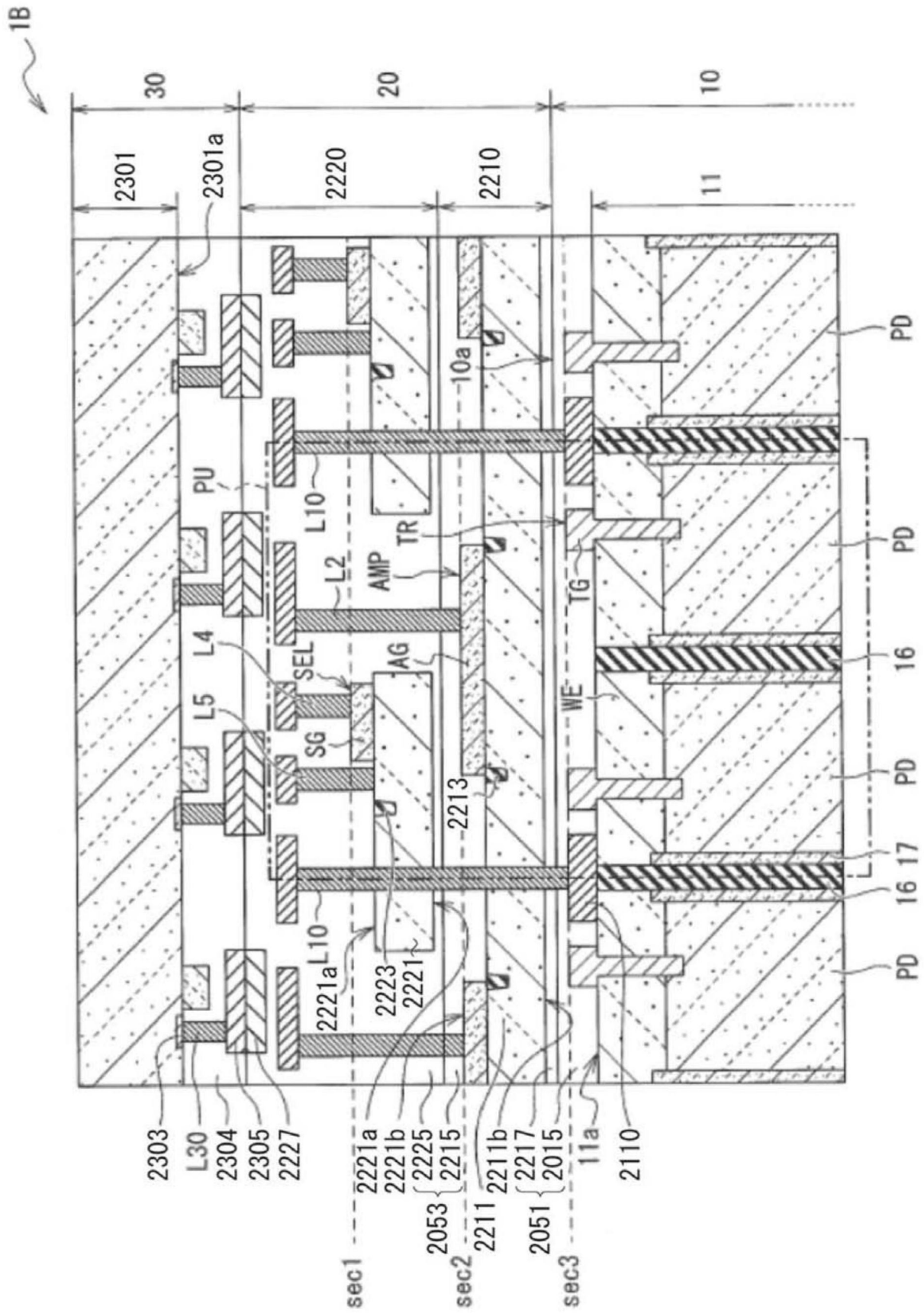


图45

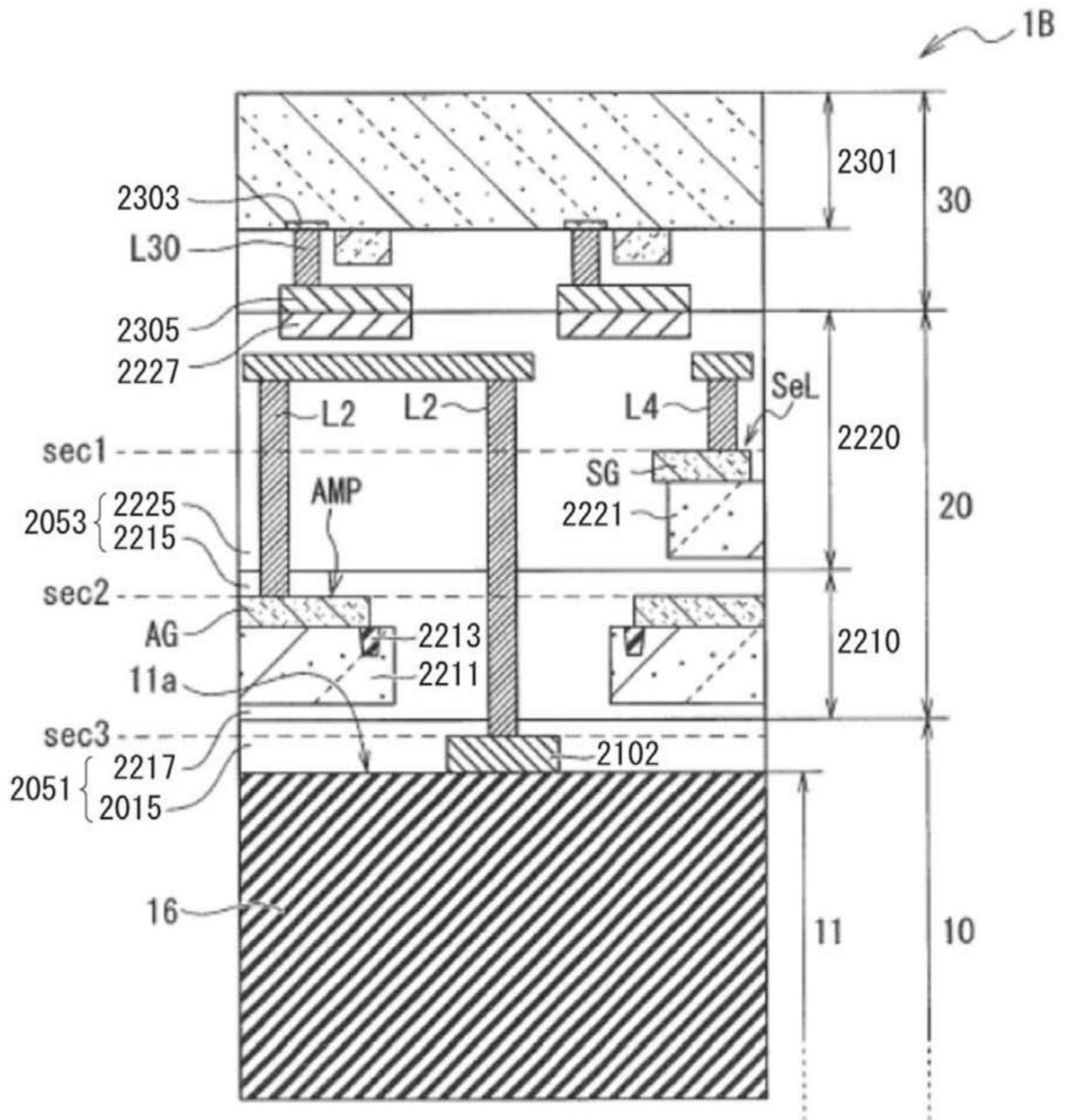


图46

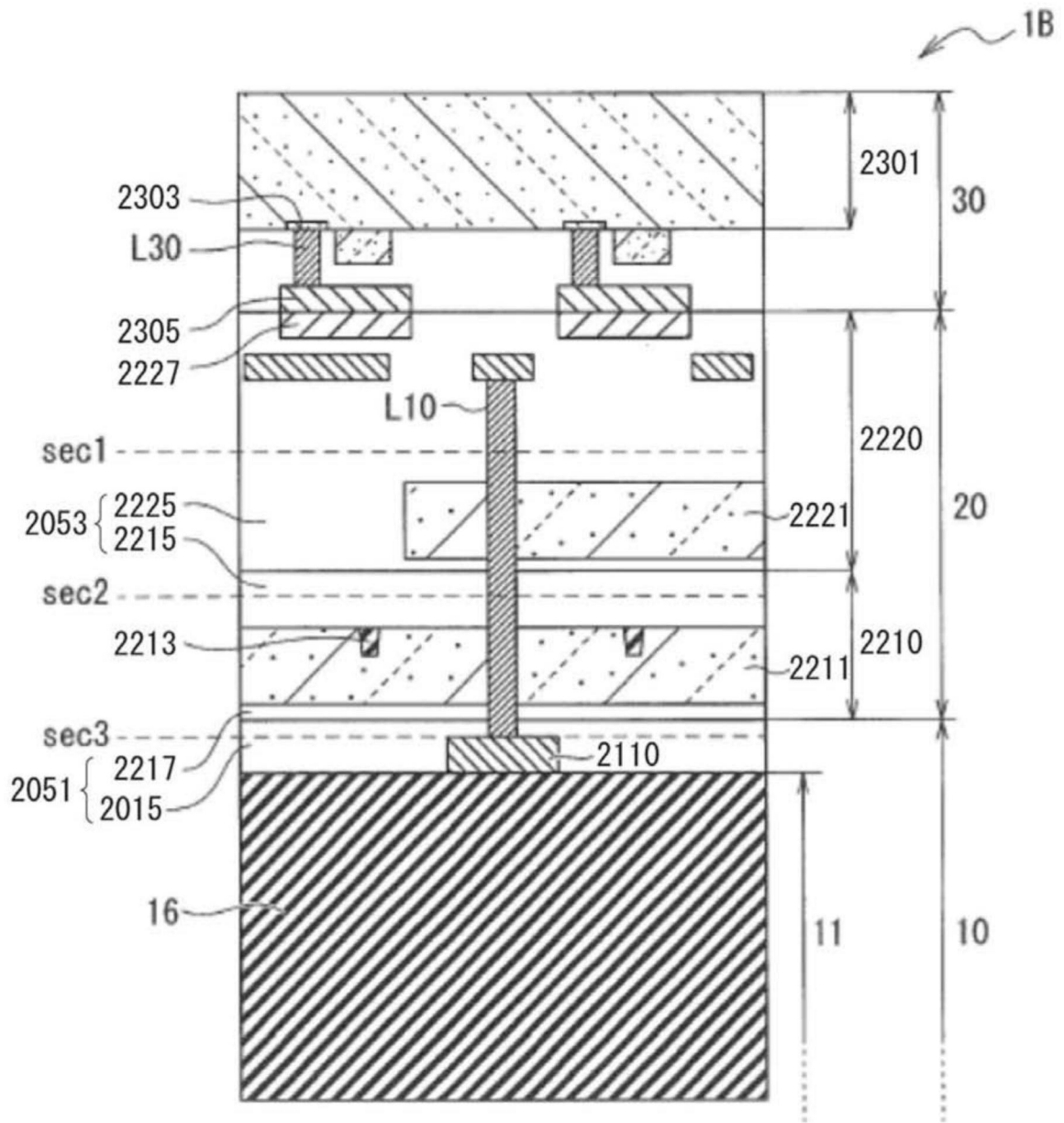


图47

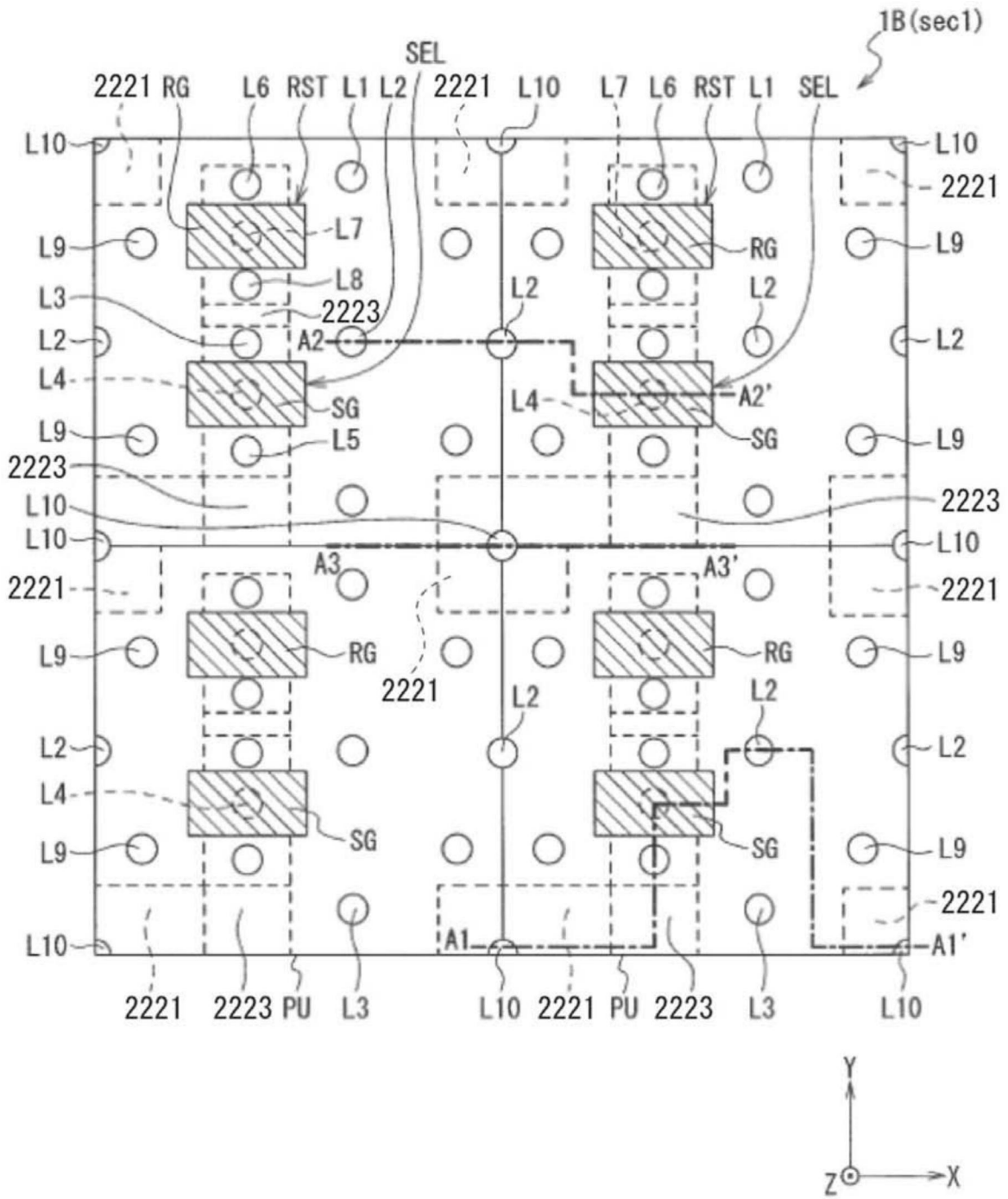


图48

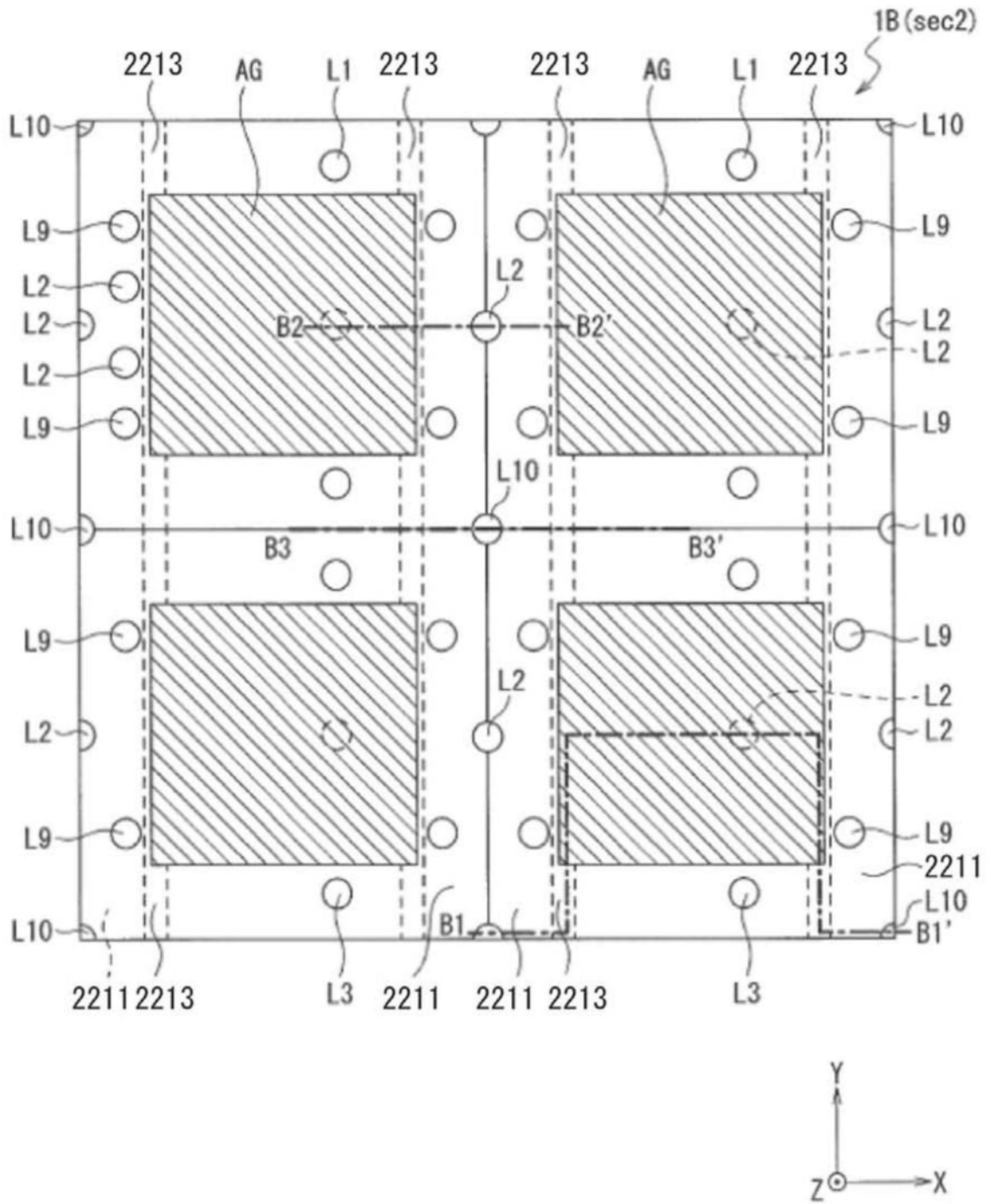


图49

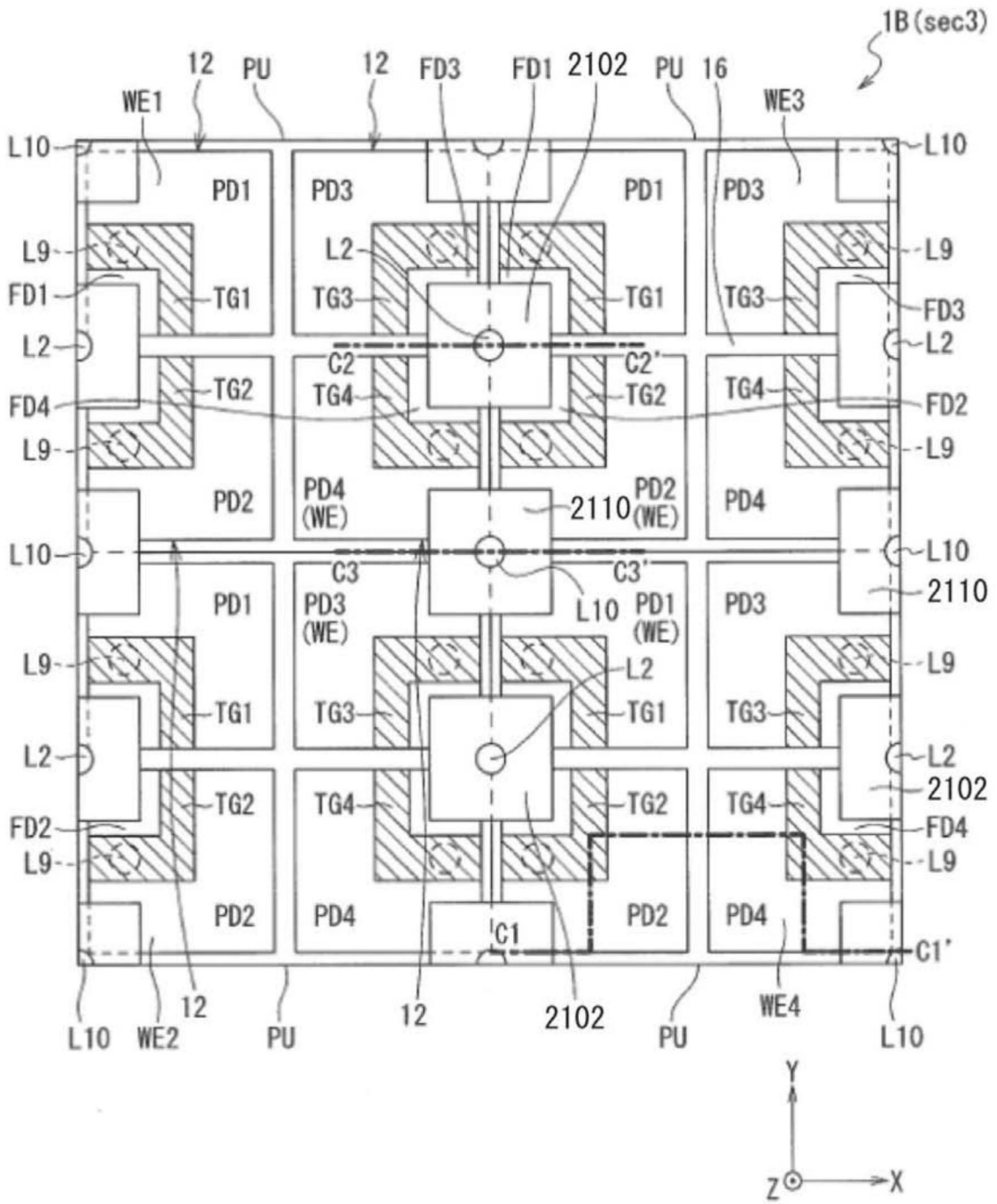


图50

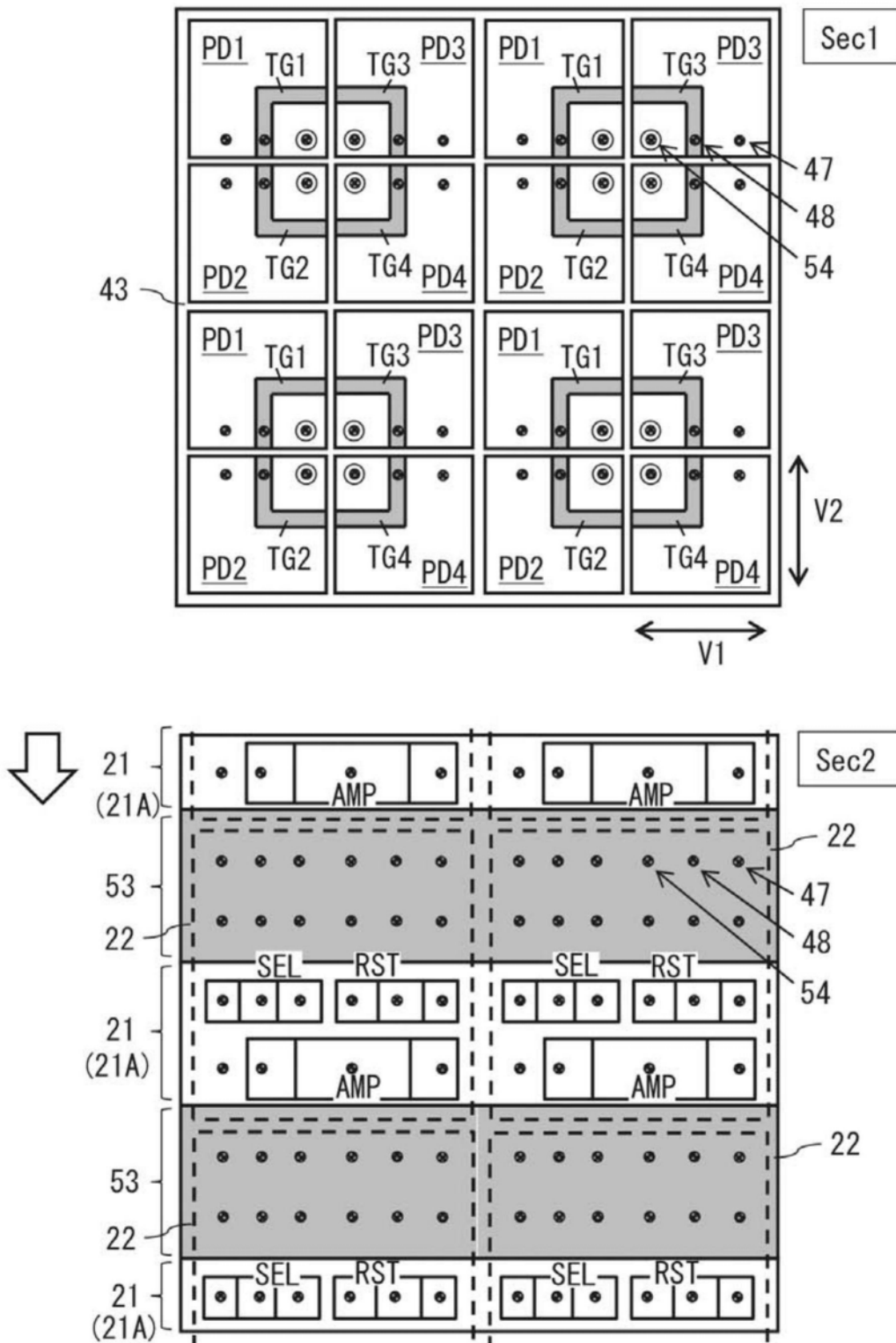


图51

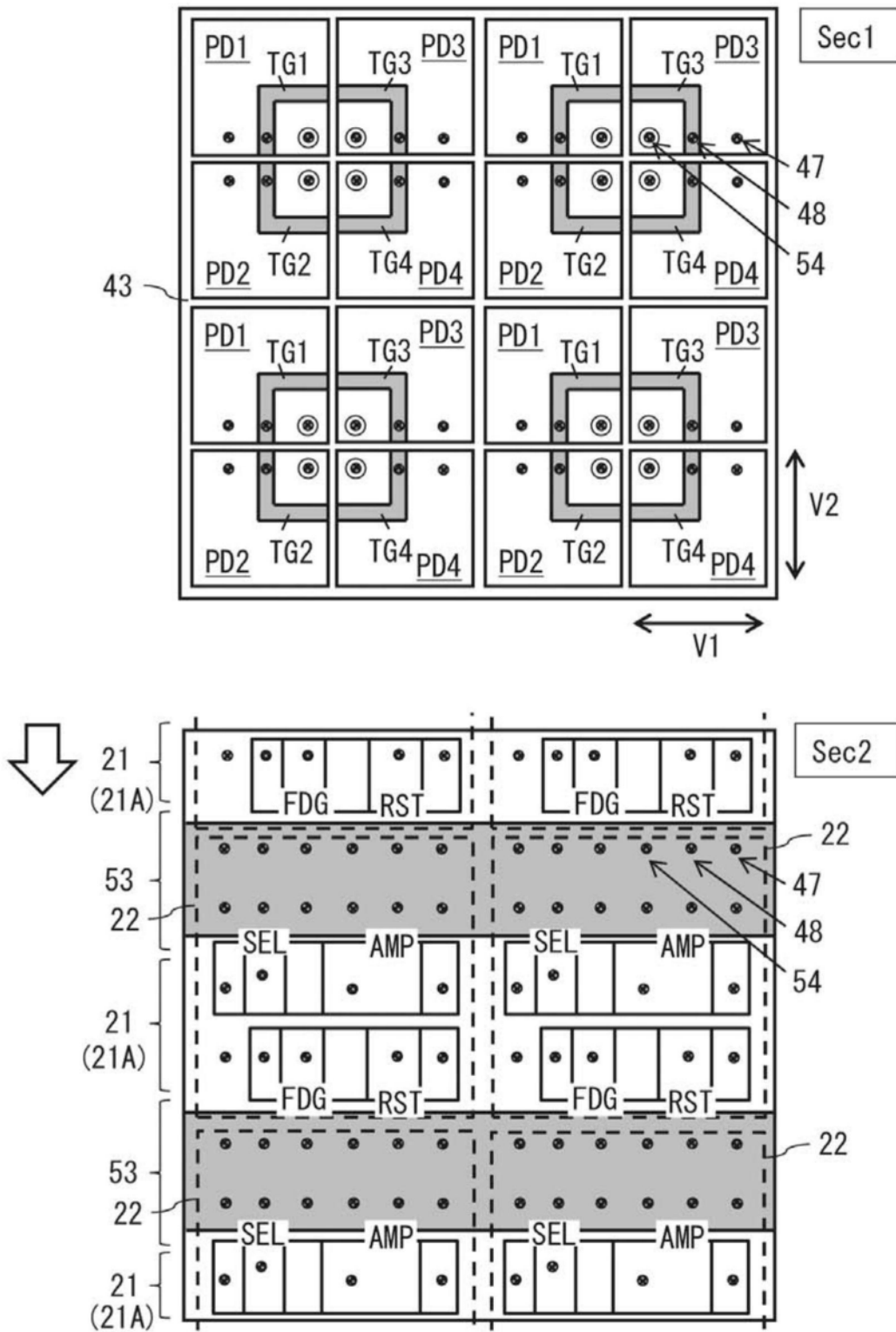


图52

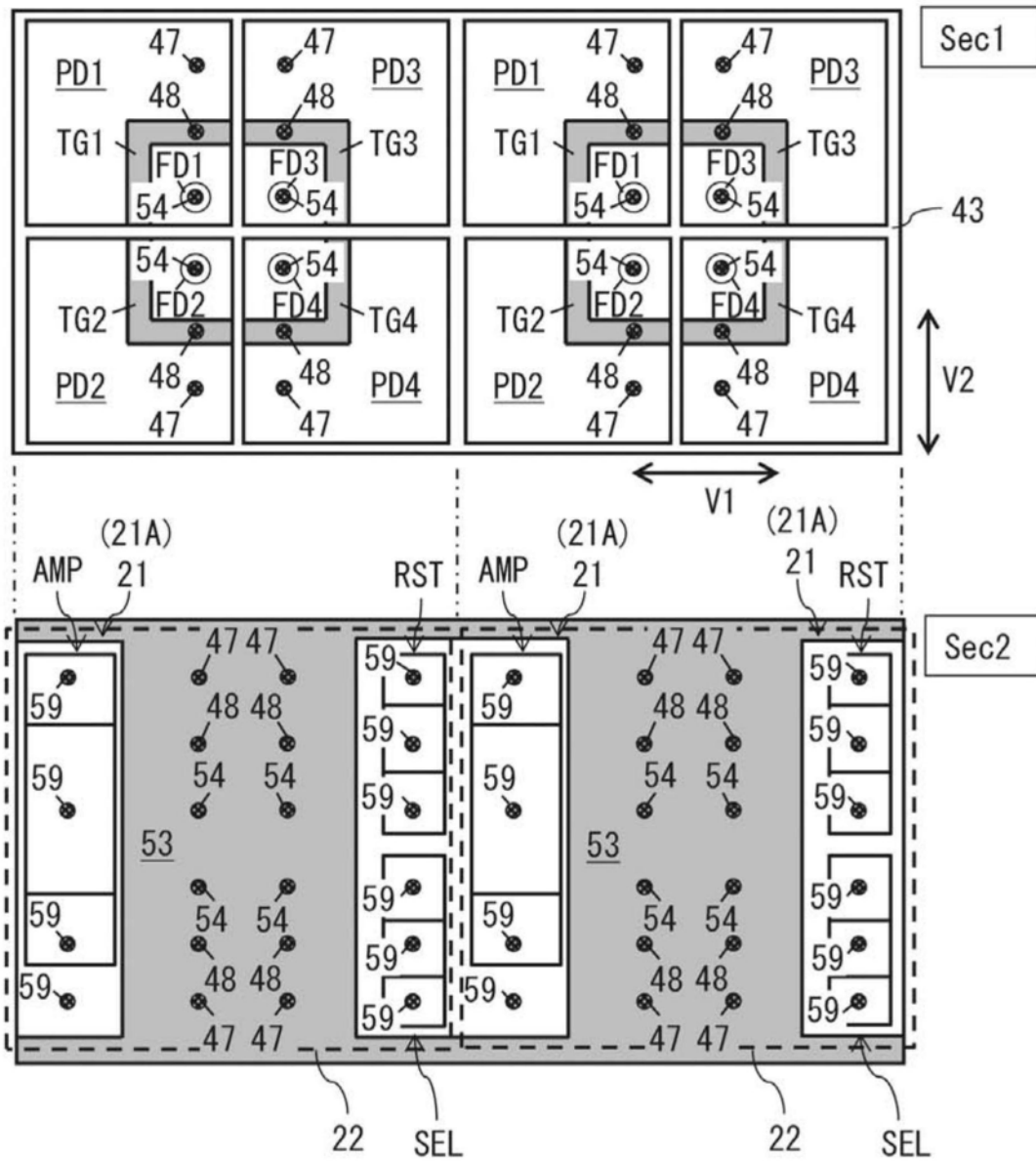


图53

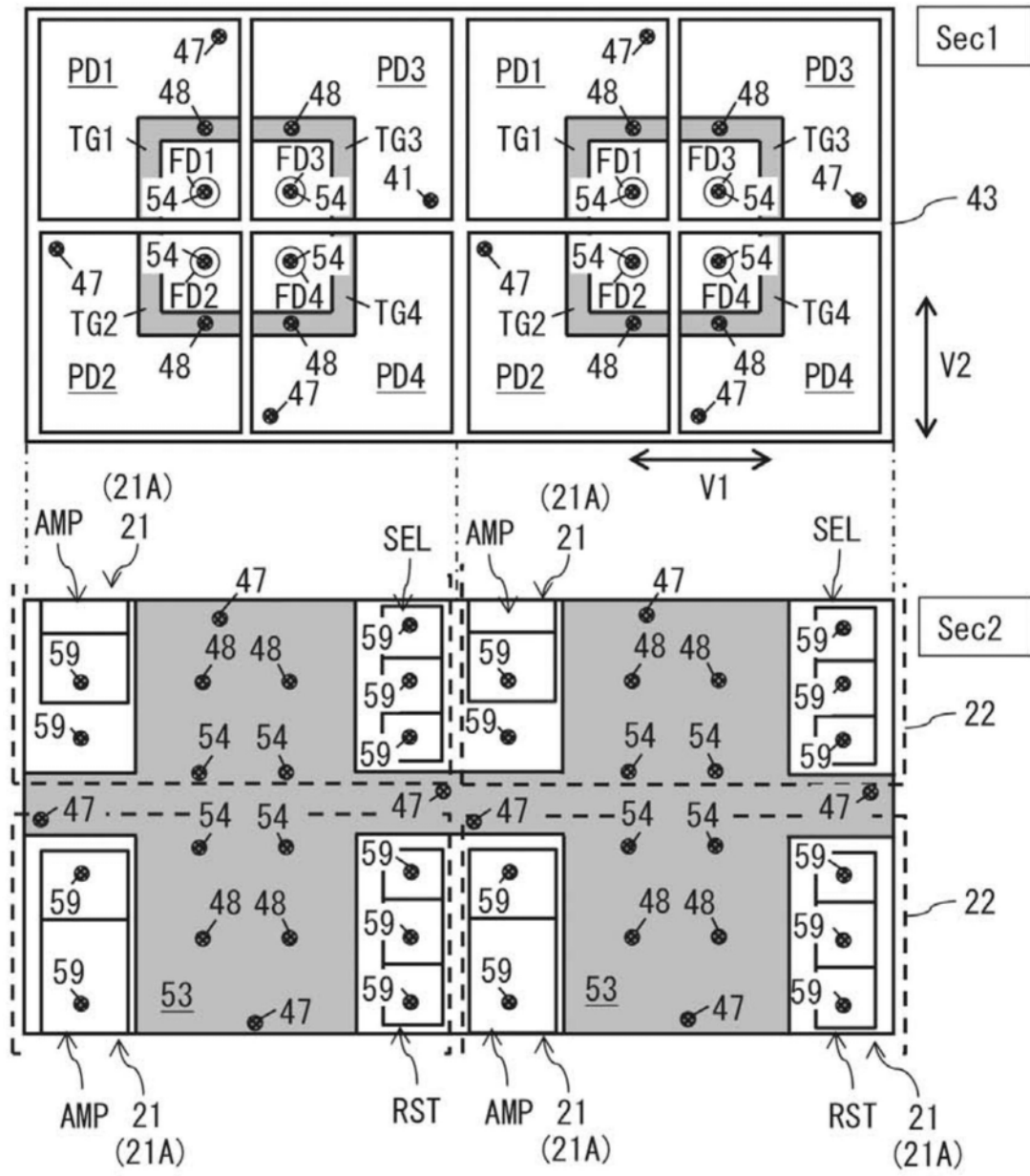


图54

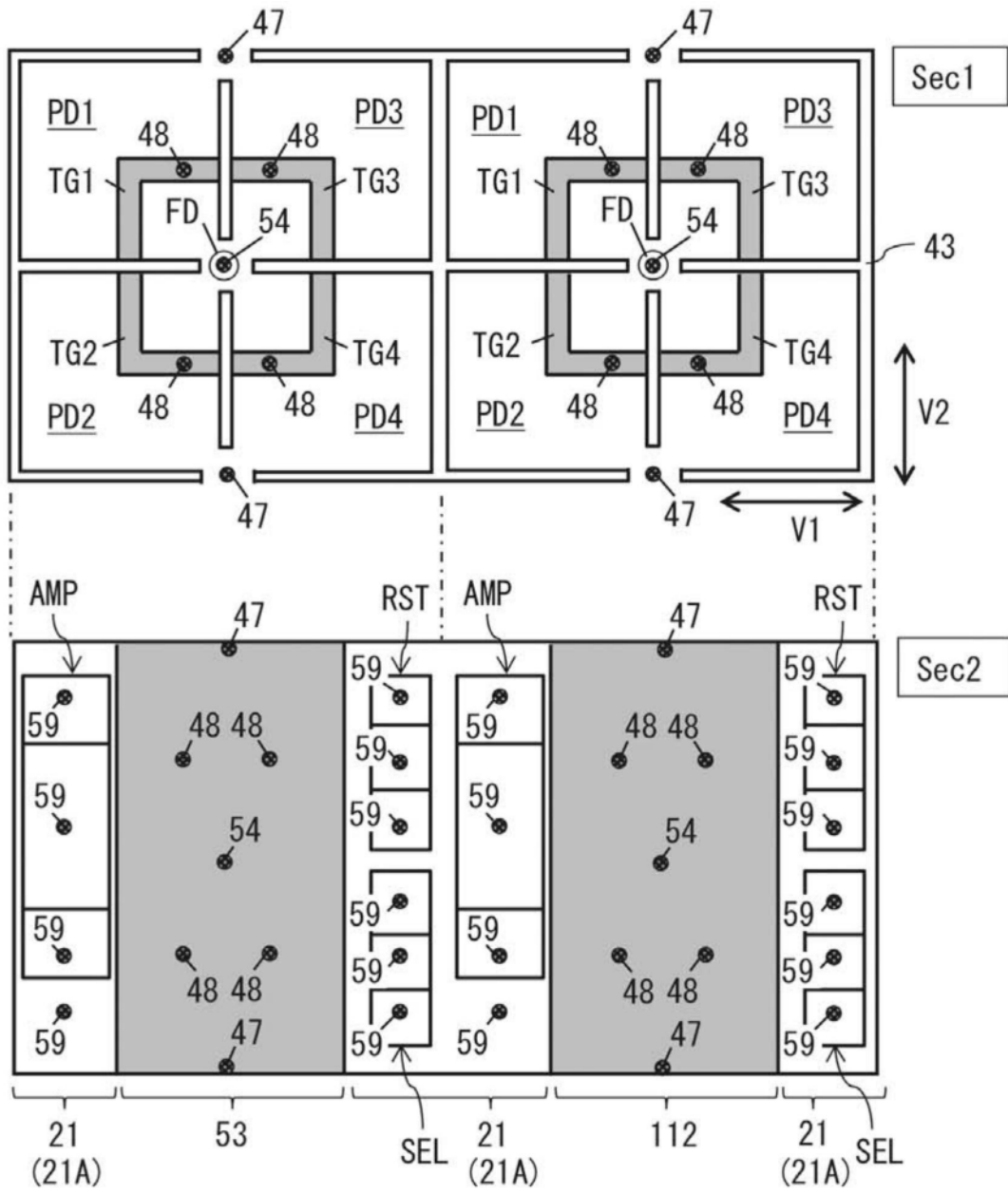


图55

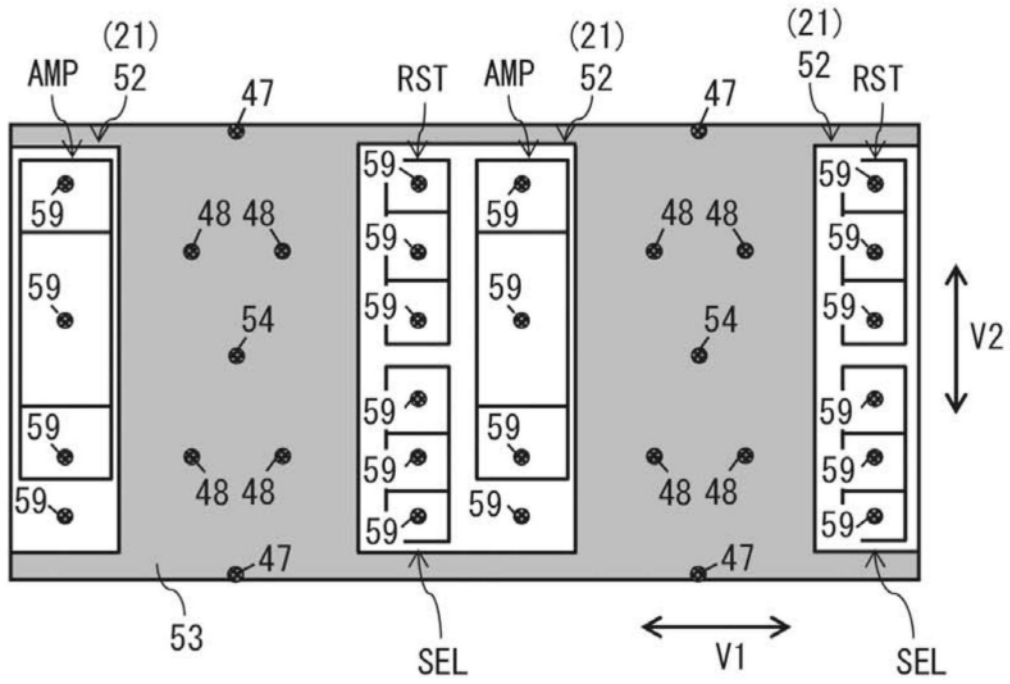


图56

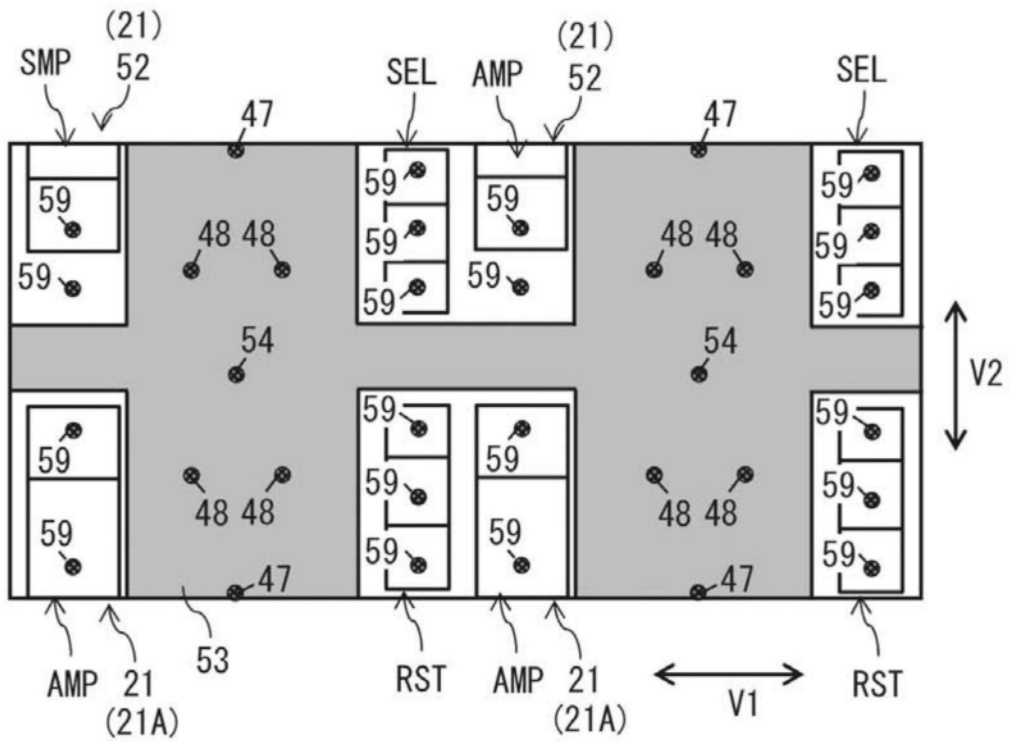


图57

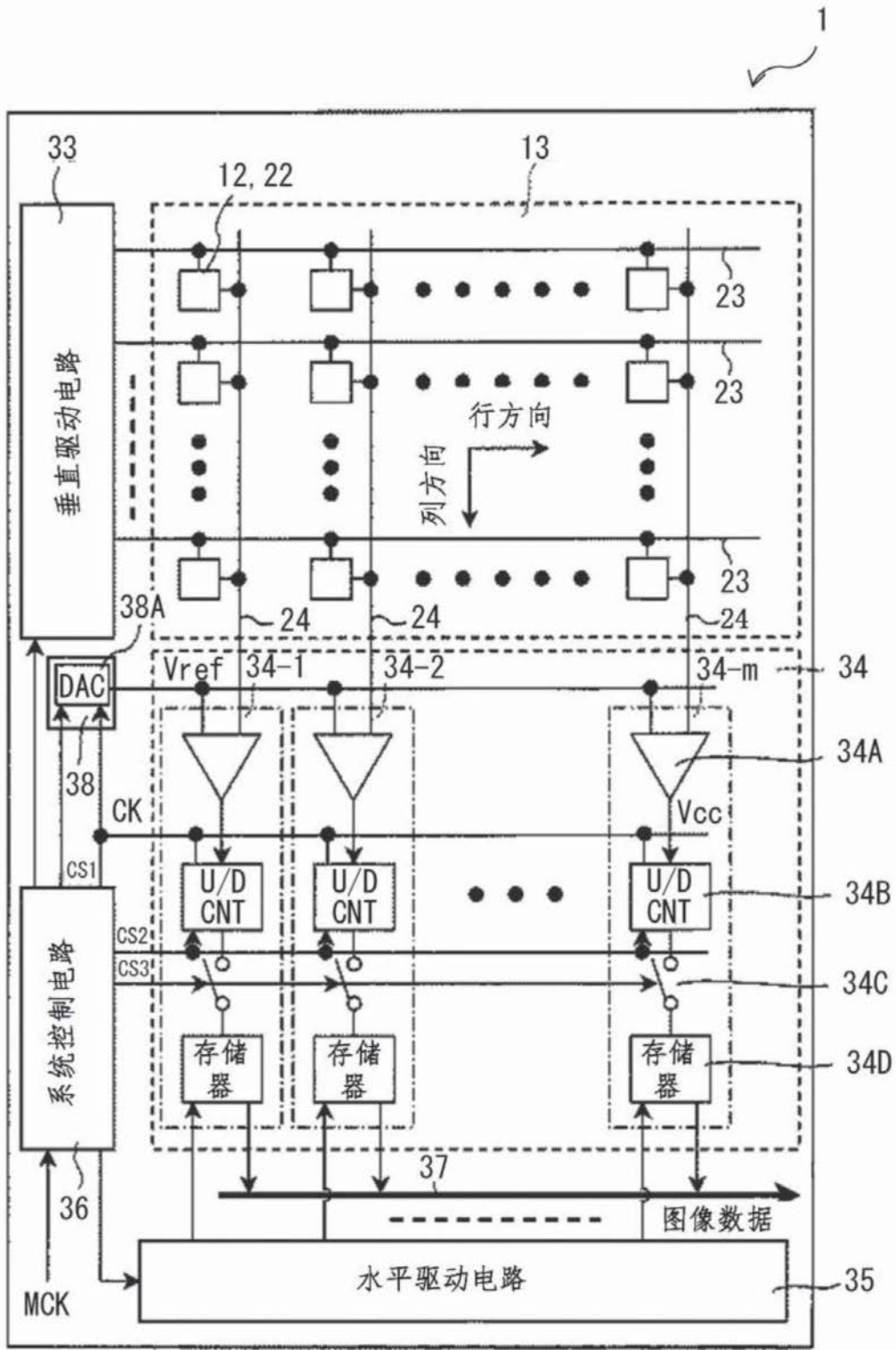


图58

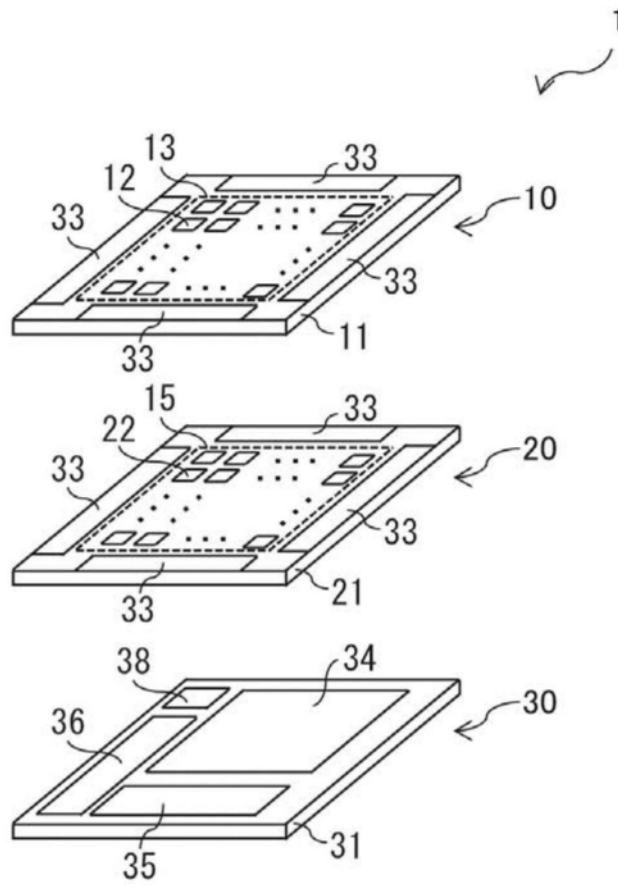


图59

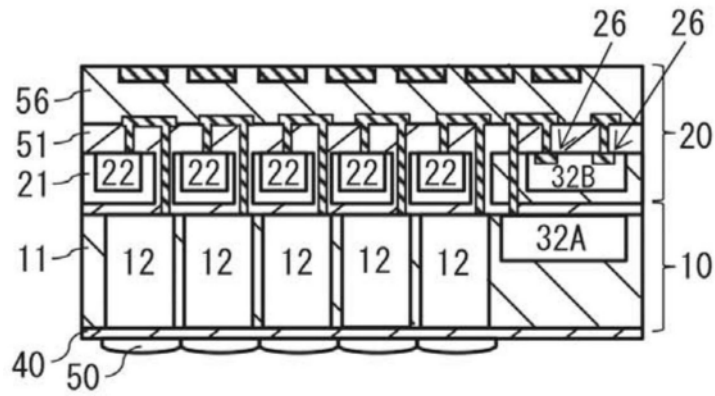


图60

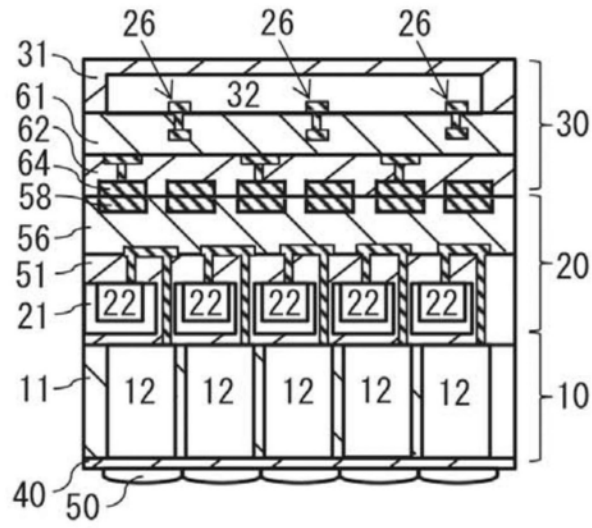


图61

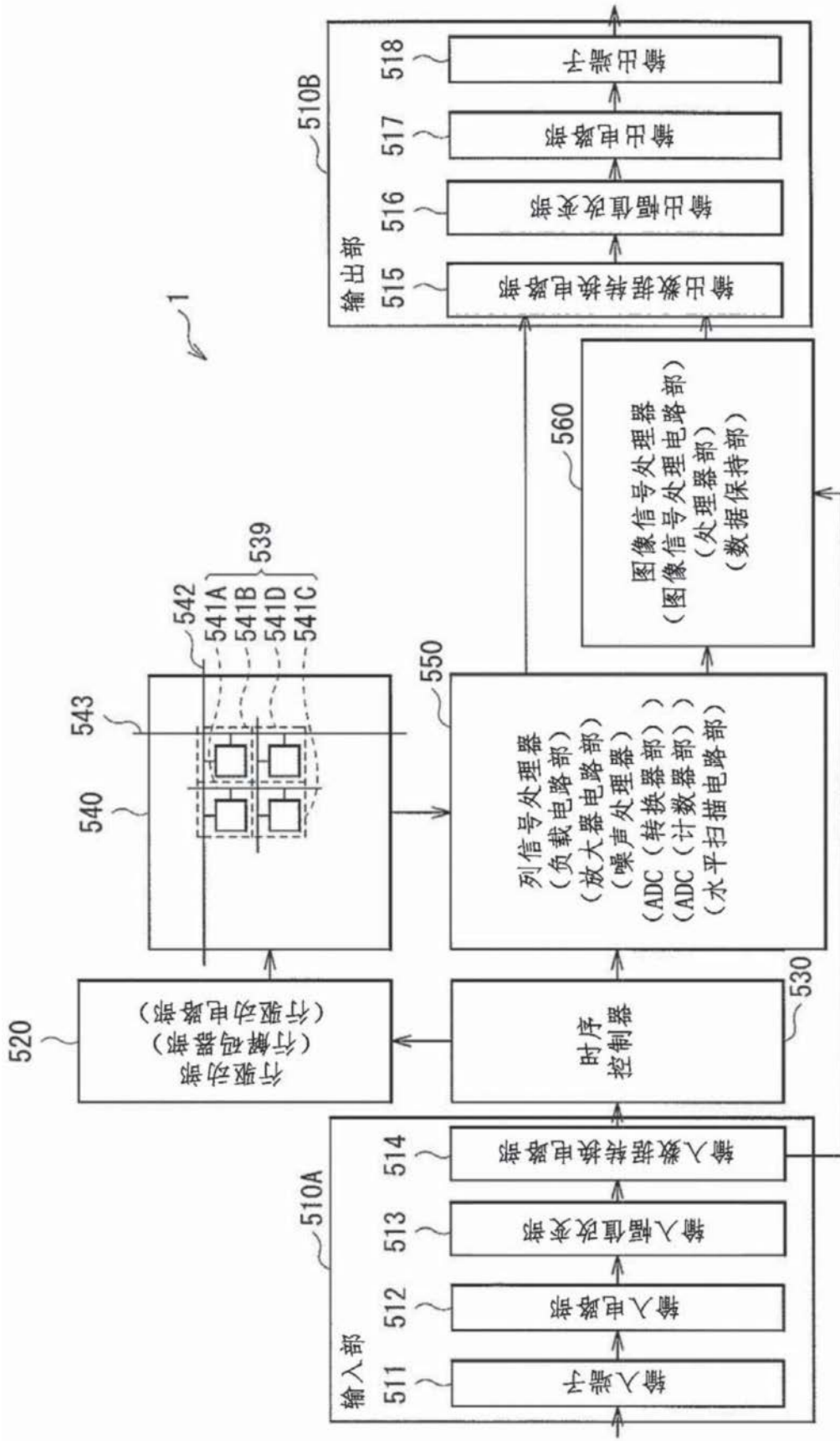


图62

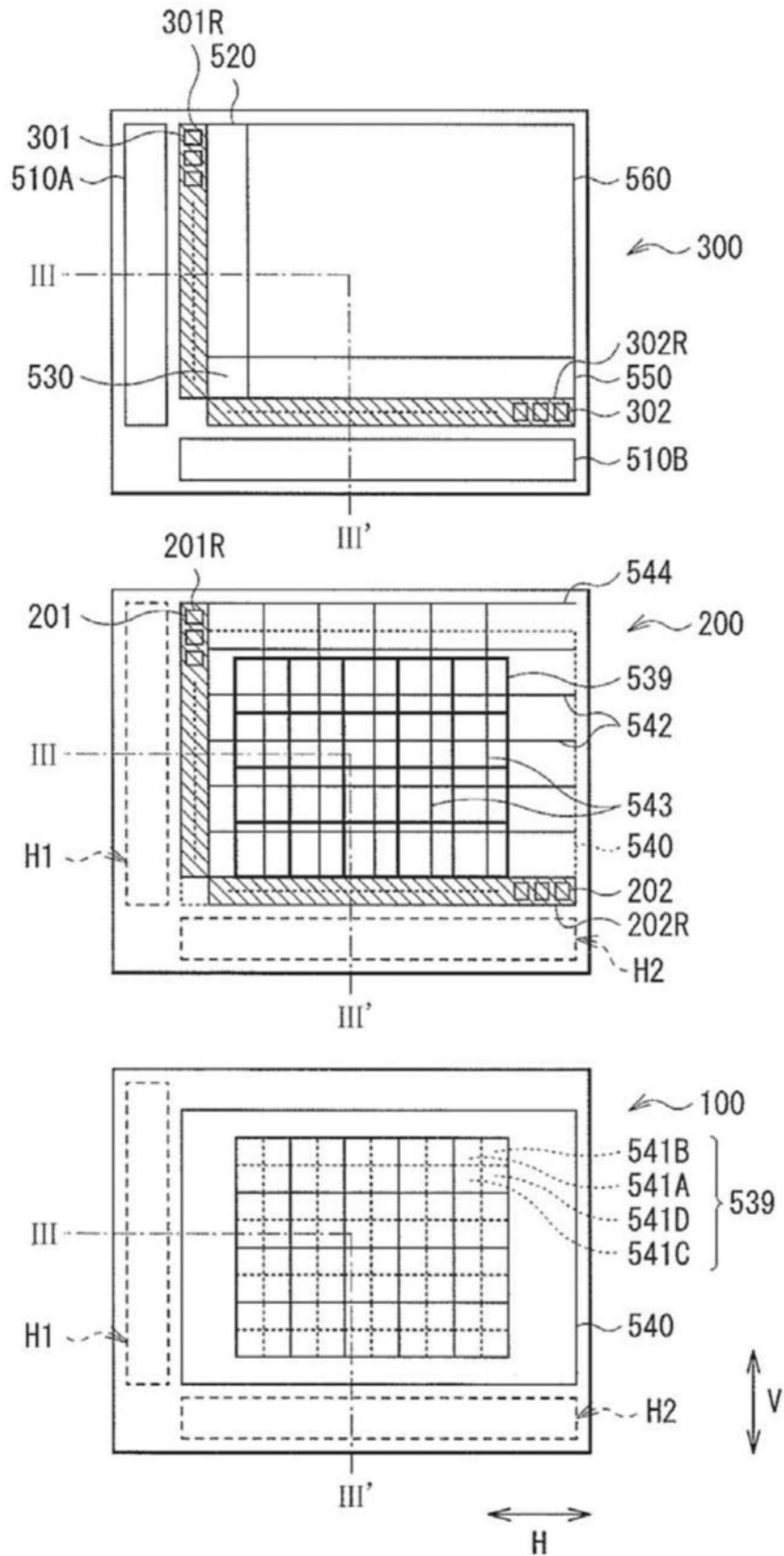


图63

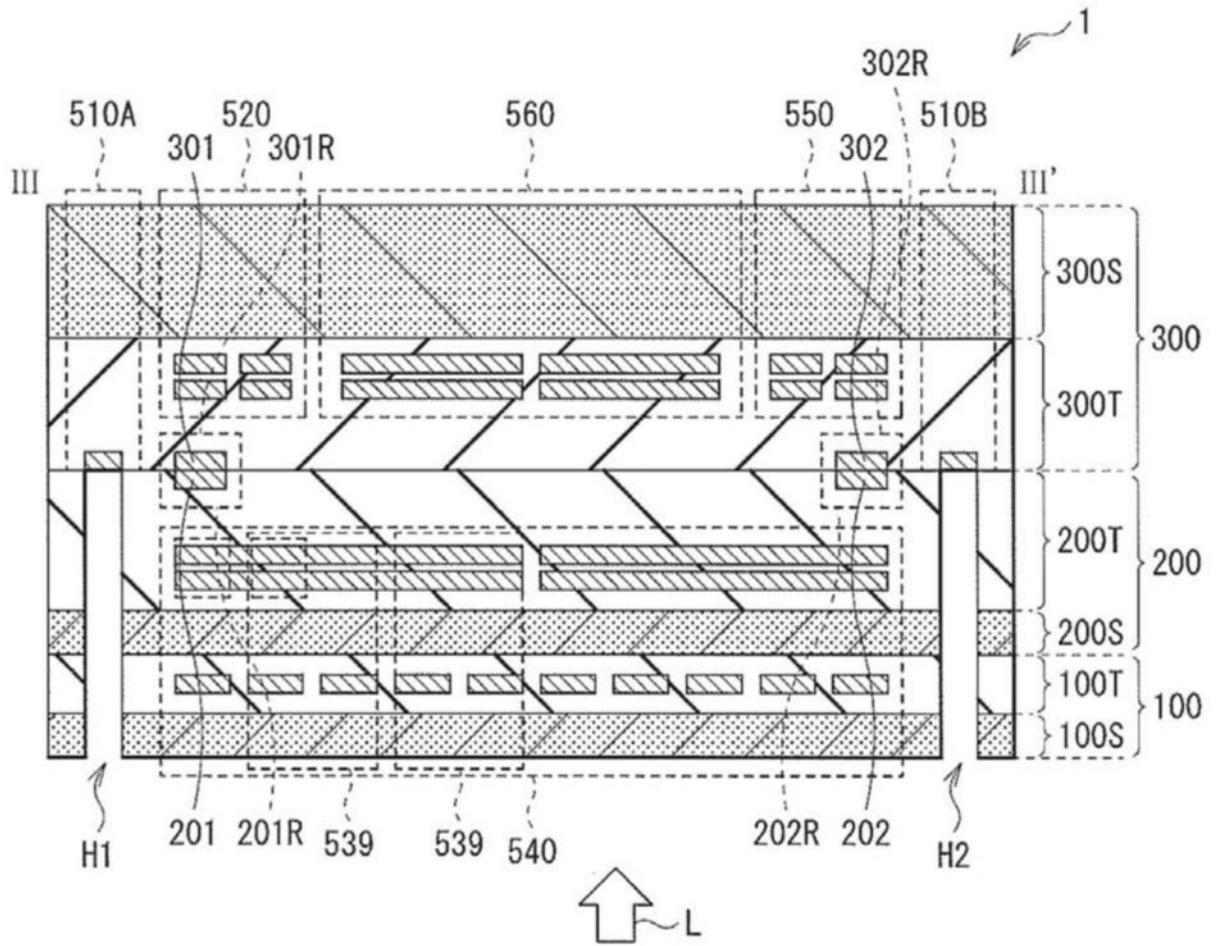


图64

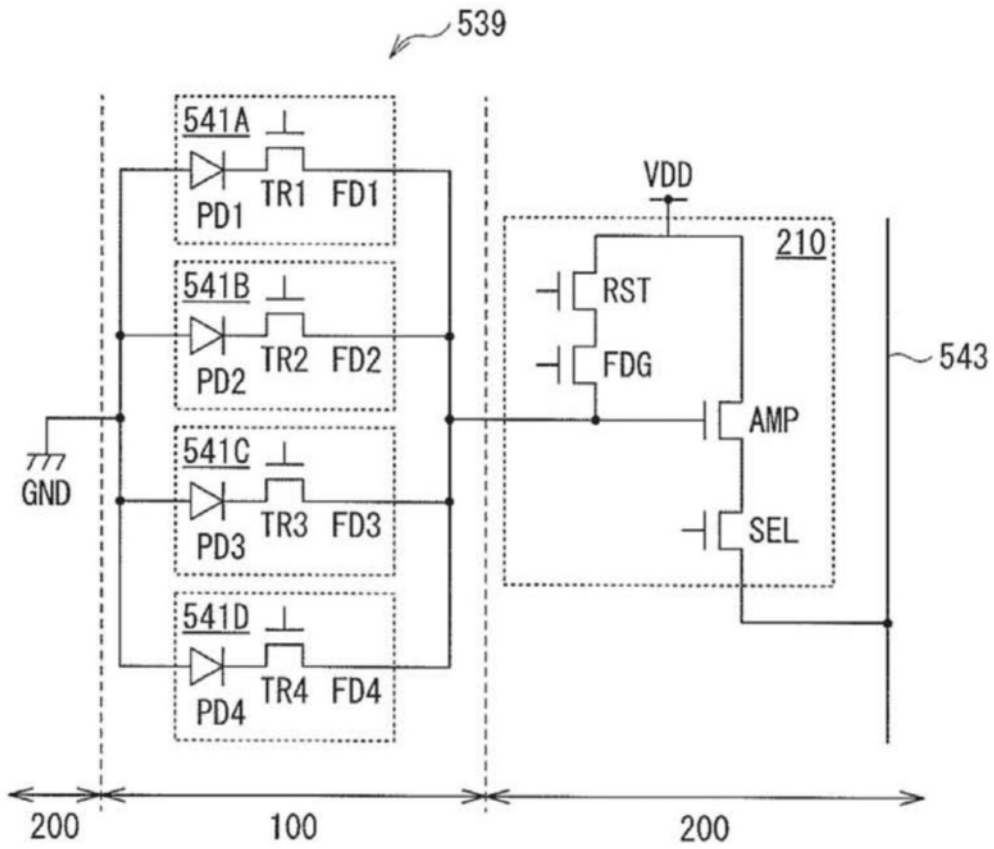


图65

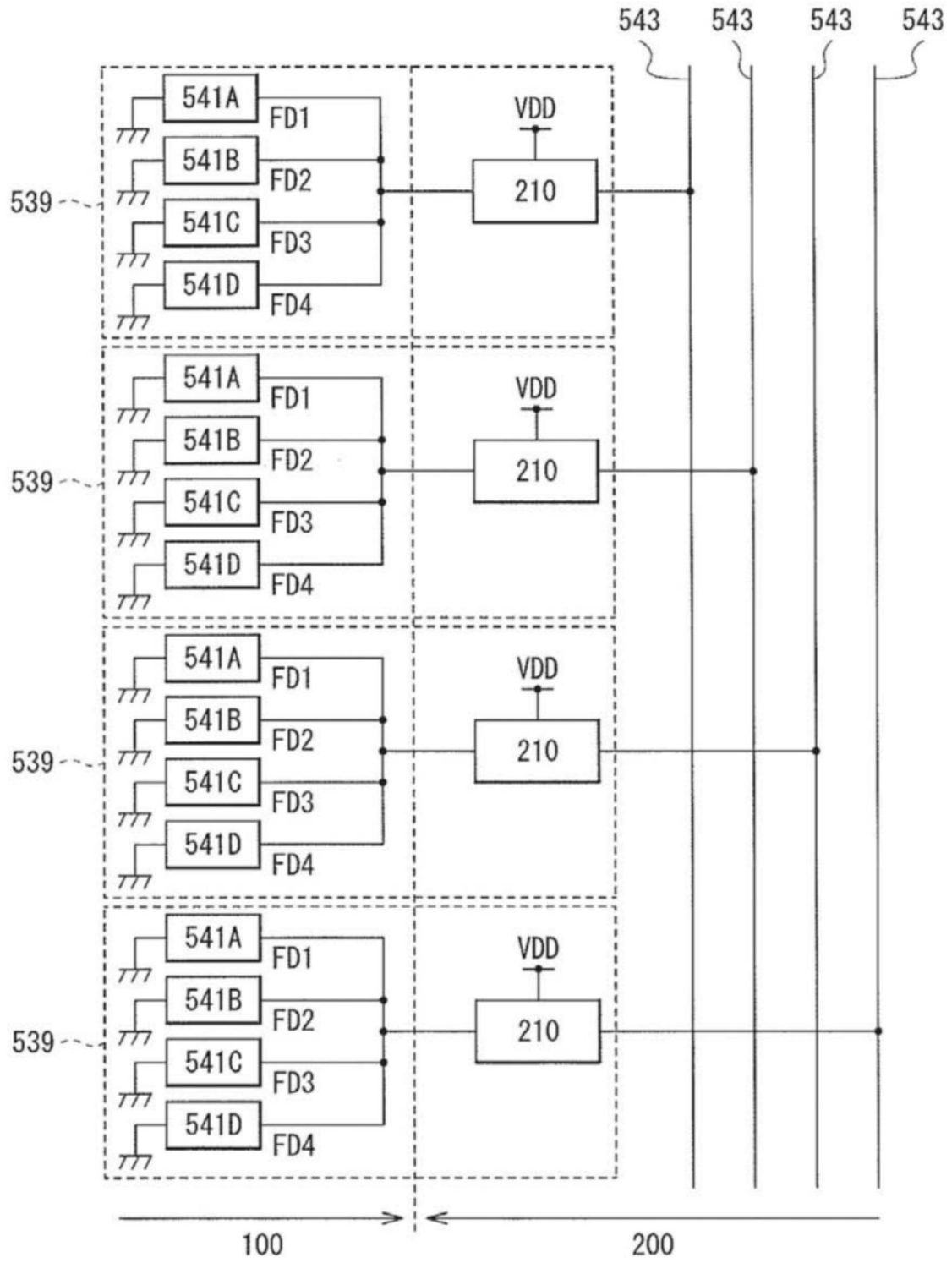


图66

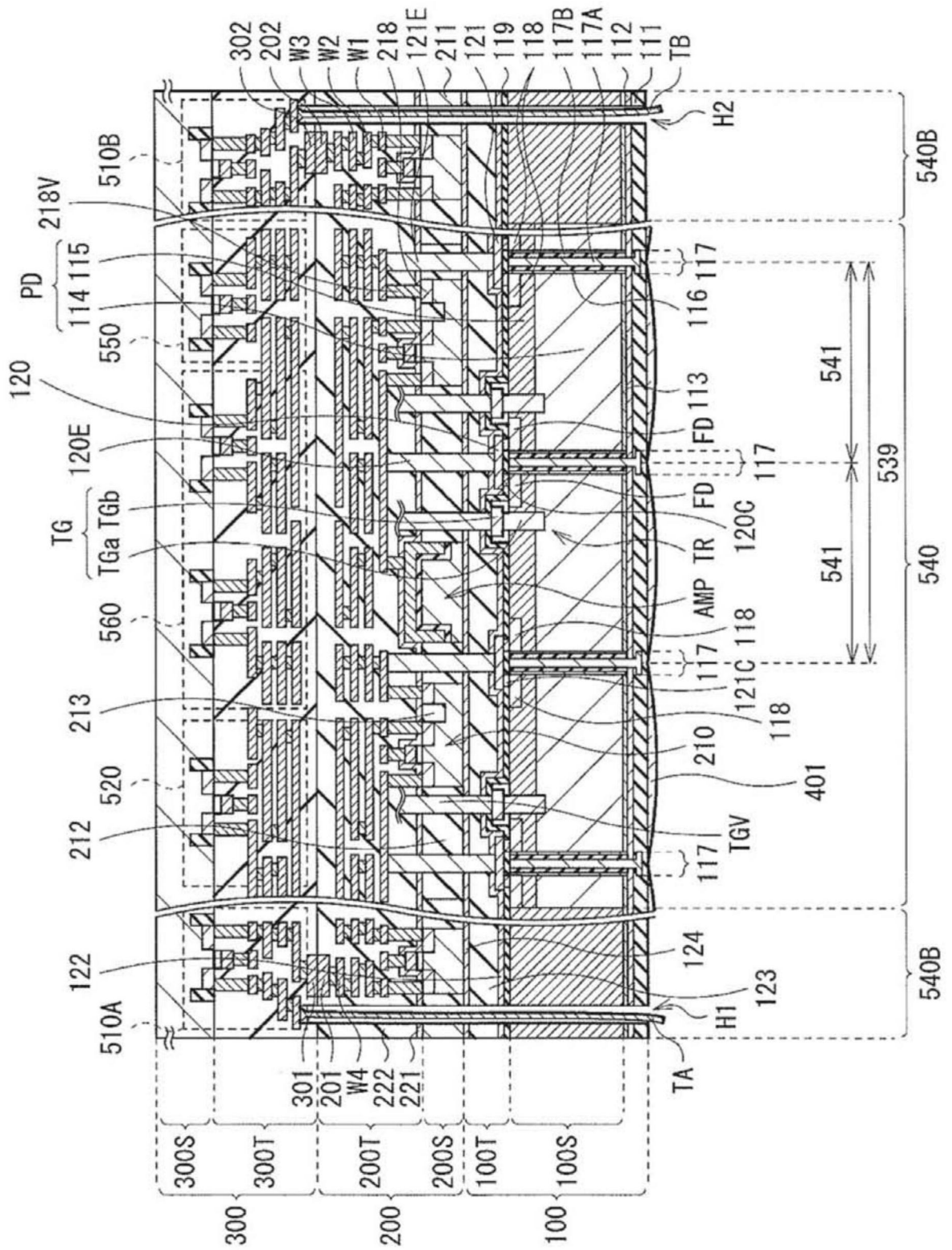


图67

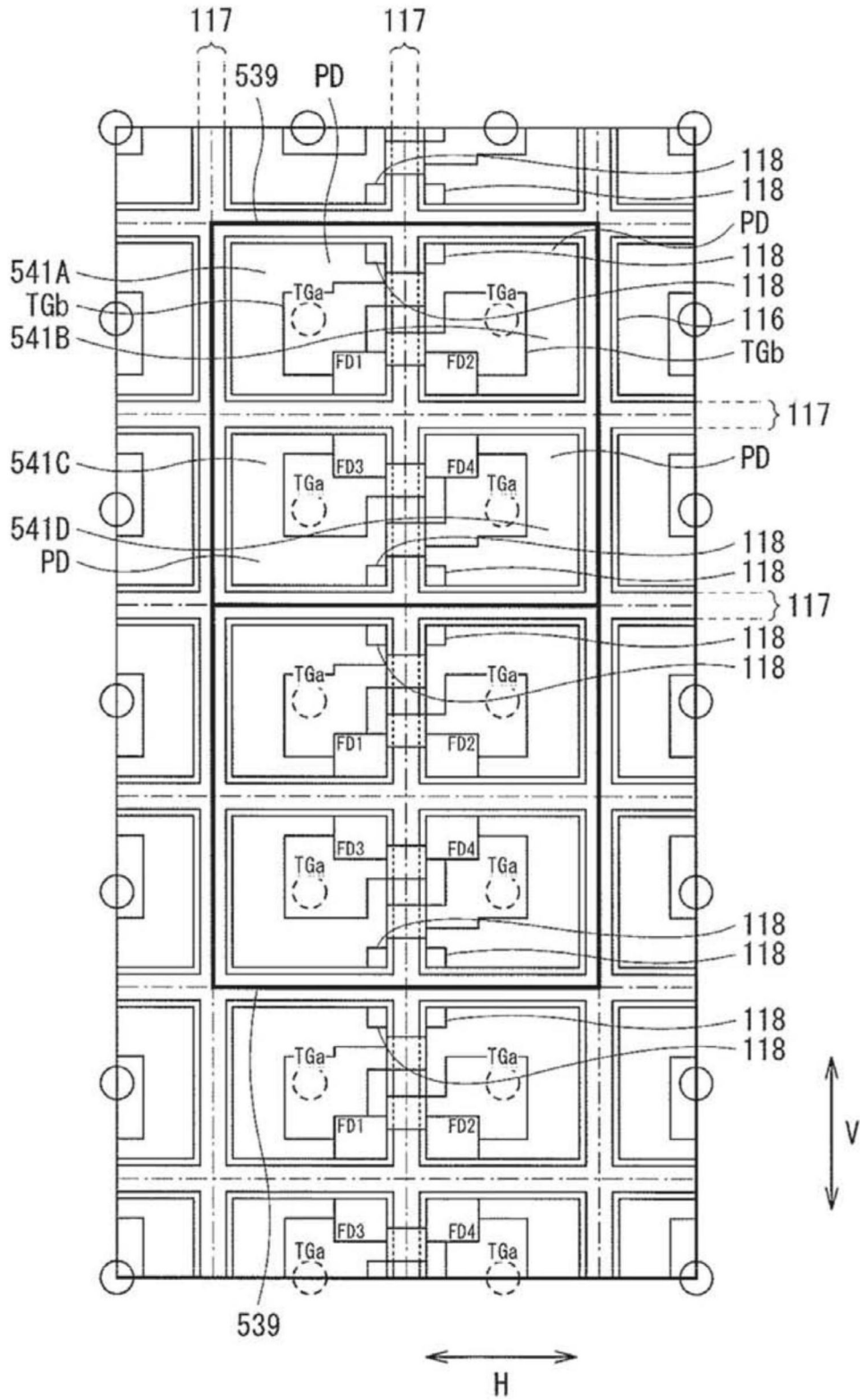


图68A

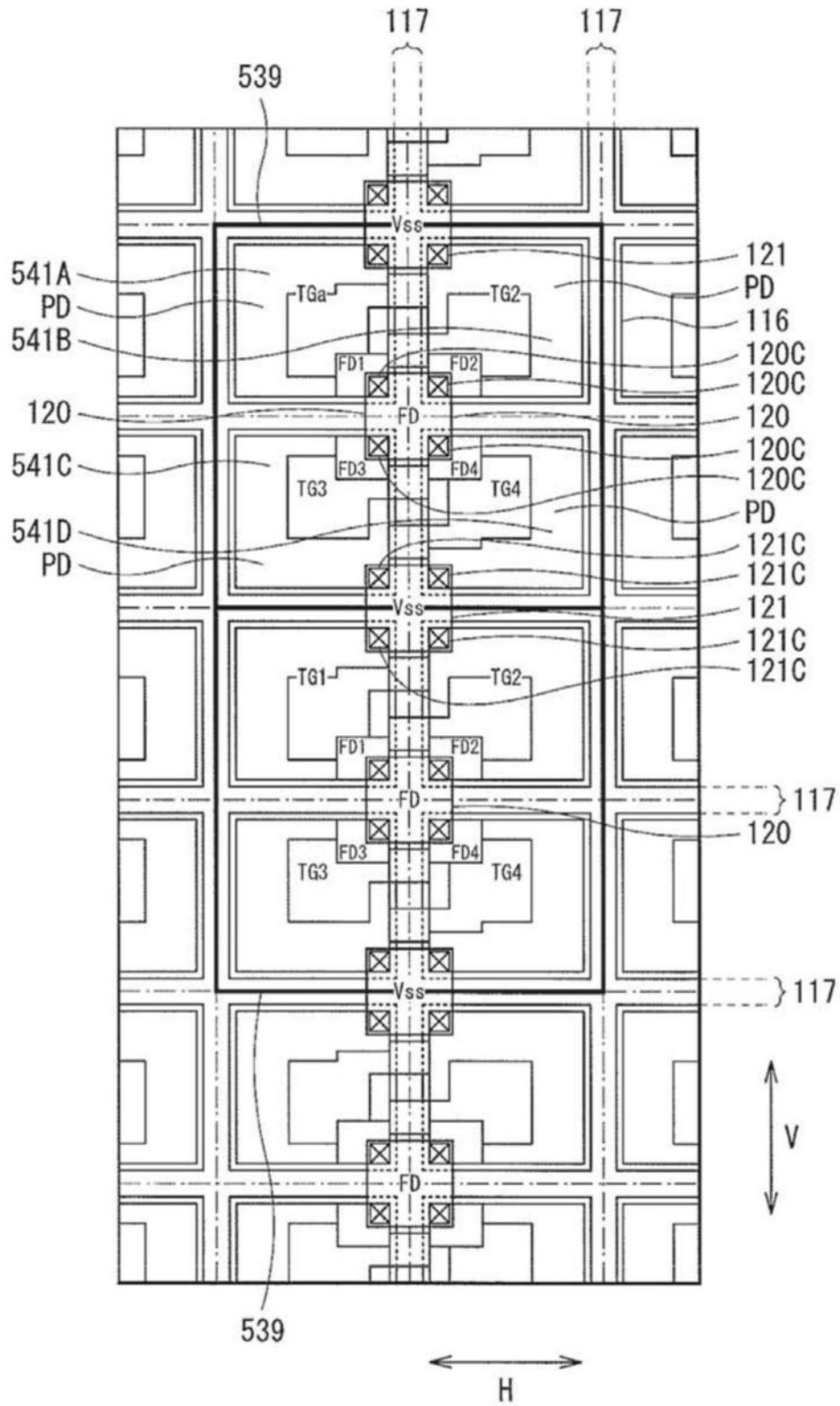


图68B

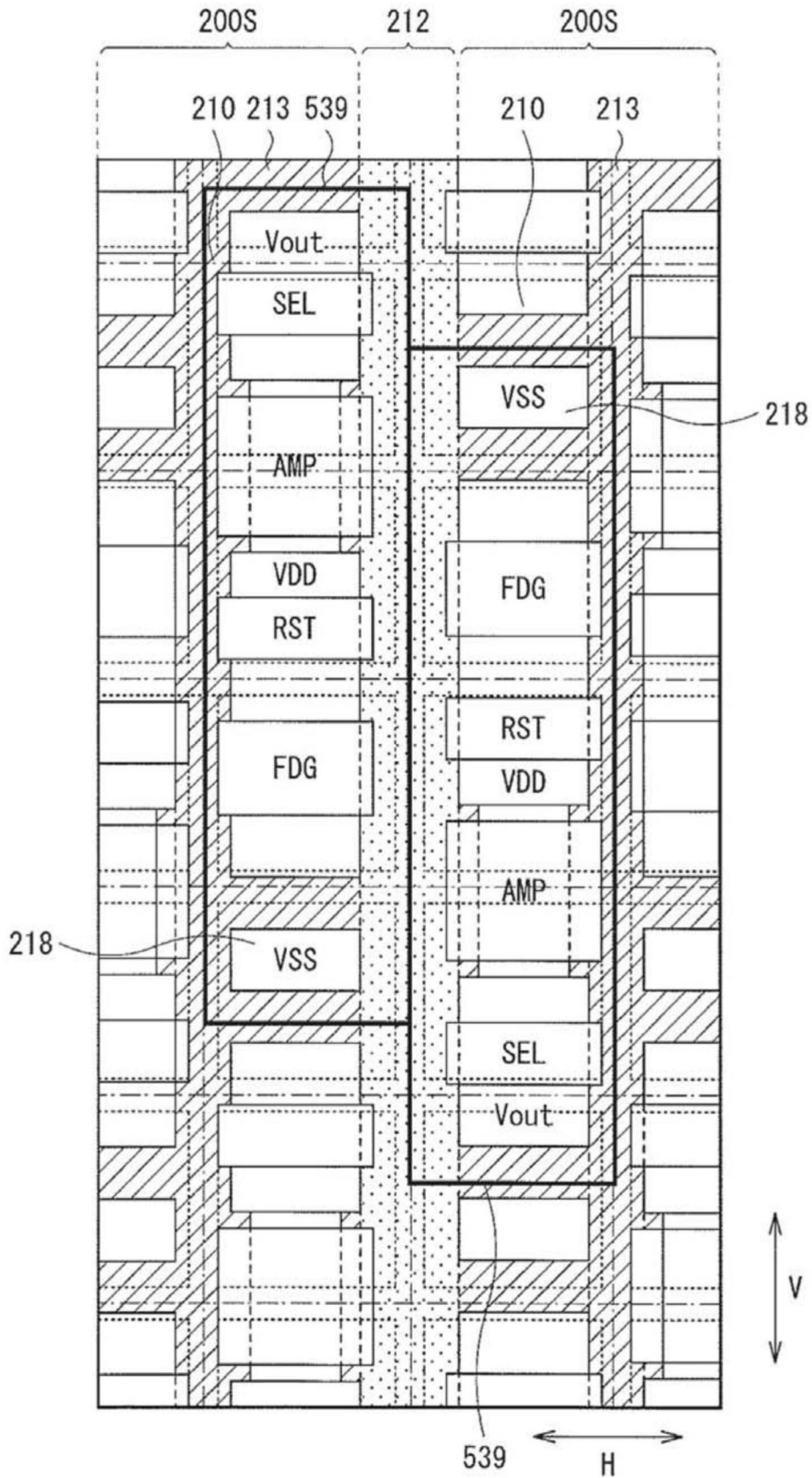


图69

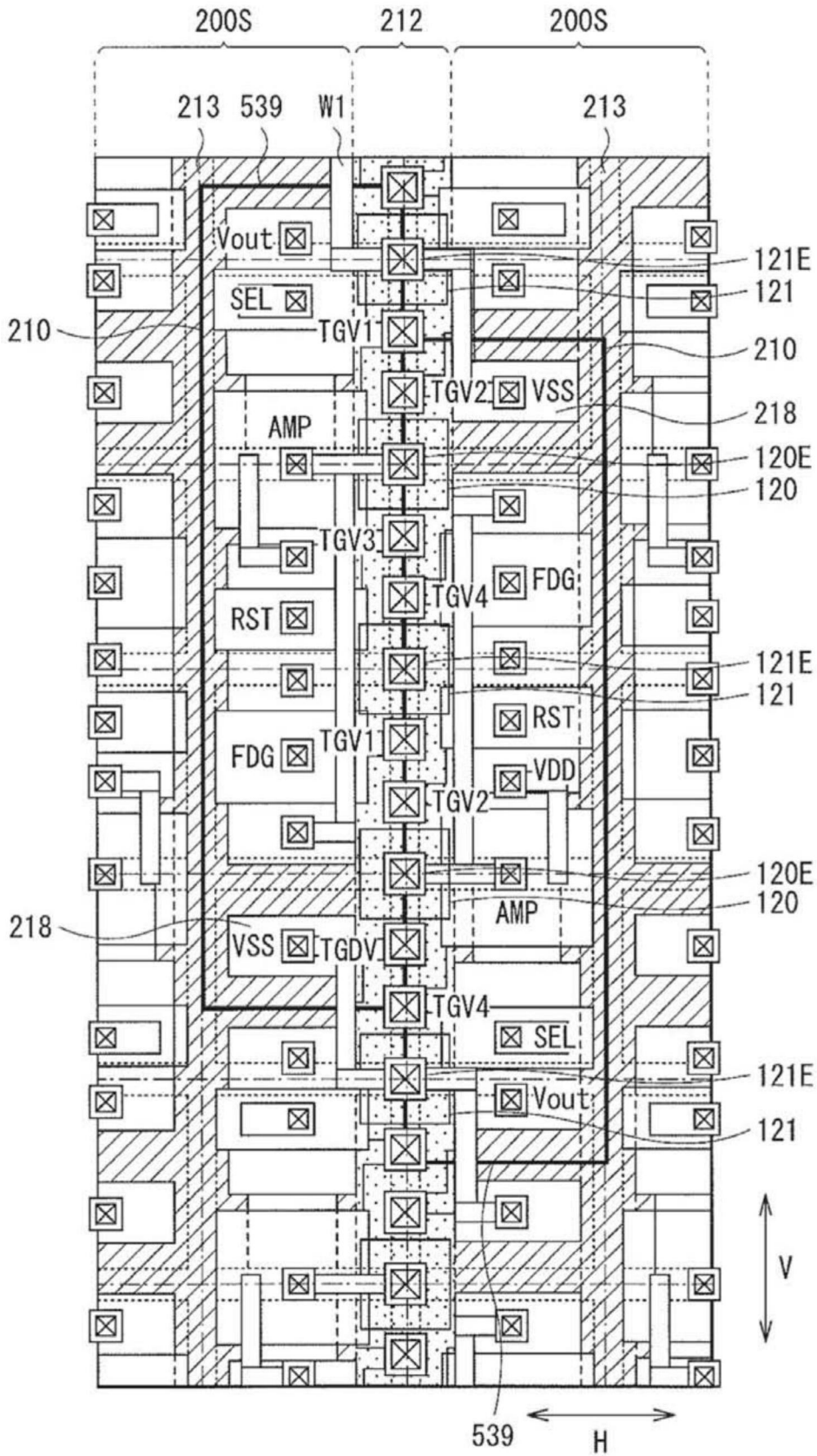


图70

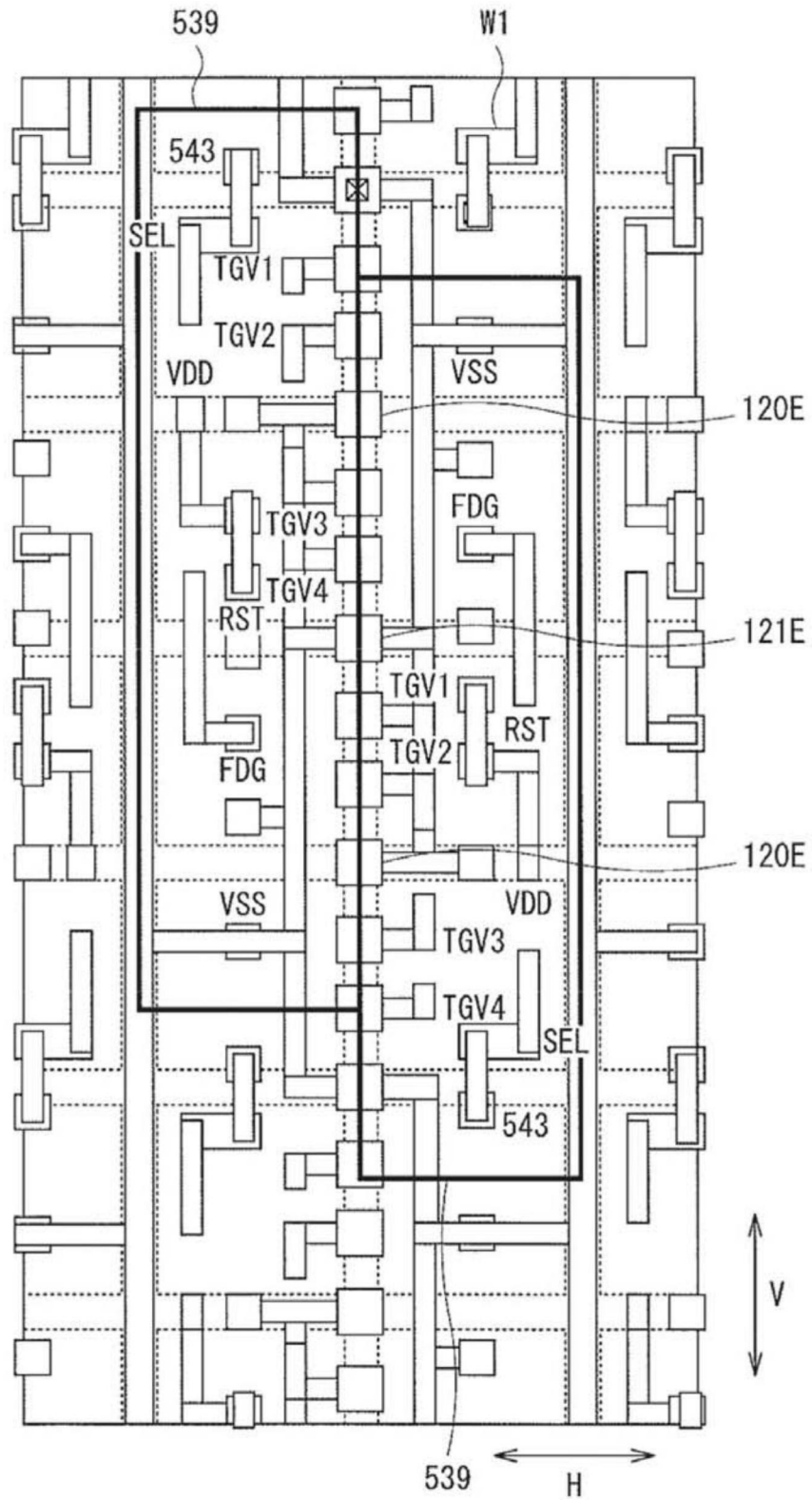


图71

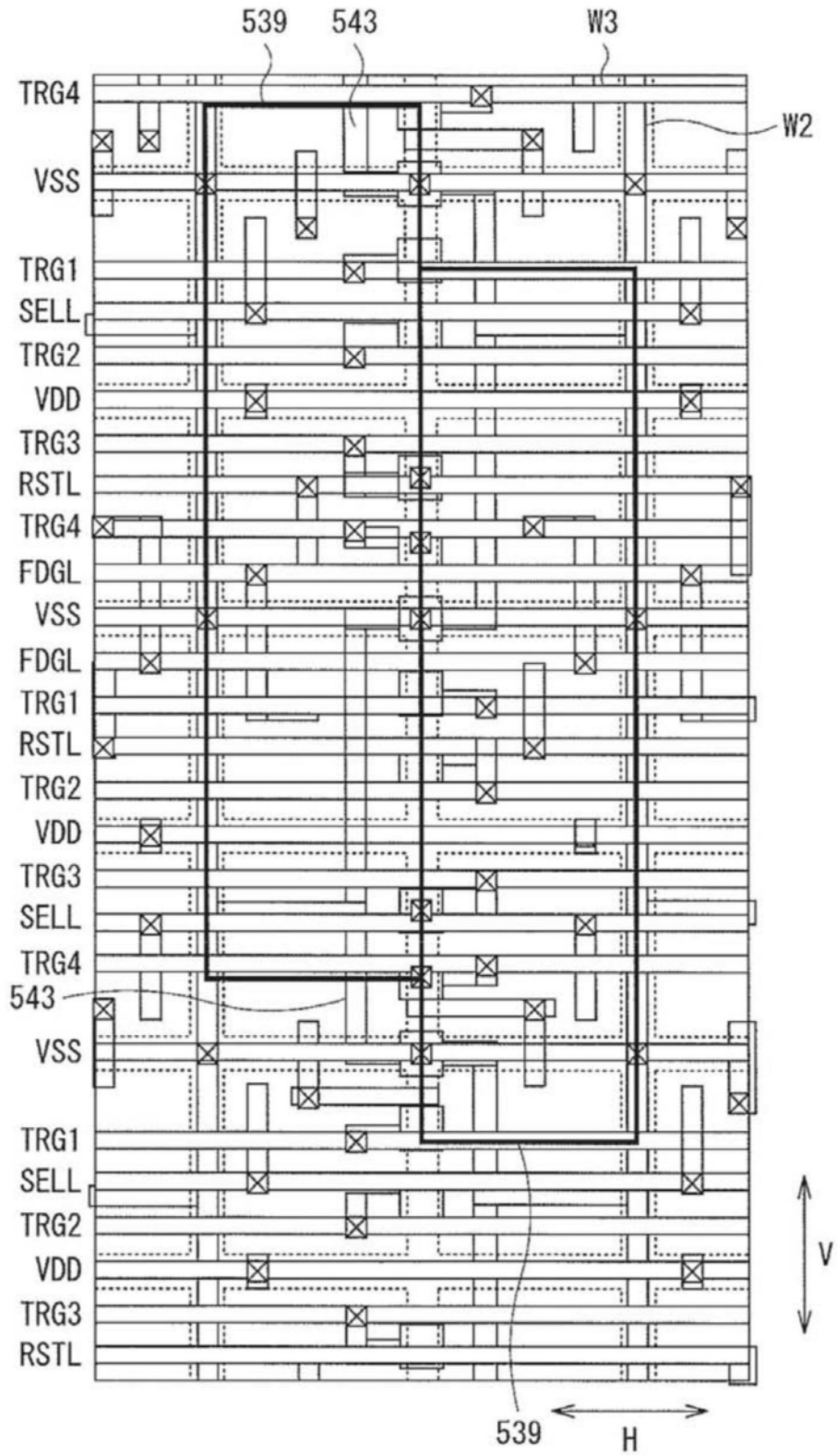


图72

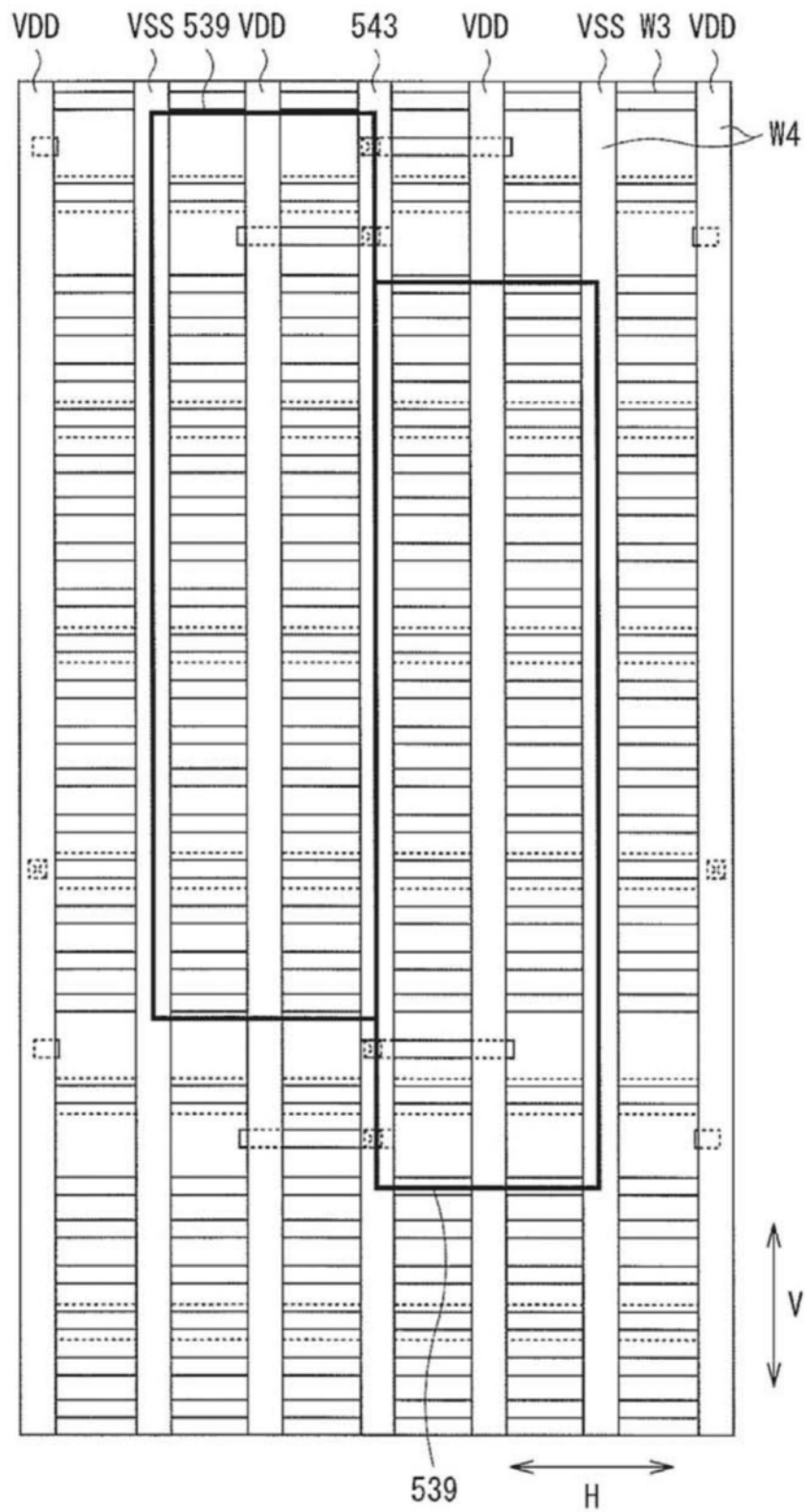


图73

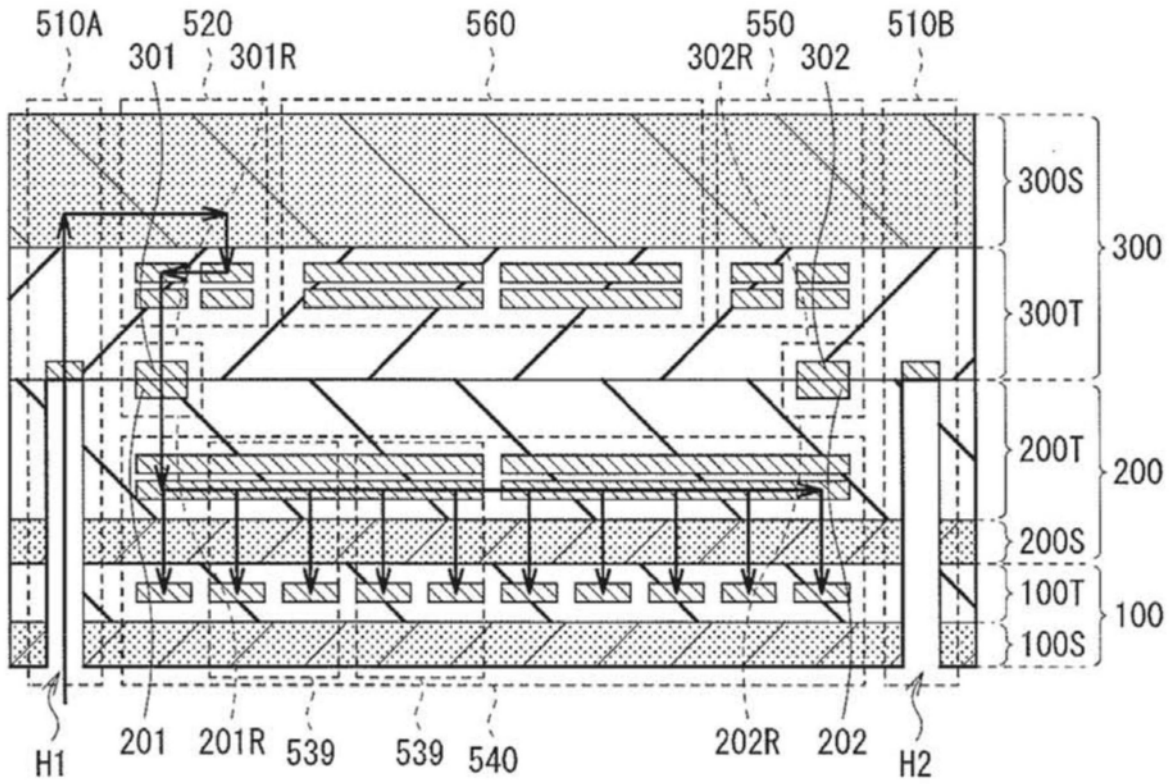


图74

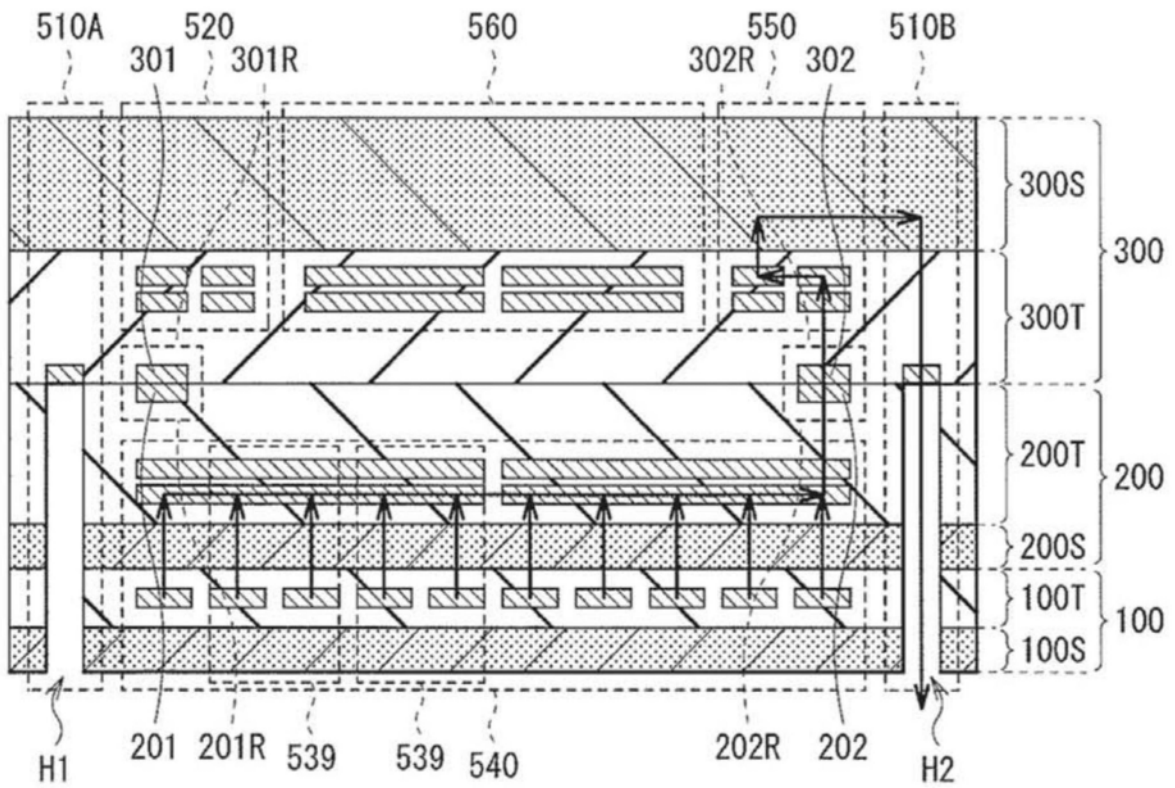


图75

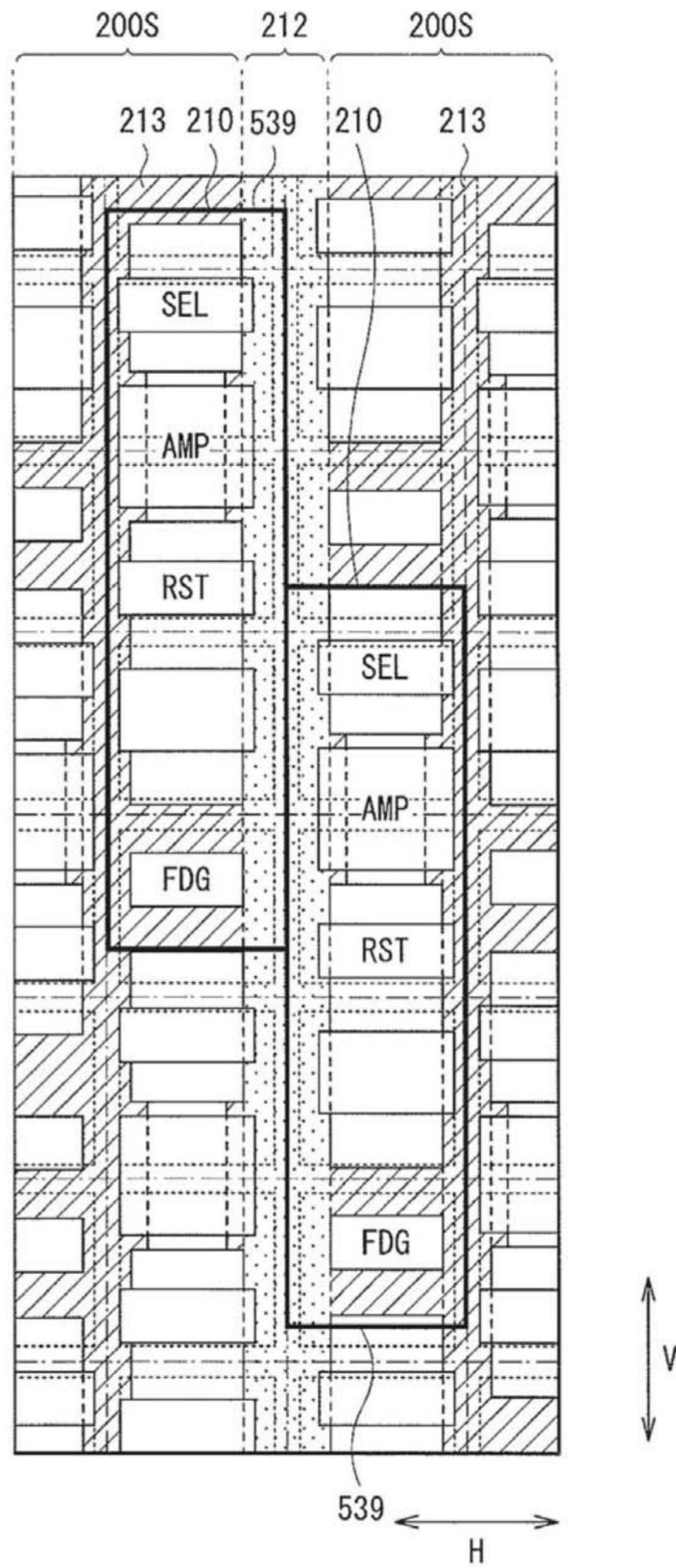


图76

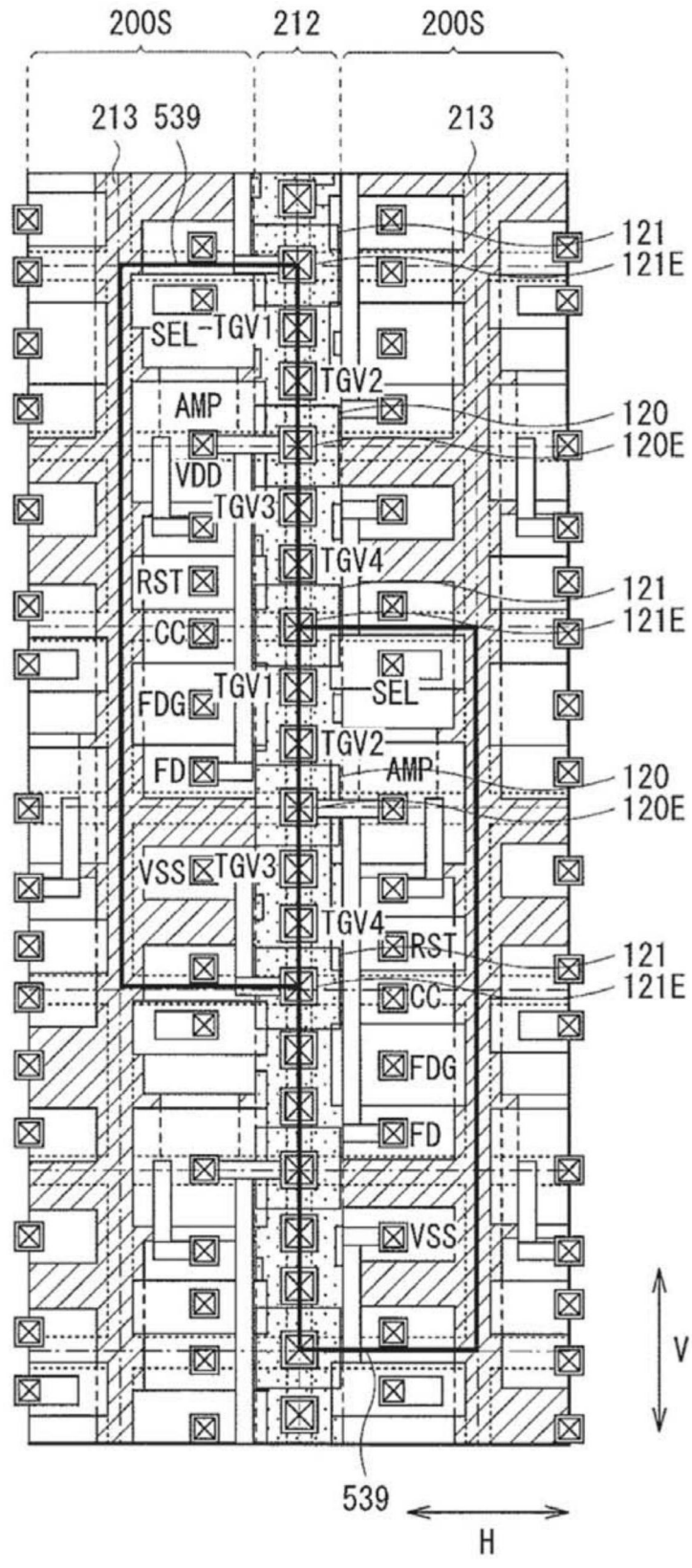


图77

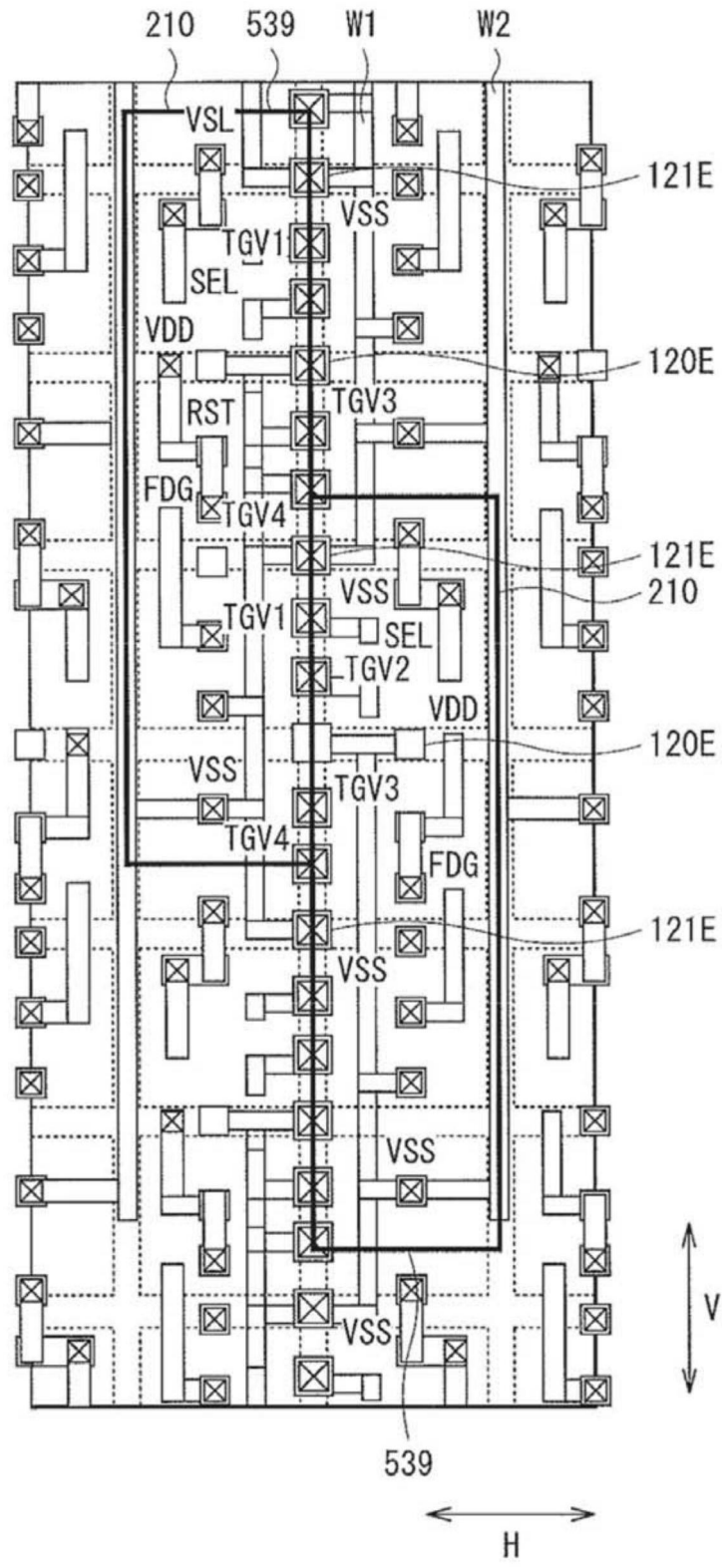


图78

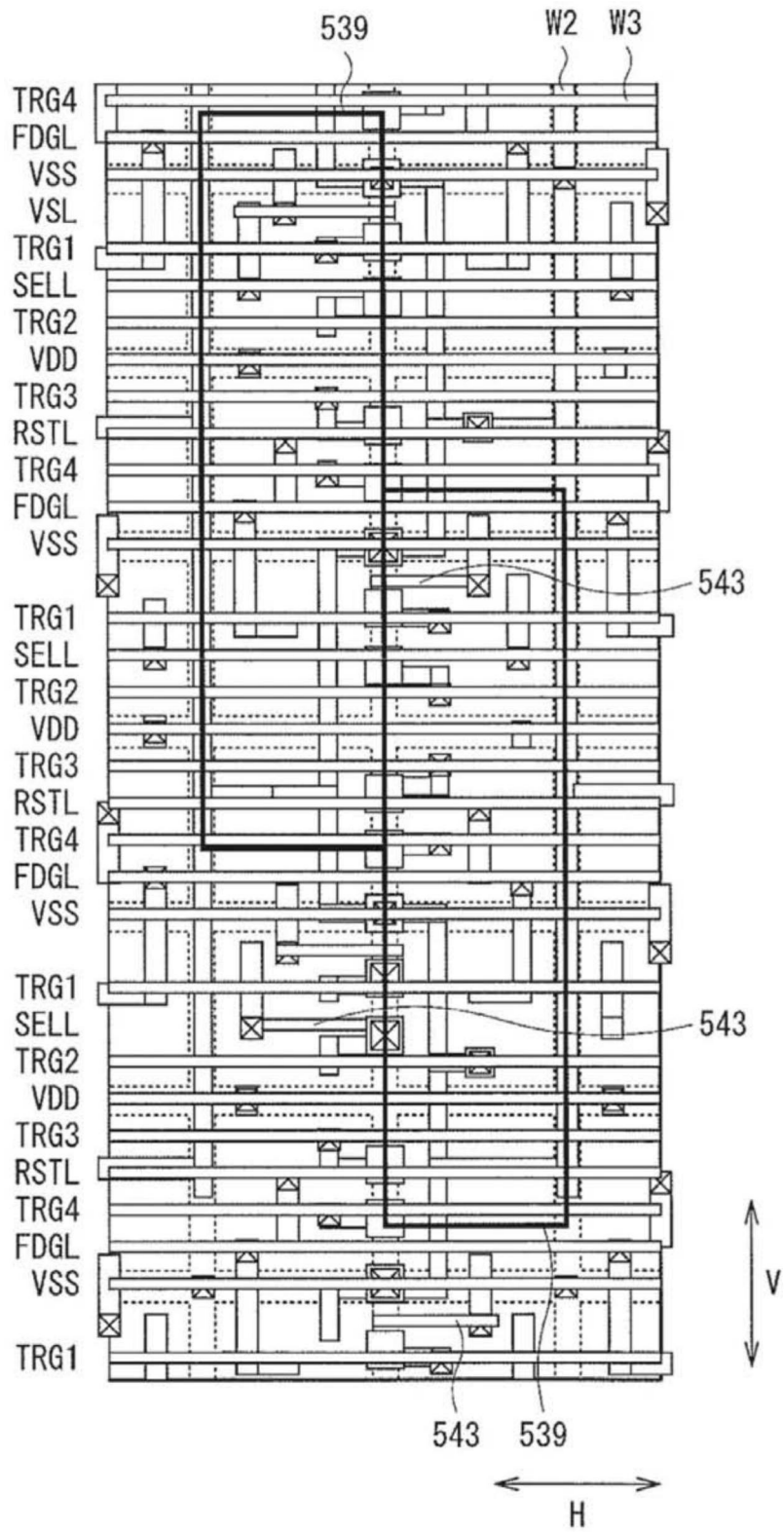


图79

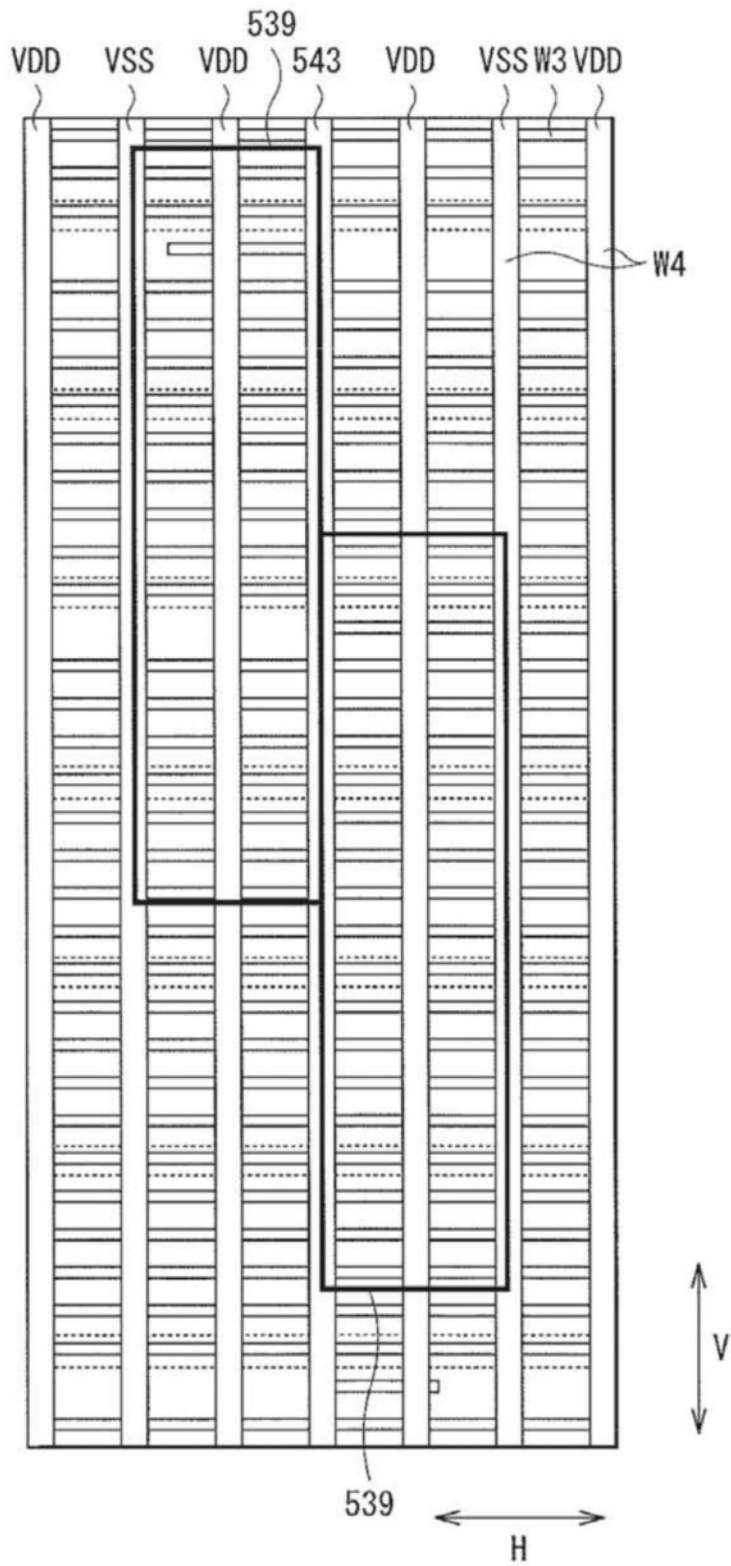


图80

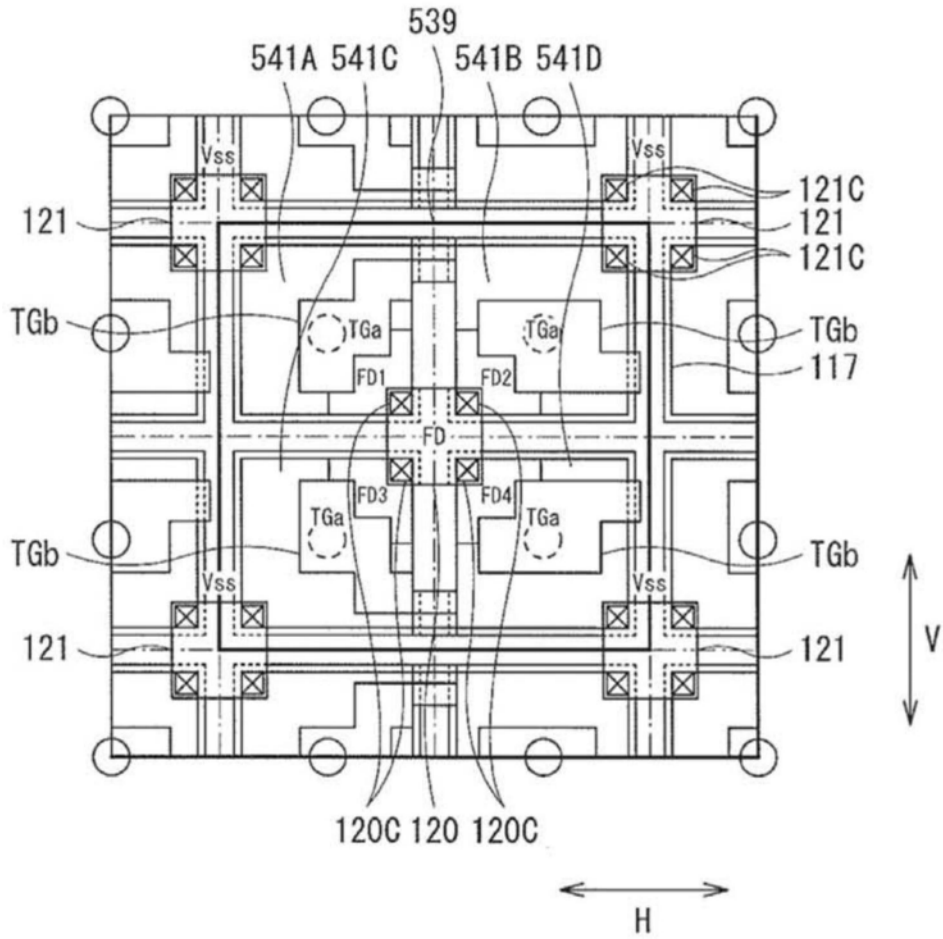


图81

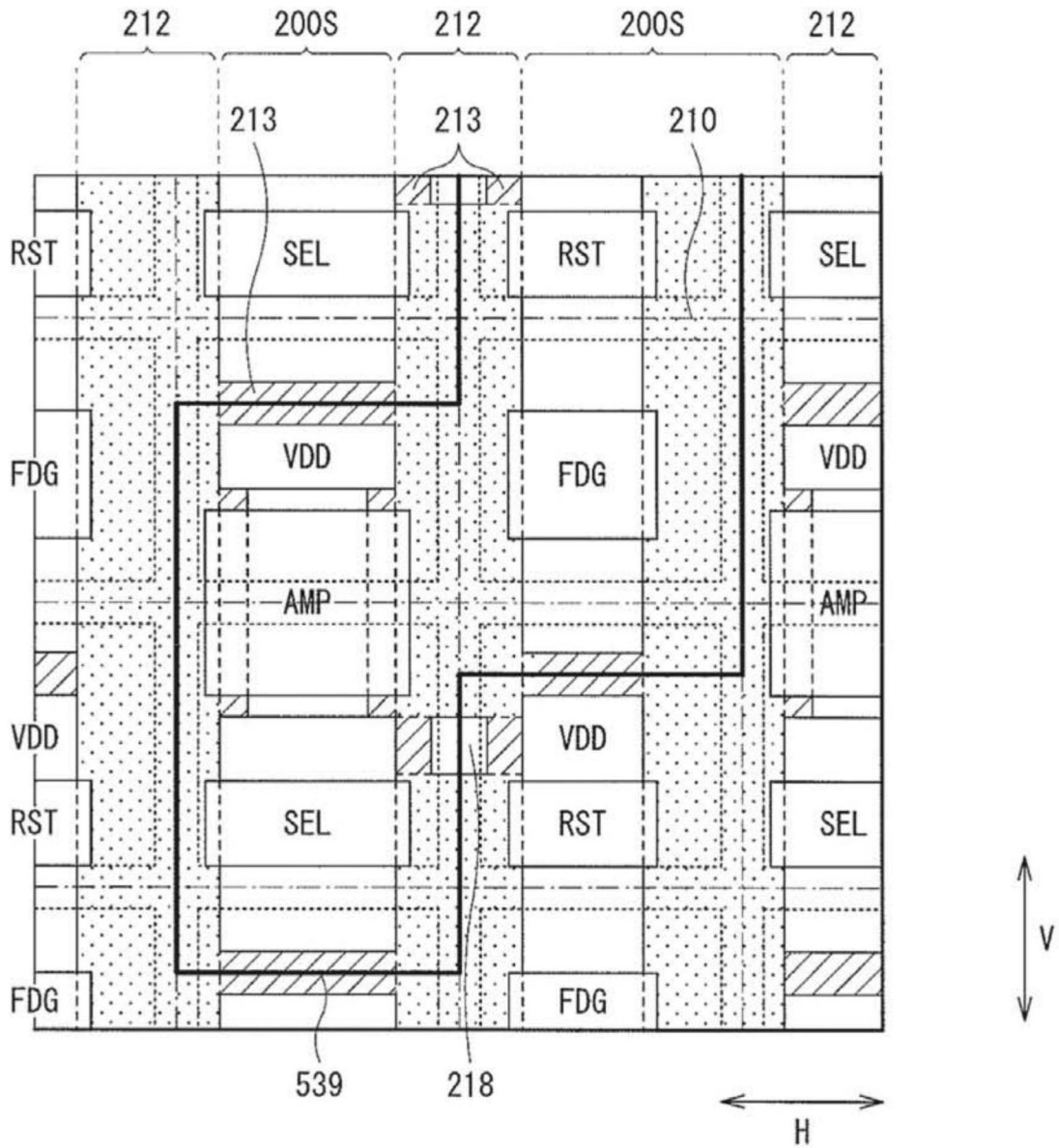


图82

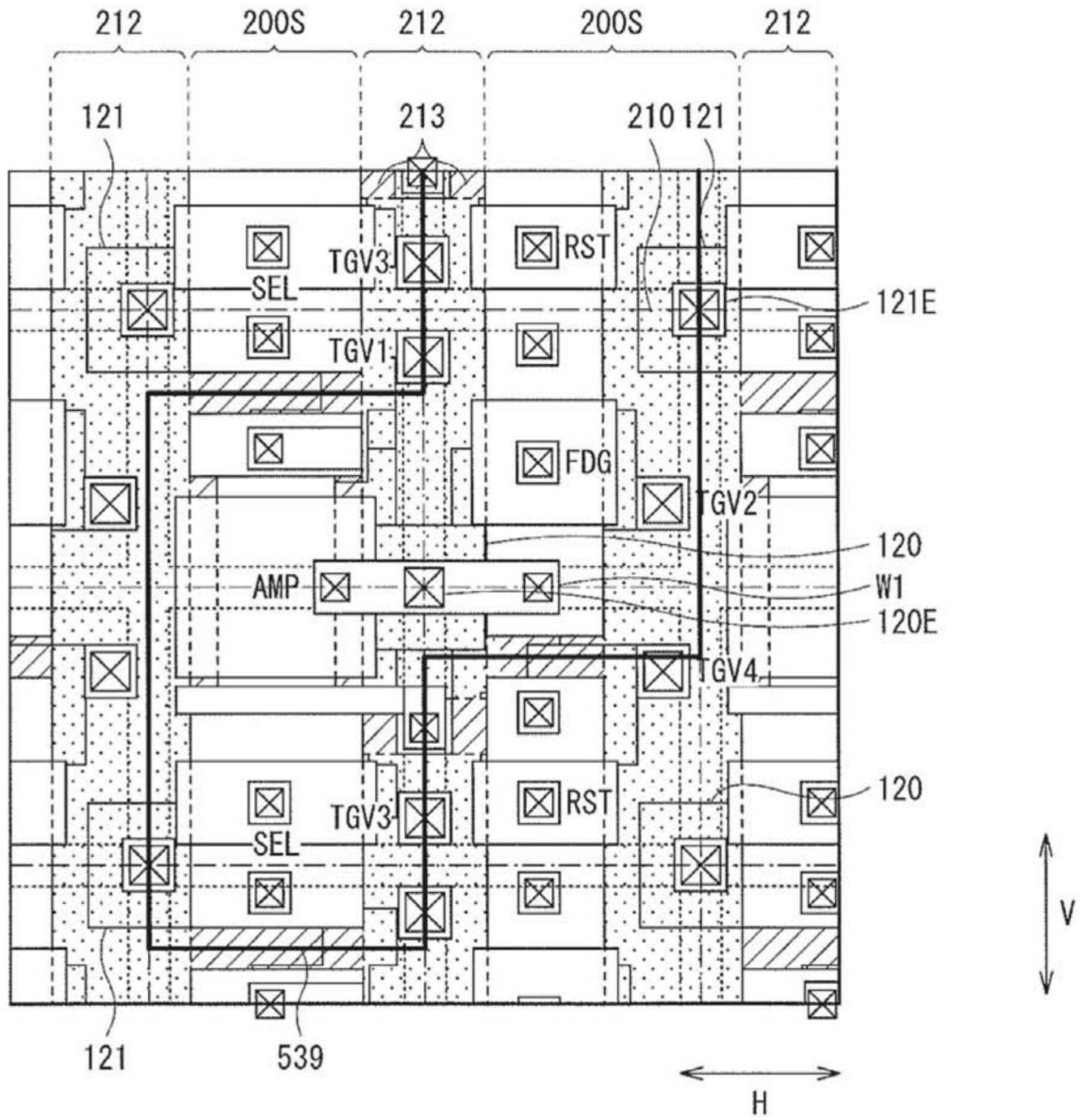


图83

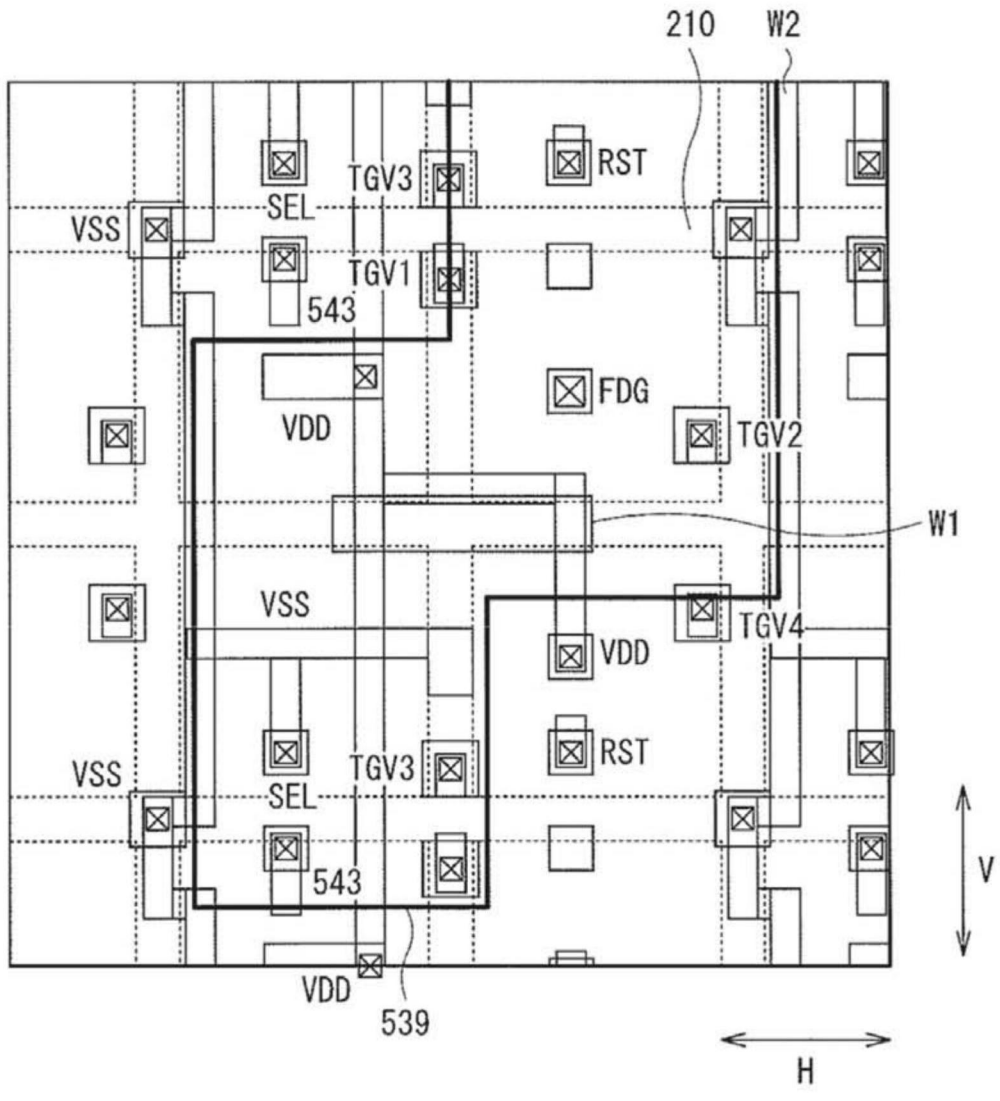


图84

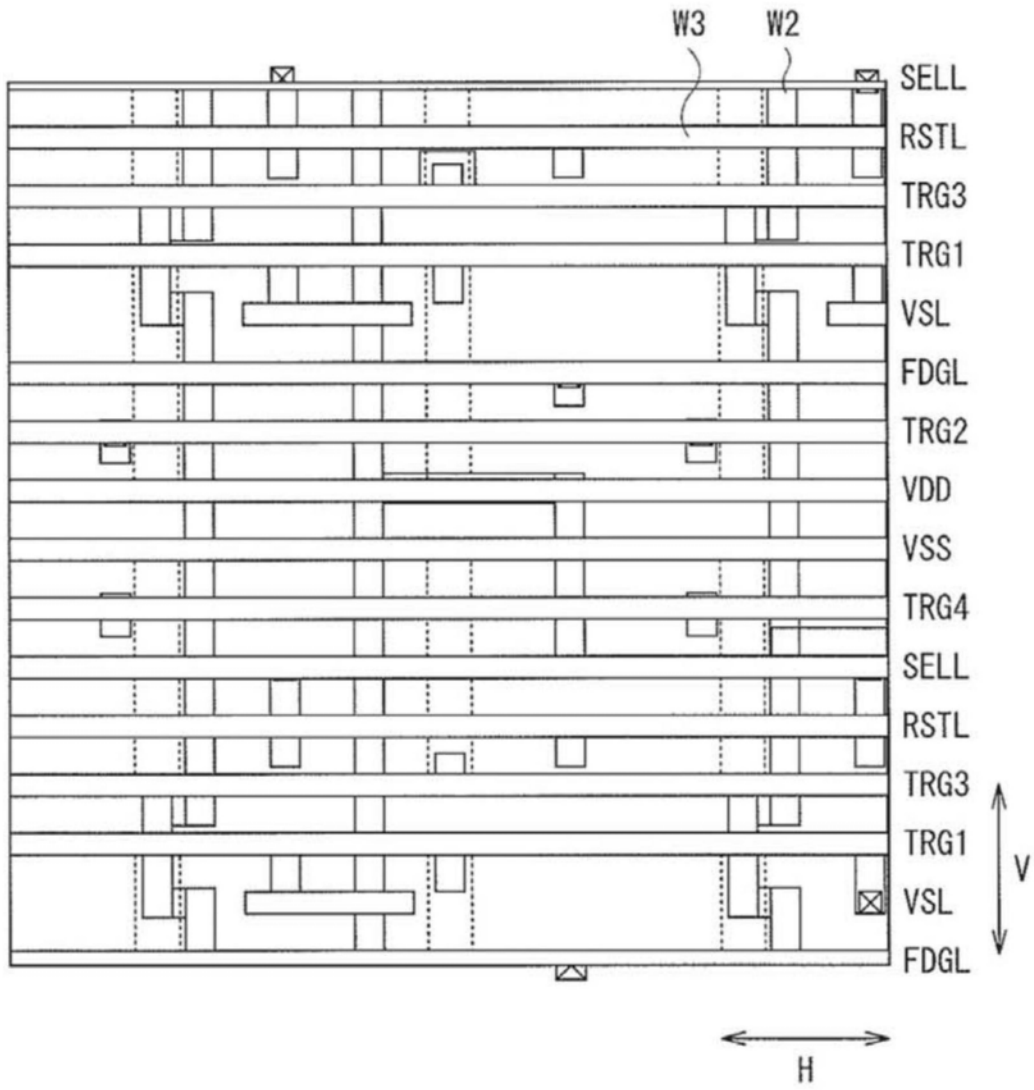


图85

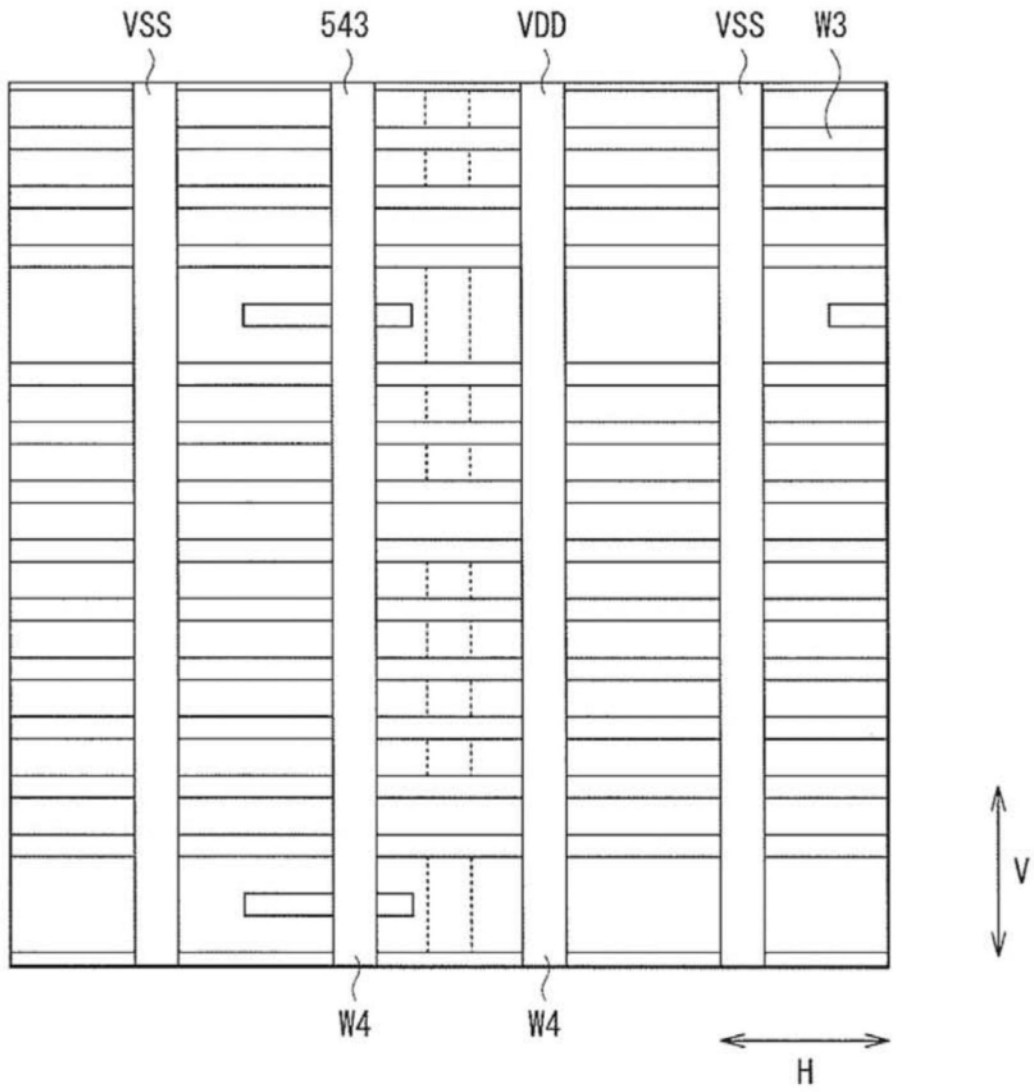


图86

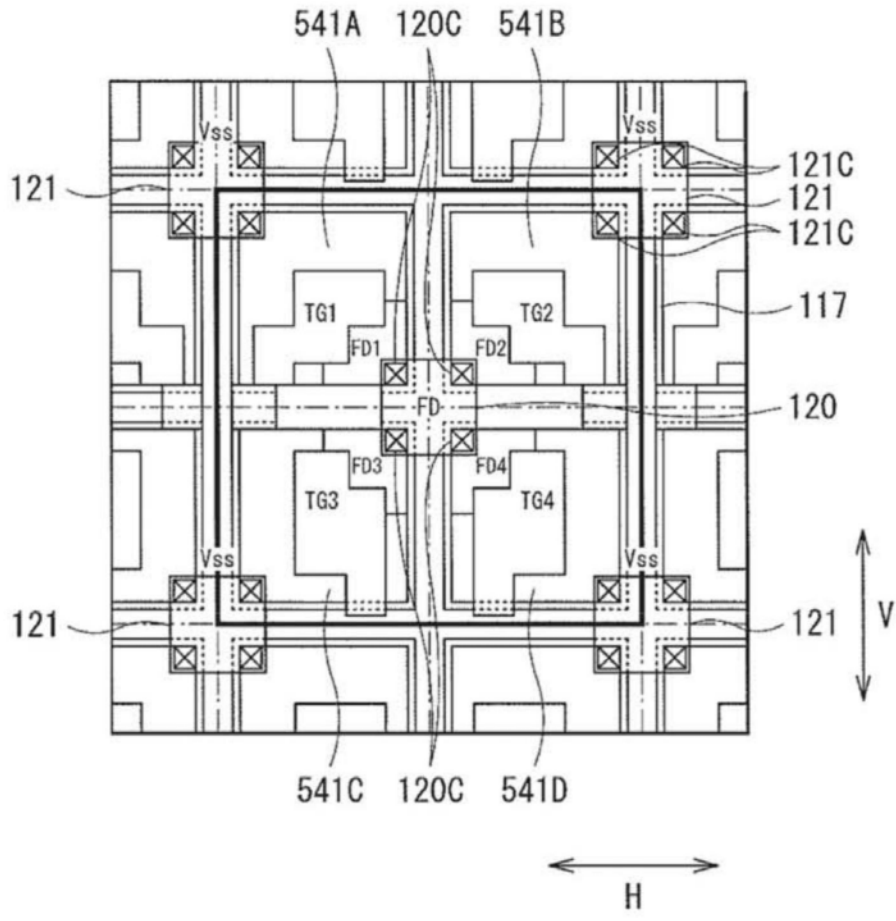


图87

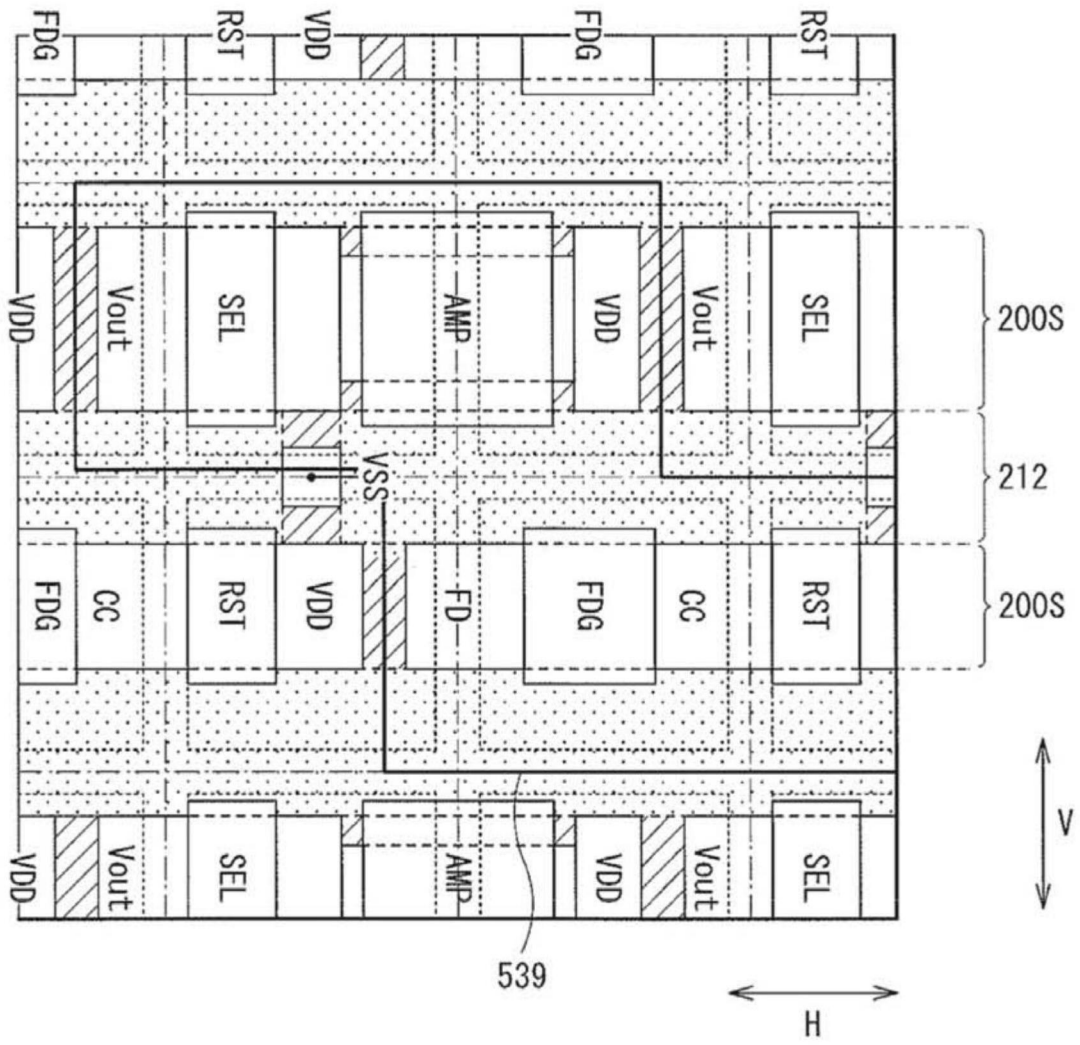


图88

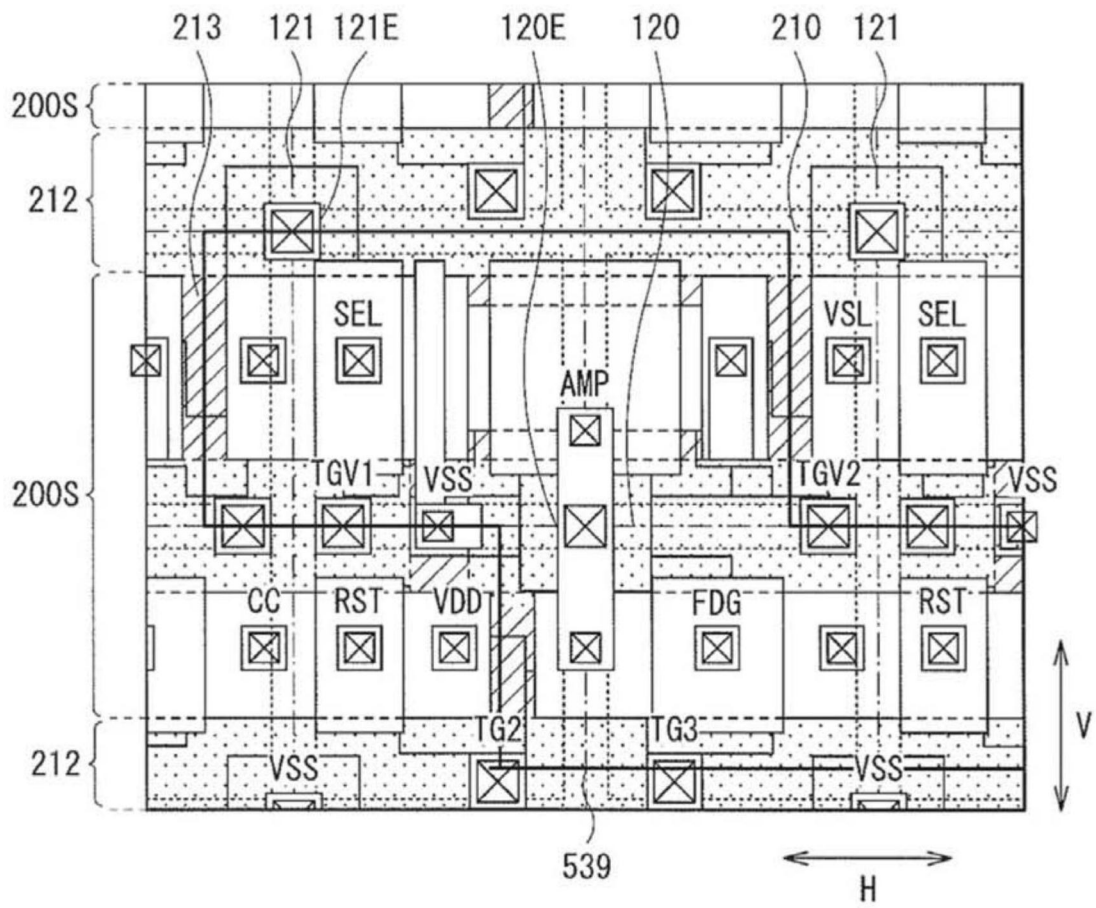


图89

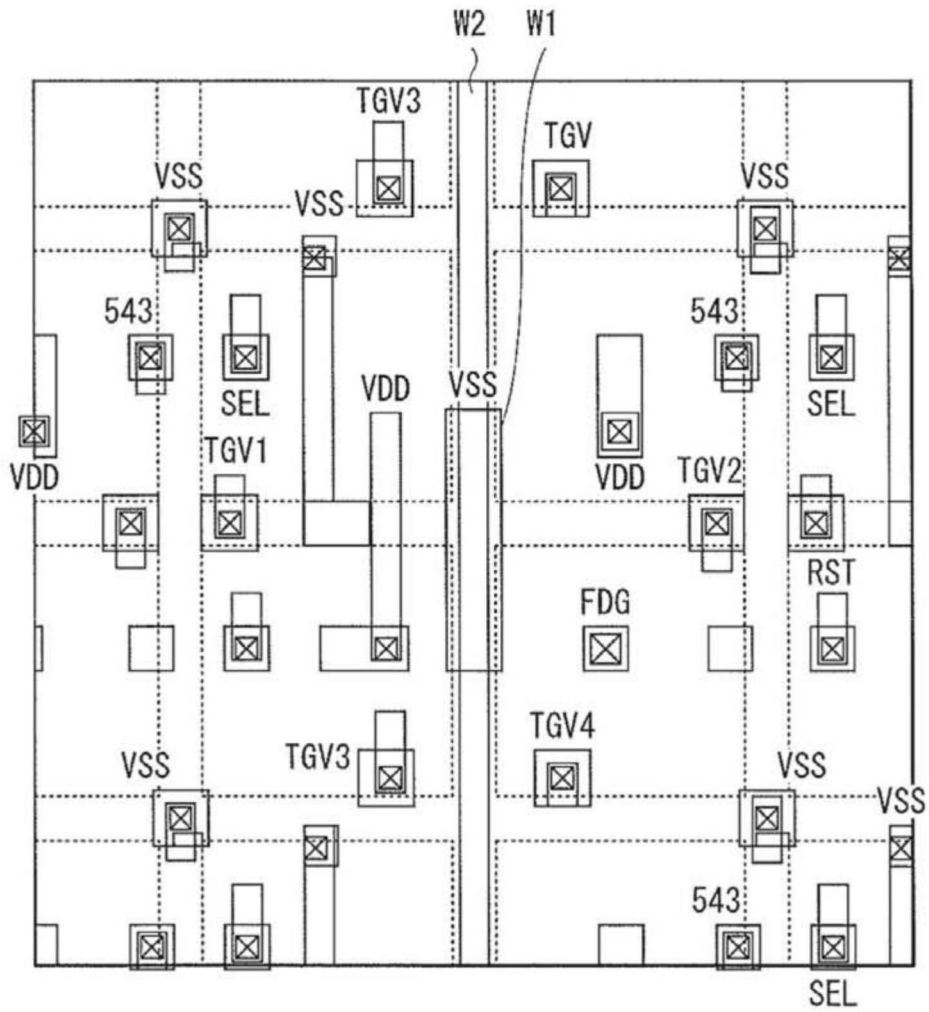


图90

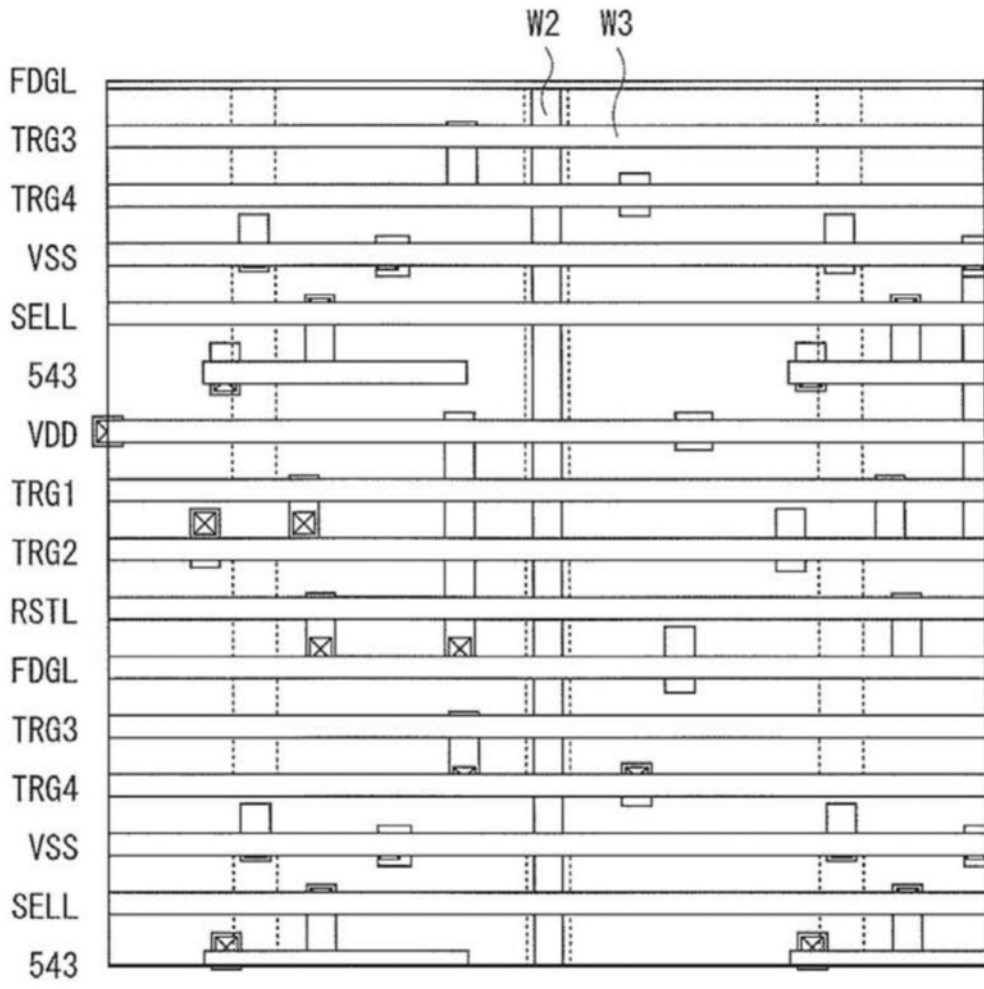


图91

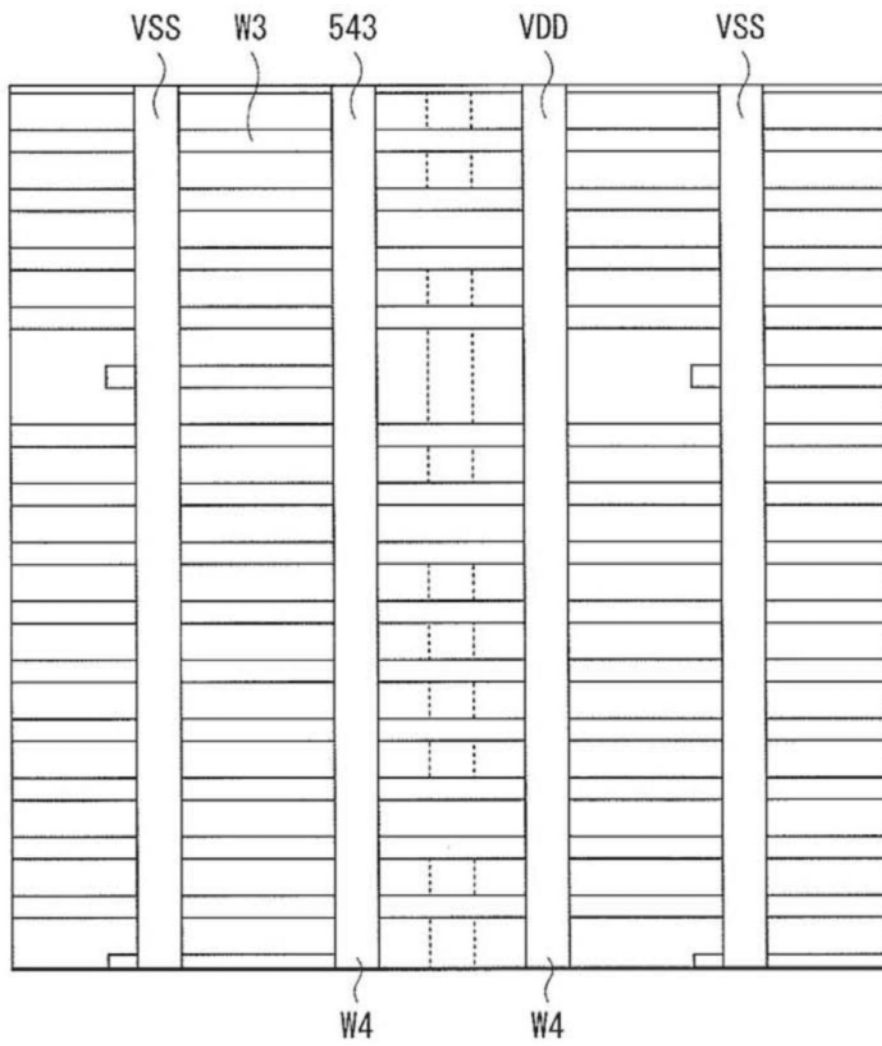


图92

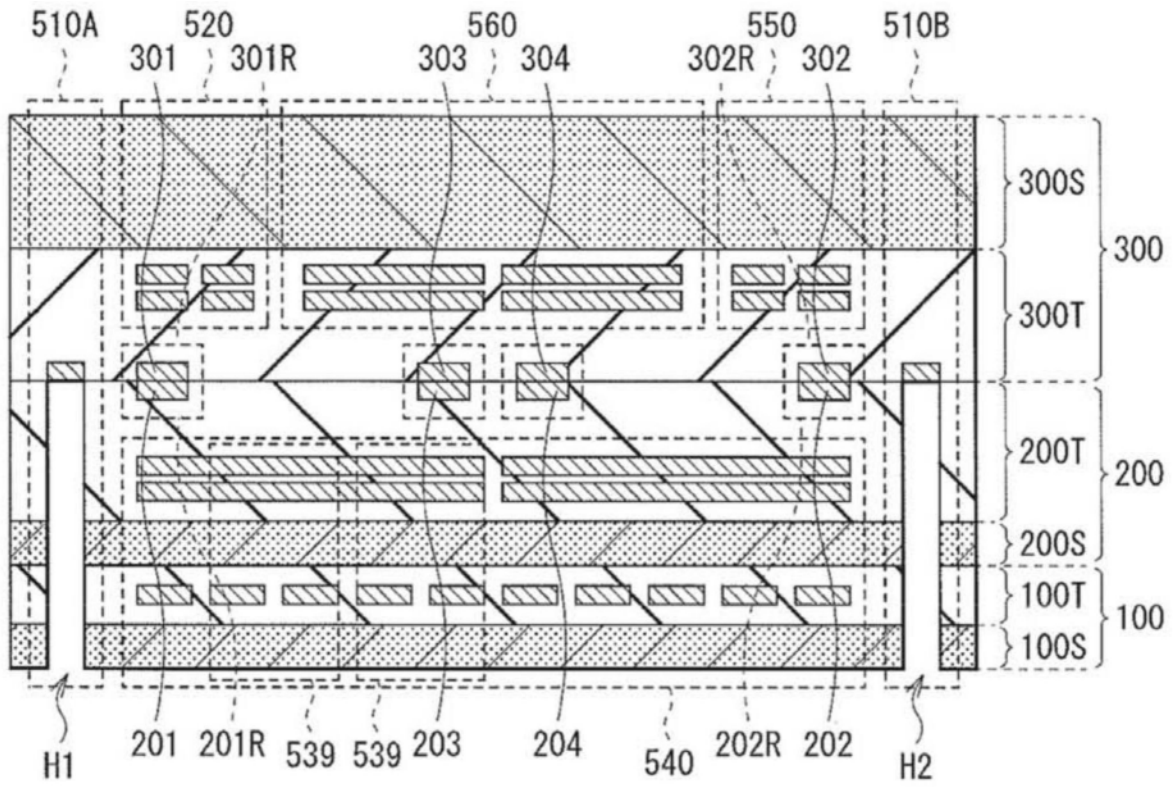


图93

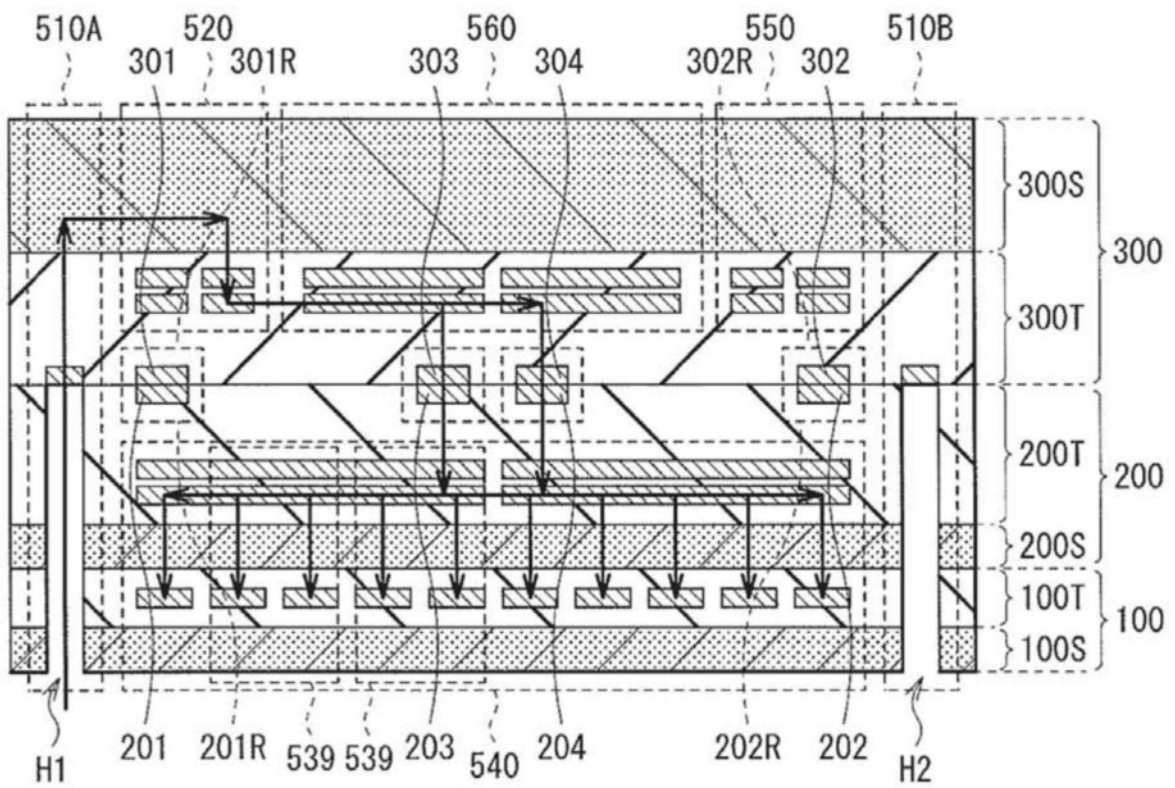


图94

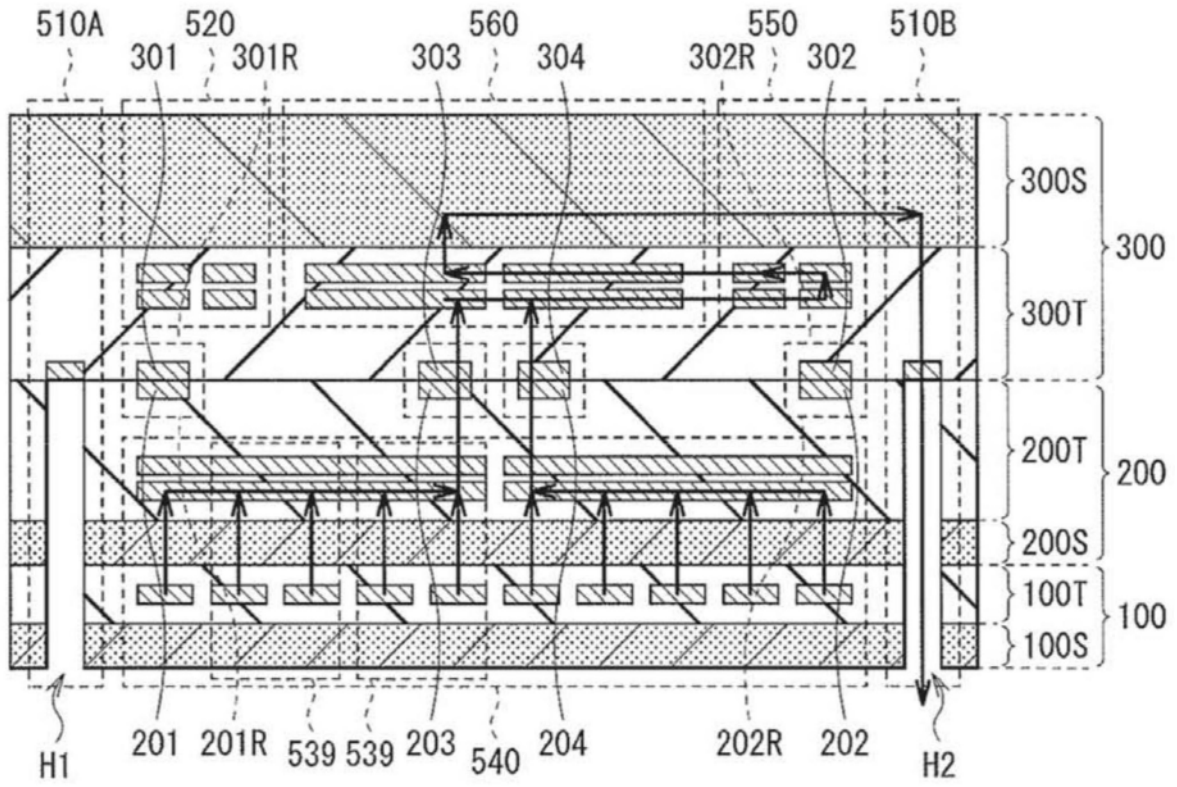


图95

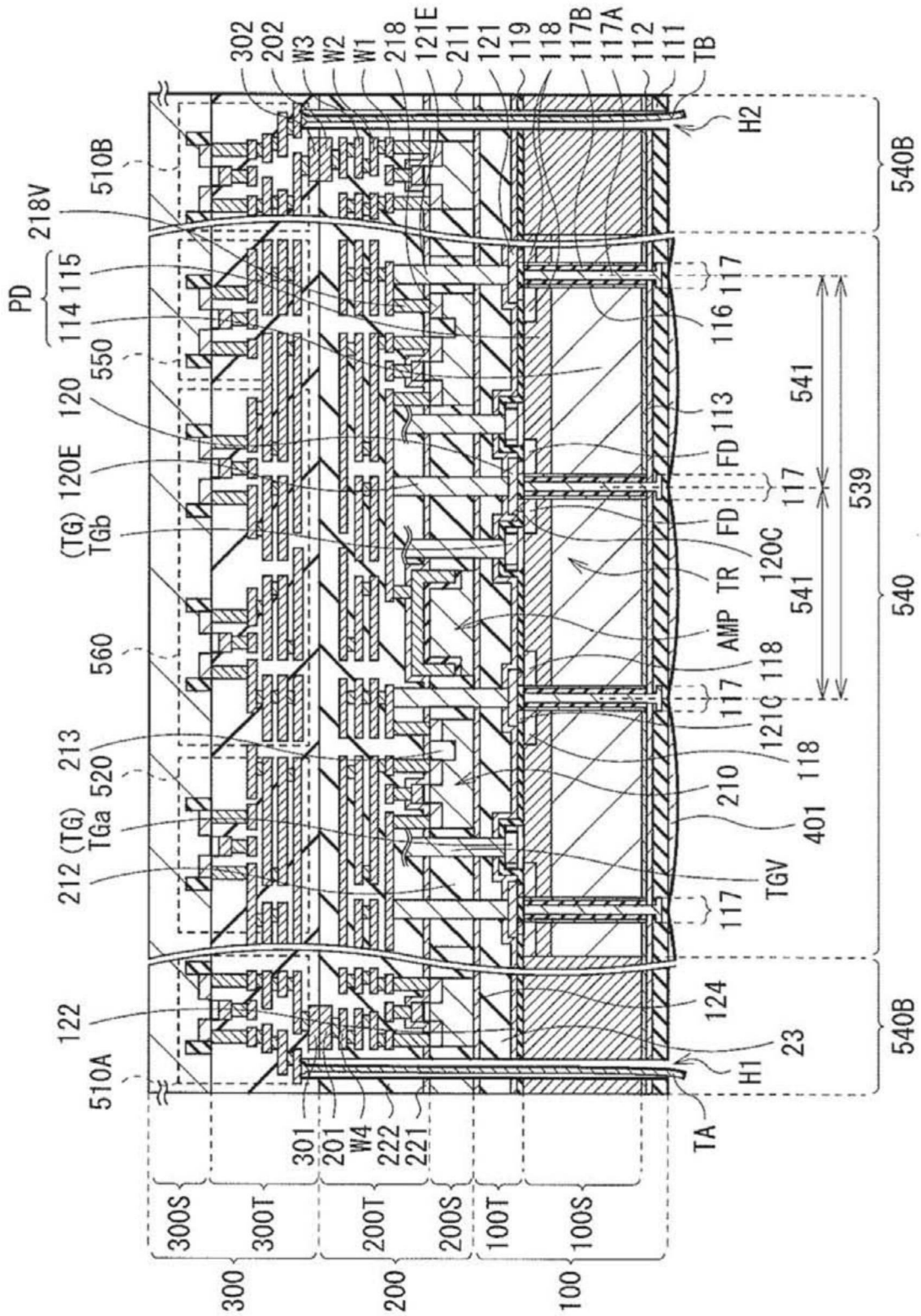


图96

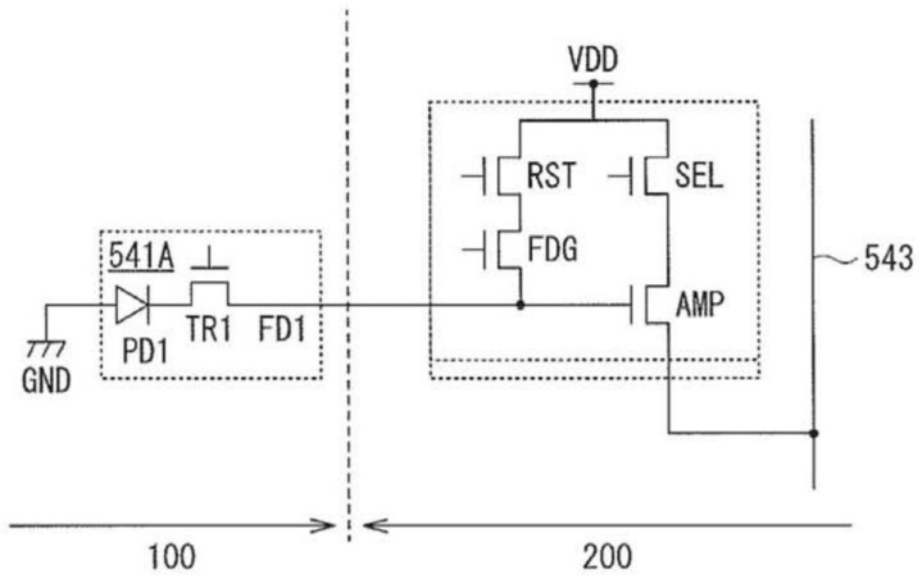


图97

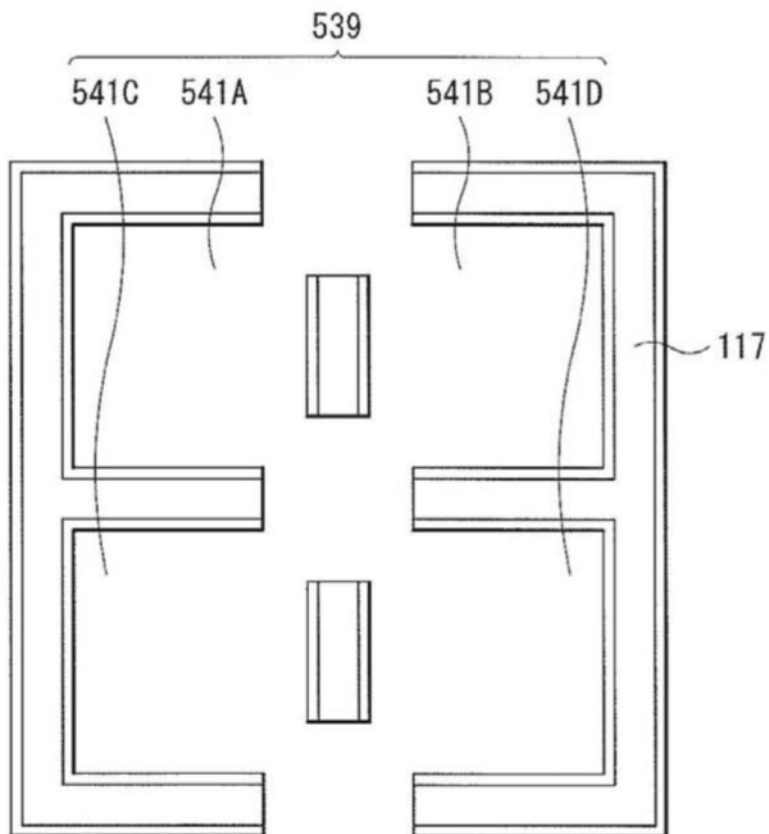


图98

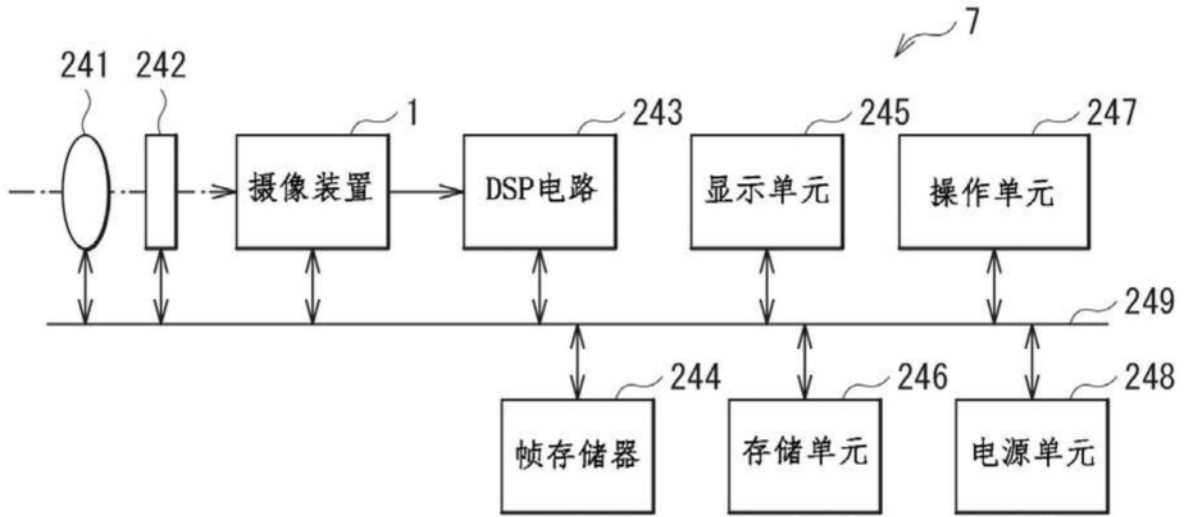


图99

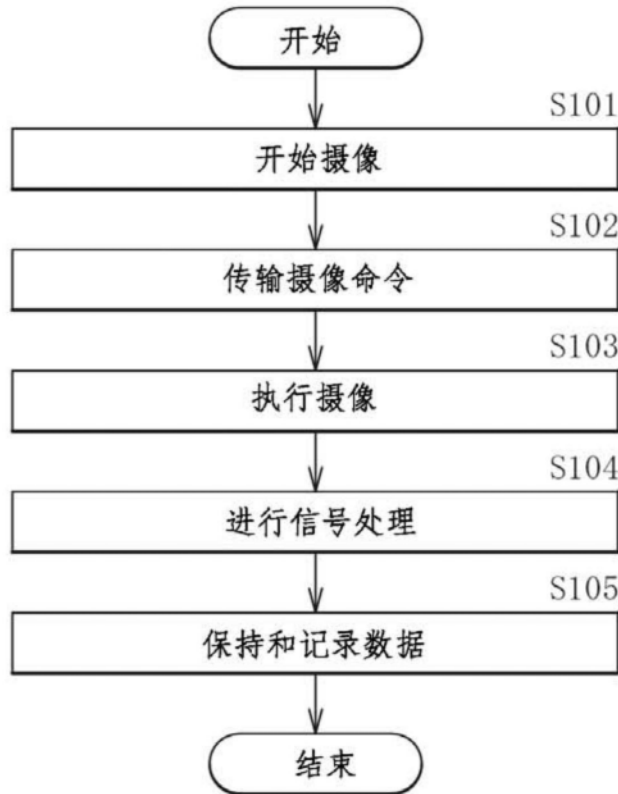


图100

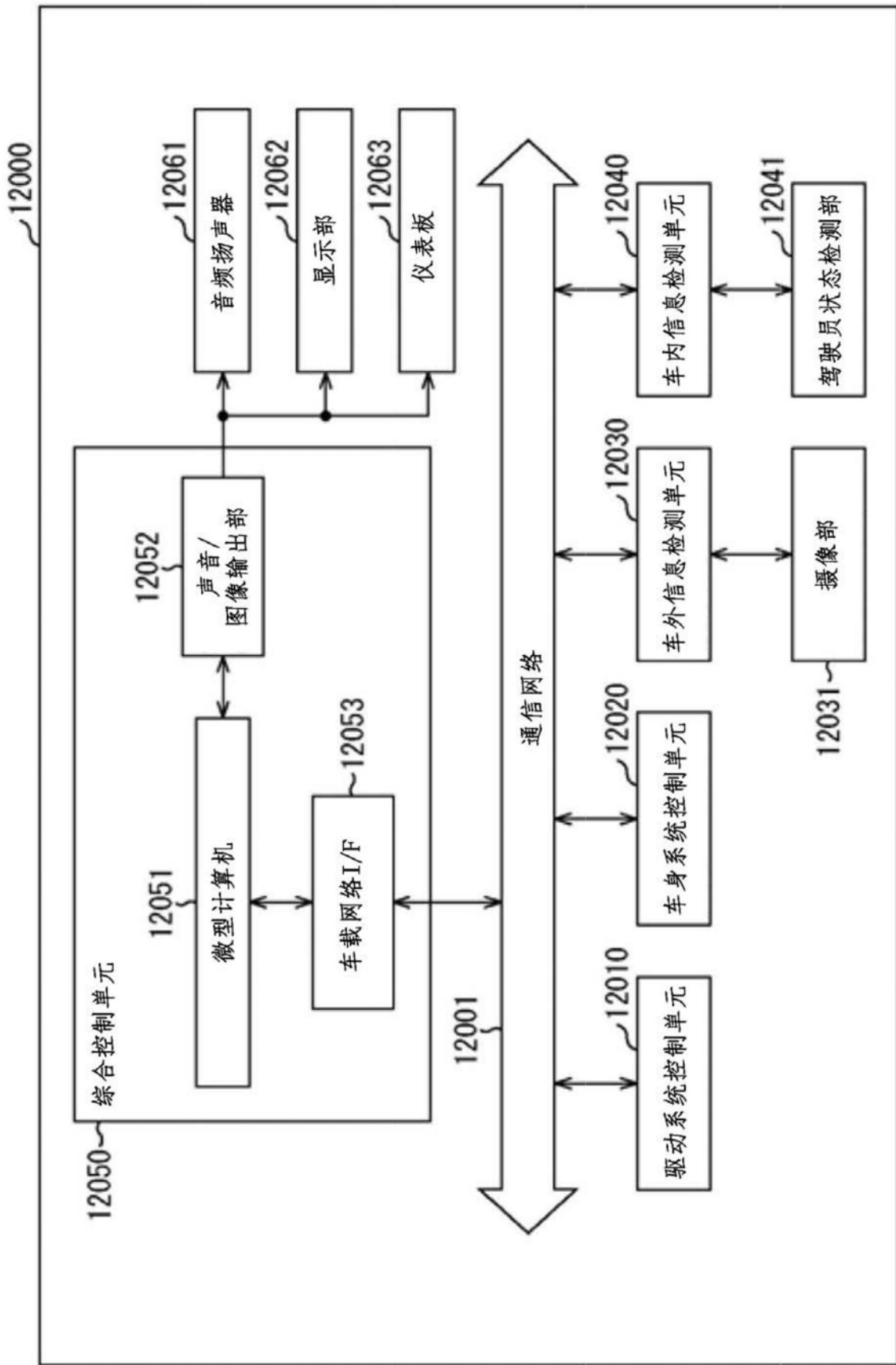


图101

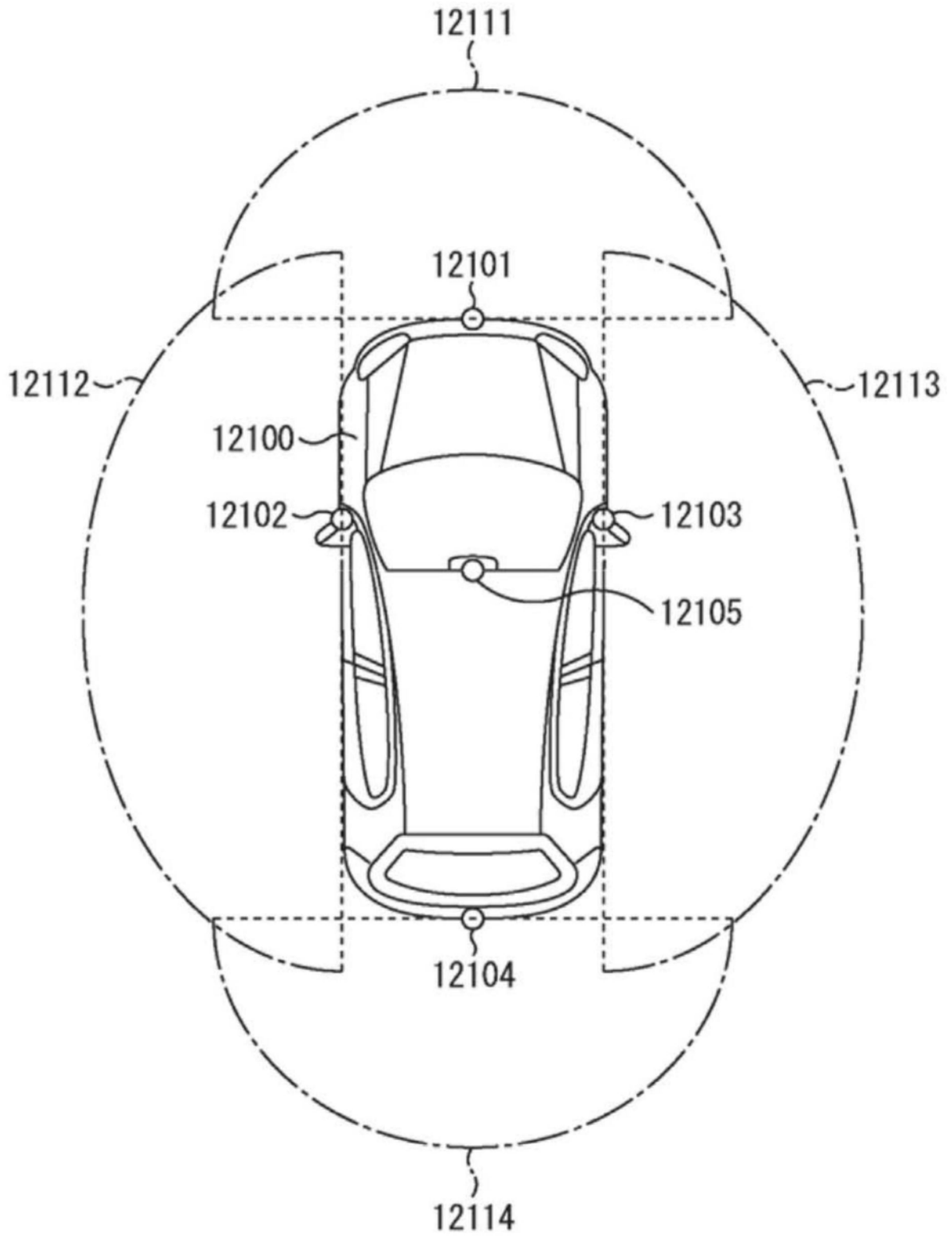


图102

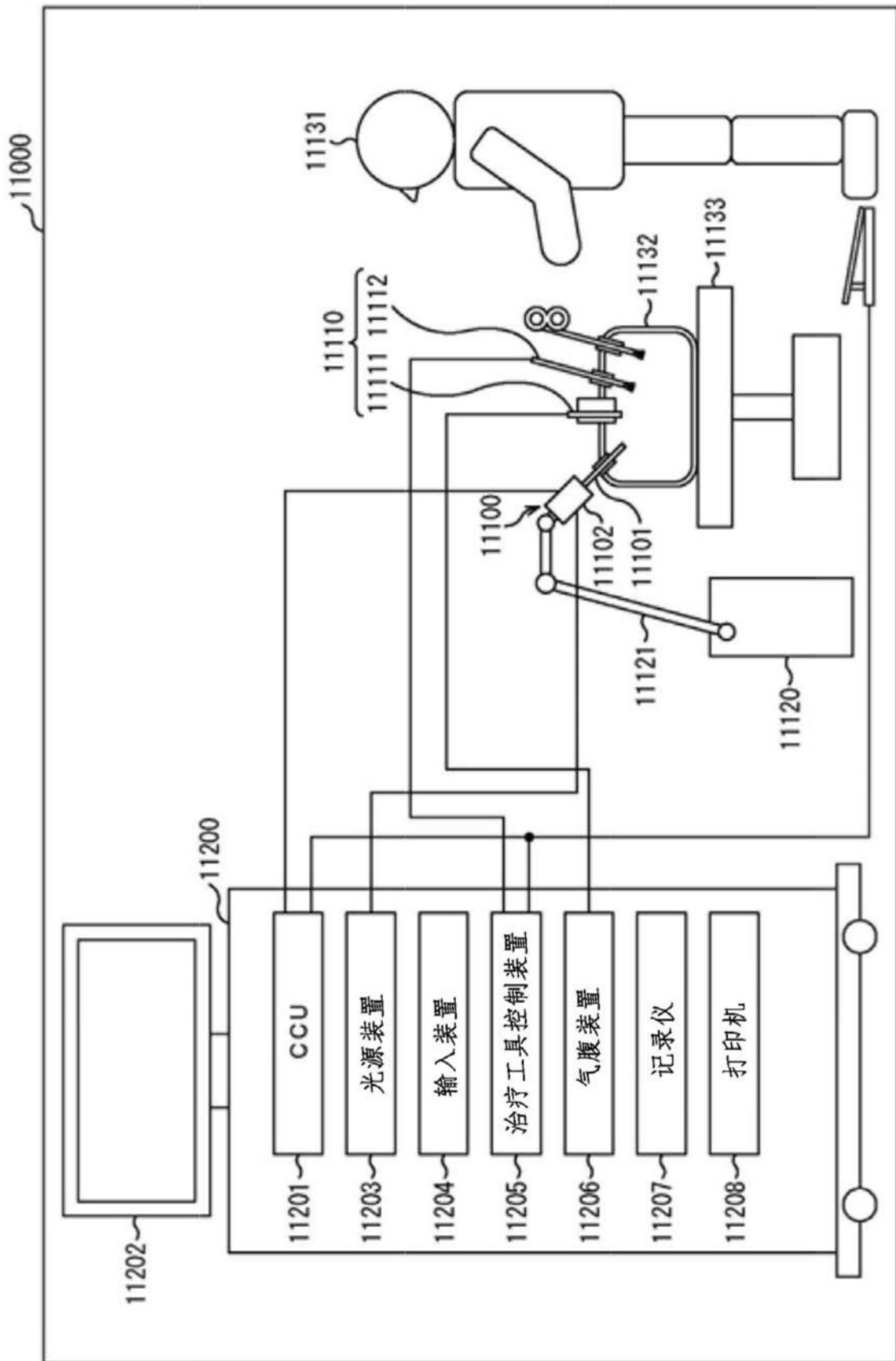


图103

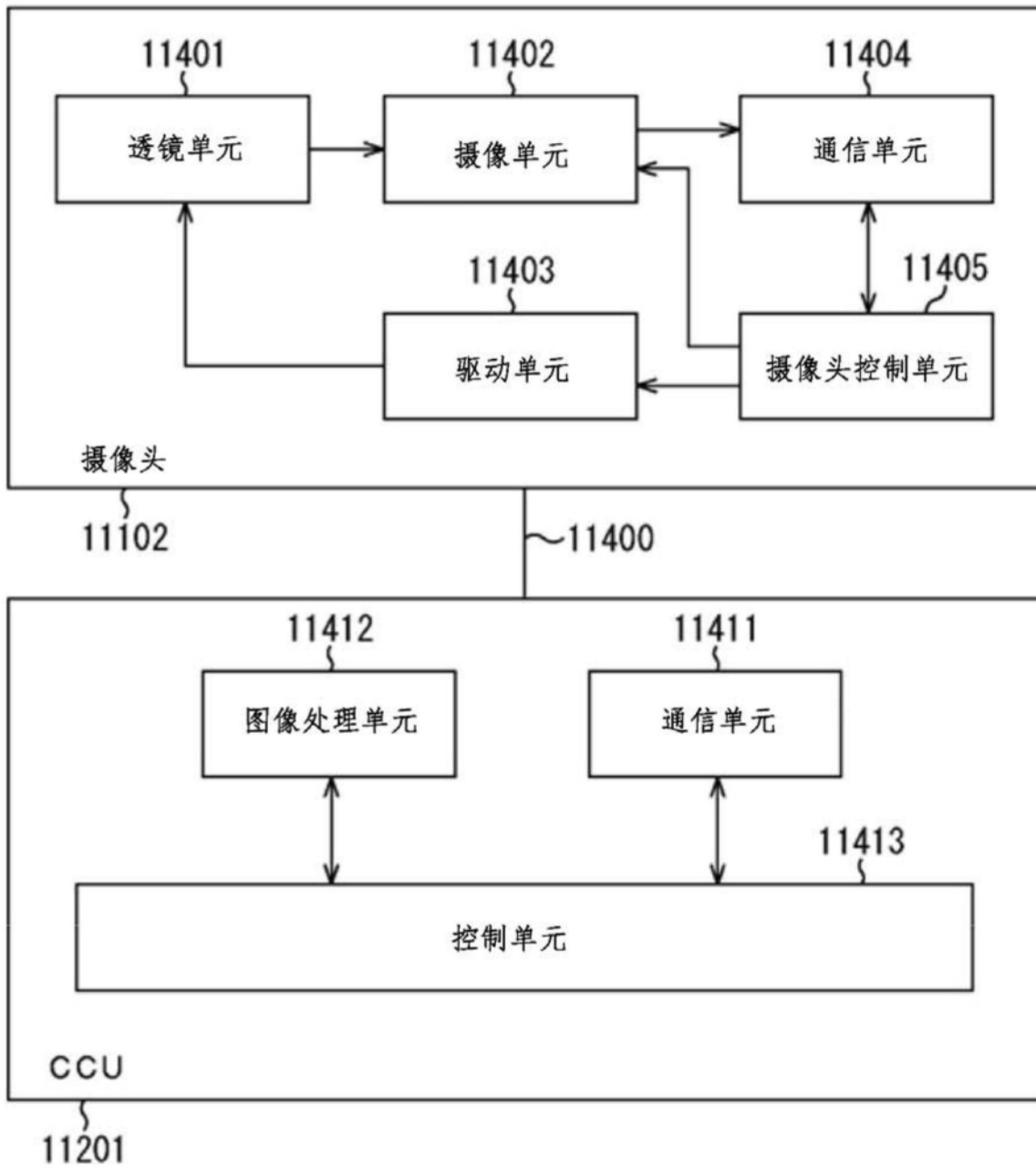


图104