

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5785751号
(P5785751)

(45) 発行日 平成27年9月30日(2015.9.30)

(24) 登録日 平成27年7月31日(2015.7.31)

(51) Int.Cl.		F I			
G 1 1 C 16/06	(2006.01)	G 1 1 C	17/00	6 3 4 E	
G 1 1 C 16/02	(2006.01)	G 1 1 C	17/00	6 1 1 A	
		G 1 1 C	17/00	6 1 2 B	

請求項の数 6 (全 22 頁)

(21) 出願番号	特願2011-65191 (P2011-65191)	(73) 特許権者	000153878
(22) 出願日	平成23年3月24日(2011.3.24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-233222 (P2011-233222A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年11月17日(2011.11.17)	(72) 発明者	齋藤 利彦
審査請求日	平成26年3月10日(2014.3.10)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-90569 (P2010-90569)		半導体エネルギー研究所内
(32) 優先日	平成22年4月9日(2010.4.9)	審査官	滝谷 亮一
(33) 優先権主張国	日本国(JP)	(56) 参考文献	特許第5079163 (JP, B2)
			特開昭62-222498 (JP, A)
			特開2003-036689 (JP, A)
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

読み出し回路を有し、

前記読み出し回路は、第1のトランジスタと、第2のトランジスタと、第1のスイッチと、第2のスイッチと、を有し、

前記第1のトランジスタの第1の端子は、前記第1のトランジスタのゲートに電氣的に接続され、

前記第1のトランジスタの第2の端子は、前記第1のスイッチを介して前記読み出し回路の出力に電氣的に接続され、

前記第2のトランジスタの第1の端子は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタの第2の端子は、前記第2のスイッチを介して前記読み出し回路の出力に電氣的に接続され、

前記第1のトランジスタの第1の端子は、第1の配線に電氣的に接続され、

前記第2のトランジスタの第1の端子は、第2の配線に電氣的に接続され、

前記第1の配線は、第1の電位を供給することができる機能を有し、

前記第2の配線は、第2の電位を供給することができる機能を有し、

前記第1のトランジスタのチャンネル形成領域は、酸化物半導体を有し、

前記第2のトランジスタのチャンネル形成領域は、シリコンを有することを特徴とする半導体装置。

10

20

【請求項 2】

読み出し回路を有し、

前記読み出し回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、を有し、

前記第 1 のトランジスタの第 1 の端子は、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記第 1 のスイッチを介して前記読み出し回路の出力に電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、前記第 2 のスイッチを介して前記読み出し回路の出力に電氣的に接続され、

前記第 1 のトランジスタの第 1 の端子は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、第 2 の配線に電氣的に接続され、

前記第 1 の配線は、第 1 の電位を供給することができる機能を有し、

前記第 2 の配線は、第 2 の電位を供給することができる機能を有し、

前記第 1 のトランジスタのしきい値電圧は、前記第 2 のトランジスタのしきい値電圧とは異なることを特徴とする半導体装置。

10

【請求項 3】

読み出し回路を有し、

前記読み出し回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、を有し、

前記第 1 のトランジスタの第 1 の端子は、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記第 1 のスイッチを介して前記読み出し回路の出力に電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、前記第 2 のスイッチを介して前記読み出し回路の出力に電氣的に接続され、

前記第 1 のトランジスタの第 1 の端子は、第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、第 2 の配線に電氣的に接続され、

前記第 1 の配線は、第 1 の電位を供給することができる機能を有し、

前記第 2 の配線は、第 2 の電位を供給することができる機能を有し、

前記第 1 のスイッチがオンし、前記第 1 のトランジスタが前記読み出し回路の出力と導通状態になる第 1 の期間を有し、

前記第 2 のスイッチがオンし、前記第 2 のトランジスタが前記読み出し回路の出力と導通状態になる第 2 の期間を有し、

前記第 1 の期間は、データの書き込みが正常に行われるか否かを判定する期間であり、

前記第 2 の期間は、データの読み出しを行う期間であり、

前記第 1 のトランジスタのしきい値電圧は、前記第 2 のトランジスタのしきい値電圧より大きいことを特徴とする半導体装置。

20

30

40

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記第 2 の電位は、前記第 1 の電位以下の電位であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記第 1 の電位および前記第 2 の電位を、外部から無線で供給することができる機能を有することを特徴とする半導体装置。

【請求項 6】

50

請求項 1 乃至 5 のいずれか一において、

前記読み出し回路の出力に電氣的に接続されたインバータまたはセンスアンプを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

メモリセルに書き込まれたデータを読み出す読み出し回路に関する。また上記読み出し回路を有する半導体装置に関する。

【背景技術】

【0002】

メモリセルへのデータの書き込み（または消去）が終了した後、メモリセルへのデータの書き込み（または消去）が正常に行われたか否かを判定（検証または検査ともいう）するベリファイ動作が行われる（例えば、特許文献 1）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 294077 公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

図 9（A）に示すように、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合は、書き込まれた（または消去された）データの読み出しが正常に行える。しかし、図 9（B）に示すように、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合でも、書き込まれた（または消去された）データの読み出しが正常に行えずエラーとなることがある。

【0005】

そこで、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合に、書き込まれた（または消去された）データの読み出しが正常に行われずエラーとなるような動作不良が起こらないような読み出し回路を提供することを課題の一とする。また、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することを課題の一とする。また、高精度なデータの読み出しを行うことができる読み出し回路を提供することを課題の一とする。また、上記読み出し回路を有することにより、信頼性の高い半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0006】

本発明の一態様は、メモリセルに書き込まれたデータを読み出す読み出し回路を有する半導体装置に関する。読み出し回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、を有する。第 1 のトランジスタは、第 1 の端子がゲートに電氣的に接続され、第 2 の端子が第 1 のスイッチを介して読み出し回路の出力に電氣的に接続されている。第 2 のトランジスタは、第 1 の端子がゲートに電氣的に接続され、第 2 の端子が第 2 のスイッチを介して読み出し回路の出力に電氣的に接続されている。

【0007】

上記において、第 1 のトランジスタが有する第 1 の端子および第 2 のトランジスタが有する第 1 の端子は、それぞれ、電源電位 V_{dd} が供給される配線に電氣的に接続されている。

【0008】

上記において、第 1 のトランジスタと、第 2 のトランジスタとは、しきい値電圧が異なるものを用いる。

【0009】

上記において、第 1 のトランジスタは、第 2 のトランジスタよりしきい値電圧が高いもの

10

20

30

40

50

を用いる。

【0010】

上記において、第1のトランジスタはチャンネル形成領域が酸化物半導体により形成され、第2のトランジスタはチャンネル形成領域がシリコンにより形成されたものを用いることができる。このように、第1のトランジスタと第2のトランジスタのチャンネル形成領域を構成する半導体材料を異ならせることで、同じ半導体材料を用いた場合と比べて、簡単に、第1のトランジスタと第2のトランジスタのしきい値電圧を異ならせることができる。

【0011】

上記において、メモリセルへのデータの書き込み（または消去）が正常に行われたか否かを判定するペリファイ時には第1のトランジスタを用いて読み出しを行い、通常の読み出し時には第2のトランジスタを用いて読み出しを行うことができる。このようにして、ペリファイ時にはしきい値電圧が比較的高い第1のトランジスタを用いて読み出しを行い、通常の読み出し時にはしきい値電圧が比較的低い第2のトランジスタを用いて読み出しを行うことができる。なお、以下では、判定のための読み出しをペリファイといい、通常の読み出しを単に読み出しということにする。

10

【0012】

上記において、ペリファイ時には、第1のスイッチがオンすることで、第1のトランジスタが読み出し回路の出力と導通状態になる。ペリファイ時には、第2のスイッチはオフしている。読み出し時には、第2のスイッチがオンすることで、第2のトランジスタが読み出し回路の出力と導通状態になる。読み出し時には、第1のスイッチはオフしている。

20

【0013】

上記において、読み出し時に外部から上記第1のトランジスタが有する第1の端子および第2のトランジスタが有する第1の端子に電氣的に接続される配線に供給される電源電位 V_{dd2} は、ペリファイ時に外部から上記第1のトランジスタが有する第1の端子および第2のトランジスタが有する第1の端子に電氣的に接続される配線に供給される電源電位 V_{dd1} と同じまたはそれより小さい値を有する。すなわち、電源電位 V_{dd2} は電源電位 V_{dd1} 以下である。

【0014】

上記において、電源電位 V_{dd} (V_{dd1} 、 V_{dd2} を含む) は外部から無線で供給される構成とすることができる。電源電位 V_{dd} が外部から無線で供給される場合、電源電位 V_{dd} は変動することがある。例えば、開示する発明の一態様である上記半導体装置と、外部の電源供給側の装置との距離が短ければ、外部から供給される電源電位 V_{dd} は大きくなる。逆に、上記半導体装置と、外部の電源供給側の装置との距離が長ければ、外部から供給される電源電位 V_{dd} は小さくなる。

30

【0015】

例えば、読み出し時における上記半導体装置と外部の電源供給側の装置との距離 $D2$ は、ペリファイ時における上記半導体装置と外部の電源供給側の装置との距離 $D1$ と同じまたはそれより長くなる。すなわち、距離 $D2$ は距離 $D1$ 以上である。したがって、読み出し時に外部から上記第1のトランジスタが有する第1の端子および第2のトランジスタが有する第1の端子に電氣的に接続される配線に供給される電源電位 V_{dd2} は、ペリファイ時に外部から上記第1のトランジスタが有する第1の端子および第2のトランジスタが有する第1の端子に電氣的に接続される配線に供給される電源電位 V_{dd1} 以下となる。本発明の一態様によれば、このように電源電位 V_{dd} がペリファイ時と読み出し時とで異なる場合でも、ペリファイ時の判定結果を有効に活用することができる。

40

【0016】

上記において、読み出し回路は、読み出し回路の出力に電氣的に接続されるインバータまたはセンスアンプを有する構成とすることができる。これにより、読み出し精度を向上させることができる。

【0017】

上記において、第1のトランジスタは、バックゲートを有する構成とすることができる。

50

【0018】

上記において、半導体装置はメモリセルを有する構成とすることができる。この場合、メモリセルは、第3のスイッチを介して読み出し回路の出力に電氣的に接続される構成とすることができる。

【0019】

上記において、ベリファイ時には、第1のスイッチと第3のスイッチとがオンすることで、第1のトランジスタとメモリセルとが読み出し回路の出力と導通状態になる。ベリファイ時には、第2のスイッチはオフしている。読み出し時には、第2のスイッチと第3のスイッチとがオンすることで、第2のトランジスタとメモリセルとが読み出し回路の出力と導通状態になる。読み出し時には、第1のスイッチはオフしている。

10

【0020】

上記において、メモリセルは、浮遊ゲートを有するメモリ素子を有する構成とすることができる。または、メモリセルは、アンチヒューズ型のOTPメモリ素子を有する構成とすることができる。上記において、メモリセルは、2値データを書き込み可能な構成とすることができる。

【発明の効果】

【0021】

本発明の一態様によれば、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。すなわち、本発明の一態様によれば、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合に、書き込まれた（または消去された）データの読み出しが正常に行われずエラーとなるような動作不良が起こらない読み出し回路を提供することができる。本発明の一態様によれば、電源電位がベリファイ時と読み出し時とで異なる場合でも、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。また、高精度なデータの読み出しを行うことができる読み出し回路を提供することができる。また、上記読み出し回路を有することにより、信頼性の高い半導体装置を提供することができる。

20

【図面の簡単な説明】

【0022】

【図1】半導体装置の回路構成の例および半導体装置が有するトランジスタの特性の模式図。

30

【図2】半導体装置の回路動作の例を示す図。

【図3】半導体装置の回路動作の例および半導体装置が有するトランジスタの特性の模式図。

【図4】半導体装置の回路動作の例および半導体装置が有するトランジスタの特性の模式図。

【図5】半導体装置が有するメモリセルの回路構成の例を示す図。

【図6】半導体装置の回路構成の例を示す図。

【図7】半導体装置が有するトランジスタの構成の例を示す図。

【図8】半導体装置の使用例を示す図。

【図9】各動作時におけるデータの状態の例を示す図。

40

【発明を実施するための形態】

【0023】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

【0024】

なお、各実施の形態の図面等において示す各構成は、明瞭化のために誇張されて表記して

50

いる場合がある。よって、必ずしもそのスケールに限定されない。

【0025】

(実施の形態1)

本実施の形態は、開示する発明の一態様である半導体装置の回路構成の例、半導体装置が有するトランジスタの特性の模式図、および半導体装置の回路動作の例について、図1～図4を参照して説明する。

【0026】

図1(A)には半導体装置の回路構成の例、図1(B)には半導体装置が有するトランジスタの特性の模式図を示す。図2(A)(B)には半導体装置の回路動作の例を示す。図3(A)(B)には半導体装置の回路動作の例、図3(C)には半導体装置が有するトランジスタの特性の模式図を示す。図4(A)(B)には半導体装置の回路動作の例、図4(C)には半導体装置が有するトランジスタの特性の模式図を示す。

10

【0027】

<半導体装置の回路構成>

図1(A)には、読み出し回路102を有する半導体装置を示す。読み出し回路102は、第1のトランジスタ121と、第2のトランジスタ122と、第1のスイッチ131と、第2のスイッチ132と、を有する。

【0028】

第1のトランジスタ121は、第1の端子がゲートに電氣的に接続され、第2の端子が第1のスイッチ131を介して読み出し回路102の出力Voutに電氣的に接続されている。第2のトランジスタ122は、第1の端子がゲートに電氣的に接続され、第2の端子が第2のスイッチ132を介して読み出し回路102の出力Voutに電氣的に接続されている。

20

【0029】

上記において、第1のトランジスタ121が有する第1の端子および第2のトランジスタ122が有する第1の端子は、それぞれ、電源電位Vddが供給される配線に電氣的に接続されている。なお、第1のトランジスタ121が有する第1の端子に入力される電源電位と第2のトランジスタ122が有する第1の端子に入力される電源電位は、等しい電位でも良いし、異なる電位でも良い。

【0030】

読み出し回路102は、メモリセル101に書き込まれた(または消去された)データを読み出す機能を有する。読み出し回路102は、読み出し回路の出力に電氣的に接続されるインバータまたはセンスアンプを有する構成としてもよい。

30

【0031】

半導体装置はメモリセル101を有する構成とすることができる。すなわち、半導体装置はメモリセル101を内蔵する構成とすることができる。この場合、メモリセル101は、第3のスイッチ133を介して読み出し回路102の出力Voutに電氣的に接続される構成とすることができる。メモリセル101は、共通電位Vcが供給される配線に電氣的に接続されている。このように、半導体装置がメモリセル101を有する構成とすることにより、読み出し回路102が有する素子とメモリセル101が有する素子とを、同じ基板上に同じ工程を利用して形成することができる。

40

【0032】

または、半導体装置は、メモリセル101に電氣的に接続することが可能な端子を有する構成とすることができる。例えば、半導体装置は、メモリセル101を有する記憶媒体の挿入、取り出しが可能な構成とすることができる。この場合、メモリセル101を有する記憶媒体が半導体装置に挿入された状態で、メモリセル101が第3のスイッチ133を介して読み出し回路102の出力Voutに電氣的に接続される構成とすることができる。

【0033】

<半導体装置が有するトランジスタの特性>

50

図1(B)には、半導体装置が有する第1のトランジスタ121と第2のトランジスタ122の $I_d - V_g$ 特性の模式図を示す。図1(B)に示すように、第1のトランジスタ121と第2のトランジスタ122とは、しきい値電圧 V_{th} が異なるものを用いる。具体的には、第1のトランジスタ121のしきい値電圧 V_{th121} は、第2のトランジスタ122のしきい値電圧 V_{th122} より高いものを用いる。すなわち、 $V_{th122} < V_{th121}$ を満たす第1のトランジスタ121、第2のトランジスタ122を用いる。

【0034】

第1のトランジスタ121と第2のトランジスタ122は、それぞれ、N型のトランジスタを用いることができる。第1のトランジスタ121と第2のトランジスタ122のしきい値電圧は、それぞれ、正の値を有することが好ましい。

10

【0035】

例えば、第1のトランジスタ121はチャネル形成領域が酸化物半導体により形成(すなわち酸化物半導体を主成分として形成)され、第2のトランジスタ122はチャネル形成領域がシリコンにより形成(すなわちシリコンを主成分として形成)されたものを用いることができる。このように、第1のトランジスタ121と第2のトランジスタ122のチャネル形成領域を構成する半導体材料を異ならせることで、同じ半導体材料を用いた場合と比べて簡単に、第1のトランジスタ121と第2のトランジスタ122のしきい値電圧を異ならせることができる。

【0036】

また、 $V_{th122} < V_{th121}$ を満たすものであれば、第1のトランジスタ121と第2のトランジスタ122のチャネル形成領域を構成する材料として上記した材料以外の材料を用いることが可能である。その場合、第1のトランジスタ121と第2のトランジスタ122のチャネル形成領域を構成する半導体材料として異なる半導体材料を用いてもよいし、同じ半導体材料を用いてもよい。同じ半導体材料を用いる場合は、半導体層に添加する不純物量または不純物材料を変える、半導体層の作製方法を変える、トランジスタの構造を変える等により、第1のトランジスタ121と第2のトランジスタ122のしきい値電圧を異ならせることができる。

20

【0037】

<半導体装置の回路動作>

図2(A)(B)には、図1(A)に示す半導体装置の回路動作の例を示す。

30

【0038】

図2(A)は、メモリセルへのデータの書き込み(または消去)が正常に行われたか否かを判定するベリファイ時の半導体装置の回路動作の例を示す。図2(B)は、通常の読み出し時の半導体装置の回路動作の例を示す。なお、以下では、判定のための読み出しをベリファイといい、通常の読み出しを単に読み出しという。

【0039】

図2(A)に示すように、ベリファイ時には、第1のスイッチ131がオンすることで、第1のトランジスタ121が読み出し回路102の出力 V_{out} と導通状態になる。ベリファイ時には、第2のスイッチ132はオフしている。また、第3のスイッチ133がオンすることで、メモリセル101が読み出し回路102の出力 V_{out} と導通状態になる。ベリファイ時に外部から第1のトランジスタ121が有する第1の端子および第2のトランジスタ122が有する第1の端子に電氣的に接続される配線に供給される電源電位は V_{dd1} である。

40

【0040】

図2(B)に示すように、読み出し時には、第2のスイッチ132がオンすることで、第2のトランジスタ122が読み出し回路102の出力 V_{out} と導通状態になる。読み出し時には、第1のスイッチ131はオフしている。また、第3のスイッチ133がオンすることで、メモリセル101が読み出し回路102の出力 V_{out} と導通状態になる。読み出し時に外部から第1のトランジスタ121が有する第1の端子および第2のトランジスタ122が有する第1の端子に電氣的に接続される配線に供給される電源電位は V_{dd}

50

2である。

【0041】

図2(A)(B)に示すように、ベリファイ時には第1のトランジスタ121を用いて読み出しを行い、読み出し時には第2のトランジスタ122を用いて読み出しを行うことができる。

【0042】

図1(B)に示したように、第1のトランジスタ121のしきい値電圧 V_{th121} は、第2のトランジスタ122のしきい値電圧 V_{th122} より高いものを用いる。したがって、ベリファイ時には、しきい値電圧 V_{th121} が比較的高い第1のトランジスタ121を用いて読み出しを行い、読み出し時にはしきい値電圧 V_{th122} が比較的低い第2のトランジスタ122を用いて読み出しを行うことができる。

10

【0043】

図2(A)(B)において、電源電位 V_{dd2} は電源電位 V_{dd1} と同じまたはそれより小さい値を有する。すなわち、電源電位 V_{dd2} は電源電位 V_{dd1} 以下である。

【0044】

図2(A)(B)に示す半導体装置の回路動作について、図3、図4を参照して説明する。図3は、図2(A)に示すベリファイ時の半導体装置の回路動作を説明する図である。図4は、図2(B)に示す読み出し時の半導体装置の回路動作を説明する図である。

【0045】

図3(A)に示すように、ベリファイ時には、第1のスイッチ131と第3のスイッチ133とがオンすることで、第1のトランジスタ121とメモリセル101とが読み出し回路102の出力 V_{out} と導通状態になる。ベリファイ時には、第2のスイッチ132はオフしている。ベリファイ時に外部から第1のトランジスタ121が有する第1の端子に供給される電源電位は V_{dd1} である。

20

【0046】

図3(B)は、図3(A)を簡略化した図である。図3(A)に示す第1のトランジスタ121は、図3(B)に示すように抵抗として機能するため、抵抗素子として考えることができる。また、図3(A)に示すメモリセル101は、図3(B)に示すように抵抗として機能するため、抵抗素子として考えることができる。

【0047】

図3(B)に示すように、ベリファイ時には、第1のトランジスタ121を介して電源電位 V_{dd1} が供給される配線が読み出し回路102の出力 V_{out} に電氣的に接続され、メモリセル101を介して共通電位 V_c が供給される配線が読み出し回路102の出力 V_{out} に電氣的に接続された状態になる。第1のトランジスタ121およびメモリセル101は、それぞれ抵抗素子として考えることができる。したがって、第1のトランジスタ121の抵抗値 R_{121} がメモリセル101の抵抗値 R_{101} より大きいとき($R_{121} > R_{101}$)は、読み出し回路102の出力 V_{out} の電位は V_c に近い値となる。逆に、第1のトランジスタ121の抵抗値 R_{121} がメモリセル101の抵抗値 R_{101} より小さいとき($R_{121} < R_{101}$)は、読み出し回路102の出力 V_{out} の電位は V_{dd1} に近い値となる。

30

40

【0048】

例えば、 $R_{121} > R_{101}$ のときの V_{out} を「0」とし、 $R_{121} < R_{101}$ のときの V_{out} を「1」とすることができる。例えば、ベリファイ時に V_{out} が「1」であるときに、データの書き込み(または消去)が正常に行われたと判定することができる。

【0049】

V_{out} が「1」であるときの第1のトランジスタ121に流れる電流 I_{121} と、メモリセル101に流れる電流 I_{101} の関係について、図3(C)を参照して説明する。図3(C)には、第1のトランジスタ121、第2のトランジスタ122の $I_d - V_g$ 特性の模式図を示す。ベリファイ時には、第1のトランジスタ121が用いられ、第1のトランジスタ121のゲートには電源電位 V_{dd1} が供給されている。したがって、ベリファ

50

イ時に第1のトランジスタ121の第1の端子 - 第2の端子間に流れる電流は、図3(C)に示す電流 I_{121} となることがわかる。また、 V_{out} が「1」である、すなわち $R_{121} < R_{101}$ であることから、メモリセル101に流れる電流 I_{101} は電流 I_{121} より小さい値であることがわかる。

【0050】

以上のとおり、ベリファイ時にデータの書き込み（または消去）が正常（ $V_{out} = 1$ ）と判定されたメモリセル101に流れる電流 I_{101} は、第1のトランジスタ121に流れる電流 I_{121} より小さい値であることがわかる。

【0051】

次に、通常の読み出し時の半導体装置の回路動作について、図4(A)、(B)を参照して説明する。

10

【0052】

図4(A)に示すように、読み出し時には、第2のスイッチ132と第3のスイッチ133とがオンすることで、第2のトランジスタ122とメモリセル101とが読み出し回路102の出力 V_{out} と導通状態になる。読み出し時には、第1のスイッチ131はオフしている。読み出し時に外部から第2のトランジスタ122が有する第1の端子に供給される電源電位は V_{dd2} である。

【0053】

図4(B)は、図4(A)を簡略化した図である。図4(A)に示す第2のトランジスタ122は、図4(B)に示すように抵抗として機能するため、抵抗素子として考えることができる。図4(A)に示すメモリセル101は、図4(B)に示すように抵抗として機能するため、抵抗素子として考えることができる。

20

【0054】

図4(B)に示すように、読み出し時には、第2のトランジスタ122を介して電源電位 V_{dd2} が供給される配線が読み出し回路102の出力 V_{out} に電氣的に接続され、メモリセル101を介して共通電位 V_c が供給される配線が読み出し回路102の出力 V_{out} に電氣的に接続された状態になる。第2のトランジスタ122およびメモリセル101は、それぞれ抵抗素子として考えることができる。したがって、第2のトランジスタ122の抵抗値 R_{122} がメモリセル101の抵抗値 R_{101} より大きいとき（ $R_{122} > R_{101}$ ）は、読み出し回路102の出力 V_{out} の電位は V_c に近い値となる。逆に、第2のトランジスタ122の抵抗値 R_{122} がメモリセル101の抵抗値 R_{101} より小さいとき（ $R_{122} < R_{101}$ ）は、読み出し回路102の出力 V_{out} の電位は V_{dd2} に近い値となる。

30

【0055】

例えば、 $R_{122} > R_{101}$ のときの V_{out} を「0」とし、 $R_{122} < R_{101}$ のときの V_{out} を「1」とすることができる。

【0056】

読み出し時の電源電位 V_{dd2} は、ベリファイ時の電源電位 V_{dd1} と同じまたはそれより小さい値を有する。すなわち、電源電位 V_{dd2} は電源電位 V_{dd1} 以下である。また、電源電位 V_{dd2} は、最低動作電圧 V_L 以上である。最低動作電圧 V_L は、半導体装置を動作させるときに最低限必要な電源電位である。

40

【0057】

例えば、電源電位 V_{dd} が外部から無線で供給される構成とした場合、電源電位 V_{dd} は、半導体装置と外部の電源供給側の装置との距離に応じて変動する。例えば、その距離が短ければ、外部から供給される電源電位 V_{dd} は大きくなる。逆に、その距離が長ければ、外部から供給される電源電位 V_{dd} は小さくなる。その場合、半導体装置は最低動作電圧 V_L 以上の電源電位が供給された場合に動作するように設計される。

【0058】

読み出し時における半導体装置と外部の電源供給側の装置との距離 D_2 は通常、ベリファイ時における半導体装置と外部の電源供給側の装置との距離 D_1 と同じまたはそれより長

50

い。すなわち、距離 D_2 は距離 D_1 以上となる。したがって、読み出し時に外部から供給される電源電位 V_{dd2} は、ベリファイ時に外部から供給される電源電位 V_{dd1} 以下となる。

【0059】

読み出し時に第2のトランジスタ122に流れる電流 I_{122} と、メモリセル101に流れる電流 I_{101} の関係について、図4(C)を参照して説明する。

【0060】

図4(C)には、第1のトランジスタ121、第2のトランジスタ122の $I_d - V_g$ 特性の模式図を示す。読み出し時には、第2のトランジスタ122が用いられ、第2のトランジスタ122のゲートには電源電位 V_{dd2} が供給されている。読み出し時の電源電位 V_{dd2} は、最低動作電圧 V_L 以上、ベリファイ時の電源電位 V_{dd1} 以下の範囲内の値を有する。このときに、第2のトランジスタ122の第1の端子 - 第2の端子間に流れる電流は図4(C)に矢印で示す電流 I_{122} の範囲内となることがわかる。

10

【0061】

読み出し時に第2のトランジスタ122に流れる電流の下限値 I_{122L} は、ベリファイ時に第1のトランジスタ121に流れる電流 I_{121} 以上であればよい。すなわち、 $I_{121} > I_{122L}$ であればよい。したがって、読み出し可能な電圧の範囲は、 $I_{121} > I_{122L}$ となるように設定することができる。

【0062】

図4(C)に示すように、読み出し時に第2のトランジスタ122に流れる電流 I_{122} は、ベリファイ時に第1のトランジスタ121に流れる電流 I_{121} より大きい値となり、ベリファイ時に第1のトランジスタ121に流れる電流 I_{121} はメモリセル101に流れる電流 I_{101} より大きい値となる。つまり、読み出し時に第2のトランジスタ122に流れる電流 I_{122} は、メモリセル101に流れる電流 I_{101} より大きい値となる。その結果、 $R_{122} < R_{101}$ となり、読み出し時の V_{out} は必ず「1」となる。

20

【0063】

以上のとおり、本実施の形態によれば、ベリファイ時に V_{out} が「1」でありデータの書き込み（または消去）が正常に行われたと判定されたメモリセルについては、必ず読み出し時の V_{out} が「1」となるような読み出し回路を提供することができる。

【0064】

なお、図3、図4では、 $R_{121} > R_{101}$ 、 $R_{122} > R_{101}$ のときの V_{out} を「0」とし、 $R_{121} < R_{101}$ 、 $R_{122} < R_{101}$ のときの V_{out} を「1」としたが、これに限定されない。逆に、 $R_{121} > R_{101}$ 、 $R_{122} > R_{101}$ のときの V_{out} を「1」とし、 $R_{121} < R_{101}$ 、 $R_{122} < R_{101}$ のときの V_{out} を「0」としてもよい。

30

【0065】

また、図3では、ベリファイ時に V_{out} が「1」であるときに、データの書き込み（または消去）が正常に行われたと判定することとしたが、これに限定されない。逆に、ベリファイ時に V_{out} が「0」であるときに、データの書き込み（または消去）が正常に行われたと判定してもよい。

40

【0066】

また、読み出し回路は、読み出し回路の出力に電気的に接続されるインバータまたはセンスアンプを有する構成とすることができる。これにより読み出し精度を向上させることができる。

【0067】

本実施の形態によれば、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。すなわち、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合に、書き込まれた（または消去された）データの読み出しが正常に行われずエラーとなるような動作不良が起こらない読み出し回路を提供することができる。本実施の形態によれば、電源電位 V_{dd} がベリファイ時と読み出し時とで異

50

なる場合でも、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。また、高精度なデータの読み出しを行うことができる読み出し回路を提供することができる。また、上記読み出し回路を有することにより、信頼性の高い半導体装置を提供することができる。

【0068】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0069】

(実施の形態2)

本実施の形態は、開示する発明の一態様である半導体装置が有するメモリセルの回路構成の例について、図5を参照して説明する。

10

【0070】

図5(A)~(C)は、図1(A)に示す半導体装置の一部の回路構成を示したものである。図5(A)には、半導体装置が有するメモリセル101を示す。メモリセル101は、共通電位 V_c が供給される配線に電氣的に接続されている。共通電位 V_c が供給される配線には、例えば接地電位が供給される。

【0071】

図5(B)は、メモリセル101が、浮遊ゲートを有するメモリ素子112を有する回路構成の例を示したものである。図5(B)に示すメモリセル101は、選択トランジスタ111と、浮遊ゲートを有するメモリ素子112と、ビット線113と、ワード線114と、選択線115と、を有する。選択トランジスタ111は、ゲートが選択線115に電氣的に接続され、第1の端子がビット線113に電氣的に接続され、第2の端子がメモリ素子112の第1の端子に電氣的に接続されている。浮遊ゲートを有するメモリ素子112は、ゲートがワード線114に電氣的に接続され、第2の端子が共通電位 V_c が供給される配線に電氣的に接続されている。したがって、メモリ素子112の第1の端子が選択トランジスタ111を介してビット線113に電氣的に接続された構造を有する。共通電位 V_c が供給される配線には、例えば接地電位が供給される。

20

【0072】

図5(B)に示す、浮遊ゲートを有するメモリ素子112を有するメモリセル101の回路動作を説明する。

【0073】

メモリセル101へのデータの書き込みは、メモリ素子112の浮遊ゲートに電荷(例えば電子)を注入することで行う。浮遊ゲートに電荷を注入することで、メモリ素子112のしきい値電圧をプラス側にシフトさせることができる。これにより、メモリセル101の抵抗値を増大させることができる。例えば、書き込み後は $V_{out} = 1$ (または $V_{out} = 0$)として読み出すことができる。

30

【0074】

メモリセル101にデータの書き込みが終了した後、図1(A)で示した読み出し回路102を用いてメモリセル101へのデータの書き込みが正常に行われたか否かを判定(ベリファイ)する。その結果、データの書き込みが正常と判定されれば、電源電位 V_{dd} がベリファイ時と読み出し時とで異なる場合でも、書き込まれたデータを正常に読み出すことができる。

40

【0075】

データの消去は、メモリ素子112の浮遊ゲートに蓄積された電荷(例えば電子)を放出することで行う。浮遊ゲートに蓄積された電荷を放出することで、メモリ素子112のしきい値電圧をマイナス側にシフトさせ、メモリセル101の抵抗値を低下させることができる。これにより、メモリセル101の抵抗値を初期状態に近い値に戻すことができる。例えば、データの消去(初期化)後は $V_{out} = 0$ (または $V_{out} = 1$)として読み出しを行うことができる。

【0076】

メモリセル101からのデータの消去が終了した後、図1(A)で示した読み出し回路1

50

02を用いてメモリセル101からのデータの消去が正常に行われたか否かを判定(ベリファイ)する。その結果、データの消去が正常に行われたと判定されれば、電源電位V_{dd}がベリファイ時と読み出し時とで異なる場合でも、消去されたデータを正常に読み出すことができる。

【0077】

また、図5(B)に示す浮遊ゲートを有するメモリ素子112を有するメモリセル101では、データの書き込みや消去に電源電位V_{dd}あるいは半導体装置内の回路により増幅された電源電位V_{dd}等が用いられることがある。この時、電源電位V_{dd}が変動することに起因して、データの書き込みや消去がうまく行われない場合がある。この場合、メモリセル101の抵抗値が書き込み後に通常とりうる値と消去後に通常とりうる値との中間の値となることがある。メモリセル101の抵抗値が中間の値となる場合、ベリファイ時の判定結果を有効に活用できないことがある。

10

【0078】

しかし、図1(A)で示したような読み出し回路102を有する半導体装置を用いることにより、ベリファイ時の判定結果を有効に活用することができる。その結果、データの読み出し精度を向上させることができる。

【0079】

図5(C)は、メモリセル101が、OTP(One Time Programmable)メモリ素子117を有する回路構成の例を示したものである。OTPメモリ素子117は、1回のみ書き込み可能なメモリ素子である。

20

【0080】

図5(C)に示すメモリセル101は、選択トランジスタ116と、OTPメモリ素子117と、ビット線118と、ワード線119と、を有する。選択トランジスタ116は、ゲートがワード線119に電氣的に接続され、第1の端子がビット線118に電氣的に接続され、第2の端子がOTPメモリ素子117の第1の端子に電氣的に接続されている。OTPメモリ素子117の第2の端子は、共通電位V_cが供給される配線に電氣的に接続されている。したがって、OTPメモリ素子117の第1の端子が選択トランジスタ116を介してビット線118に電氣的に接続された構造を有する。共通電位V_cが供給される配線には、例えば接地電位が供給される。

【0081】

30

OTPメモリ素子117は、例えばアンチヒューズ型のOTPメモリ素子を用いることができる。アンチヒューズ型のOTPメモリ素子として、例えばシリサイドメモリや有機メモリを用いることができる。シリサイドメモリは、一対の電極間にアモルファスシリコンが設けられた構造を有する。有機メモリは、一対の電極間に有機膜が設けられた構造を有する。アンチヒューズ型のOTPメモリ素子は書き込み動作を行うまでは高抵抗を有する。

【0082】

図5(C)に示す、OTPメモリ素子117を有するメモリセル101の回路動作を説明する。

【0083】

40

メモリセル101へのデータの書き込みは、OTPメモリ素子117の第1の端子に高電位を供給し、OTPメモリ素子117に高電圧を印加することで行う。OTPメモリ素子117に高電圧を印加すると、発生するジュール熱によりOTPメモリ素子117を変化(例えばシリサイド化または流動化)させることができる。例えばシリサイドメモリにおいては、一対の電極間に高電圧を印加することにより、一対の電極間に設けられたアモルファスシリコンをシリサイド化することができる。このようにして、OTPメモリ素子の抵抗値を低下させることができる。例えば、書き込み後はV_{out} = 1(またはV_{out} = 0)として読み出しを行うことができる。

【0084】

メモリセル101にデータの書き込みが終了した後、図1(A)で示した読み出し回路1

50

02を用いてメモリセル101へのデータの書き込みが正常に行われたか否かを判定（ベリファイ）する。その結果、データの書き込みが正常と判定されれば、電源電位V_{dd}がベリファイ時と読み出し時とで異なる場合でも、書き込まれたデータを正常に読み出すことができる。

【0085】

また、図5（C）に示すOTPメモリ素子117を有するメモリセル101では、データの書き込みに電源電位V_{dd}あるいは半導体装置内の回路により増幅された電源電位V_{dd}等が用いられることがある。この時、電源電位V_{dd}が変動することに起因して、データの書き込みがうまく行われぬ場合がある。この場合、メモリセル101の抵抗値が書き込み前の値と書き込み後に通常とりうる値との中間の値となることがある。メモリセル101の抵抗値が中間の値となる場合、ベリファイ時の判定結果を有効に活用できないことがある。

【0086】

しかし、図1（A）で示したような読み出し回路102を有する半導体装置を用いることにより、ベリファイ時の判定結果を有効に活用することができる。その結果、データの読み出し精度を向上させることができる。

【0087】

図5（B）に示す浮遊ゲートを有するメモリ素子112および図5（C）に示すOTPメモリ素子117は、いずれも2値データを書き込み可能なメモリ素子である。

【0088】

以上のとおり、図1（A）で示したような読み出し回路102を有する半導体装置を用いることにより、ベリファイ時の判定結果を有効に活用することができる。すなわち、図1（A）で示したような読み出し回路102を有する半導体装置を用いることにより、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合に、書き込まれた（または消去された）データの読み出しが正常に行われずエラーとなるような動作不良の発生を防ぐことができる。図1（A）で示したような読み出し回路102を有する半導体装置を用いることにより、電源電位V_{dd}が変動する場合でも、ベリファイ時の判定結果を有効に活用することができる。また、高精度なデータの読み出しを行うことができ、信頼性の高い半導体装置を提供することができる。

【0089】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0090】

（実施の形態3）

本実施の形態は、開示する発明の一態様である半導体装置の回路構成の例について、図6を参照して説明する。図6は、第1のトランジスタ121の構成が図1（A）と異なる例である。それ以外の回路構成は図1（A）と同様である。

【0091】

図6には、第1のトランジスタ121がバックゲートを有する構成を示す。この場合、第1のトランジスタ121は、バックゲートが第1の端子に電氣的に接続する構成とすることができる。これにより比較的簡単に、第1のトランジスタ121のしきい値電圧をプラス側にシフトさせることができる。その結果、比較的簡単に、図1（B）に示すような特性を有する第1のトランジスタ121、第2のトランジスタ122を得ることができる。

【0092】

図6に示す半導体装置の回路動作は、図1に示す半導体装置の回路動作と同様である。

【0093】

図6に示す構成を用いることで、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。すなわち、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合に、書き込まれた（または消去された）データの読み出しが正常に行われずエラーとなるような動作不良が起こらない読み出し回路を提供することができる。本実施の形態によれば、電源電位V_{dd}がベリファイ時と読み出し

10

20

30

40

50

時と異なる場合でも、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。また、高精度なデータの読み出しを行うことができる読み出し回路を提供することができる。また、上記読み出し回路を有することにより、信頼性の高い半導体装置を提供することができる。

【0094】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0095】

(実施の形態4)

本実施の形態では、開示する発明の一態様である半導体装置が有するトランジスタの例について、図7を参照して説明する。図7に示すトランジスタは、チャンネル形成領域が酸化物半導体により形成されたものである。

10

【0096】

図7(A)に示すトランジスタ313は、絶縁表面を有する層または基板303上に設けられたソース電極又はドレイン電極として機能する一対の導電層305a及び導電層305bと、導電層305a及び導電層305b上に設けられた半導体層307と、半導体層307上に設けられたゲート絶縁層309と、ゲート絶縁層309上に設けられたゲート電極311と、で構成されている。

【0097】

図7(A)に示すトランジスタ313は、半導体層307上方にゲート電極311が設けられたトップゲート型の構造である。また、ソース電極又はドレイン電極として機能する導電層305a及び導電層305bが半導体層307下に設けられたボトムコンタクト型の構造である。なお、トランジスタ313は、導電層305a及び導電層305bが半導体層307上に設けられたトップコンタクト型の構造とすることもできる。

20

【0098】

半導体層307は、In-Sn-Ga-Zn-O系、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、In-Ga-O系、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成する。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)とガリウム(Ga)と亜鉛(Zn)を有する酸化物半導体という意味であり、その組成比は問わない。また、InとGaとZn以外の元素を含んでもよい。また、上記酸化物半導体はSiO₂を含んでもよい。

30

【0099】

また、半導体層307は、化学式InMO₃(ZnO)_m(m>0)で表記される酸化物半導体を用いて形成することができる。ここで、Mは、Zn、Ga、Al、MnまたはCoから選ばれた一の金属元素、又は複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

【0100】

半導体層307は、スパッタリング法によって形成することが好ましい。例えば、上述した酸化物のターゲットを用いて、スパッタリング法により半導体層307を形成することができる。

40

【0101】

半導体層307に用いる酸化物半導体として、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないようにして高純度化された、I型(真性)の酸化物半導体、又はI型(真性)に限りなく近い、すなわち実質的にI型の酸化物半導体を用いることができる。

【0102】

絶縁表面を有する層または基板303は、例えば基板上に絶縁層が設けられた構造とする。基板は、後の作製工程に耐えられるものであれば限定されない。例えば、基板として

50

、ガラス基板などの絶縁性基板、シリコン基板などの半導体基板、金属基板などの導電性基板、プラスチックなどの可撓性基板などを用い、その上に絶縁層が設けられた構造とすることができる。この場合、絶縁層は、基板からの不純物の拡散を防止する下地となる。例えば、下地となる絶縁層は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、又は酸化タンタルなどの絶縁層を用いて、単層構造又は2層以上の積層構造で形成する。なお、絶縁層は、極力、水素や水を含まないことが好ましい。

【0103】

導電層305a及び導電層305bは、チタン、アルミニウム、タングステン、クロム、銅、タンタル、若しくはモリブデンなどから選択される金属材料、又は前述した金属材料を成分とする合金材料などを用いて形成する。また、マンガ、マグネシウム、ジルコニウム、又はベリリウムから選択される材料を用いて形成することができる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、若しくはスカンジウムから選択される一の元素又は複数の元素を添加した材料を用いて形成することもできる。なお、導電層305a及び導電層305bは、単層構造又は2層以上の積層構造で形成することができる。

10

【0104】

ゲート絶縁層309は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、又は酸化ハフニウムなどの絶縁層を用いて、単層構造又は2層以上の積層構造で形成する。なお、ゲート絶縁層309は、極力、水素や水を含まないように形成することが好ましい。

20

【0105】

ゲート電極311は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム若しくはスカンジウムなどから選択される金属材料、前述した金属材料を主成分とする合金材料、又は前記金属材料の窒化物(窒化金属)を用いて、単層構造又は2層以上の積層構造で形成することができる。ゲート電極311は、ゲート絶縁層309を間に介して、半導体層307と重畳するように形成する。

【0106】

図7(B)に示すトランジスタ323は、絶縁表面を有する層または基板303上に設けられたゲート電極311と、ゲート電極311を覆って設けられたゲート絶縁層309と、ゲート絶縁層309上に設けられた半導体層307と、半導体層307上に設けられた一对の導電層305a及び導電層305bと、で構成されている。また、トランジスタ323上を覆ってパッシベーション層315が設けられている。

30

【0107】

パッシベーション層315は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、又は酸化タンタルなどの材料を用いて、単層構造又は2層以上の積層構造で形成することができる。なお、トランジスタ323上にパッシベーション層などの絶縁層を形成するか否か、絶縁層の積層数、又は絶縁層の厚さなどは、トランジスタの用途などに応じて適宜変更可能である。パッシベーション層315以外の層の材料等は、トランジスタ313と同様とすることができる。

40

【0108】

トランジスタ323は、ゲート電極311上に半導体層307が設けられたボトムゲート型の構造である。また、ソース電極又はドレイン電極として機能する導電層305a及び導電層305bが半導体層307上に設けられたトップコンタクト型の構造である。また、導電層305aと導電層305bとの間において、半導体層307の一部がエッチングされたチャネルエッチ構造である。なお、トランジスタ323は、導電層305a及び導電層305bが半導体層307下に設けられたボトムコンタクト型の構造とすることもできる。

【0109】

図7(C)に示すトランジスタ333は、図7(B)に示すトランジスタ323の構成

50

に代えて、半導体層 307 上にチャネル保護層 317 が設けられた構成を有する。絶縁表面を有する層または基板 303 上に設けられたゲート電極 311 と、ゲート電極 311 を覆って設けられたゲート絶縁層 309 と、ゲート絶縁層 309 上に設けられた半導体層 307 と、ゲート電極 311 と重なる位置において半導体層 307 上に設けられたチャネル保護層 317 と、半導体層 307 上に設けられた一対の導電層 305a 及び導電層 305b と、で構成されている。また、トランジスタ 333 上を覆ってパッシベーション層 315 が設けられている。

【0110】

トランジスタ 333 は、チャネル保護層 317 を設けることによって、半導体層 307 のチャネル形成領域となる領域に対する、後工程時におけるダメージ（エッチング工程におけるプラズマ損傷やエッチング剤による膜減りなど）を防ぐことができる。チャネル保護層 317 以外の層の材料等は、トランジスタ 313 と同様とすることができる。

10

【0111】

図 1 (A) に示す半導体装置が有する第 1 のトランジスタ 121 又は第 2 のトランジスタ 122 として、図 7 (A) 乃至 (C) に示すような、酸化物半導体を用いた半導体層 307 をチャネル形成領域とするトランジスタ 313、トランジスタ 323 又はトランジスタ 333 を用いることができる。

【0112】

例えば、図 1 (A) に示す第 1 のトランジスタ 121 は、図 7 (A) 乃至 (C) に示すようなチャネル形成領域が酸化物半導体により形成（すなわち酸化物半導体を主成分として形成）されたトランジスタを用い、図 1 (A) に示す第 2 のトランジスタ 122 は、チャネル形成領域がシリコンにより形成（すなわちシリコンを主成分として形成）されたトランジスタを用いることができる。このように、第 1 のトランジスタ 121 と第 2 のトランジスタ 122 のチャネル形成領域を構成する半導体材料を異ならせることで、同じ半導体材料を用いた場合に比べて簡単に、第 1 のトランジスタ 121 と第 2 のトランジスタ 122 のしきい値電圧を異ならせることができる。その結果、比較的簡単に、図 1 (B) に示すような特性を有する第 1 のトランジスタ 121、第 2 のトランジスタ 122 を得ることができる。

20

【0113】

なお、第 1 のトランジスタ 121 と第 2 のトランジスタ 122 は、それぞれ、N 型のトランジスタを用いることができる。第 1 のトランジスタ 121 と第 2 のトランジスタ 122 のしきい値電圧は、それぞれ、正の値を有することが好ましい。

30

【0114】

また、図 7 (A) 乃至 (C) に示すような、酸化物半導体を用いた半導体層 307 をチャネル形成領域とするトランジスタ 313、トランジスタ 323 又はトランジスタ 333 に、さらにバックゲートを形成してもよい。図 1 (A) に示す半導体装置が有する第 1 のトランジスタ 121 又は第 2 のトランジスタ 122 として、バックゲートを有し、チャネル形成領域が酸化物半導体により形成されたトランジスタを用いることができる。

【0115】

例えば、図 1 (A) に示す第 1 のトランジスタ 121 は、バックゲートを有し、かつ、チャネル形成領域が酸化物半導体により形成（すなわち酸化物半導体を主成分として形成）されたトランジスタを用い、図 1 (A) に示す第 2 のトランジスタ 122 は、チャネル形成領域がシリコンにより形成（すなわちシリコンを主成分として形成）されたトランジスタを用いることができる。この場合の回路構成が図 6 に相当する。第 1 のトランジスタ 121 として、バックゲートを有し、チャネル形成領域が酸化物半導体により形成されたトランジスタを用いることにより、第 1 のトランジスタ 121 のしきい値電圧をプラス側にシフトさせることができる。その結果、比較的簡単に、図 1 (B) に示すような特性を有する第 1 のトランジスタ 121、第 2 のトランジスタ 122 を得ることができる。

40

【0116】

なお、高純度化された酸化物半導体中は、キャリアが極めて少なく、キャリア濃度は 1

50

$\times 10^{12} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。ここでは、キャリア濃度が $1 \times 10^{11} / \text{cm}^3$ 未満の半導体を「真性」あるいは「I型」、キャリア濃度がそれ以上であるが、 $1 \times 10^{12} / \text{cm}^3$ 未満のものを、「実質的に真性」あるいは「実質的にI型」という。

【0117】

酸化物半導体中にキャリアが極めて少ないため、トランジスタのオフ電流を極めて小さくすることができる。

【0118】

また、第1のトランジスタ121又は第2のトランジスタ122の他にも、例えば、図1(A)に示す半導体装置が有する第1のスイッチ131、第2のスイッチ132、第3のスイッチ133として上記トランジスタを用いることができる。また、図5(B)(C)に示すメモリセル101が有する選択トランジスタ111または選択トランジスタ116として上記トランジスタを用いることができる。これにより、メモリセルの読み出し精度を高めることが可能となる。

【0119】

本実施の形態によれば、図1(B)に示すような特性を有する第1のトランジスタ121、第2のトランジスタ122を比較的簡単に得ることができる。図1(B)に示すような特性を有する第1のトランジスタ121、第2のトランジスタ122を用いることで、実施の形態1に示したように、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。すなわち、ベリファイ時にデータの書き込み（または消去）が正常であると判定された場合に、書き込まれた（または消去された）データの読み出しが正常に行われずエラーとなるような動作不良が起こらない読み出し回路を提供することができる。また、本実施の形態に示したトランジスタを用いることにより、電源電位 V_{dd} がベリファイ時と読み出し時とで異なる場合でも、ベリファイ時の判定結果を有効に活用することができる読み出し回路を提供することができる。また、高精度なデータの読み出しを行うことができる読み出し回路を提供することができる。また、上記読み出し回路を有することにより、信頼性の高い半導体装置を提供することができる。

【0120】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0121】

(実施の形態5)

本実施の形態では、開示する発明の一態様である半導体装置の使用例について、図8を参照して説明する。

【0122】

メモリセル101に書き込まれたデータを読み出す読み出し回路102を有する図1(A)に示すような半導体装置は、電源電位 V_{dd} が外部から無線（非接触）で供給されるような半導体装置において特に有効である。電源電位 V_{dd} が外部から無線（非接触）で供給される半導体装置は、電源電位受信用のアンテナを有する。またさらに、データ送信用のアンテナを有することができる。

【0123】

メモリセル101に書き込まれたデータを読み出す読み出し回路102を有する図1(A)に示すような半導体装置（半導体装置600）の使用例について、図8を参照して説明する。半導体装置600の用途は多岐に渡る。例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図8(A)参照）、記録媒体（DVDソフトやビデオテープ等、図8(B)参照）、包装用容器類（包装紙やボトル等、図8(C)参照）、乗り物類（自転車等、図8(D)参照）、身の回り品（鞆や眼鏡等、図8(E)参照）、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器（液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図8(F)参照）等に、開示する発明の一態様である半導体装置600を設けて使用することができる。

【 0 1 2 4 】

半導体装置 6 0 0 は、物品に実装する、物品の表面に貼る、または物品に埋め込む等により、物品に固定することができる。例えば、物品が本であれば、半導体装置 6 0 0 を紙に埋め込むことで、固定することができる。また、物品に有機樹脂からなるパッケージとして固定されるのであれば、半導体装置 6 0 0 を有機樹脂に埋め込むことで、物品に固定することができる。

【 0 1 2 5 】

半導体装置 6 0 0 は小型化することができるため、物品に固定した後も物品自体のデザイン性を損なわずにすむ。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に半導体装置 6 0 0 を設けることにより、認証機能を設けることができ、紙幣等の偽造防止に役立てることができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に半導体装置 6 0 0 を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類に半導体装置 6 0 0 を取り付けると、盗難などに対するセキュリティ性を高めることができる。

10

【 0 1 2 6 】

以上のように、メモリセル 1 0 1 に書き込まれたデータを読み出す読み出し回路 1 0 2 を有する図 1 (A) に示すような半導体装置 (半導体装置 6 0 0) は、多岐に渡る用途を有する。

【 0 1 2 7 】

本実施の形態によれば、高精度なデータの読み出しを行うことができるため、物品の認証性、セキュリティ性などの信頼性を高めることができる。

20

【 0 1 2 8 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

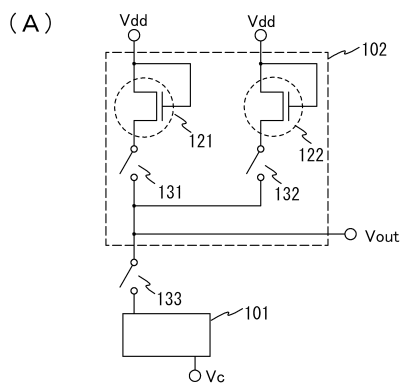
【 符号の説明 】

【 0 1 2 9 】

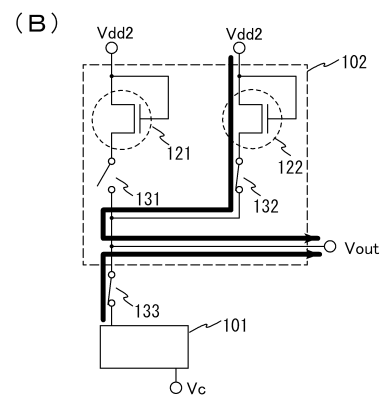
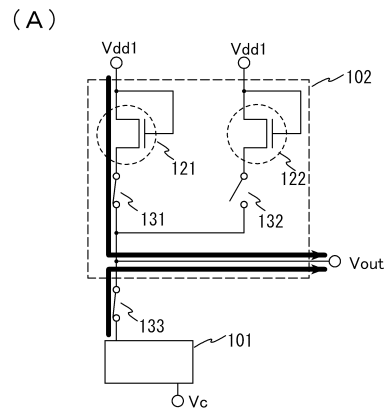
1 0 1	メモリセル	
1 0 2	読み出し回路	
1 1 1	選択トランジスタ	
1 1 2	メモリ素子	
1 1 3	ビット線	30
1 1 4	ワード線	
1 1 5	選択線	
1 1 6	選択トランジスタ	
1 1 7	OTPメモリ素子	
1 1 8	ビット線	
1 1 9	ワード線	
1 2 1	第 1 のトランジスタ	
1 2 2	第 2 のトランジスタ	
1 3 1	第 1 のスイッチ	
1 3 2	第 2 のスイッチ	40
1 3 3	第 3 のスイッチ	
3 0 3	基板	
3 0 7	半導体層	
3 0 9	ゲート絶縁層	
3 1 1	ゲート電極	
3 1 3	トランジスタ	
3 1 5	パッシベーション層	
3 1 7	チャネル保護層	
3 2 3	トランジスタ	
3 3 3	トランジスタ	50

6 0 0 半 導 体 装 置
3 0 5 a 導 電 層
3 0 5 b 導 電 層

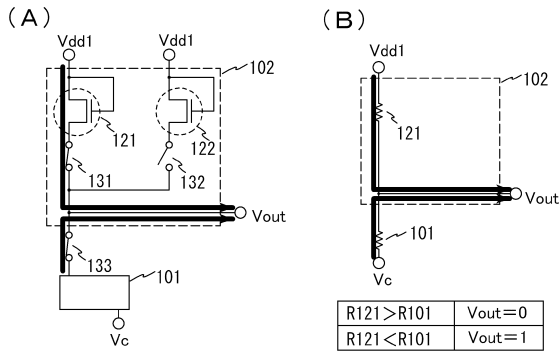
【 図 1 】



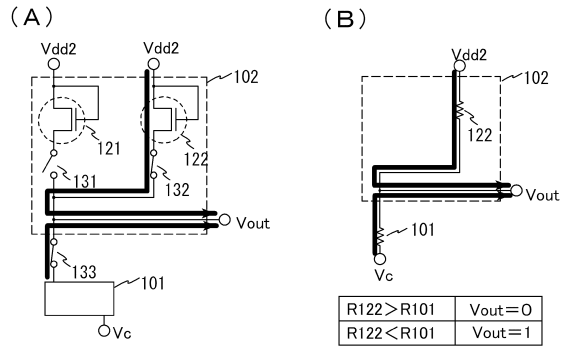
【 図 2 】



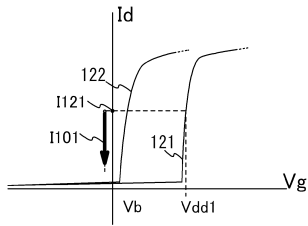
【図3】



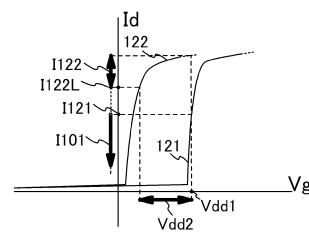
【図4】



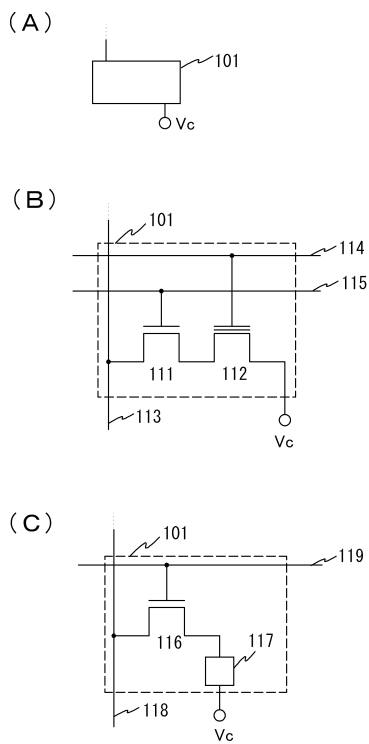
(C) $V_{out} = 1$
 $R_{121} < R_{101} \rightarrow I_{101} < I_{121}$



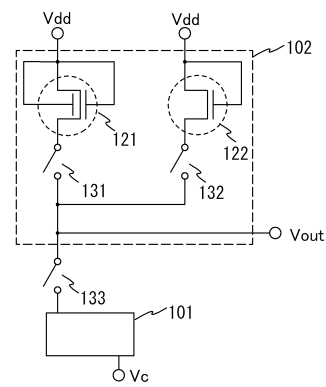
(C) $V_{out} = 1$
 $R_{122} < R_{101} \rightarrow I_{101} < I_{122}$
 $(I_{101} < I_{121} \leq I_{122})$



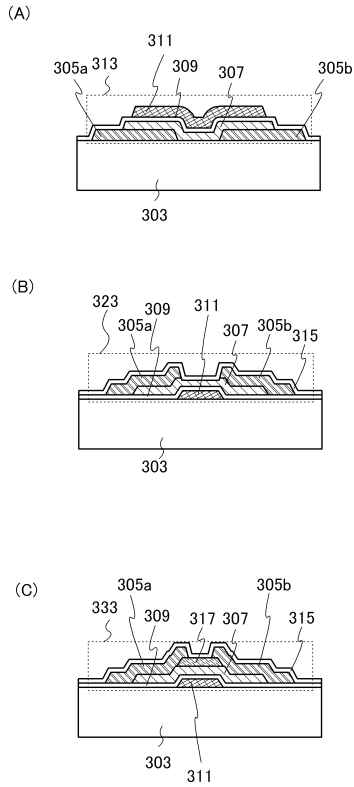
【図5】



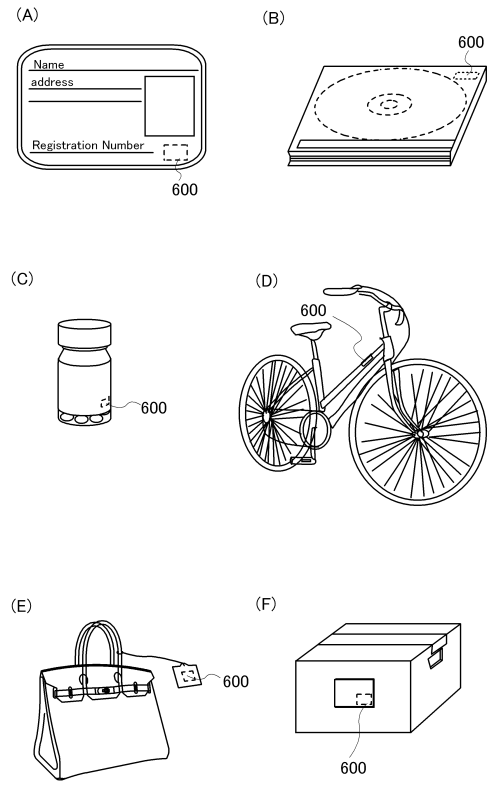
【図6】



【図7】



【図8】



【図9】

(A)

書き込み (消去)			
ベリファイ <メモリセルへのデータの書き込み (消去) が正常に行われたか否かを判定>	正常	正常	エラー
読み出し	正常	正常	

(B)

書き込み (消去)			
ベリファイ <メモリセルへのデータの書き込み (消去) が正常に行われたか否かを判定>	正常	正常	エラー
読み出し	正常	エラー	

↑
動作不良

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 1 6 / 0 6

G 1 1 C 1 6 / 0 2