

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7638418号
(P7638418)

(45)発行日 令和7年3月3日(2025.3.3)

(24)登録日 令和7年2月20日(2025.2.20)

(51)国際特許分類		F I	
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 4
H 1 0 D	86/40 (2025.01)	H 1 0 D	86/40 1 0 1 B
H 1 0 B	12/00 (2023.01)	H 1 0 D	30/67 1 0 3 B
		H 1 0 D	30/67 2 0 6 C
		H 1 0 B	12/00 6 7 1 Z
請求項の数 4 (全121頁) 最終頁に続く			
(21)出願番号	特願2024-62875(P2024-62875)	(73)特許権者	000153878
(22)出願日	令和6年4月9日(2024.4.9)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2019-235990(P2019-235990)の分割	(72)発明者	山崎 舜平
原出願日	令和1年12月26日(2019.12.26)		神奈川県厚木市長谷3 9 8 番地 株式会
(65)公開番号	特開2024-91711(P2024-91711A)		社半導体エネルギー研究所内
(43)公開日	令和6年7月5日(2024.7.5)	(72)発明者	山口 大裕
審査請求日	令和6年5月8日(2024.5.8)		神奈川県厚木市長谷3 9 8 番地 株式会
(31)優先権主張番号	特願2018-248150(P2018-248150)		社半導体エネルギー研究所内
(32)優先日	平成30年12月28日(2018.12.28)	(72)発明者	川口 忍
(33)優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷3 9 8 番地 株式会
(31)優先権主張番号	特願2019-11158(P2019-11158)	(72)発明者	小松 良寛
(32)優先日	平成31年1月25日(2019.1.25)		神奈川県厚木市長谷3 9 8 番地 株式会
(33)優先権主張国・地域又は機関			社半導体エネルギー研究所内
最終頁に続く		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

基板上の第1の絶縁層と、
前記第1の絶縁層上の第2の絶縁層と、
前記第2の絶縁層上の第1の酸化物層と、
前記第1の酸化物層の上方に位置する第1の導電層と、
前記第1の酸化物層の上方に位置する第2の導電層と、
前記第1の酸化物層上に位置し、かつ前記第1の導電層の側面に接する領域を有する第2の酸化物層と、
前記第2の導電層の上面に接する第3の絶縁層と、
前記第1の絶縁層の上面に接する領域と、前記第2の絶縁層の側面と接する領域と、前記第3の絶縁層の側面と接する領域と、を有する第4の絶縁層を有する、半導体装置。

【請求項2】

基板上の第1の絶縁層と、
前記第1の絶縁層上の第2の絶縁層と、
前記第2の絶縁層上の第1の酸化物層と、
前記第1の酸化物層の上方に位置する第1の導電層と、
前記第1の酸化物層の上方に位置する第2の導電層と、
前記第1の酸化物層上に位置し、かつ前記第1の導電層の側面に接する領域を有する第2の酸化物層と、

前記第 2 の導電層の上面に接する第 3 の絶縁層と、
開口領域と、を有し、
前記開口領域は、
前記第 2 の酸化物層と、前記第 2 の導電層と、を有し、
前記第 1 の絶縁層の上面に接する領域と、前記第 2 の絶縁層の側面と接する領域と、前記第 3 の絶縁層の側面と接する領域と、を有する第 4 の絶縁層を有する、半導体装置。

【請求項 3】

請求項 1 または 2 において、
前記第 3 の絶縁層と前記第 4 の絶縁層を覆う領域を有し、かつ前記第 1 の絶縁層の上面に接して設けられた第 5 の絶縁層を有する、半導体装置。

10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記第 1 の酸化物層と前記第 1 の導電層の間に設けられた第 6 の絶縁層を有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

【0002】

20

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

30

【背景技術】

【0004】

近年、半導体装置の開発が進められ、LSI や CPU やメモリが主に用いられている。CPU は、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0005】

LSI や CPU やメモリなどの半導体回路（IC チップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

40

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力の CPU などが開示されている（特許文献 1 参照。）。また、例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されてい

50

る（特許文献２参照。）。

【０００８】

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

【先行技術文献】

【特許文献】

【０００９】

【文献】特開２０１２－２５７１８７号公報

【文献】特開２０１１－１５１３８３号公報

【発明の概要】

【発明が解決しようとする課題】

【００１０】

本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、ノーマリーオフの電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、高い周波数特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

【００１１】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

【００１２】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【００１３】

本発明の一態様は、酸化物半導体と、酸化物半導体と接する第１の絶縁体と、第１の絶縁体と接する第２の絶縁体とを有し、第１の絶縁体は過剰酸素を有し、第２の絶縁体は水素を捕獲、または固着する機能を有し、酸化物半導体中の水素は、過剰酸素と結合し、過剰酸素と結合した水素は、第１の絶縁体を経由し、第２の絶縁体に捕獲、または固着し、水素と結合した過剰酸素は、第１の絶縁体に過剰酸素として残存する半導体装置である。

【００１４】

本発明の一態様は、酸化物半導体と、酸化物半導体と接する第１の絶縁体と、第１の絶縁体と接する第２の絶縁体と、第２の絶縁体と接する第３の絶縁体と、を有し、第１の絶縁体は過剰酸素を有し、第２の絶縁体は水素を捕獲、または固着する機能を有し、第３の絶縁体は水素に対するバリア性を有し、酸化物半導体中の水素は、過剰酸素と結合し、過剰酸素と結合した水素は、第１の絶縁体を経由し、第２の絶縁体に捕獲、または固着し、水素と結合した過剰酸素は、第１の絶縁体に過剰酸素として残存する半導体装置である。

【００１５】

上記において、第３の絶縁体は、窒化シリコンを含む。

【００１６】

上記において、第２の絶縁体は、酸化アルミニウムを含む。

【 0 0 1 7 】

上記において、酸化アルミニウムは、スパッタリング法により形成される。

【 0 0 1 8 】

上記において、酸化物半導体は、In - Ga - Zn 酸化物である。

【 0 0 1 9 】

本発明の一態様は、上記に記載の半導体装置と、容量デバイスと、を有する、メモリデバイスである。

【 発明の効果 】

【 0 0 2 0 】

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、ノーマリーオフの電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

10

【 0 0 2 1 】

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

20

【 0 0 2 2 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【 図面の簡単な説明 】

【 0 0 2 3 】

30

【 図 1 】 積層構造の断面図。

【 図 2 】 (A) 乃至 (B) 絶縁体中の拡散モデルを説明する図。

【 図 3 】 (A) 乃至 (B) 絶縁体中の拡散モデルを説明する図。

【 図 4 】 (A) 半導体装置の上面図、(B) 乃至 (D) 半導体装置の断面図。

【 図 5 】 (A) 半導体装置の上面図、(B) 乃至 (D) 半導体装置の断面図。

【 図 6 】 (A) 半導体装置の上面図、(B) 乃至 (D) 半導体装置の断面図。

【 図 7 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【 図 8 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

40

【 図 9 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【 図 1 0 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【 図 1 1 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【 図 1 2 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【 図 1 3 】 (A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

50

【図 1 4】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 1 5】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 1 6】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 1 7】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 1 8】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

10

【図 1 9】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 2 0】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 2 1】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 2 2】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

【図 2 3】(A) 半導体装置の作製方法を示す上面図、(B) 乃至 (D) 半導体装置の作製方法を示す断面図。

20

【図 2 4】(A) 乃至 (B) 半導体装置の断面図。

【図 2 5】半導体装置の断面図。

【図 2 6】(A) 半導体装置の上面図、(B) 半導体装置の断面図。

【図 2 7】(A) 乃至 (B) 半導体装置の断面図。

【図 2 8】半導体装置の断面図。

【図 2 9】半導体装置の断面図。

【図 3 0】(A) 乃至 (B) 半導体装置の断面図。

【図 3 1】(A) I G Z O の結晶構造の分類を説明する図、(B) 石英ガラスの X R D スペクトルを説明する図、(C) 結晶性 I G Z O の X R D スペクトルを説明する図。

【図 3 2】記憶装置の構成を示す断面図。

30

【図 3 3】記憶装置の構成を示す断面図。

【図 3 4】記憶装置の構成を示す断面図。

【図 3 5】記憶装置の構成を示す断面図。

【図 3 6】各種の記憶装置を階層ごとに示す図。

【図 3 7】(A) 乃至 (B) 記憶装置の構成例を示すブロック図および斜視図。

【図 3 8】(A) 乃至 (H) 記憶装置の構成例を示す回路図。

【図 3 9】(A) 乃至 (B) 記憶装置の構成例を示す回路図。

【図 4 0】(A) 乃至 (B) 半導体装置の模式図。

【図 4 1】(A) 乃至 (E) 記憶装置の模式図。

【図 4 2】(A) 乃至 (C) 半導体装置の構成例を示すブロック図。

40

【図 4 3】(A) 半導体装置の構成例を示すブロック図、(B) 半導体装置の構成例を示す回路図、(C) 半導体装置の動作例を示すタイミングチャート。

【図 4 4】半導体装置の構成例を示すブロック図。

【図 4 5】(A) 半導体装置の構成例を示す回路図、(B) 半導体装置の動作例を示すタイミングチャート。

【図 4 6】半導体装置を示すブロック図。

【図 4 7】半導体装置を示す回路図。

【図 4 8】(A) 乃至 (B) 電子部品の例を示す模式図。

【図 4 9】(A) 乃至 (F) 電子機器を示す図。

【図 5 0】(A) 試料の模式図、(B) T D S 分析結果を示す図。

50

【図 5 1】試料の模式図。

【図 5 2】(A)乃至(B)SIMS分析の結果を示す図。

【図 5 3】(A)乃至(B)SIMS分析の結果を示す図。

【図 5 4】SIMS分析の結果を示す図。

【図 5 5】(A)乃至(C)各構造が有する水素濃度の積分値を説明する図。

【図 5 6】試料の模式図。

【図 5 7】(A)乃至(B)実施例に係る試料のSIMS分析の結果を示す図。

【図 5 8】(A)乃至(B)実施例に係る試料のSIMS分析の結果を示す図。

【図 5 9】(A)乃至(C)試料の断面を示す図。

【発明を実施するための形態】

10

【0024】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0025】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

20

【0026】

また、特に上面図(「平面図」ともいう)や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【0027】

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

30

【0028】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0029】

40

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に関示されているものとする。

【0030】

ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0031】

50

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【0032】

なお、本明細書等において、トランジスタの構造によっては、実際にチャネルの形成される領域（チャネル形成領域）におけるチャネル幅（以下、「実効的なチャネル幅」ともいう）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう）と、が異なる場合がある。例えば、ゲートが半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲートが半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

10

【0033】

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【0034】

本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

20

【0035】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

30

【0036】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

40

【0037】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0038】

また、本明細書等において、「平行」とは、二つの直線が-10度以上10度以下の角度で配置されている状態をいう。したがって、-5度以上5度以下の場合も含まれる。また、「略平行」とは、二つの直線が-30度以上30度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80度以上100度以下の角度で配置されて

50

いる状態をいう。したがって、85度以上95度以下の場合も含まれる。また、「略垂直」とは、二つの直線が60度以上120度以下の角度で配置されている状態をいう。

【0039】

なお、本明細書において、バリア膜とは、水、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

【0040】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単にOSともいう) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSFETあるいはOSTランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0041】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20}\text{A}$ 以下、85℃において $1 \times 10^{-18}\text{A}$ 以下、または125℃において $1 \times 10^{-16}\text{A}$ 以下であることをいう。

【0042】

(実施の形態1)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例、およびその作製方法について説明する。

【0043】

<半導体装置の構成例1>

図4(A)、図4(B)、図4(C)、および図4(D)は、本発明の一態様に係るトランジスタ200、およびトランジスタ200周辺の上面図および断面図である。

【0044】

図4(A)は、トランジスタ200を有する半導体装置の上面図である。また、図4(B)、および図4(C)は、当該半導体装置の断面図である。ここで、図4(B)は、図4(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図4(C)は、図4(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図4(D)は、図4(A)にA5-A6の一点鎖線で示す部位の断面図である。なお、図4(A)の上面図では、図の明瞭化のために一部の要素を省いている。

【0045】

ここで、トランジスタ200は、チャネルが形成される領域 (以下、チャネル形成領域ともいう。) を含む半導体に、酸化物半導体として機能する金属酸化物 (以下、酸化物半導体ともいう。) を用いることが好ましい。

【0046】

酸化物半導体として、例えば、In-M-Zn酸化物 (元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種) 等の金属酸化物を用いるとよい。また、酸化物半導体として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

【0047】

チャネル形成領域に酸化物半導体を用いたトランジスタ200は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成す

10

20

30

40

50

るトランジスタ 200 に用いることができる。

【0048】

一方、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。

【0049】

そこで、不純物濃度、および欠陥準位密度が低減された酸化物半導体を用いるとよい。なお、本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。

【0050】

従って、酸化物半導体中の不純物濃度はできる限り低減されていることが好ましい。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0051】

特に、酸化物半導体に含まれる不純物としての水素は、酸化物半導体中に酸素欠損（ $V_{O: oxygen\ vacancy}$ ともいう）を形成する場合がある。また、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある。）は、キャリアとなる電子を生成する場合がある。さらに、水素の一部が金属原子と結合する酸素と反応し、キャリアとなる電子を生成する場合がある。

【0052】

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

【0053】

従って、トランジスタに用いる酸化物半導体は、水素などの不純物、および酸素欠損が低減された高純度真性な酸化物半導体を用いることが好ましい。

【0054】

そこで、外部からの不純物混入を抑制するために、不純物の拡散を抑制する材料（以下、不純物に対するバリア性材料ともいう）を用いて、トランジスタ 200 を封止するとよい。

【0055】

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

【0056】

例えば、水素、および酸素に対する拡散を抑制する機能を有する材料として、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどがある。特に、窒化シリコンまたは窒化酸化シリコンは、水素に対するバリア性が高いため、封止する材質として用いることが好ましい。

【0057】

また、例えば、水素を捕獲、および固着する機能を有する材料として、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、などの金属酸化物がある。

【0058】

ここで、トランジスタ 200 を封止する構造体は、単層、または 2 層以上の積層構造で設けることができる。特に、トランジスタ 200 を封止する構造体を積層構造、より好ましくは入れ子構造となるように、設けるとよい。

【0059】

具体的に、トランジスタ 200 を封止する構造体が 2 層構造を有する場合を用いて、説

10

20

30

40

50

明する。トランジスタ 200 を封止する構造体は、トランジスタ 200 と近接する第 1 の構造体、第 1 の構造体の外方に設けられる第 2 の構造体を有する。つまり、トランジスタ 200 と第 2 の構造体は、第 1 の構造体を介して設けられる。

【0060】

上記構成において、第 1 の構造体には、水素を捕獲、および固着する機能を有する材料を用いるとよい。また、第 2 の構造体には、水素、および酸素に対する拡散を抑制する機能を有する材料を用いるとよい。

【0061】

トランジスタ 200 に近接する側に、水素を捕獲、および固着する機能を有する材料を用いることで、トランジスタ 200 中、または第 1 の構造体とトランジスタ 200 との間に設けられた層間膜中の水素は、第 1 の構造体に、捕獲、および固着するため、トランジスタ 200 中の水素濃度を低減することができる。

10

【0062】

具体的には、酸化アルミニウムを用いることが好ましい。特に、結晶性が低い、または非晶質な酸化アルミニウムは、結晶性が高い酸化アルミニウムよりも、水素の捕獲、および固着する量が多い場合がある。また、結晶性が低い、または非晶質な酸化アルミニウムは、加熱処理により、水素を拡散する性質を有する。つまり、水素濃度が高い領域と、水素濃度が低い領域との間に、結晶性が低い、または非晶質な酸化アルミニウムを配置し、加熱処理を行った場合、当該酸化アルミニウムを介して、水素濃度が低い領域中の水素は、水素濃度が高い領域へと、拡散する。

20

【0063】

従って、第 1 の構造体として、結晶性が低い、または非晶質な酸化アルミニウムを用いた場合、第 1 の構造体により、トランジスタ 200 を封止した後、加熱処理を行うことが好ましい。当該加熱処理により、トランジスタ 200 中の水素は、層間膜、および当該酸化アルミニウムを介して、外方に拡散され、トランジスタ 200、および当該酸化アルミニウム中の水素濃度を低減することができる。つまり、半導体装置中に存在する水素の絶対量を低減することができる。

【0064】

一方、第 2 の構造体は、第 1 の構造体を介して、トランジスタ 200 を封止する。従って、第 2 の構造体の外方から拡散する水素は、第 2 の構造体により、第 2 の構造体の内部（トランジスタ 200 側）への拡散が、抑制される。つまり、第 1 の構造体は、第 2 の構造体の内側に設けられた構造に存在する水素を、効率よく捕獲し、固着することができる。

30

【0065】

上記構造として、具体的には、第 1 の構造体には酸化アルミニウムなどの金属酸化物を用い、第 2 の構造体には窒化シリコンなどの窒化物を用いることができる。より、具体的には、トランジスタ 200 と、窒化シリコン膜との間に、酸化アルミニウム膜を配置するとよい。

【0066】

さらに、構造体に用いる材料は、成膜条件を適宜設定することにより、膜中の水素濃度を低減することができる。

40

【0067】

一般的に、CVD 法を用いて成膜した膜は、スパッタリング法を用いて成膜した膜よりも、被覆性が高い。一方で、CVD 法に用いる化合物ガスは、水素を含む場合が多く、CVD 法を用いて成膜した膜は、スパッタリング法を用いて成膜した膜よりも、水素の含有量が多い。

【0068】

従って、例えば、トランジスタ 200 と近接する膜に、膜中の水素濃度が低減された膜（具体的にはスパッタリング法を用いて成膜した膜）を用いるとよい。一方で、不純物の拡散を抑制する膜として、被膜性が高い一方で膜中の水素濃度が比較的高い膜（具体的に

50

はCVD法を用いて成膜した膜)を用いる場合、トランジスタ200と、水素濃度が比較的高い一方で被膜性が高い膜との間に、水素を捕獲、および固着する機能を有し、かつ水素濃度が低減された膜を配置するとよい。

【0069】

つまり、トランジスタ200に近接して配置する膜は、膜中の水素濃度が比較的低い膜を用いるとよい。一方で、膜中の水素濃度が比較的高い膜は、トランジスタ200から遠隔して配置するとよい。

【0070】

上記構造として、具体的には、トランジスタ200を、CVD法を用いて成膜した窒化シリコン膜を用いて封止する場合、トランジスタ200と、CVD法を用いて成膜した窒化シリコン膜との間に、スパッタリング法を用いて成膜した酸化アルミニウム膜を配置するとよい。さらに好ましくは、CVD法を用いて成膜した窒化シリコン膜と、スパッタリング法を用いて成膜した酸化アルミニウム膜との間に、スパッタリング法を用いて成膜した窒化シリコン膜を配置するとよい。

10

【0071】

なお、CVD法を用いて成膜する場合、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いて成膜することで、成膜した膜に含まれる水素濃度を低減してもよい。

【0072】

以下では、トランジスタ200を封止する具体的な構成を、図4を用いて説明する。

20

【0073】

本発明の一態様の半導体装置は、基板(図示せず)上の絶縁体211と、絶縁体211上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のトランジスタ200と、トランジスタ200上の絶縁体280と、絶縁体280上の絶縁体282と、絶縁体280の側面を覆う絶縁体287と、絶縁体282、および絶縁体287を覆う絶縁体283と、絶縁体283上の絶縁体284と、絶縁体284に接して設けられた絶縁体274と、を有する。

【0074】

なお、絶縁体211、絶縁体212、絶縁体214、絶縁体280、絶縁体282、絶縁体287、絶縁体283、絶縁体284、および絶縁体274は層間膜として機能する。

30

【0075】

ここで、酸化物半導体の近傍に、過剰酸素領域を有する構造体を設けた場合、酸化物半導体に生じた酸素欠損に、該過剰酸素領域を有する構造体の過剰酸素を拡散することで、該酸素欠損を補償することができる。

【0076】

なお、本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。また、化学量論的組成を満たす酸素よりも多くの酸素を、過剰酸素と呼ぶ場合もある。また、化学量論的組成よりも酸素が過剰に存在する領域を、過剰酸素領域ともいう。

【0077】

40

ここで、絶縁体中の過剰酸素は、当該絶縁体と接する酸化物半導体中の水素の拡散に対し、影響要因となる可能性がある。具体的には、図1を用いて説明する。図1に示す構造体は、水素を含む酸化物半導体10、酸化物半導体10に接する過剰酸素を有する絶縁体12、絶縁体12に接する金属酸化物14を有する。なお、金属酸化物14を構成する金属原子を、金属原子Xとする。

【0078】

酸化物半導体10中に存在する水素は、酸化物半導体10に接する絶縁体12を介して、他の構造体へと拡散する。当該水素の拡散は、絶縁体12中の過剰酸素が酸化物半導体10中の水素と反応しOH結合となり、絶縁体12中を拡散する。OH結合を有した水素原子は、金属酸化物14に到達した際に、水素原子は金属酸化物14中の金属原子Xと結

50

合した酸素原子と反応し、金属酸化物 14 中に捕獲、または固着する。一方、OH 結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体 12 中に残ると推測される。つまり、当該水素の拡散において、絶縁体 12 中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

【0079】

なお、図 4 では、上述の酸化物半導体 10 は酸化物 230c に相当し、絶縁体 12 は絶縁体 280 に相当する。従って、酸化物 230c と接する絶縁体 280 は、加熱により酸素を脱離することが好ましい。

【0080】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物を用いることが好ましい。加熱により一部の酸素が脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

10

【0081】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

20

【0082】

従って、絶縁体 280 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを有することが好ましい。

【0083】

特に、絶縁体 280 として用いるには、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。また、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁体 280 は、上記の材料が積層された構造でもよく、例えば、スパッタリング法で成膜した酸化シリコンと、その上に積層された CVD 法で成膜された酸化窒化シリコンの積層構造とすればよい。また、さらに上に窒化シリコンを積層してもよい。

30

【0084】

絶縁体 280 に過剰酸素領域を設けるには、絶縁体 280 に、酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入し、酸素を過剰に含有する領域を形成する。

【0085】

具体的に、酸素導入処理の一例として、絶縁体 280 上に、スパッタリング装置を用いて、金属酸化物を積層する方法がある。例えば、絶縁体 282 を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体 282 を成膜しながら、絶縁体 280 に酸素を導入することができる。

40

【0086】

特に、絶縁体 280 として、酸化窒化シリコンを用い、絶縁体 282 として、酸化アルミニウムを用いることが好ましい。酸化窒化シリコン膜上に、スパッタリング法により酸化アルミニウム膜を成膜することで、被成膜物である酸化窒化シリコンに過剰酸素領域を形成することができる。

【0087】

なお、絶縁体 280 中の水または水素などの不純物濃度が低減されていることが好まし

50

い。

【 0 0 8 8 】

ここで、具体的に、酸化物 2 3 0 に接する絶縁体 2 8 0 に酸化シリコンを用いた場合における、絶縁体 2 8 0 中の過剰酸素、および水素の拡散挙動、ならびに水酸基の拡散挙動を、量子分子動力学計算を行い、調査した。

【 0 0 8 9 】

< 計算モデルと計算方法 >

まず、基準となるアモルファス状態の SiO_2 構造 (a - SiO_2 構造モデル) のモデルと、基準となるモデルに対して、1 個の OH 基を追加したモデル、および 1 個の H 原子と 1 個の O 原子とを追加したモデルを用いて計算を行った。

【 0 0 9 0 】

具体的には、基準となる結晶モデルとして、図 2 (A) に示す、複数の間隙領域を有する a - SiO_2 構造モデル 2 0 を用いた。なお、モデル 2 0 は、2 4 個の原子で構成した。

【 0 0 9 1 】

図 2 (B) に示すモデル 2 4 は、モデル 2 0 において、不純物に相当する H 原子、および過剰酸素に相当する O 原子が存在するとし、モデル 2 0 の間隙領域 2 1 に 1 個の O 原子を、および間隙領域 2 2 に 1 個の H 原子を配置した。また、図 3 (A) に示すモデル 2 6 は、モデル 2 0 において、不純物に相当する OH 基が存在するとし、モデル 2 0 の間隙領域 2 1 に 1 個の OH 基を配置した。

【 0 0 9 2 】

具体的な計算内容を以下に示す。また、原子緩和計算には、第一原理電子状態計算パッケージ VASP (Vienna ab initio simulation package) を用いて行った。計算条件を下表に示す。

【 0 0 9 3 】

【表 1】

計算プログラム	VASP
基底関数	平面波
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	500eV
電子数	中性
k点グリッド	1×1×1

【 0 0 9 4 】

また、プロセス温度を鑑み、7 0 0 K (~ 4 0 0) の温度下で、1 5 0 p s 間の計算を行った。

【 0 0 9 5 】

< 拡散挙動について >

図 2 (B) に示すモデル 2 4 において、計算開始直後に、過剰酸素に相当する O 原子は、不純物に相当する H 原子と結合して、水酸基 (OH 基) となり、アモルファス状態の SiO_2 構造中を拡散し始めた。つまり、生成した OH 基は、アモルファス状態の SiO_2 構造中を拡散し、複数の間隙領域を行き来する挙動が観察された。

【 0 0 9 6 】

また、図 3 (A) に示すモデル 2 6 において、 OH 基は、アモルファス状態の SiO_2 構造中を拡散し、複数の間隙領域を行き来する挙動が観察された。

【 0 0 9 7 】

ここで、図3(B)に、0から50ps間の拡散挙動を可視化した概略図を示す。なお、図3(B)において、OH基におけるO原子とH原子との中心座標の軌跡を示す。なお、アモルファス状態のSiO₂構造は初期構造のまま、固定して表示した。図3(B)に示すように、OH基は、複数の間隙領域(図では、点線で囲む領域とする。)にわたって拡散していることが確認できた。

【0098】

以上より、酸化物半導体10中に存在する水素は、酸化物半導体10に接する絶縁体12を介して、他の構造体へと拡散する。当該水素の拡散は、絶縁体12中の過剰酸素が酸化物半導体10中の水素と反応しOH結合となり、絶縁体12中を拡散することが確認できた。

10

【0099】

また、絶縁体211、絶縁体212、絶縁体214、絶縁体282、絶縁体287、絶縁体283、および絶縁体284に、不純物に対するバリア性を有する材料を用いることで、トランジスタ200が有する酸化物半導体を高純度真性に保つことができる。

【0100】

具体的には、絶縁体214、絶縁体287、および絶縁体282は、トランジスタ200、および絶縁体280を、封止する構造(以下、封止構造ともいう)とする。例えば、図4に示すように、トランジスタ200の下方に絶縁体214を設け、トランジスタ200の上方に絶縁体282を設ける。また、トランジスタ200の側面は、絶縁体287をサイドウォール状に設ける。さらに、サイドウォール状の絶縁体287の下端部は、絶縁体214の端部と接し、絶縁体287の上端部は、絶縁体282の端部と接する。

20

【0101】

ここで、絶縁体287と絶縁体214とは、確実に接することが好ましい。従って、絶縁体214と絶縁体287とが確実に接する領域を設けるには、絶縁体214の下方に設けられた絶縁体212の側面に接するように、絶縁体287を設けることが好ましい。

【0102】

従って、絶縁体214、絶縁体287、および絶縁体282により、トランジスタ200を包囲する構造を有する。

【0103】

ここで、絶縁体214、絶縁体287、および絶縁体282には、同じ材料を用いる。また、好ましくは、絶縁体214、絶縁体287、および絶縁体282の成膜方法は、同じ条件を用いて成膜することが好ましい。膜質が等しい絶縁体214、絶縁体287、および絶縁体282が接することで、密閉性が高い封止構造とすることができる。

30

【0104】

また、絶縁体214、絶縁体287、および絶縁体282には、水素を捕獲、および固着する機能を有する材料を用いることが好ましい。具体的には、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物などの金属酸化物を用いることができる。

【0105】

封止構造を形成する絶縁体214、絶縁体287、および絶縁体282は、トランジスタ200、または絶縁体280に接して設けられる。従って、トランジスタ200中、または絶縁体280中に混入した水素を捕獲、および固着することで、トランジスタ200が有する酸化物半導体の水素濃度を低減することができる。

40

【0106】

また、トランジスタ200を封止する構造である絶縁体214、絶縁体287、および絶縁体282は、絶縁体211、絶縁体212、絶縁体283により設けられた封止構造により包囲される。

【0107】

例えば、図4に示すように、絶縁体214の下方には、絶縁体211、および絶縁体212を配置し、絶縁体287、および絶縁体282を覆って、絶縁体283を設ける。ま

50

た、絶縁体 2 1 4、絶縁体 2 8 7、および絶縁体 2 8 2 より設けられたトランジスタ 2 0 0 を封止する構造の外方で、絶縁体 2 1 1 と絶縁体 2 8 3 とが接することで、2 重目の封止構造を形成する。

【0 1 0 8】

ここで、絶縁体 2 1 1、絶縁体 2 1 2 と絶縁体 2 8 3 には、水素、および酸素に対する拡散を抑制する機能を有する材料を用いることが好ましい。特に、窒化シリコンまたは窒化酸化シリコンは、水素に対するバリア性が高いため、封止する材質として用いることが好ましい。

【0 1 0 9】

また、トランジスタ 2 0 0 の上方を被覆する絶縁体 2 8 3 の上方に、被膜性が高い絶縁体 2 8 4 を設けることが好ましい。なお、絶縁体 2 8 4 は、絶縁体 2 1 1、絶縁体 2 1 2 および絶縁体 2 8 3 と同じ材料を用いることが好ましい。

10

【0 1 1 0】

例えば、絶縁体 2 1 2、絶縁体 2 8 3 は、スパッタリング法を用いて成膜することで、膜中の水素濃度が比較的低い膜により封止構造を設けることができる。

【0 1 1 1】

一方、スパッタリング法を用いて成膜した膜は、比較的被膜性が低い。そこで、絶縁体 2 1 1、および絶縁体 2 8 4 を、被膜性が高い C V D 法などを用いて成膜することで、より密閉性を高めることができる。

【0 1 1 2】

20

従って、絶縁体 2 1 2 および絶縁体 2 8 3 は、絶縁体 2 1 1 と絶縁体 2 8 4 よりも水素濃度が低いことが好ましい。

【0 1 1 3】

なお、好ましくは、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、絶縁体 2 8 7、絶縁体 2 8 3、および絶縁体 2 8 4 は、酸素に対するバリア性を有する材料を用いてもよい。上記封止構造が、酸素に対するバリア性を有することで、絶縁体 2 8 0 が有する過剰酸素の外方拡散を抑制し、効率的にトランジスタ 2 0 0 へと供給することができる。

【0 1 1 4】

また、本発明の一態様の半導体装置は、トランジスタ 2 0 0 と電氣的に接続し、プラグとして機能する導電体 2 4 0 (導電体 2 4 0 a、および導電体 2 4 0 b) とを有する。なお、プラグとして機能する導電体 2 4 0 の側面に接して絶縁体 2 4 1 (絶縁体 2 4 1 a、および絶縁体 2 4 1 b) が設けられる。また、絶縁体 2 8 4 上、および導電体 2 4 0 上には、導電体 2 4 0 と電氣的に接続し、配線として機能する導電体 2 4 6 (導電体 2 4 6 a、および導電体 2 4 6 b) が設けられる。また、導電体 2 4 6 上、および絶縁体 2 7 4 上には、絶縁体 2 8 6 が設けられている。

30

【0 1 1 5】

ここで、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 に設けられた開口の内壁に接して、絶縁体 2 4 1 (絶縁体 2 4 1 a、または絶縁体 2 4 1 b) が設けられ、その側面に接して導電体 2 4 0 (導電体 2 4 0 a、または導電体 2 4 0 b) の第 1 の導電体が設けられ、さらに内側に導電体 2 4 0 の第 2 の導電体が設けられている。

40

【0 1 1 6】

なお、導電体 2 4 0 の上面の高さと、絶縁体 2 8 4 の上面の高さは同程度にできる。また、図では、導電体 2 4 0 の第 1 の導電体および導電体 2 4 0 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 4 0 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。

【0 1 1 7】

また、導電体 2 4 0 a および導電体 2 4 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 a および導電

50

体 2 4 0 b は積層構造としてもよい。なお、図 4 (A) で導電体 2 4 0 a および導電体 2 4 0 b は、上面視において円形状にしているが、これに限られるものではない。例えば、導電体 2 4 0 a および導電体 2 4 0 b が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

【 0 1 1 8 】

また、導電体 2 4 0 を積層構造とする場合、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 0 などから拡散する水または水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのをさらに低減することができる。また、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。

10

【 0 1 1 9 】

絶縁体 2 4 1 a および絶縁体 2 4 1 b としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 2 4 1 a および絶縁体 2 4 1 b は、絶縁体 2 7 4、絶縁体 2 8 3、絶縁体 2 8 2、絶縁体 2 8 0、絶縁体 2 7 3、および絶縁体 2 7 2 に接して設けられるので、絶縁体 2 8 0 などから水または水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 2 8 0 に含まれる酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。

20

【 0 1 2 0 】

また、導電体 2 4 0 a の上面、および導電体 2 4 0 b の上面に接して配線として機能する導電体 2 4 6 (導電体 2 4 6 a、および導電体 2 4 6 b) を配置してもよい。導電体 2 4 6 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体 2 4 6 は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体 2 4 6 は、絶縁体に設けられた開口に埋め込むように形成してもよい。

30

【 0 1 2 1 】

[トランジスタ 2 0 0]

図 4 に示すように、トランジスタ 2 0 0 は、絶縁体 2 1 6 と、導電体 2 0 5 (導電体 2 0 5 a、および導電体 2 0 5 b) と、絶縁体 2 2 2 と、絶縁体 2 2 4 と、酸化物 2 3 0 (酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c) と、導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) と、酸化物 2 4 3 (酸化物 2 4 3 a、および酸化物 2 4 3 b) と、絶縁体 2 7 2 と、絶縁体 2 7 3 と、絶縁体 2 5 0 と、導電体 2 6 0 (導電体 2 6 0 a、および導電体 2 6 0 b) と、を有する。

【 0 1 2 2 】

トランジスタ 2 0 0 において、導電体 2 6 0 は、トランジスタの第 1 のゲートとして機能し、導電体 2 0 5 は、トランジスタの第 2 のゲートとして機能する。また、導電体 2 4 2 a、および導電体 2 4 2 b は、ソース電極またはドレイン電極として機能する。

40

【 0 1 2 3 】

酸化物 2 3 0 は、チャネル形成領域を有する半導体として機能する。

【 0 1 2 4 】

絶縁体 2 5 0 は、第 1 のゲート絶縁体として機能し、絶縁体 2 2 2、および絶縁体 2 2 4 は、第 2 のゲート絶縁体として機能する。

【 0 1 2 5 】

ここで、図 4 に示すトランジスタ 2 0 0 は、絶縁体 2 8 0 などの層間膜に設けた開口部内に、導電体 2 6 0 が、絶縁体 2 5 0 を介して、自己整合的に形成される。

50

【0126】

つまり、導電体260は、絶縁体250を介して、絶縁体280を含む層間膜に設けた開口を埋めるように形成されるため、導電体242aと導電体242bの間の領域に、導電体260の位置合わせが不要となる。

【0127】

また、絶縁体280を含む層間膜に設けた開口内に、酸化物230cを設けることが好ましい。従って、絶縁体250、および導電体260は、酸化物230cを介して、酸化物230b、および酸化物230aの積層構造と重畳する領域を有する。当該構造とすることで、酸化物230cと絶縁体250とを連続成膜により、形成することが可能となるため、酸化物230と絶縁体250との界面を清浄に保つことができる。従って、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は高いオン電流、および高い周波数特性を得ることができる。

10

【0128】

また、図4に示すトランジスタ200は、導電体260の底面、および側面が絶縁体250に接する。また、絶縁体250の底面、および側面は、酸化物230cと接する。

【0129】

また、トランジスタ200は、図4(B)、図4(C)、および図4(D)に示すように、絶縁体282と、酸化物230cとが、直接接する構造となっている。当該構造とすることで、絶縁体280に含まれる酸素の導電体260への拡散を抑制することができる。

20

【0130】

従って、絶縁体280に含まれる酸素は、酸化物230cを介して、酸化物230aおよび酸化物230bへ効率よく供給することができるので、酸化物230a中および酸化物230b中の酸素欠損を低減し、トランジスタ200の電気特性および信頼性を向上させることができる。

【0131】

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

【0132】

トランジスタ200は、チャネル形成領域を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう)を用いることが好ましい。

30

【0133】

例えば、酸化物半導体として機能する金属酸化物は、エネルギーギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。エネルギーギャップの大きい金属酸化物を用いることで、トランジスタ200の非導通状態におけるリーク電流(オフ電流)を極めて小さくすることができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

【0134】

具体的には、酸化物230として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物230として、In酸化物、In-M酸化物、In-Zn酸化物、またはM-Zn酸化物を用いてもよい。

40

【0135】

図4に示すように、酸化物230は、絶縁体224上の酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上に配置され、少なくとも一部が酸化物230bの上面に接する酸化物230cと、を有することが好ましい。ここで、酸化物230

50

cの側面は、酸化物243a、酸化物243b、導電体242a、導電体242b、絶縁体272、絶縁体273、および絶縁体280に接して設けられていることが好ましい。

【0136】

つまり、酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

【0137】

なお、トランジスタ200では、チャンネル形成領域と、その近傍において、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。例えば、酸化物230cを2層構造にして、4層の積層構造を設ける構成にしてもよい。

【0138】

また、酸化物230は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

【0139】

具体的には、酸化物230aとして、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、またはその近傍の組成、あるいは $1 : 1 : 0.5$ [原子数比]、またはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成、あるいは $1 : 1 : 1$ [原子数比]、またはその近傍の組成の金属酸化物を用いればよい。また、酸化物230cとして、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、またはその近傍の組成、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成、 $In : Ga : Zn = 5 : 1 : 3$ [原子数比]、またはその近傍の組成、 $In : Ga : Zn = 10 : 1 : 3$ [原子数比]、またはその近傍の組成、 $Ga : Zn = 2 : 1$ [原子数比]、またはその近傍の組成、あるいは $Ga : Zn = 2 : 5$ [原子数比]、またはその近傍の組成の金属酸化物を用いればよい。また、酸化物230cを積層構造とする場合の具体例としては、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成と、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、またはその近傍の組成との積層構造、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成、と $In : Ga : Zn = 5 : 1 : 3$ [原子数比]、またはその近傍の組成との積層構造、 $Ga : Zn = 2 : 1$ [原子数比]、またはその近傍の組成と、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成との積層構造、 $Ga : Zn = 2 : 5$ [原子数比]、またはその近傍の組成と、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成との積層構造、酸化ガリウムと、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、またはその近傍の組成との積層構造などが挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。

【0140】

また、酸化物230bは、結晶性を有していてもよい。例えば、後述するCAAC-O

10

20

30

40

50

S (c - a x i s a l i g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r) を用いることが好ましい。C A A C - O S などの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 2 3 0 b からの酸素の引き抜きを抑制することができる。また、加熱処理を行っても、酸化物 2 3 0 b から酸素が、引き抜かれることを低減できるので、トランジスタ 2 0 0 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

【 0 1 4 1 】

導電体 2 0 5 は、酸化物 2 3 0、および導電体 2 6 0 と、重なるように配置する。また、導電体 2 0 5 は、絶縁体 2 1 6 に埋め込まれて設けることが好ましい。

10

【 0 1 4 2 】

ここで、導電体 2 6 0 は、第 1 のゲート（トップゲートともいう）として機能する場合がある。また、導電体 2 0 5 は、第 2 のゲート（ボトムゲートともいう）として機能する場合がある。

【 0 1 4 3 】

導電体 2 0 5 がゲート電極として機能する場合、導電体 2 0 5 に印加する電位を、導電体 2 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 2 0 0 のしきい値電圧（ V_{th} ）を制御することができる。特に、導電体 2 0 5 に負の電位を印加することにより、トランジスタ 2 0 0 の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 2 0 5 に負の電位を印加したほうが、印加しない場合よりも、導電体 2 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

20

【 0 1 4 4 】

なお、導電体 2 0 5 は、図 4（A）に示すように、酸化物 2 3 0 の導電体 2 4 2 a および導電体 2 4 2 b と重ならない領域の大きさよりも、大きく設けるとよい。特に、図 4（C）に示すように、導電体 2 0 5 は、酸化物 2 3 0 のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 2 3 0 のチャネル幅方向における側面の外側において、導電体 2 0 5 と、導電体 2 6 0 とは、絶縁体を介して重畳していることが好ましい。または、導電体 2 0 5 を大きく設けることによって、導電体 2 0 5 形成以降の作製工程のプラズマを用いた処理において、局所的なチャージング（チャージアップと言う）の緩和ができる場合がある。ただし、本発明の一態様はこれに限定されない。導電体 2 0 5 は、少なくとも導電体 2 4 2 a と、導電体 2 4 2 b との間に位置する酸化物 2 3 0 と重畳すればよい。

30

【 0 1 4 5 】

また、絶縁体 2 2 4 の底面を基準として、酸化物 2 3 0 a および酸化物 2 3 0 b と、導電体 2 6 0 とが、重ならない領域における導電体 2 6 0 の底面の高さは、酸化物 2 3 0 b の底面の高さより低い位置に配置されていることが好ましい。

【 0 1 4 6 】

図に示すように、ゲートとして機能する導電体 2 6 0 は、チャネル形成領域の酸化物 2 3 0 b の側面および上面を酸化物 2 3 0 c および絶縁体 2 5 0 を介して覆う構造とすることにより、導電体 2 6 0 から生じる電界を、酸化物 2 3 0 b に生じるチャネル形成領域全体に作用させやすくなる。従って、トランジスタ 2 0 0 のオン電流を増大させ、周波数特性を向上させることができる。本明細書において、第 1 のゲート、および第 2 のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、*s u r r o u n d e d c h a n n e l*（*S - c h a n n e l*）構造とよぶ。

40

【 0 1 4 7 】

また、導電体 2 0 5 a は、水または水素などの不純物および酸素の透過を抑制する導電体が好ましい。例えば、チタン、窒化チタン、タンタル、または窒化タンタルを用いることができる。また、導電体 2 0 5 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 2 0 5 を 2 層で図示したが、3

50

層以上の多層構造としてもよい。

【0148】

ここで、酸化物半導体と、酸化物半導体の下層に位置する絶縁体、または導電体と、酸化物半導体の上層に位置する絶縁体、または導電体とを、大気開放を行わずに、異なる膜種を連続成膜することで、不純物（特に、水素、水）の濃度が低減された、実質的に高純度真性である酸化物半導体膜を成膜することができるので好ましい。

【0149】

絶縁体222、絶縁体272、および絶縁体273の少なくとも一つは、水または水素などの不純物が、基板側から、または、上方からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体222、絶縁体272、および絶縁体273の少なくとも一つは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

10

【0150】

例えば、絶縁体273として、窒化シリコンまたは窒化酸化シリコンなどを用い、および絶縁体272として、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

【0151】

これにより、水または水素などの不純物が絶縁体222を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体222を介して基板側に、拡散するのを抑制することができる。

20

【0152】

また、水または水素などの不純物が、絶縁体272および絶縁体273を介して配置されている絶縁体280などからトランジスタ200側に拡散するのを抑制することができる。このように、トランジスタ200を、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体272、および絶縁体273で取り囲む構造とすることが好ましい。

【0153】

絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

30

【0154】

ここで、酸化物230と接する絶縁体224は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体224は、酸化シリコンまたは酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

【0155】

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分析（TDS（Thermal Desorption Spectroscopy）分析）にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上400 以下の範囲が好ましい。

40

【0156】

絶縁体222は、水または水素などの不純物が、基板側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体222は、絶縁体224より水素透過性が低いことが好ましい。絶縁体222、および絶縁体28

50

3によって、絶縁体224および酸化物230などを囲むことにより、外方から水または水素などの不純物がトランジスタ200に侵入することを抑制することができる。

【0157】

さらに、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁体222は、絶縁体224より酸素透過性が低いことが好ましい。絶縁体222が、酸素や不純物の拡散を抑制する機能を有することで、酸化物230が有する酸素が、絶縁体222より下側へ拡散することを低減できるので、好ましい。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

【0158】

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230からの酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の混入を抑制する層として機能する。

【0159】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0160】

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba, Sr）TiO₃（BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0161】

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0162】

また、酸化物230bと、ソース電極またはドレイン電極として機能する導電体242（導電体242aおよび導電体242b）と、の間に酸化物243（酸化物243aおよび酸化物243b）を配置してもよい。導電体242と、酸化物230とが接しない構成となるので、導電体242が、酸化物230の酸素を吸収することを抑制できる。つまり、導電体242の酸化を防止することで、導電体242の導電率の低下を抑制することができる。従って、酸化物243は、導電体242の酸化を抑制する機能を有することが好ましい。

【0163】

従って、酸化物243は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体242と酸化物230bとの間に酸素の透過を抑制する機能を有する酸化物243を配置することで、導電体242と、酸化物230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性およびトランジスタ200の信頼性を向上させることができる。

【0164】

10

20

30

40

50

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、 $I n - M - Z n$ 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、 $I n$ に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、 $I n$ に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0.5 nm 以上 5 nm 以下が好ましく、より好ましくは、1 nm 以上 3 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

10

【0165】

なお、酸化物 2 4 3 は必ずしも設けなくてもよい。その場合、導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) と酸化物 2 3 0 とが接することで、酸化物 2 3 0 中の酸素が導電体 2 4 2 へ拡散し、導電体 2 4 2 が酸化する場合がある。導電体 2 4 2 が酸化することで、導電体 2 4 2 の導電率が低下する蓋然性が高い。なお、酸化物 2 3 0 中の酸素が導電体 2 4 2 へ拡散することを、導電体 2 4 2 が酸化物 2 3 0 中の酸素を吸収する、と言い換えることができる。

【0166】

また、酸化物 2 3 0 中の酸素が導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) へ拡散することで、導電体 2 4 2 a と酸化物 2 3 0 b との間、および、導電体 2 4 2 b と酸化物 2 3 0 b との間に異層が形成される場合がある。当該異層は、導電体 2 4 2 よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体 2 4 2 と、当該異層と、酸化物 2 3 0 b との 3 層構造は、金属 - 絶縁体 - 半導体からなる 3 層構造とみなすことができ、MIS (Metal - Insulator - Semiconductor) 構造と呼ぶ、または MIS 構造を主としたダイオード接合構造と呼ぶ場合がある。

20

【0167】

なお、上記異層は、導電体 2 4 2 と酸化物 2 3 0 b との間に形成されることに限られず、例えば、異層が、導電体 2 4 2 と酸化物 2 3 0 c との間に形成される場合や、導電体 2 4 2 と酸化物 2 3 0 b との間、および導電体 2 4 2 と酸化物 2 3 0 c との間に形成される場合がある。

30

【0168】

酸化物 2 4 3 上には、ソース電極、およびドレイン電極として機能する導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) が設けられる。導電体 2 4 2 の膜厚は、例えば、1 nm 以上 50 nm 以下、好ましくは 2 nm 以上 25 nm 以下、とすればよい。

【0169】

導電体 2 4 2 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

40

【0170】

50

絶縁体 272 は、導電体 242 上面に接して設けられており、バリア層として機能することが好ましい。当該構成にすることで、導電体 242 による、絶縁体 280 が有する過剰酸素の吸収を抑制することができる。また、導電体 242 の酸化を抑制することで、トランジスタ 200 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 200 に良好な電気特性および信頼性を与えることができる。

【0171】

従って、絶縁体 272 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 272 は、絶縁体 280 よりも酸素の拡散を抑制しやすいことが好ましい。絶縁体 272 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。また、絶縁体 272 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

10

【0172】

図 4 (B)、(D) に示すように、絶縁体 272 は、導電体 242 b の上面の一部、および導電体 242 b の側面と接する。また、絶縁体 272 は、導電体 242 a の上面の一部、および導電体 242 a の側面と接する。また、絶縁体 272 上に絶縁体 273 が配置されている。このようにすることで、例えば絶縁体 280 に添加された酸素が、導電体 242 に吸収されることを抑制することができる。

【0173】

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230 c の上面に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

20

【0174】

絶縁体 224 と同様に、絶縁体 250 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230 c の上面に接して設けることにより、酸化物 230 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

30

【0175】

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

【0176】

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体 250 に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高い high-k 材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体 250 と当該金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

40

【0177】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、ア

50

ルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

【0178】

または、当該金属酸化物は、ゲートの一部としての機能を有する場合がある。この場合は、酸素を含む導電性材料をチャンネル形成領域側に設けるとよい。酸素を含む導電性材料をチャンネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャンネル形成領域に供給されやすくなる。

【0179】

特に、ゲートとして機能する導電体として、チャンネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

10

【0180】

導電体260は、図4では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

20

【0181】

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0182】

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

30

【0183】

また、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

【0184】

<<半導体装置の変形例1>>

40

以下では、図5を用いて、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0185】

ここで、図5の(A)は上面図を示す。また、図5(B)は図5(A)に示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、図5(C)は、図5(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。また、図5(D)は、図5(A)にA5-A6の一点鎖線で示す部位に対応する断面図である。図5(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0186】

図5に示す半導体装置は、図4に示した半導体装置とは、絶縁体212と絶縁体283

50

とが接する構造であることが異なる。具体的には、絶縁体 2 1 2 が、絶縁体 2 7 3 の下方に延伸するように設けるとよい。また、絶縁体 2 1 2 において、トランジスタ 2 0 0 と重畳する領域の膜厚は、絶縁体 2 8 3 と接する領域の膜厚よりも、厚い場合がある。

【 0 1 8 7 】

< < 半導体装置の変形例 2 > >

以下では、図 6 を用いて、本発明の一態様に係るトランジスタ 2 0 0 を有する半導体装置の一例について説明する。

【 0 1 8 8 】

ここで、図 6 の (A) は上面図を示す。また、図 6 (B) は図 6 (A) に示す A 1 - A 2 の一点鎖線で示す部位に対応する断面図である。また、図 6 (C) は、図 6 (A) に A 3 - A 4 の一点鎖線で示す部位に対応する断面図である。また、図 6 (D) は、図 6 (A) に A 5 - A 6 の一点鎖線で示す部位に対応する断面図である。図 6 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

10

【 0 1 8 9 】

例えば、図 6 に示すように、絶縁体 2 1 1、および絶縁体 2 8 4 を、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いて C V D 法により成膜する場合、絶縁体 2 1 2、および絶縁体 2 8 4 は、必ずしも設けなくともよい。

【 0 1 9 0 】

例えば、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いて、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 8 3、および絶縁体 2 8 4 を、C V D 法により、成膜することができる。つまり、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 8 3、および絶縁体 2 8 4 に含まれる水素濃度を低減し、酸化物半導体のチャネル形成領域に混入する水素の低減を図ってもよい。

20

【 0 1 9 1 】

例えば、窒化シリコン膜などシリコン原子を含む膜の成膜では、成膜ガスとして、シリコン原子を含む分子を有するガスが主に用いられる。形成する膜に含まれる水素を低減するには、当該シリコン原子を含む分子に含まれる水素原子が少ないことが好ましく、当該シリコン原子を含む分子が水素原子を含まないことがより好ましい。もちろん、シリコン原子を含む分子を有するガス以外の成膜ガスも、含有される水素原子が少ないことが好ましく、水素原子を含まないことがより好ましい。

30

【 0 1 9 2 】

上記のようなシリコン原子を含む分子を $Si_x - R_y$ で表すと、例えば、官能基 R として、イソシアネート基 ($-N=C=O$)、シアネート基 ($-O-C \equiv N$)、シアノ基 ($-C \equiv N$)、ジアゾ基 ($=N_2$)、アジド基 ($-N_3$)、ニトロソ基 ($-NO$)、およびニトロ基 ($-NO_2$) の少なくとも一つを用いることができる。例えば、 $1 \leq x \leq 3$ 、 $1 \leq y \leq 8$ 、とすればよい。このようなシリコン原子を含む分子としては、例えば、テトライソシアネートシラン、テトラシアネートシラン、テトラシアノシラン、ヘキサイソシアネートシラン、オクタイソシアネートシラン等を用いることができる。ここでは、シリコン原子に同じ種類の官能基が結合する分子を例示したが、本実施の形態はこれに限られるものではない。シリコン原子に異なる種類の官能基が結合する構成にしてもよい。

40

【 0 1 9 3 】

また、例えば、官能基 R としてハロゲン (Cl、Br、I、または F) を用いる構成にしてもよい。例えば、 $1 \leq x \leq 2$ 、 $1 \leq y \leq 6$ 、とすればよい。このようなシリコン原子を含む分子としては、例えば、テトラクロロシラン ($SiCl_4$)、ヘキサクロロジシラン (Si_2Cl_6) 等を用いることができる。塩素を官能基とする例を示したが、塩素以外の、臭素、ヨウ素、フッ素等のハロゲンを官能基として用いてもよい。また、シリコン原子に異なる種類のハロゲンが結合する構成にしてもよい。

【 0 1 9 4 】

絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 8 3、および絶縁体 2 8 4 の成膜は、上記のようなシリコン原子を含む分子を有するガスを用いた、化学気相成長 (C V D : C h e m i

50

cal Vapor Deposition) 法によって行えばよい。CVD法は、成膜速度が比較的早いので、膜厚が厚い絶縁体の成膜を行うにあたって好適である。

【0195】

CVD法として、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、または熱を利用する熱CVD(TCVD: Thermal CVD)法、を用いることが好ましい。熱CVD法を用いる場合、大気圧下で成膜を行なう常圧CVD(APCVD: Atmospheric Pressure CVD)法を用いてもよいし、大気圧より低い減圧状態で成膜を行う減圧CVD(LPCVD: Low Pressure CVD)法を用いてもよい。

【0196】

CVD法を用いて絶縁体211、絶縁体212、絶縁体283、および絶縁体284を成膜する場合、酸化剤を用いることが好ましい。酸化剤としては、 O_2 、 O_3 、 NO 、 NO_2 、 N_2O 、 N_2O_3 、 N_2O_4 、 N_2O_5 、 CO 、 CO_2 、などの水素原子を含まないガスを用いることが好ましい。

【0197】

また、絶縁体211、絶縁体212、絶縁体283、および絶縁体284の成膜は、ALD(Atomic Layer Deposition)法によって行ってもよい。ALD法では、反応のための第1の原料ガス(以下、プリカーサと呼ぶ。前駆体、金属プリカーサとも呼ぶことができる。)と第2の原料ガス(以下、リアクタントと呼ぶ。反応剤、非金属プリカーサとも呼ぶことができる。)を交互にチャンバーに導入し、これらの原料ガスの導入を繰り返すことで成膜を行う。

【0198】

ALD法は、原料ガスを切り替えながら成膜することで、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができる。よって、ALD法は、極薄膜厚の成膜、アスペクト比の高い構造への成膜、ピンホールなどの欠陥の少ない成膜、および被覆性に優れた成膜などを行うことができる。このため、ALD法は、絶縁体211、絶縁体212、絶縁体283、および絶縁体284以外にも、トランジスタ200が有する絶縁体250、および絶縁体224の成膜を行うにあたって好適である。

【0199】

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD(Thermal ALD)法をもちいてもよいし、プラズマ励起されたリアクタントを用いるPEALD(Plasma Enhanced ALD)法を用いてもよい。

【0200】

ALD法を用いる場合、プリカーサとして、上記シリコン原子を含む分子を有するガスを、リアクタントとして、上記酸化剤を用いればよい。これにより、絶縁体216、絶縁体274、絶縁体280、絶縁体224、および絶縁体250中に取り込まれる水素の量を大きく低減することができる。

【0201】

なお、上記では、シリコン原子を含む分子が水素原子を含まない例について示したが、本実施の形態はこれに限られるものではない。上記のシリコン原子を含む分子において、シリコン原子に結合する官能基の一部が水素原子に置換される構成にしてもよい。ただし、上記のシリコン原子を含む分子に含まれる水素原子は、シラン(SiH_4)より少ないことが好ましい。つまり、上記のシリコン原子を含む分子は、シリコン1原子あたり3原子以下の水素原子を有することが好ましい。また、上記のシリコン原子を含む分子を有するガスが、シリコン1原子あたり3原子以下の水素原子を有すると、より好ましい。

【0202】

以上のように、水素原子が低減または除去されたガスを用いた成膜方法で、絶縁体211、絶縁体212、絶縁体283、および絶縁体284の少なくとも一つ以上を成膜することで、これらの絶縁体に含まれる水素の量を低減することができる。

【0203】

10

20

30

40

50

従って、トランジスタ 200、および絶縁体 280 を、水素などの不純物を捕獲、または固着する材料を用いた第 1 の封止構造、および水素などの不純物の拡散を抑制する材料を用いた第 2 の封止構造により、2 重に封止する構造とすることで、当該封止された領域内の水素濃度を低減し、さらに外部から混入する水素を、絶縁体 283 および絶縁体 212 によって低減できる。

【0204】

<<金属酸化物>>

酸化物 230 として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物 230 に適用可能な金属酸化物について説明する。

【0205】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0206】

ここでは、金属酸化物が、インジウム、元素 M および亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素 M に適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。

【0207】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0208】

[金属酸化物の構成]

本発明の一態様で開示されるトランジスタに用いることができる金属酸化物である CAC-OS (Cloud-Aligned Composite Oxide Semiconductor)、及び CAAC-OS (c-axis Aligned Crystal Oxide Semiconductor) の構成について説明する。

【0209】

CAC-OS 又は CAC-metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS 又は CAC-metal oxide を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子 (又はホール) を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) を CAC-OS 又は CAC-metal oxide に付与することができる。CAC-OS 又は CAC-metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0210】

また、CAC-OS 又は CAC-metal oxide は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

10

20

30

40

50

【0211】

また、CAC - OS又はCAC - metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0212】

また、CAC - OS又はCAC - metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC - OS又はCAC - metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC - OS又はCAC - metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

10

【0213】

すなわち、CAC - OS又はCAC - metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0214】

[金属酸化物の構造]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC - OS(c - axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc - OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a - like OS: amorphous - like oxide semiconductor)及び非晶質酸化物半導体などがある。

20

【0215】

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図31(A)を用いて説明を行う。図31(A)は、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

30

【0216】

図31(A)に示すように、IGZOは、大きく分けてAmorphousと、Crystallineと、Crystalと、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC(c - axis aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud - Aligned Composite)が含まれる。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

40

【0217】

なお、図31(A)に示す太枠内の構造は、New crystalline phaseに属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、エネルギー的に不安定なAmorphousと、Crystallineとは全く異なる構造と言い換えることができる。

【0218】

なお、膜または基板の結晶構造は、X線回折(XRD: X - Ray Diffraction)像を用いて評価することができる。ここで、石英ガラス、及びCrystallineに分類される結晶構造を有するIGZO(結晶性IGZOともいう。)のXRDス

50

ペクトルを図 3 1 (B)、(C) に示す。また、図 3 1 (B) が石英ガラス、図 3 1 (C) が結晶性 I G Z O の X R D スペクトルである。なお、図 3 1 (C) に示す結晶性 I G Z O としては、 $I n : G a : Z n = 4 : 2 : 3$ [原子数比] の組成である。また、図 3 1 (C) に示す結晶性 I G Z O としては、厚さ 5 0 0 n m である。

【 0 2 1 9 】

図 3 1 (B) の矢印に示すように、石英ガラスは、X R D スペクトルのピークがほぼ対称である。一方で、図 3 1 (C) の矢印に示すように、結晶性 I G Z O は、X R D スペクトルのピークが非対称である。X R D スペクトルのピークが非対称であることは、結晶の存在を明示している。別言すると、X R D スペクトルのピークで左右対称でないと、被測定物（ここでは結晶性 I G Z O ）が A m o r p h o u s であるとは言えない。

10

【 0 2 2 0 】

C A A C - O S は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

【 0 2 2 1 】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、C A A C - O S において、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C A A C - O S が、a - b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

20

【 0 2 2 2 】

また、C A A C - O S は、インジウム、および酸素を有する層（以下、I n 層）と、元素 M、亜鉛、および酸素を有する層（以下、(M , Z n) 層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素 M は、互いに置換可能であり、(M , Z n) 層の元素 M がインジウムと置換した場合、(I n , M , Z n) 層と表すこともできる。また、I n 層のインジウムが元素 M と置換した場合、(I n , M) 層と表すこともできる。

30

【 0 2 2 3 】

C A A C - O S は結晶性の高い金属酸化物である。一方、C A A C - O S は、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、C A A C - O S を有する金属酸化物は、物理的性質が安定する。そのため、C A A C - O S を有する金属酸化物は熱に強く、信頼性が高い。

【 0 2 2 4 】

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。

40

【 0 2 2 5 】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、I n - G a - Z n 酸化物（以下、I G Z O ）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、I G Z O は、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数 m m の結晶、または数 c m の結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

【 0 2 2 6 】

50

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する金属酸化物である。a - l i k e O S は、鬆または低密度領域を有する。すなわち、a - l i k e O S は、n c - O S および C A A C - O S と比べて、結晶性が低い。

【 0 2 2 7 】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S、n c - O S、C A A C - O S のうち、二種以上を有していてもよい。

【 0 2 2 8 】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

10

【 0 2 2 9 】

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

【 0 2 3 0 】

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

20

【 0 2 3 1 】

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

【 0 2 3 2 】

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

30

【 0 2 3 3 】

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、S I M S により得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms / cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms / cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、E D X を用いた元素分析により得られる上記不純物の濃度を、 1.0 atomic \% 以下にする。なお、当該酸化物半導体として元素 M を含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素 M に対する上記不純物の濃度比を、 0.10 未満、好ましくは 0.05 未満にする。ここで、上記濃度比を算出する際に用いる元素 M の濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

40

【 0 2 3 4 】

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【 0 2 3 5 】

また、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し V O H を形成する場合がある。V O H はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。

50

【 0 2 3 6 】

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

【 0 2 3 7 】

つまり、酸化物半導体中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_OH および不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

10

【 0 2 3 8 】

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体のキャリア濃度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

20

【 0 2 3 9 】

特に、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

【 0 2 4 0 】

酸素欠損に水素が入った欠陥 (V_OH) は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

30

【 0 2 4 1 】

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

40

【 0 2 4 2 】

また、チャネル形成領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

50

【 0 2 4 3 】

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

【 0 2 4 4 】

< その他の半導体材料 >

酸化物 2 3 0 に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物 2 3 0 として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

10

【 0 2 4 5 】

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

20

【 0 2 4 6 】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第 1 6 族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、1 3 族カルコゲナイドなどが挙げられる。

【 0 2 4 7 】

酸化物 2 3 0 として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物 2 3 0 として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

30

【 0 2 4 8 】

< 半導体装置の作製方法 >

次に、図 4 に示す、本発明に係るトランジスタ 2 0 0 を有する半導体装置について、作製方法を図 7 乃至図 2 3 を用いて説明する。また、図 7 乃至図 2 3 において、各図の（A）は上面図を示す。また、各図の（B）は、（A）に示す A 1 - A 2 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 2 0 0 のチャンネル長方向の断面図でもある。また、各図の（C）は、（A）に A 3 - A 4 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 2 0 0 のチャンネル幅方向の断面図でもある。また、各図の（D）は、（A）に A 5 - A 6 の一点鎖線で示す部位に対応する断面図である。なお、各図の（A）の上面図では、図の明瞭化のために一部の要素を省いている。

40

【 0 2 4 9 】

まず、基板（図示しない）を準備し、当該基板上に絶縁体 2 1 1 を成膜する。絶縁体 2 1 1 の成膜は、スパッタリング法、化学気相成長（CVD）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD

50

： Pulsed Laser Deposition) 法、または A L D 法などを用いて行うことができる。

【 0 2 5 0 】

なお、C V D 法は、プラズマを利用するプラズマ C V D (P E C V D) 法、熱を利用する熱 C V D 法、光を利用する光 C V D 法などに分類できる。さらに用いる原料ガスによって金属 C V D 法、有機金属 C V D 法に分けることができる。また、成膜時の圧力によって、大気圧下で成膜を行なう常圧 C V D 法、大気圧より低い減圧状態で成膜を行う減圧 C V D 法、に分けることができる。

【 0 2 5 1 】

プラズマ C V D 法は、比較的低温で高品質の膜が得られる。また、熱 C V D 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子 (トランジスタ、容量素子など) などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 C V D 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 C V D 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【 0 2 5 2 】

また、A L D 法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱 A L D (T h e r m a l A L D) 法、プラズマ励起されたリアクタントを用いる P E A L D (P l a s m a E n h a n c e d A L D) 法などを用いることができる。

【 0 2 5 3 】

A L D 法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、および低温での成膜が可能、などの効果がある。P E A L D 法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、A L D 法で用いるプリカーサには炭素などの不純物を含むものがある。このため、A L D 法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X 線光電子分光法 (X P S : X - r a y P h o t o e l e c t r o n S p e c t r o s c o p y) を用いて行うことができる。

【 0 2 5 4 】

C V D 法および A L D 法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、A L D 法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、A L D 法は、比較的成膜速度が遅いため、成膜速度の速い C V D 法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【 0 2 5 5 】

C V D 法および A L D 法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、C V D 法および A L D 法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、C V D 法および A L D 法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【 0 2 5 6 】

本実施の形態では、絶縁体 2 1 1 として、C V D 法によって窒化シリコンを成膜する。

次に、絶縁体 2 1 1 上に絶縁体 2 1 2 を成膜する。絶縁体 2 1 2 の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 1 2 として、スパッタリング法によって窒化シリコンを成膜する。

【0257】

次に、絶縁体 2 1 2 上に絶縁体 2 1 4 となる膜を成膜する。絶縁体 2 1 4 となる膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 1 4 となる膜として、酸化アルミニウムを用いる。

【0258】

絶縁体 2 1 1、および絶縁体 2 1 2 として、窒化シリコンなどの銅が透過しにくい絶縁体を用い、さらに絶縁体 2 1 2 上に絶縁体 2 1 4 となる膜を配置することにより絶縁体 2 1 1 より下層（図示せず）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体 2 1 1、および絶縁体 2 1 2 を介して上の層に拡散するのを抑制することができる。また、窒化シリコンのように水または水素などの不純物が透過しにくい絶縁体を用いることにより絶縁体 2 1 1 より下層から水または水素などの不純物の拡散を抑制することができる。

【0259】

絶縁体 2 1 2 の水素濃度は、絶縁体 2 1 1 の水素濃度より低く、絶縁体 2 1 4 となる膜の水素濃度は、絶縁体 2 1 2 の水素濃度より低いことが好ましい。絶縁体 2 1 2 をスパッタリング法によって窒化シリコンを成膜することで、CVD法によって窒化シリコンを成膜する絶縁体 2 1 1 よりも水素濃度が低い窒化シリコンを形成することができる。また、絶縁体 2 1 4 となる膜を酸化アルミニウムとすることで、絶縁体 2 1 2 よりも水素濃度を低くすることができる。

【0260】

この後の工程にて絶縁体 2 1 4 となる膜上に、トランジスタ 2 0 0 を形成するが、トランジスタ 2 0 0 に近接する膜は、水素濃度が比較的低いことが好ましく、水素濃度が比較的高い膜は、トランジスタ 2 0 0 から遠隔して配置することが好ましい。

【0261】

次に、絶縁体 2 1 4 となる膜上に絶縁体 2 1 6 となる膜を成膜する。絶縁体 2 1 6 となる膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 1 6 となる膜として、酸化シリコンまたは酸化窒化シリコンを用いる。また、絶縁体 2 1 6 となる膜は、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体 2 1 6 となる膜の水素濃度を低減することができる。

【0262】

次に、絶縁体 2 1 6 となる膜に絶縁体 2 1 4 となる膜に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 2 1 4 となる膜は、絶縁体 2 1 6 となる膜をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 2 1 6 となる膜に酸化シリコン膜または酸化窒化シリコン膜を用いた場合は、絶縁体 2 1 4 となる膜は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

【0263】

開口の形成後に、導電体 2 0 5 a となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体 2 0 5 a となる導電膜の成膜は、スパッタリング法、CVD法、MBE

10

20

30

40

50

法、P L D法またはA L D法などを用いて行うことができる。

【0264】

本実施の形態では、導電体205aとなる導電膜を多層構造とする。まず、スパッタリング法によって窒化タンタルを成膜し、当該窒化タンタルの上に窒化チタンを積層する。このような金属窒化物を導電体205bの下層に用いることにより、後述する導電体205bとなる導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

【0265】

次に、導電体205bとなる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、C V D法、M B E法、P L D法またはA L D法などを用いて行うことができる。本実施の形態では、導電体205bとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

10

【0266】

次に、C M P処理(Chemical Mechanical Polishing)を行うことで、導電体205aとなる導電膜、ならびに導電体205bとなる導電膜の一部を除去し、絶縁体216となる膜を露出する。その結果、開口部のみに、導電体205a及び導電体205bが残存する。これにより、上面が平坦な、導電体205を形成することができる。なお、当該C M P処理により、絶縁体216となる膜の一部が除去される場合がある(図7参照)。

【0267】

20

なお、上記においては、導電体205を絶縁体216となる膜の開口に埋め込むように形成したが、本実施の形態はこれに限られるものではない。例えば、絶縁体214となる膜上に導電体205を形成し、導電体205上に絶縁体216となる膜を成膜し、絶縁体216となる膜にC M P処理を行うことで、絶縁体216となる膜の一部を除去し、導電体205の表面を露出させてもよい。

【0268】

次に、絶縁体216となる膜、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

30

【0269】

絶縁体222の成膜は、スパッタリング法、C V D法、M B E法、P L D法、またはA L D法などを用いて行うことができる。

【0270】

40

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、C V D法、M B E法、P L D法、またはA L D法などを用いて行うことができる。本実施の形態では、絶縁体224として、酸化シリコンまたは酸化窒化シリコンを用いる。また、絶縁体224は、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体224の水素濃度を低減することができる。絶縁体224は、後の工程で酸化物230aと接する絶縁体224となるので、このように水素濃度が低減されていることが好適である。

【0271】

続いて、加熱処理を行うことが好ましい。加熱処理は、250 以上650 以下、好ましくは300 以上500 以下、さらに好ましくは320 以上450 以下で行え

50

ばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを 10 ppm 以上、1 % 以上、もしくは 10 % 以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1 % 以上、または 10 % 以上含む雰囲気で行ってもよい。

【0272】

本実施の形態では、窒素雰囲気にて 400 の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400 の温度で 1 時間の処理を行う。当該加熱処理によって、絶縁体 224 に含まれる水、水素などの不純物を除去することができる。

【0273】

また、加熱処理は、絶縁体 222 の成膜後に行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。

【0274】

ここで、絶縁体 224 に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側に RF などの高周波を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体 224 内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 224 に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

【0275】

ここで、絶縁体 224 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、該酸化アルミニウムを絶縁体 224 に達するまで、CMP を行ってもよい。当該 CMP を行うことで絶縁体 224 表面の平坦化および絶縁体 224 表面の平滑化を行うことができる。当該酸化アルミニウムを絶縁体 224 上に配置して CMP を行うことで、CMP の終点検出が容易となる。また、CMP によって、絶縁体 224 の一部が研磨されて、絶縁体 224 の膜厚が薄くなることがあるが、絶縁体 224 の成膜時に膜厚を調整すればよい。絶縁体 224 表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体 224 上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体 224 に酸素を添加することができるので好ましい。

【0276】

次に、絶縁体 224 上に、酸化膜 230 A、酸化膜 230 B を順に成膜する（図 7 参照）。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230 A、および酸化膜 230 B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230 A と酸化膜 230 B との界面近傍を清浄に保つことができる。

【0277】

酸化膜 230 A および、酸化膜 230 B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0278】

例えば、酸化膜 230 A、および酸化膜 230 B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In - M - Zn 酸化物ターゲットを用いることができる。

【0279】

特に、酸化膜 230 A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、酸化膜 230 A のスパッタリングガスに含まれる酸素の割合は 70 % 以上、好ましくは 80 % 以上、より好ましくは 100 % とすればよい。

【0280】

また、酸化膜 230 B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1 % 以上 30 % 以下、好ましくは 5 % 以上 20 % 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。ただし、本発明の一態様はこれに限定されない。酸化膜 230 B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30 % を超えて 100 % 以下、好ましくは 70 % 以上 100 % 以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。

10

【0281】

本実施の形態では、酸化膜 230 A として、スパッタリング法によって、 $In : Ga : Zn = 1 : 1 : 0.5$ [原子数比] ($2 : 2 : 1$ [原子数比])、あるいは $1 : 3 : 4$ [原子数比] のターゲットを用いて成膜する。また、酸化膜 230 B として、スパッタリング法によって、 $In : Ga : Zn = 4 : 2 : 4.1$ [原子数比]、あるいは $1 : 1 : 1$ [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求める特性に合わせて形成するとよい。

20

【0282】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜 230 A、および酸化膜 230 B 中の水、水素などの不純物を除去することなどができる。本実施の形態では、酸素雰囲気にて 400 の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400 の温度で 1 時間の処理を行う。

【0283】

次に、酸化膜 230 B 上に酸化膜 243 A を成膜する (図 7 参照)。酸化膜 243 A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。酸化膜 243 A は、 In に対する Ga の原子数比が、酸化膜 230 B の In に対する Ga の原子数比より大きいことが好ましい。本実施の形態では、酸化膜 243 A として、スパッタリング法によって、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比] のターゲットを用いて成膜する。

30

【0284】

次に、酸化膜 243 A 上に導電膜 242 A を成膜する (図 7 参照)。導電膜 242 A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0285】

40

次に、リソグラフィー法を用いて、酸化膜 230 A、酸化膜 230 B、酸化膜 243 A、および導電膜 242 A を島状に加工して、酸化物 230 a、酸化物 230 b、酸化物層 243 B、および導電体層 242 B を形成する (図 8 参照)。ここで、酸化物 230 a、酸化物 230 b、酸化物層 243 B、および導電体層 242 B は、少なくとも一部が導電体 205 と重なるように形成する。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。なお、当該工程において、絶縁体 224 の酸化物 230 a と重ならない領域の膜厚が薄くなる場合がある。

【0286】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光

50

された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体 (例えば水) を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

10

【0287】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜242A上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜242Aなどのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜242Aなどのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

20

【0288】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

30

【0289】

また、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。ただし、これに限られず、酸化物230a、酸化物230b、酸化物層243B、および導電体層242Bの側面と絶縁体222の上面のなす角が低い角度になる構成にしてもよい。

40

【0290】

次に、絶縁体224、酸化物230a、酸化物230b、酸化物層243B、および導電体層242B上に、絶縁体272を成膜する (図9参照)。絶縁体272の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体272として、スパッタリング法によって、酸化アルミニウムを成膜する。スパッタリング法によって、酸化アルミニウムを成膜することで、絶縁体224へ酸素を注入することができる。

【0291】

次に、絶縁体272上に絶縁体273を成膜する。絶縁体273の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

50

実施の形態では、絶縁体 273 として、スパッタリング法によって、窒化シリコンを成膜する（図 9 参照）。

【0292】

次に、絶縁体 280 となる絶縁膜を成膜する。絶縁体 280 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。例えば、絶縁体 280 として、スパッタリング法を用いて酸化シリコン膜を成膜し、その上に PEALD 法またはサーマル ALD 法を用いて酸化シリコン膜を成膜すればよい。また、絶縁体 280 となる絶縁膜は、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体 280 の水素濃度を低減することができる。

10

【0293】

次に、絶縁体 280 となる絶縁膜に CMP 処理を行い、上面が平坦な絶縁体 280 を形成する（図 10 参照）。なお、絶縁体 224 と同様に、絶縁体 280 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、該酸化アルミニウムを絶縁体 280 に達するまで、CMP を行ってもよい。

【0294】

次に、絶縁体 280 の一部、絶縁体 273 の一部、絶縁体 272 の一部、導電体層 242B の一部、および酸化物層 243B の一部を加工して、酸化物 230b に達する開口を形成する（図 11 参照）。該開口は、導電体 205 と重なるように形成することが好ましい。該開口の形成によって、導電体 242a、導電体 242b、酸化物 243a、および酸化物 243b を形成する。

20

【0295】

絶縁体 280 の一部、絶縁体 273 の一部、絶縁体 272 の一部、酸化物層 243B の一部、および導電体層 242B の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体 280 の一部をドライエッチング法で加工し、絶縁体 273 の一部をウェットエッチング法で加工し、絶縁体 272 の一部をドライエッチング法で加工し、酸化物層 243B、および導電体層 242B の一部をドライエッチング法で加工してもよい。

【0296】

これまでのドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物 230a、および酸化物 230b などの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

30

【0297】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、または加熱処理による洗浄などがあり、上記洗浄を適宜組み合わせて行ってもよい。

【0298】

ウェット洗浄としては、シュウ酸、リン酸、アンモニア水、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。

40

【0299】

これまでドライエッチングなどの加工、または上述の洗浄処理によって、酸化物 230b の酸化物 243a、および酸化物 243b と重ならない領域の膜厚が、酸化物 230b の酸化物 243a、および酸化物 243b と重なる領域の膜厚より薄くなる可能性がある（図 11 参照）。

【0300】

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、例えば、100 以上 450 以下、より好ましくは 350 以上 400 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10ppm

50

m以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230aおよび酸化物230bに酸素を供給して、酸素欠損 V_O の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で行った後に、大気に露出せずに連続して窒素雰囲気で行った加熱処理を行ってもよい。

【0301】

次に、酸化膜230Cを成膜する(図12参照)。酸化膜230Cの成膜前に加熱処理を行っても良く、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230Cを成膜することが好ましい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230aおよび酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100以上400以下が好ましく、さらに好ましくは150以上350以下である。本実施の形態では、加熱処理の温度を200とし、減圧下で行う。

10

【0302】

ここで、酸化膜230Cは、少なくとも酸化物230bの上面の一部、酸化物243の側面の一部、導電体242の側面の一部、絶縁体272の側面の一部、絶縁体273の側面の一部、および絶縁体280の側面の一部と接するように設けられることが好ましい。導電体242は、酸化物243、絶縁体272、絶縁体273、および酸化膜230Cに囲まれることで、以降の工程において導電体242の酸化による導電率の低下を抑制することができる。

20

【0303】

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化膜230Cとして、Inに対するGaの原子数比が、酸化膜230BのInに対するGaの原子数比より大きいことが好ましい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $In:Ga:Zn = 1:3:4$ [原子数比]のターゲットを用いて成膜する。

【0304】

尚、酸化膜230Cは、積層としてもよい。例えば、スパッタリング法によって、 $In:Ga:Zn = 4:2:4.1$ [原子数比]のターゲットを用いて成膜して、連続して $In:Ga:Zn = 1:3:4$ [原子数比]のターゲットを用いて成膜してもよい。

30

【0305】

酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物230aおよび酸化物230bに供給される場合がある。または、酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体280に供給される場合がある。したがって、酸化膜230Cのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

【0306】

次に、加熱処理を行っても良い。また、当該加熱処理を減圧下で行い、大気に暴露することなく、連続して、絶縁膜250Aの成膜を行ってもよい。当該加熱処理を行うことによって、酸化膜230Cの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230bおよび酸化膜230C中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100以上400以下が好ましい。本実施の形態では、加熱処理の温度を200とする。

40

【0307】

次に、酸化膜230C上に絶縁膜250Aを成膜する(図12参照)。絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。また、絶縁膜250Aは、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜250Aの水素濃度を低減することができる。絶縁膜250Aは、後の工程で酸化物230cと接する絶縁

50

体 2 5 0 となるので、このように水素濃度が低減されていることが好適である。

【 0 3 0 8 】

次に、マイクロ波、または R F 等の高周波を照射してもよい。照射されたマイクロ波、または R F 等の高周波は絶縁体 2 8 0、酸化物 2 3 0 b、および酸化物 2 3 0 a 中に浸透して、これらの中の水素を除去する。特に、酸化物 2 3 0 a および酸化物 2 3 0 b においては、V O H の結合が切断される反応が起き、脱水素化されることになる。このとき発生した水素の一部は、酸化物 2 3 0、および絶縁体 2 8 0 から除去される場合がある。また、水素の一部は、導電体 2 4 2 にゲッタリングされる場合がある。このように、マイクロ波、または R F 等の高周波を照射することで、絶縁体 2 8 0、酸化物 2 3 0 b、および酸化物 2 3 0 a 中の水素濃度を低減することができる。

10

【 0 3 0 9 】

また、マイクロ波、または R F 等の高周波によって酸素ガスをプラズマ化し、酸素ラジカルを形成してもよい。つまり、絶縁体 2 8 0、酸化物 2 3 0 b、および酸化物 2 3 0 a に酸素を有する雰囲気中でプラズマ処理を行ってもよい。このような処理を以下において、酸素プラズマ処理という場合がある。また、形成した酸素ラジカルによって、絶縁体 2 8 0、酸化物 2 3 0 b、および酸化物 2 3 0 a 中に酸素を供給することができる。また、絶縁体 2 8 0、酸化物 2 3 0 b、および酸化物 2 3 0 a に酸素を有する雰囲気中でプラズマ処理を行う場合、酸化物 2 3 0 にマイクロ波、または R F 等の高周波が照射されにくい構成にしてもよい。

【 0 3 1 0 】

20

なお、酸素プラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。また、マイクロ波処理装置は基板側に R F を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板側に R F を印加することで、高密度プラズマによって生成された酸素イオンを、効率よく絶縁体 2 8 0 および酸化物 2 3 0 中に導くことができる。また、上記酸素プラズマ処理は、減圧下で行うことが好ましく、圧力を 6 0 P a 以上、好ましくは 1 3 3 P a 以上、より好ましくは 2 0 0 P a 以上、さらに好ましくは 4 0 0 P a 以上とすればよい。また、酸素流量比 ($O_2 / O_2 + Ar$) が 5 0 % 以下、好ましくは 1 0 % 以上 3 0 % 以下で行うとよい。また、処理温度は、例えば 4 0 0 程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。

30

【 0 3 1 1 】

次に、導電膜 2 6 0 A (導電膜 2 6 0 A a および導電膜 2 6 0 A b) を成膜する (図 1 3 参照)。導電膜 2 6 0 A a および導電膜 2 6 0 A b の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法または A L D 法などを用いて行うことができる。例えば、C V D 法を用いることが好ましい。本実施の形態では、A L D 法を用いて、導電膜 2 6 0 A a を成膜し、C V D 法を用いて導電膜 2 6 0 A b を成膜する。

【 0 3 1 2 】

次に、C M P 処理によって、酸化膜 2 3 0 c、絶縁膜 2 5 0 A、導電膜 2 6 0 A a および導電膜 2 6 0 A b を絶縁体 2 8 0 が露出するまで研磨することによって、酸化物 2 3 0 c、絶縁体 2 5 0 および導電体 2 6 0 (導電体 2 6 0 a および導電体 2 6 0 b) を形成する (図 1 4 参照)。

40

【 0 3 1 3 】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 4 0 0 の温度で 1 時間の処理を行う。該加熱処理によって、絶縁体 2 5 0 および絶縁体 2 8 0 中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体 2 8 2 の成膜を行ってもよい。

【 0 3 1 4 】

次に、導電体 2 6 0 上、酸化物 2 3 0 c 上、絶縁体 2 5 0 上、および絶縁体 2 8 0 上に、絶縁体 2 8 2 を形成する。絶縁体 2 8 2 の成膜は、スパッタリング法、C V D 法、M B

50

E法、PLD法、またはALD法などを用いて行うことができる(図15参照)。

【0315】

絶縁体282としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体282の成膜を行うことで、成膜しながら、絶縁体280に酸素を添加することができる。このとき、基板加熱を行いながら、絶縁体282を成膜することが好ましい。また、導電体260の上面に接して、絶縁体282を形成することで、この後の加熱処理において、絶縁体280が有する酸素が導電体260へ吸収されることを抑制することができるので好ましい。

【0316】

ここで、絶縁体282を成膜する前に、スパッタリング法により、酸素を含む雰囲気下で金属酸化物を成膜した後、当該金属酸化物を除去する工程を、1回以上繰り返してもよい。当該工程により、絶縁体280中に過剰酸素を投入することができる。また、当該工程を複数回繰り返すことにより、絶縁体280中に含まれる過剰酸素量を適宜調整することができる。

【0317】

また、絶縁体282を成膜した後、加熱処理を行うことが好ましい(なお、図15(B)に示す曲線は、加熱処理を示す)。具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350 以上、好ましくは400 以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

【0318】

当該加熱処理によって、酸化物230中の水素が、絶縁体280、および絶縁体282を介して、外方に拡散することができる。つまり、トランジスタ200中の水素は、絶縁体280、および絶縁体282を介して、外方に拡散され、トランジスタ200、および絶縁体282中の水素濃度を低減することができる。つまり、半導体装置中に存在する水素の絶対量を低減することができる。

【0319】

次に、絶縁体282の一部、絶縁体280の一部、絶縁体273の一部、絶縁体272の一部、絶縁体224の一部、絶縁体222の一部、絶縁体216となる膜の一部、絶縁体214となる膜の一部、および絶縁体212の一部を加工して、絶縁体216、および絶縁体214を形成し、絶縁体211に達する開口を形成する(図16参照)。該開口は、トランジスタ200が囲まれるように形成される場合がある。または、該開口は、複数のトランジスタ200が囲まれるように形成される場合がある。よって、該開口において、絶縁体282の側面の一部、絶縁体280の側面の一部、絶縁体273の側面の一部、絶縁体272の側面の一部、絶縁体224の側面の一部、絶縁体222の側面の一部、絶縁体216の側面の一部、絶縁体214の側面の一部、および絶縁体212の側面の一部が露出する。

【0320】

絶縁体282の一部、絶縁体280の一部、絶縁体273の一部、絶縁体272の一部、絶縁体224の一部、絶縁体222の一部、絶縁体216となる膜の一部、および絶縁体214となる膜の一部、絶縁体212の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。

【0321】

また、このとき、マイクロ波、またはRF等の高周波を絶縁体280などに照射してもよい。照射されたマイクロ波、またはRF等の高周波は絶縁体280、酸化物230b、および酸化物230aなどに浸透して、これらの中の水素を除去できることがある。例えば、酸化物230aおよび酸化物230bにおいては、V-O-Hの結合が切断される反応が起き、脱水素化される。このとき発生した水素の一部は、酸化物230、および絶縁体2

10

20

30

40

50

80 から除去される場合がある。また、水素の一部は、導電体 242 にゲッタリングされる場合がある。

【0322】

次に、絶縁体 282、絶縁体 280、絶縁体 273、絶縁体 272、絶縁体 224、絶縁体 222、絶縁体 216、絶縁体 214 および絶縁体 212 を覆って、絶縁体 287A を形成する（図 17 参照）。絶縁体 287A は、絶縁体 282 と同等の条件を用いて形成することが好ましい。例えば、絶縁体 287A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0323】

具体的には、絶縁体 287A としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体 287A の成膜を行うことで、成膜しながら、絶縁体 280 に酸素を添加することができる。このとき、基板加熱を行いながら、絶縁体 287A を成膜することが好ましい。また、導電体 260 の上面に接して、絶縁体 282 が形成されているため、絶縁体 287A の成膜処理において、絶縁体 280 が有する酸素が導電体 260 へ吸収されることを抑制することができる。

10

【0324】

続いて、絶縁体 287A に対し、異方性のエッチング処理を行い、絶縁体 282、絶縁体 280、絶縁体 273、絶縁体 272、絶縁体 224、絶縁体 222、絶縁体 216、絶縁体 214 および絶縁体 212 の側面に、絶縁体 287 を形成する（図 18 参照）。

20

【0325】

ここで、絶縁体 282 の側端部と絶縁体 287 の上端部とが接し、絶縁体 214 の側端部と絶縁体 287 の下端部とが接することで、トランジスタ 200 および絶縁体 280 を封止する構造を、形成することができる。

【0326】

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体 287 を自己整合的に形成することができる。

【0327】

また、絶縁体 287 を形成した後、加熱処理を行うことが好ましい（なお、図 18（B）に示す曲線は、加熱処理を示す）。具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350 以上、好ましくは 400 以上の温度で行う。加熱処理の時間は、1 時間以上、好ましくは 4 時間以上、さらに好ましくは 8 時間以上とする。

30

【0328】

当該加熱処理によって、酸化物 230 中の水素が、絶縁体 280、絶縁体 282、および絶縁体 287 を介して、外方に拡散することができる。つまり、トランジスタ 200 中の水素は、絶縁体 280、絶縁体 282、および絶縁体 287 を介して、外方に拡散され、トランジスタ 200、絶縁体 282、および絶縁体 287 中の水素濃度を低減することができる。つまり、半導体装置中に存在する水素の絶対量を低減することができる。

40

【0329】

また、絶縁体 282、絶縁体 287、絶縁体 211 を覆って、絶縁体 283 を形成する（図 19 参照）。絶縁体 283 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。また、絶縁体 283 は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD 法を用いて窒化シリコンを成膜してもよい。図 19 に示すように、絶縁体 283 は、上記開口の底面において、絶縁体 211 と接する。つまり、トランジスタ 200 は、上面及び側面が絶縁体 283 に、下面が絶縁体 211 に包み込まれることになる。このように、バリア性の高い絶縁体 283 および絶縁体 211 でトランジスタ 200 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

50

【0330】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400の温度で1時間の処理を行う。当該加熱処理によって、絶縁体282の成膜によって添加された酸素を絶縁体280へ拡散させ、さらに酸化物230cを介して、酸化物230a、および酸化物230bへ供給することができる。このように、酸化物230に加酸素化処理を行うことで、酸化物230（酸化物230b）中の酸素欠損を酸素により修復させる。

【0331】

さらに、酸化物230中に残存した水素は、絶縁体280を介して、絶縁体282および絶縁体287に拡散し、絶縁体287に捕獲、または固着する。つまり、酸化物230中に残存していた水素が酸素欠損に再結合して VOH が形成されるのを抑制することができる。なお、当該加熱処理は、絶縁体283の成膜後に限らず、絶縁体282の成膜後に行ってもよい。

10

【0332】

また、絶縁体283上に絶縁体284を形成してもよい（図20参照）。なお、絶縁体284は、被膜性が高い成膜方法を用いて成膜することが好ましい。例えば、絶縁体284の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。また、絶縁体284は、絶縁体212および絶縁体283と同じ材料を用いることが好ましい。

【0333】

具体的には、CVD法を用いて窒化シリコンを成膜するとよい。特に、絶縁体284は、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いてCVD法により成膜するとよい。

20

【0334】

水素原子が低減または除去されたガスを用いた成膜方法で、絶縁体284を成膜することで、絶縁体284に含まれる水素の量を低減することができる。つまり、絶縁体284に含まれる水素濃度を低減し、酸化物半導体のチャネル形成領域に混入する水素の低減を図ることができる。

【0335】

次に絶縁体284上に、絶縁体274となる絶縁膜を成膜する。絶縁体274となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。また、絶縁体274となる絶縁膜は、上述の水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体274となる絶縁膜の水素濃度を低減することができる。

30

【0336】

続いて、絶縁体274となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体274を形成する（図21参照）。

【0337】

次に、絶縁体272、絶縁体273、絶縁体280、絶縁体282、絶縁体283、および絶縁体284に、導電体242に達する開口を形成する（図22参照）。当該開口の形成は、リソグラフィー法を用いて行えばよい。なお、図22（A）で当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

40

【0338】

次に、絶縁体241となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体241を形成する。（図22参照）。絶縁体241となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体241となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、PEALD法を用いて、酸化アルミニウムを成膜することが好ましい。または、絶縁体283の成膜と同様に、PEALD法を用いて、窒化シリコンを

50

成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

【0339】

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

【0340】

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。導電体240aおよび導電体240bとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、と、の積層とすることができ。導電体240aおよび導電体240bとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

10

【0341】

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体284および絶縁体274の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる（図22参照）。なお、当該CMP処理により、絶縁体284の上面の一部および絶縁体274の上面の一部が除去される場合がある。

20

【0342】

次に、導電体246となる導電膜を成膜する。導電体246となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0343】

次に、導電体246となる導電膜をリソグラフィー法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する。この時、導電体246aおよび導電体246bと、絶縁体284とが重ならない領域の絶縁体284の一部が除去されることがある。（図23参照）。

30

【0344】

次に、導電体246上、および絶縁体284上に、絶縁体286を成膜する（図4参照）。絶縁体286の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。また、絶縁体286は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。導電体246上、および絶縁体284上に、絶縁体286を成膜することで、導電体246の上面、および導電体246の側面は、絶縁体286が接し、導電体246の下面は、絶縁体284と接する。つまり、導電体246は、絶縁体284、および絶縁体286で包まれる構成とすることができ。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体246の酸化を防止することができる。また、導電体246から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

40

【0345】

以上により、図4に示すトランジスタ200を有する半導体装置を作製することができる。図7乃至図23に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

【0346】

<半導体装置の応用例>

以下では、図24乃至図29を用いて、先の<半導体装置の構成例1>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について

50

説明する。なお、図 2 4 乃至図 2 9 に示す半導体装置において、＜半導体装置の構成例 1＞に示した半導体装置（図 4 参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 2 0 0 の構成材料については＜半導体装置の構成例 1＞で詳細に説明した材料を用いることができる。

【0347】

<<半導体装置の応用例 1>>

図 2 4 (A) および図 2 4 (B) に、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n (n は 3 以上の自然数を表す) を、絶縁体 2 8 3 と絶縁体 2 1 1 で、包括して封止した構成について示す。なお、図 2 4 (A) および図 2 4 (B) において、トランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n は、チャネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n は、チャネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

10

【0348】

図 2 4 (A) に示すように、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n の外側において、絶縁体 2 8 3 と絶縁体 2 1 1 が接する部分（以下、封止部 2 6 5 と呼ぶ場合がある。）が形成されている。封止部 2 6 5 は、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を囲むように形成されている。このような構造にすることで、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を絶縁体 2 8 3 と絶縁体 2 1 1 で包み込むことができる。よって封止部 2 6 5 に囲まれたトランジスタ群が、基板上に複数設けられることになる。

20

【0349】

また、封止部 2 6 5 に重ねてダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部 2 6 5 に囲まれたトランジスタ群が 1 チップとして取り出されることになる。

【0350】

また、図 2 4 (A) では、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を一つの封止部 2 6 5 で囲む例について示したが、これに限られるものではない。図 2 4 (B) に示すように、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を複数の封止部で囲む構成にしてもよい。図 2 4 (B) では、複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を封止部 2 6 5 a で囲み、さらに外側の封止部 2 6 5 b でも囲む構成にしている。

30

【0351】

このように、複数の封止部で複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を囲む構成にすることで、絶縁体 2 8 3 と絶縁体 2 1 1 が接する部分が増えるので、絶縁体 2 8 3 と絶縁体 2 1 1 の密着性をより向上させることができる。これにより、より確実に複数のトランジスタ 2 0 0 __ 1 乃至トランジスタ 2 0 0 __ n を封止することができる。

【0352】

この場合、封止部 2 6 5 a または封止部 2 6 5 b に重ねてダイシングラインを設けてもよいし、封止部 2 6 5 a と封止部 2 6 5 b の間にダイシングラインを設けてもよい。

40

【0353】

<<半導体装置の応用例 2>>

図 2 5 は、トランジスタ 2 0 0 の断面図である。図 2 5 に示すトランジスタ 2 0 0 は、酸化物 2 3 0 b を有さない構造が、図 4 に示すトランジスタ 2 0 0 と異なる。すなわち、図 2 5 に示すトランジスタ 2 0 0 は、酸化物 2 3 0 a と、酸化物 2 3 0 c 1 と、酸化物 2 3 0 c 2 とによって、酸化物 2 3 0 が構成されている。また、導電体 2 4 2 a の下面および導電体 2 4 2 b の下面は、酸化物 2 3 0 a に接する。

【0354】

50

酸化物 230 を、酸化物 230 a と、酸化物 230 c 1 と、酸化物 230 c 2 との積層構造とすることで、以下の優れた効果を有する。

【0355】

例えば、酸化物 230 a を $In : Ga : Zn = 1 : 3 : 4$ [原子数比] の組成とし、酸化物 230 c 1 を $In : Ga : Zn = 4 : 2 : 3$ [原子数比] の組成とし、酸化物 230 c 2 を $In : Ga : Zn = 1 : 3 : 4$ [原子数比] の組成とすることで、酸化物 230 c 1 にチャンネル形成領域を設ける構成とすることができる。この構成の場合、絶縁体 280、絶縁体 272、絶縁体 273、導電体 242 (導電体 242 a、導電体 242 b)、及び酸化物 230 a に形成された開口部を沿うように、酸化物 230 c 1 および酸化物 230 c 2 が U 字状 (U - Shape) に形成される。また、導電体 242 a の側面、及び導電体 242 b の側面と、酸化物 230 c 1 の側面とを、接触させる構成とすることができる。また、酸化物 230 c 1 の上面に、酸化物 230 c 2 が接しており、絶縁体 250 が酸化物 230 c 1 に接触するのを防ぐことができる。

10

【0356】

上記の構成とすることで、導電体 242 (導電体 242 a、及び導電体 242 b) と、酸化物 230 c 1 との接触面積を小さくすることができる。導電体 242 と、酸化物 230 c 1 との接触面積を小さくすることで、導電体 242 と酸化物 230 c 1 との間に起こりうる接合リーク電流 (ジャンクションリーク電流ともいう) を低減することができる。また、導電体 242 の厚さを調整することで、酸化物 230 c 1 との接触面積を任意に調整することが可能となる。

20

【0357】

例えば、図 25 に示すトランジスタ 200 を有する半導体装置は、スペースシャトルや人工衛星をはじめとする宇宙空間にて使用する場合に好適に用いることができる。宇宙空間においては、宇宙放射線、または太陽から放出された電子や陽子が、半導体装置の内部まで入り込み半導体特性に影響を与える場合がある。図 25 に示すトランジスタ 200 においては、接合リーク電流が低減されたトランジスタであるため、宇宙放射線などに対する耐性が高く、信頼性が高い構造であるともいえる。

【0358】

<<半導体装置の応用例 3>>

図 26 (A) (B)、及び図 27 (A) (B) は、メモリデバイス 290 を説明する図である。図 26 (A) はメモリデバイス 290 の上面図であり、図 26 (B) は図 26 (A) に示す一点鎖線 A1 - A2 の切断面の断面図である。なお、図 26 (B) に示す断面図は、トランジスタのチャンネル長方向の断面図に相当する。

30

【0359】

また、図 27 (A) は図 26 (A) に示す一点鎖線 A3 - A4 の切断面の断面図であり、図 27 (B) は図 26 (A) に示す一点鎖線 A5 - A6 の切断面の断面図である。なお、図 27 (A) に示す断面図は、トランジスタのチャンネル幅方向の断面図に相当する。

【0360】

図 26 (A) (B)、及び図 27 (A) (B) に示すメモリデバイス 290 は、トランジスタと、容量デバイス 292 と、当該トランジスタに接続された配線と、を有する。より詳しくは、メモリデバイス 290 は、絶縁体 211 と、絶縁体 211 上の絶縁体 212 と、絶縁体 212 上の絶縁体 214 と、導電体 205 (導電体 205 a、および導電体 205 b) と、絶縁体 214 上の絶縁体 216 と、絶縁体 222 と、絶縁体 224 と、酸化物 230 (酸化物 230 a、酸化物 230 b、および酸化物 230 c) と、導電体 242 (導電体 242 a、および導電体 242 b) と、酸化物 243 (酸化物 243 a、および酸化物 243 b) と、絶縁体 272 と、絶縁体 273 と、絶縁体 250 と、導電体 260 (導電体 260 a、および導電体 260 b) と、を有する。

40

【0361】

また、酸化物 230 の上方には、絶縁体 280 と、絶縁体 280 上の絶縁体 282 と、が設けられる。また、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁

50

体 2 2 4、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、及び絶縁体 2 8 2 の側面に接して、絶縁体 2 8 7 が設けられる。また、絶縁体 2 8 2 を覆うように、絶縁体 2 8 3 と、絶縁体 2 8 3 上の絶縁体 2 8 4 とが、設けられる。

【 0 3 6 2 】

また、メモリデバイス 2 9 0 は、導電体 2 4 2 a と電氣的に接続し、プラグとして機能する導電体 2 4 0 a を有する。なお、導電体 2 4 0 a の側面に接して絶縁体 2 4 1 a が設けられる。また、絶縁体 2 8 4 上、および導電体 2 4 0 a 上には、導電体 2 4 0 a と電氣的に接続し、配線として機能する導電体 2 4 6 a が設けられる。また、導電体 2 4 6 a 上、および絶縁体 2 7 4 上には、絶縁体 2 8 6 が設けられる。

【 0 3 6 3 】

また、メモリデバイス 2 9 0 は、容量デバイス 2 9 2 を有する。容量デバイス 2 9 2 は、導電体 2 4 2 b と、導電体 2 4 2 b 上に設けられた絶縁体 2 7 2、及び絶縁体 2 7 3 と、絶縁体 2 7 3 上に設けられた導電体 2 9 4 と、を有する。すなわち、容量デバイス 2 9 2 は、MIM (Metal - Insulator - Metal) 容量を構成している。なお、容量デバイス 2 9 2 が有する一対の電極の一方、すなわち導電体 2 4 2 b は、トランジスタのソース電極またはドレイン電極を兼ねることができる。また、容量デバイス 2 9 2 が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体 2 7 2、及び絶縁体 2 7 3 を兼ねることができる。したがって、容量デバイス 2 9 2 の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。

【 0 3 6 4 】

また、図 2 7 (B) に示すように、トランジスタのチャネル幅方向の断面において、容量デバイス 2 9 2 は、導電体 2 4 2 b の側面においても、導電体 2 9 4 と重なる領域を有する。当該領域においても、静電容量を形成することが可能となるため、小面積においても静電容量値を高くすることが可能となる。

【 0 3 6 5 】

また、導電体 2 9 4 としては、例えば、導電体 2 4 2 に用いることのできる材料を用いれば良い。

【 0 3 6 6 】

また、メモリデバイス 2 9 0 において、導電体 2 6 0 は、トランジスタの第 1 のゲートとして機能し、導電体 2 0 5 は、トランジスタの第 2 のゲートとして機能する。また、導電体 2 4 2 a、および導電体 2 4 2 b は、トランジスタのソース電極またはドレイン電極として機能する。

【 0 3 6 7 】

また、酸化物 2 3 0 は、トランジスタのチャネル形成領域を有する半導体として機能する。絶縁体 2 5 0 は、第 1 のゲート絶縁体として機能し、絶縁体 2 2 2、および絶縁体 2 2 4 は、第 2 のゲート絶縁体として機能する。

【 0 3 6 8 】

絶縁体 2 1 4、絶縁体 2 7 2、及び絶縁体 2 7 3 は層間膜として機能する。絶縁体 2 1 4、絶縁体 2 7 2、及び絶縁体 2 7 3 は、酸素に対するバリア性を有する材料、または水素を吸蔵することが可能な材料を用いて形成すると好ましい。絶縁体 2 1 4、絶縁体 2 7 2、及び絶縁体 2 7 3 に水素を吸蔵することが可能な材料を用いることで、メモリデバイス 2 9 0 内において、水素の量を一定値とすることができる。絶縁体 2 1 4、絶縁体 2 7 2、及び絶縁体 2 7 3 に用いることのできる材料としては、Al 化合物、または Al と元素 Ma (元素 Ma は電気陰性度が低い元素 (反応力の強い元素)、例えば、Mg、Zr、Si、B などを表す) を有する化合物を用いることができる。

【 0 3 6 9 】

また、メモリデバイス 2 9 0 が有するトランジスタは、図 2 6 (B)、図 2 7 (A)、及び図 2 7 (B) に示すように、絶縁体 2 8 2 と、酸化物 2 3 0 c とが、直接接する構造となっている。当該構造とすることで、絶縁体 2 8 0 に含まれる酸素が、導電体 2 6 0 側

10

20

30

40

50

に拡散するのを抑制することができる。また、絶縁体 280 に含まれる酸素は、酸化物 230c を介して、酸化物 230a および酸化物 230b へ効率よく供給することができるので、酸化物 230a 中および酸化物 230b 中の酸素欠損を低減し、トランジスタの電気特性および信頼性を向上させることができる。

【0370】

また、図 26 に示すメモリデバイス 290 が有するトランジスタは、絶縁体 280 などの層間膜に設けられた開口部内に、導電体 260 が、絶縁体 250 を介して、自己整合的に形成される。つまり、導電体 260 は、絶縁体 250 を介して、絶縁体 280 を含む層間膜に設けた開口を埋めるように形成されるため、導電体 242a と導電体 242b の間の領域に、導電体 260 の位置合わせが不要となる。

10

【0371】

また、絶縁体 280 を含む層間膜に設けられた開口内に、酸化物 230c を設けることが好ましい。従って、絶縁体 250、および導電体 260 は、酸化物 230c を介して、酸化物 230b、および酸化物 230a の積層構造と重畳する領域を有する。当該構造とすることで、酸化物 230c と絶縁体 250 とを連続成膜により形成することが可能となるため、酸化物 230 と絶縁体 250 との界面を清浄に保つことができる。従って、界面散乱によるキャリア伝導への影響が小さくなり、メモリデバイス 290 が有するトランジスタは高いオン電流、および高い周波数特性を得ることができる。

【0372】

また、図 26 に示すメモリデバイス 290 が有するトランジスタは、主に酸化物 230c と、酸化物 230b との界面または界面近傍にチャネル形成領域が形成される。なお、酸化物 230c は、絶縁体 280、絶縁体 272、絶縁体 273、導電体 242 (導電体 242a、導電体 242b)、酸化物 243 (酸化物 243a、酸化物 243b) 及び酸化物 230b に形成された開口部を沿うように U 字状 (U - Shape) に形成される。

20

【0373】

例えば、トランジスタのチャネル長を微細化 (代表的には 5nm 以上 60nm 未満、好ましくは 10nm 以上 30nm 以下) した場合に、図 26 に示すメモリデバイス 290 が有するトランジスタ構造とすることで、実効 L 長を長くすることができる。一例としては、導電体 242a と、導電体 242b との間の距離が 20nm である場合、実効 L 長を 40nm 以上 60nm 以下と、導電体 242a と導電体 242b との間の距離、すなわち最小加工寸法よりも 2 倍乃至 3 倍程度長くすることができる。したがって、図 26 に示すメモリデバイス 290 は、微細化に優れたトランジスタ、及び容量デバイスの構造の 1 つとなる。

30

【0374】

<< 半導体装置の応用例 4 >>

次に、図 26 (A) (B)、及び図 27 (A) (B) に示すメモリデバイス 290 の応用例について、図 28、及び図 29 を用いて説明する。

【0375】

図 28 及び図 29 は、複数のメモリデバイス 290 を縦方向に積み重ねた (スタックさせた) 構造のメモリデバイスの断面図の一例である。

40

【0376】

図 28 は、メモリデバイス 290__1 と、メモリデバイス 290__2 と、メモリデバイス 290__n (n は 3 以上の自然数を表す) と、を積み重ねた構成を例示している。なお、図 28 に示すように、メモリデバイス 290__2 は、プラグとして機能する導電体 240a の位置がメモリデバイス 290__1 と異なる位置に配置された構成である。当該構成とすることで、隣接するメモリデバイスとの寄生容量を小さくすることができる、または回路設計の自由度を高めることができるといった効果を奏する。なお、図 28 に示す構成においては、プラグとして機能する導電体 240a の位置を、上下のメモリデバイスと互い違いにする構成について例示したがこれに限定されず、例えば、上面視において、導電体 260 を中心として、1/4 方向ずつ回転させてプラグとして機能する導電体 240a

50

や、容量デバイス 292 を配置させてもよい。

【0377】

または、チャネル幅方向の断面視において、プラグとして機能する導電体 240a が同じ位置に配置するような構成としてもよい。当該構成の一例を図 29 に示す。図 29 に示す構成とすることで、例えば、隣接するメモリデバイスにおいて、書き込み用のビットラインを共通にすることができる。すなわち、複数のメモリデバイス 290 において、ビットライン等を共通にすることができるため、微細化に有利な構造となる。なお、図 29 においては、ビットラインに電氣的に接続するプラグとして機能する導電体 240a を隣接するメモリデバイスと共通にする構成について例示したがこれに限定されない。例えば、トランジスタのバックゲート電極などを隣接するメモリデバイス間にて共通する構造としてもよい。

10

【0378】

また、図 28、及び図 29 において、メモリデバイス 290__1、メモリデバイス 290__2、及びメモリデバイス 290__n は、絶縁体 287 と、絶縁体 283 と、絶縁体 284 と、によって覆われた構造である。また、絶縁体 283 と、絶縁体 211 とは、メモリデバイス 290__1 の外周にて接している。また、絶縁体 284 の上方においては、絶縁体 284 と、絶縁体 286 とが接している。

【0379】

また、メモリデバイス 290__1 と、メモリデバイス 290__2 との間には、絶縁体 282 と、絶縁体 296 と、絶縁体 298 と、絶縁体 214 とが設けられている。

20

【0380】

絶縁体 296、及び絶縁体 298 としては、例えば、絶縁体 211 と同様の材料を用いることができる。例えば、絶縁体 282、及び絶縁体 214 を、酸化アルミニウムで形成し、絶縁体 286、及び絶縁体 298 を窒化シリコンで形成することができる。

【0381】

なお、図 4 に示すトランジスタ 200 においては、導電体 205 の下方には、絶縁体 211、絶縁体 212、及び絶縁体 214 の 3 層の積層構造を有するが、図 28、図 29 に示すメモリデバイス 290__2 乃至メモリデバイス 290__n が有するトランジスタにおいては、下層のメモリデバイスが有するトランジスタの上部に形成される層の一部を共通して用いることができるため、3 層の積層構造のうち、1 層または 2 層を削減することができる。すなわち、一部の絶縁体を上下のメモリデバイス間で共通して用いることで、生産性の高い半導体装置とすることができる。

30

【0382】

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、ノーマリーオフの電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

40

【0383】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態や実施例と適宜組み合わせる実施することができる。

【0384】

(実施の形態 2)

本実施の形態では、本発明の他の実施の形態に適用可能な半導体装置の一態様について説明する。以下では半導体装置の構成例について説明する。

50

【 0 3 8 5 】

< 半導体装置の構成例 2 >

図 3 0 (A) は、トランジスタ 2 1 0 0 A のチャネル長方向の断面図である。

【 0 3 8 6 】

トランジスタ 2 1 0 0 A は、基板 2 1 0 2 上に設けられ、絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 3、導電層 2 1 0 6、絶縁層 2 1 0 3、半導体層 2 1 0 8、絶縁層 2 1 1 0、金属酸化物層 2 1 1 4、導電層 2 1 1 2、絶縁層 2 1 2 4、絶縁層 2 1 2 5、絶縁層 2 1 2 6 等を有する。基板 2 1 0 2 上に絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 3 が順に設けられ、絶縁層 2 1 2 3 上に導電層 2 1 0 6 が設けられ、絶縁層 2 1 2 3、および導電層 2 1 0 6 上に絶縁層 2 1 0 3 が設けられる。島状の半導体層 2 1 0 8 は、絶縁層 2 1 0 3 上に設けられ、導電層 2 1 0 6 の一部と重畳する領域を有する。絶縁層 2 1 1 0 は、半導体層 2 1 0 8 の上に設けられる。金属酸化物層 2 1 1 4 及び導電層 2 1 1 2 は、絶縁層 2 1 1 0 上にこの順に積層して設けられ、半導体層 2 1 0 8 の一部、および導電層 2 1 0 6 の一部と重畳する領域を有する。

10

【 0 3 8 7 】

絶縁層 2 1 2 4 は、絶縁層 2 1 2 3 の一部と接する領域を有し、導電層 2 1 0 6、絶縁層 2 1 0 3、半導体層 2 1 0 8、絶縁層 2 1 1 0、金属酸化物層 2 1 1 4、および導電層 2 1 1 2 上に設けられる。絶縁層 2 1 2 5 は、絶縁層 2 1 2 2、および絶縁層 2 1 2 1 の一部と接する領域を有し、絶縁層 2 1 2 4 上に設けられる。また、絶縁層 2 1 2 6 は、絶縁層 2 1 2 5 上に設けられる。

20

【 0 3 8 8 】

トランジスタ 2 1 0 0 A において、少なくとも半導体層 2 1 0 8 は、絶縁層 2 1 2 3 と絶縁層 2 1 2 4 の間に設けられ、絶縁層 2 1 2 3 と絶縁層 2 1 2 4 は、半導体層 2 1 0 8 の外側で接することが好ましい。また、絶縁層 2 1 2 3 および絶縁層 2 1 2 4 は、絶縁層 2 1 2 1 および絶縁層 2 1 2 2 と、絶縁層 2 1 2 5 および絶縁層 2 1 2 6 と、の間に設けられる。このとき絶縁層 2 1 2 5 は、少なくとも絶縁層 2 1 2 2 と接することが好ましく、さらに絶縁層 2 1 2 1 と接することが好ましい。

【 0 3 8 9 】

別言すると、トランジスタ 2 1 0 0 A において、半導体層 2 1 0 8 は、絶縁層 2 1 2 3 および絶縁層 2 1 2 4 に囲われており、半導体層 2 1 0 8、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 は、絶縁層 2 1 2 2 および絶縁層 2 1 2 5 に囲われている。さらに、半導体層 2 1 0 8、絶縁層 2 1 2 3、絶縁層 2 1 2 4、絶縁層 2 1 2 2、および絶縁層 2 1 2 5 は、絶縁層 2 1 2 1 および絶縁層 2 1 2 6 により挟まれるように設けられていることから、絶縁層 2 1 2 1 および絶縁層 2 1 2 6 により囲われているといえることができる。

30

【 0 3 9 0 】

つまり、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 により設けられる封止構造は、先の実施の形態で説明した絶縁体 2 1 4、絶縁体 2 8 7、および絶縁体 2 8 2 により設けられる封止構造に相当する。従って、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 は、絶縁体 2 1 4、絶縁体 2 8 7、および絶縁体 2 8 2 の記載を参酌することができる。

【 0 3 9 1 】

また、絶縁層 2 1 2 1、絶縁層 2 1 2 2、および絶縁層 2 1 2 5 により設けられる封止構造は、先の実施の形態で説明した絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 8 3 により設けられる封止構造に相当する。従って、絶縁層 2 1 2 2、および絶縁層 2 1 2 5 は、絶縁体 2 1 1、絶縁体 2 1 2、および絶縁体 2 8 3 の記載を参酌することができる。

40

【 0 3 9 2 】

さらに、絶縁層 2 1 2 6 は、先の実施の形態で説明した絶縁体 2 8 4 に相当する。従って、絶縁層 2 1 2 6 は、絶縁体 2 8 4 の記載を参酌することができる。

【 0 3 9 3 】

導電層 2 1 1 2 及び金属酸化物層 2 1 1 4 の端部は、絶縁層 2 1 1 0 の端部よりも内側に位置する。言い換えると、絶縁層 2 1 1 0 は、少なくとも半導体層 2 1 0 8 上において

50

、導電層 2 1 1 2 及び金属酸化物層 2 1 1 4 の端部よりも外側に突出した部分を有する。

【 0 3 9 4 】

また、導電層 2 1 1 2 の端部が金属酸化物層 2 1 1 4 の端部より内側に位置することが好ましい。また、絶縁層 2 1 2 4 は、金属酸化物層 2 1 1 4 の上面の一部及び側面に接して設けられる。

【 0 3 9 5 】

トランジスタ 2 1 0 0 A において、導電層 2 1 1 2 の端部が、金属酸化物層 2 1 1 4 の端部よりも内側に位置する。言い換えると、金属酸化物層 2 1 1 4 は、少なくとも絶縁層 2 1 1 0 上において、導電層 2 1 1 2 の端部よりも外側に突出した部分を有する。

【 0 3 9 6 】

導電層 2 1 1 2 の端部が、金属酸化物層 2 1 1 4 の端部よりも内側に位置することで、導電層 2 1 1 2 及び金属酸化物層 2 1 1 4 の側面の段差が緩やかとなり、導電層 2 1 1 2 及び金属酸化物層 2 1 1 4 上に形成される層（例えば、絶縁層 2 1 2 4、絶縁層 2 1 2 5、絶縁層 2 1 2 6）の段差被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

【 0 3 9 7 】

導電層 2 1 1 2 及び金属酸化物層 2 1 1 4 の形成には、ウェットエッチング法を好適に用いることができる。また、金属酸化物層 2 1 1 4 に、導電層 2 1 1 2 よりエッチング速度が遅い材料を用いることにより、金属酸化物層 2 1 1 4 の端部より、導電層 2 1 1 2 の端部を内側にすることができる。さらに、同一の工程で金属酸化物層 2 1 1 4 及び導電層 2 1 1 2 を形成でき、生産性を高められる。

【 0 3 9 8 】

なお、本実施の形態は上記に限らない。導電層 2 1 1 2 の端部が、金属酸化物層 2 1 1 4 の端部と一致してもよい。あるいは、導電層 2 1 1 2 の側面と金属酸化物層 2 1 1 4 の側面が同一平面上の面を有していてもよい。

【 0 3 9 9 】

半導体層 2 1 0 8 は、チャネル形成領域を挟む一対の領域 2 1 0 8 L と、その外側に一対の領域 2 1 0 8 N とを有する。領域 2 1 0 8 L は、半導体層 2 1 0 8 のうち、絶縁層 2 1 1 0 と重なり、且つ金属酸化物層 2 1 1 4、および導電層 2 1 1 2 とは重ならない領域である。

【 0 4 0 0 】

領域 2 1 0 8 C は、チャネル形成領域として機能する。ここで、金属酸化物層 2 1 1 4 が導電性を有する場合、ゲート電極の一部として機能するため、ゲート絶縁層として機能する絶縁層 2 1 1 0 を介して、ゲート電極から領域 2 1 0 8 C に電界が与えられ、チャネルが形成される。ただし、本実施の形態はこれに限らない。金属酸化物層 2 1 1 4 と重畳せずに、導電層 2 1 0 6 と重畳する部分（領域 2 1 0 8 L、および領域 2 1 0 8 N を含む部分）にもチャネルが形成される場合がある。

【 0 4 0 1 】

領域 2 1 0 8 L は、ドレイン電界を緩和するためのバッファ領域としての機能を有する。領域 2 1 0 8 L は、導電層 2 1 1 2 及び金属酸化物層 2 1 1 4 とは重畳しない領域であるため、導電層 2 1 1 2 にゲート電圧が与えられた場合にもチャネルはほとんど形成されない領域である。領域 2 1 0 8 L は、キャリア濃度が領域 2 1 0 8 C よりも高いことが好ましい。これにより、領域 2 1 0 8 L を LDD 領域として機能させることができる。

【 0 4 0 2 】

領域 2 1 0 8 L は、領域 2 1 0 8 C と比較して、抵抗が同程度または低い領域、キャリア濃度が同程度または高い領域、酸素欠損密度が同程度または高い領域、不純物濃度が同程度または高い領域ともいうことができる。

【 0 4 0 3 】

領域 2 1 0 8 L は、領域 2 1 0 8 N と比較して、抵抗が同程度または高い領域、キャリア濃度が同程度または低い領域、酸素欠損密度が同程度または低い領域、不純物濃度が同

10

20

30

40

50

程度または低い領域ともいうことができる。

【0404】

このように、チャネル形成領域である領域2108Cと、ソース領域またはドレイン領域である領域2108Nとの間に、LDD領域として機能する領域2108Lを設けることにより、高いドレイン耐圧と、高いオン電流とを兼ね備え、信頼性の高いトランジスタを実現することができる。

【0405】

領域2108Nは、ソース領域またはドレイン領域として機能し、半導体層2108の他の領域と比較して、最も低抵抗な領域である。または、領域2108Nは、半導体層2108の他の領域と比較して、最もキャリア濃度の高い領域、最も酸素欠損密度の高い領域、または最も不純物濃度の高い領域とも言うことができる。

10

【0406】

領域2108Nの電気抵抗は低いほど好ましく、例えば領域2108Nのシート抵抗の値は、 $1 / \text{以上} 1 \times 10^3 / \text{未満}$ 、好ましくは $1 / \text{以上} 8 \times 10^2 / \text{以下}$ とすることが好ましい。

【0407】

また、チャネルが形成されていない状態における領域2108Cの電気抵抗は高いほど好ましい。例えば領域2108Cのシート抵抗の値は、 $1 \times 10^9 / \text{以上}$ 、好ましくは $5 \times 10^9 / \text{以上}$ 、より好ましくは $1 \times 10^{10} / \text{以上}$ であることが好ましい。

20

【0408】

チャネルが形成されていない状態における領域2108Cの電気抵抗は高いほど好ましいため上限値は特に設けない。ただし、上限値を設けるなら、例えば領域2108Cのシート抵抗の値は、 $1 \times 10^9 / \text{以上} 1 \times 10^{12} / \text{以下}$ 、好ましくは $5 \times 10^9 / \text{以上} 1 \times 10^{12} / \text{以下}$ 、より好ましくは $1 \times 10^{10} / \text{以上} 1 \times 10^{12} / \text{以下}$ であることが好ましい。

【0409】

領域2108Lのシート抵抗の値は、例えば $1 \times 10^3 / \text{以上} 1 \times 10^9 / \text{以下}$ 、好ましくは $1 \times 10^3 / \text{以上} 1 \times 10^8 / \text{以下}$ 、より好ましくは $1 \times 10^3 / \text{以上} 1 \times 10^7 / \text{以下}$ とすることができる。このような抵抗の範囲とすることで、電気特性が良好でかつ信頼性の高いトランジスタとすることができる。なお、シート抵抗は、抵抗の値から算出できる。このような領域2108Lを、領域2108Nと領域2108Cとの間に設けることで、トランジスタ2100Aのソース・ドレイン耐圧を高めることができる。

30

【0410】

また、チャネルが形成されていない状態における領域2108Cの電気抵抗は、領域2108Nの電気抵抗の 1×10^6 倍以上 1×10^{12} 倍以下、好ましくは 1×10^6 倍以上 1×10^{11} 倍以下、より好ましくは 1×10^6 倍以上 1×10^{10} 倍以下とすることができる。

【0411】

チャネルが形成されていない状態における領域2108Cの電気抵抗は、領域2108Lの電気抵抗の 1×10^0 倍以上 1×10^9 倍以下、好ましくは 1×10^1 倍以上 1×10^8 倍以下、より好ましくは 1×10^2 倍以上 1×10^7 倍以下とすることができる。

40

【0412】

領域2108Lの電気抵抗は、領域2108Nの電気抵抗の 1×10^0 倍以上 1×10^9 倍以下、好ましくは 1×10^1 倍以上 1×10^8 倍以下、より好ましくは 1×10^1 倍以上 1×10^7 倍以下とすることができる。

【0413】

前述の抵抗を有する領域2108Lを、領域2108Nとチャネル形成領域との間に設けることで、トランジスタ2100Aのソース・ドレイン耐圧を高めることができる。

50

【0414】

また、半導体層2108におけるキャリア濃度は、領域2108Cが最も低く、領域2108L、領域2108Nの順に高くなるような分布を有していることが好ましい。領域2108Cと領域2108Nとの間に領域2108Lが設けられることで、例えば作製工程中に領域2108Nから水素などの不純物が拡散する場合であっても、領域2108Cのキャリア濃度を極めて低く保つことができる。

【0415】

チャネル形成領域として機能する領域2108Cにおけるキャリア濃度は低いほど好ましく、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 以下であることがさらに好ましい。なお、領域2108Cのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

10

【0416】

一方、領域2108Nにおけるキャリア濃度は、例えば $5 \times 10^{18} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以上、より好ましくは $5 \times 10^{19} \text{ cm}^{-3}$ 以上とすることができる。領域2108Nにおけるキャリア濃度の上限値については、特に限定は無いが、例えば $5 \times 10^{21} \text{ cm}^{-3}$ 、または $1 \times 10^{22} \text{ cm}^{-3}$ 等とすることができる。

【0417】

領域2108Lにおけるキャリア濃度は、領域2108Cと領域2108Nの間の値とすることができる。例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 未満の範囲の値とすればよい。

20

【0418】

なお、領域2108L中のキャリア濃度は均一でなくてもよく、領域2108N側からチャネル形成領域側にかけてキャリア濃度が小さくなるような勾配を有している場合がある。例えば、領域2108L中の水素濃度または酸素欠損の濃度のいずれか一方、または両方が、領域2108N側からチャネル形成領域側にかけて濃度が小さくなるような勾配を有していてもよい。

【0419】

半導体層2108は、金属酸化物を含むことが好ましい。半導体層2108に用いることができる金属酸化物は、酸化物230など、他の実施の形態、または他の構成例を参照することができる。また、半導体層2108のチャネル形成領域に接する絶縁層2103と絶縁層2110には、酸化物膜を用いることが好ましい。例えば、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜などの酸化物膜を用いることができる。これにより、絶縁層2103や絶縁層2110から脱離した酸素を半導体層2108のチャネル形成領域に供給し、半導体層2108中の酸素欠損を低減できる。

30

【0420】

絶縁層2110の端部の一部は、半導体層2108上に位置している。絶縁層2110は、導電層2112と重畳し、ゲート絶縁層として機能する部分と、導電層2112及び金属酸化物層2114と重ならない部分（すなわち、領域2108Lと重なる部分）とを有する。

40

【0421】

絶縁層2110は2層以上の積層構造としてもよい。図30(A)には、絶縁層2110が絶縁層2110aと、絶縁層2110a上の絶縁層2110bと、絶縁層2110b上の絶縁層2110cとの3層構造である例を示している。なお、絶縁層2110a、絶縁層2110b及び絶縁層2110cは同種の材料の絶縁膜を用いることができるため、絶縁層2110a、絶縁層2110b及び絶縁層2110cそれぞれの界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁層2110a、絶縁層2110b及び絶縁層2110cそれぞれの界面を破線で図示している。

【0422】

50

絶縁層 2 1 1 0 a は、半導体層 2 1 0 8 のチャネル形成領域と接する領域を有する。絶縁層 2 1 1 0 c は、金属酸化物層 2 1 1 4 と接する領域を有する。絶縁層 2 1 1 0 b は、絶縁層 2 1 1 0 a と絶縁層 2 1 1 0 c の間に位置する。

【 0 4 2 3 】

絶縁層 2 1 1 0 a、絶縁層 2 1 1 0 b、及び絶縁層 2 1 1 0 c は、それぞれ酸化物を含む絶縁膜であることが好ましい。このとき、絶縁層 2 1 1 0 a、絶縁層 2 1 1 0 b 及び絶縁層 2 1 1 0 c は、それぞれ同じ成膜装置で連続して成膜されることが好ましい。

【 0 4 2 4 】

例えば、絶縁層 2 1 1 0 a、絶縁層 2 1 1 0 b、及び絶縁層 2 1 1 0 c としては、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。

【 0 4 2 5 】

また、半導体層 2 1 0 8 と接する絶縁層 2 1 1 0 は、酸化物絶縁膜の積層構造を有することが好ましく、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層 2 1 1 0 は、酸素を放出することが可能な絶縁膜を有する。例えば、酸素雰囲気下にて絶縁層 2 1 1 0 を形成すること、成膜後の絶縁層 2 1 1 0 に対して酸素雰囲気下での熱処理、プラズマ処理等を行うこと、または、絶縁層 2 1 1 0 上に酸素雰囲気下で酸化物膜を成膜することなどにより、絶縁層 2 1 1 0 中に酸素を供給することもできる。特に半導体層 2 1 0 8 と接する絶縁層 2 1 1 0 A は、先の実施の形態で説明した絶縁体 2 8 0 と同様に、過剰に酸素を含有することが好ましい。

【 0 4 2 6 】

例えば、絶縁層 2 1 1 0 a、絶縁層 2 1 1 0 b 及び絶縁層 2 1 1 0 c は、スパッタリング法、化学気相堆積 (CVD: Chemical Vapor Deposition) 法、真空蒸着法、パルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法等を用いて形成することができる。また、CVD 法としては、プラズマ化学気相堆積 (PECVD: Plasma Enhanced CVD) 法や、熱 CVD 法などがある。

【 0 4 2 7 】

特に、絶縁層 2 1 1 0 a、絶縁層 2 1 1 0 b 及び絶縁層 2 1 1 0 c は、プラズマ CVD 法により形成することが好ましい。

【 0 4 2 8 】

絶縁層 2 1 1 0 c は、絶縁体 2 5 0 と同様に、絶縁層 2 1 1 0 b と比較して、その表面の欠陥が低減され、水などの大気中に含まれる不純物が吸着しにくい、極めて緻密な膜であることが好ましい。

【 0 4 2 9 】

また、絶縁層 2 1 1 0 b は、絶縁層 2 1 1 0 a 及び絶縁層 2 1 1 0 c よりも厚く形成することが好ましい。例えば、絶縁層 2 1 1 0 a 及び絶縁層 2 1 1 0 c よりも成膜速度の速い条件を用いることで絶縁層 2 1 1 0 b を厚く形成してもよい。これにより、絶縁層 2 1 1 0 の成膜工程に係る時間を短縮することができる。

【 0 4 3 0 】

ここで、絶縁層 2 1 1 0 a と絶縁層 2 1 1 0 b の境界、及び絶縁層 2 1 1 0 b と絶縁層 2 1 1 0 c の境界は不明瞭である場合があるため、図 3 0 (A) では、これらの境界を破線で明示している。なお、絶縁層 2 1 1 0 a と絶縁層 2 1 1 0 b の膜密度がそれぞれ異なる場合、絶縁層 2 1 1 0 の断面における透過型電子顕微鏡 (TEM: Transmission Electron Microscopy) 像などにおいて、これらの境界をコントラストの違いとして観察することができる場合がある。同様に、絶縁層 2 1 1 0 b と絶縁層 2 1 1 0 c の境界も観察することができる場合がある。

【0431】

導電層2112及び金属酸化物層2114を形成する際に、導電層2112と重ならない領域の絶縁層2110の膜厚が薄くなる場合がある。図30(A)には、金属酸化物層2114と重ならない領域の絶縁層2110cが除去され、絶縁層2110a及び絶縁層2110bが残存する構成を示している。また、金属酸化物層2114と重なる領域の絶縁層2110bと比較して、金属酸化物層2114と重ならない領域の絶縁層2110bの厚さが薄くなる場合がある。

【0432】

金属酸化物層2114と重ならない領域の絶縁層2110の膜厚を薄くすることにより、絶縁層2110端部の段差が小さくなり、絶縁層2110上に形成される層(例えば、絶縁層2124、絶縁層2125、絶縁層2126)の段差被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

10

【0433】

また絶縁層2110は、図30(A)とは異なる構成としてもよく、金属酸化物層2114と重ならない領域に絶縁層2110a、絶縁層2110b及び絶縁層2110cが残存する構成としてもよい。また、金属酸化物層2114と重なる領域の絶縁層2110cと比較して、金属酸化物層2114と重ならない領域の絶縁層2110cの厚さが薄くなる構成としてもよい。金属酸化物層2114と重ならない領域に、絶縁層2110cが残存する構成とすることで、絶縁層2110に水が吸着することを抑制できる。金属酸化物層2114と重なる領域の絶縁層2110cの厚さは1nm以上50nm以下、好ましくは2nm以上40nm以下、さらに好ましくは3nm以上30nm以下とする。

20

【0434】

なお、絶縁層2110は、絶縁層2110aと、絶縁層2110a上の絶縁層2110cとの2層構造としてもよい。または、絶縁層2110は単層構造としてもよい。絶縁層2110として、目的に応じて前述の絶縁層2110a、絶縁層2110b又は絶縁層2110cのいずれかを適宜選択することができる。

【0435】

絶縁層2103は積層構造とすることができる。図30(A)には、絶縁層2103は、導電層2106側から、絶縁層2103a、絶縁層2103b、絶縁層2103c、及び絶縁層2103dがこの順に積層された構造を有する例を示している。絶縁層2103aは導電層2106と接する。また、絶縁層2103dは半導体層2108と接する。

30

【0436】

絶縁層2103は、耐圧が高いこと、膜の応力が小さいこと、水素や水を放出しにくいこと、膜中の欠陥が少ないこと、導電層2106に含まれる金属元素の拡散を抑制すること、のうち、1つ以上を満たすことが好ましく、これら全てを満たすことが最も好ましい。

【0437】

絶縁層2103が有する4つの絶縁層のうち、導電層2106側に位置する絶縁層2103a、絶縁層2103b、及び絶縁層2103cには、窒素を含む絶縁膜を用いることが好ましい。一方、半導体層2108と接する絶縁層2103dには、酸素を含む絶縁膜を用いることが好ましい。また、絶縁層2103が有する4つの絶縁層は、それぞれプラズマCVD装置を用いて、大気に触れることなく連続して成膜することが好ましい。

40

【0438】

絶縁層2103a、絶縁層2103b、及び絶縁層2103cとしては、例えば窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化ハフニウム膜などの窒素を含む絶縁膜を好適に用いることができる。また、絶縁層2103dとしては、絶縁層2110に用いることのできる絶縁膜を援用することができる。

【0439】

絶縁層2103aと絶縁層2103cは、これよりも下側からの不純物の拡散を防止できる、緻密な膜であることが好ましい。絶縁層2103aは、導電層2106に含まれる

50

金属元素を、絶縁層 2 1 0 3 c は、絶縁層 2 1 0 3 b に含まれる水素や水を、それぞれブロックできる膜であることが好ましい。そのため、絶縁層 2 1 0 3 a 及び絶縁層 2 1 0 3 c には、絶縁層 2 1 0 3 b よりも成膜速度の低い条件で成膜した絶縁膜を適用することができる。

【0440】

一方、絶縁層 2 1 0 3 b は、応力が小さく、成膜速度の高い条件で成膜された絶縁膜を用いることが好ましい。また、絶縁層 2 1 0 3 b は、絶縁層 2 1 0 3 a 及び絶縁層 2 1 0 3 c よりも厚く形成されていることが好ましい。

【0441】

例えば絶縁層 2 1 0 3 a、絶縁層 2 1 0 3 b、及び絶縁層 2 1 0 3 c のそれぞれに、プラズマ CVD 法で成膜した窒化シリコン膜を用いた場合であっても、絶縁層 2 1 0 3 b が、他の 2 つの絶縁層よりも膜密度が小さい膜となる。したがって、絶縁層 2 1 0 3 の断面における透過型電子顕微鏡像などにおいて、コントラストの違いとして観察することができる場合がある。なお、絶縁層 2 1 0 3 a と絶縁層 2 1 0 3 b の境界、及び絶縁層 2 1 0 3 b と絶縁層 2 1 0 3 c の境界は不明瞭である場合があるため、図 30 (A) では、これらの境界を破線で明示している。

10

【0442】

半導体層 2 1 0 8 と接する絶縁層 2 1 0 3 d としては、その表面に水などの不純物が吸着しにくい、緻密な絶縁膜とすることが好ましい。また、可能な限り欠陥が少なく、水や水素などの不純物が低減された絶縁膜を用いることが好ましい。例えば、絶縁層 2 1 0 3 d として、上記絶縁層 2 1 1 0 が有する絶縁層 2 1 1 0 c と同様の絶縁膜を用いることができる。

20

【0443】

なお、導電層 2 1 0 6 として、構成元素が絶縁層 2 1 0 3 に拡散しにくい金属膜または合金膜を用いる場合などでは、絶縁層 2 1 0 3 a を設けずに、絶縁層 2 1 0 3 b、絶縁層 2 1 0 3 c、及び絶縁層 2 1 0 3 d の 3 つの絶縁層が積層された構成としてもよい。

【0444】

このような積層構造を有する絶縁層 2 1 0 3 により、極めて信頼性の高いトランジスタを実現することができる。

【0445】

30

絶縁層 2 1 2 3、および絶縁層 2 1 2 4 には、半導体層 2 1 0 8、絶縁層 2 1 0 3、および絶縁層 2 1 1 0 などに含まれる水素などの不純物を吸収する材料を用いることが好ましい。絶縁層 2 1 2 3、および絶縁層 2 1 2 4 として、例えば酸化アルミニウムを含む材料を用いることができる。このとき、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 は、水素などの不純物に対するゲッタリング層として機能する。なお、ここでいう水素とは、水素原子、水素分子、酸素等と結合した水素、およびこれらのイオン化物を含むものとする。

【0446】

また、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 に用いられる材料が、酸素の透過を抑制する効果を有することがさらに好ましい。

【0447】

40

図 30 (A) に示すように、チャネル長方向において、絶縁層 2 1 2 4 は、導電層 2 1 1 2 の上面及び側面、金属酸化層 2 1 1 4 の上面および側面、絶縁層 2 1 1 0 の上面及び側面、半導体層 2 1 0 8 の上面及び側面、並びに絶縁層 2 1 0 3 の側面を覆って設けられている。また、絶縁層 2 1 0 3 の外側で絶縁層 2 1 2 3 と接する。ここで、絶縁層 2 1 0 3 の端部は、半導体層 2 1 0 8 の端部と概略一致する。あるいは、絶縁層 2 1 0 3 の側面と半導体層 2 1 0 8 の側面は、同一平面上の面を有する。

【0448】

また、図示しないが、チャネル幅方向において、絶縁層 2 1 1 0 と重ならない領域の絶縁層 2 1 2 3 は絶縁層 2 1 2 4 と接して設けられることが好ましい。

【0449】

50

上記構造とすることで、半導体層 2108、絶縁層 2103、および絶縁層 2110 などに含まれる水素などの不純物を絶縁層 2123、および絶縁層 2124 に効率よく吸収させることができ、水素などの不純物をゲッタリングすることができる。また、半導体層 2108、絶縁層 2103、および絶縁層 2110 などに含まれる酸素が絶縁層 2123、および絶縁層 2124 の外側へ拡散することを抑制できる。

【0450】

絶縁層 2121、絶縁層 2122、絶縁層 2125、および絶縁層 2126 には、水素の透過を抑制する材料を用いることが好ましい。絶縁層 2121、絶縁層 2122、絶縁層 2125、および絶縁層 2126 として、例えばシリコンの窒化物、または窒素を含むシリコン酸化物を含む材料を用いることができる。このような材料として、窒化シリコンを用いることが好ましい。このとき、絶縁層 2121、絶縁層 2122、絶縁層 2125、および絶縁層 2126 は、水素などの不純物に対する保護層として機能する。なお、ここでいう水素とは、水素原子、水素分子、酸素等と結合した水素、およびこれらのイオン化合物を含むものとする。

【0451】

絶縁層 2125 は、絶縁層 2124 を覆って設けられる。絶縁層 2125 は、絶縁層 2123、および絶縁層 2124 を囲うように絶縁層 2122 と接することが好ましい。さらに絶縁層 2125 は、絶縁層 2123、および絶縁層 2124 の外側で絶縁層 2121 と接することが好ましい。絶縁層 2126 は、絶縁層 2125 上に設けられる。

【0452】

上記構造とすることで、絶縁層 2121、絶縁層 2122、絶縁層 2125、および絶縁層 2126 の外側から半導体層 2108 に水素などの不純物が混入することを抑制できる。別言すると、トランジスタ 2100A において、少なくとも半導体層 2108 が絶縁層 2121、絶縁層 2122、絶縁層 2125、および絶縁層 2126 によって囲われることで、外部からの水素などの不純物元素の混入を抑制できる。

【0453】

なお、ここでは保護層として絶縁層 2125 と絶縁層 2126 の積層構造とする場合を示したが、絶縁層 2125 および絶縁層 2126 の一方は不要であれば設けなくてもよい。また、絶縁層 2125 を 2 層以上の積層構造としてもよい。同様に、保護層として絶縁層 2121 と絶縁層 2122 の積層構造とする場合を示したが、絶縁層 2121 および絶縁層 2122 の一方は不要であれば設けなくてもよい。また、絶縁層 2122 を 2 層以上の積層構造としてもよい。

【0454】

また、絶縁層 2110 の端部、金属酸化物層 2114 の端部、および導電層 2112 の端部は、それぞれテーパ形状を有すると好ましい。さらに、金属酸化物層 2114 の端部は、テーパ角が絶縁層 2110 の端部のテーパ角よりも小さいことが好ましく、導電層 2112 の端部は、テーパ角が金属酸化物層 2114 の端部のテーパ角よりも小さいことが好ましい。このような構成とすることで、絶縁層 2110、金属酸化物層 2114、および導電層 2112 上に形成される層（例えば、絶縁層 2124、絶縁層 2125、および絶縁層 2126）の被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

【0455】

また、本明細書等において、テーパ角とは、目的の層を、断面（例えば基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角をいう。

【0456】

導電層 2106 の一部は、第 1 のゲート電極（ボトムゲート電極ともいう）としての機能を有し、導電層 2112 の一部は、第 2 のゲート電極（トップゲート電極ともいう）としての機能を有する。また、絶縁層 2103 の一部は第 1 のゲート絶縁層として機能し、絶縁層 2110 の一部は、第 2 のゲート絶縁層として機能する。

【0457】

10

20

30

40

50

また、導電層 2 1 0 6 は、導電層 2 1 1 2 と電氣的に接続されていてもよい。これにより、導電層 2 1 0 6 と、導電層 2 1 1 2 には、同じ電位を与えることができる。

【 0 4 5 8 】

また、図示しないが、チャンネル幅方向において、導電層 2 1 1 2 及び導電層 2 1 0 6 が、半導体層 2 1 0 8 の端部よりも外側に突出していることが好ましい。このとき、半導体層 2 1 0 8 のチャンネル幅方向の全体が、絶縁層 2 1 1 0 と絶縁層 2 1 0 3 を介して、導電層 2 1 1 2 と、導電層 2 1 0 6 に覆われた構成となる。

【 0 4 5 9 】

このような構成とすることで、半導体層 2 1 0 8 を一対のゲート電極によって生じる電界で、電氣的に取り囲むことができる。このとき特に、導電層 2 1 0 6 と導電層 2 1 1 2 に同じ電位を与えることが好ましい。これにより、半導体層 2 1 0 8 にチャンネルを誘起させるための電界を効果的に印加できるため、トランジスタ 2 1 0 0 A のオン電流を増大させることができる。そのため、トランジスタ 2 1 0 0 A を微細化することも可能となる。

【 0 4 6 0 】

なお、導電層 2 1 1 2 と導電層 2 1 0 6 とを接続しない構成としてもよい。このとき、一対のゲート電極の一方に定電位を与え、他方にトランジスタ 2 1 0 0 A を駆動するための信号を与えてもよい。このとき、一方の電極に与える電位により、トランジスタ 2 1 0 0 A を他方の電極で駆動する際のしきい値電圧を制御することもできる。

【 0 4 6 1 】

また、図 3 0 (A) に示すように、トランジスタ 2 1 0 0 A は、絶縁層 2 1 2 6 上に導電層 2 1 2 0 a 及び導電層 2 1 2 0 b を有していてもよい。導電層 2 1 2 0 a 及び導電層 2 1 2 0 b はソース電極またはドレイン電極として機能する。導電層 2 1 2 0 a 及び導電層 2 1 2 0 b は、それぞれ絶縁層 2 1 2 4、絶縁層 2 1 2 5、および絶縁層 2 1 2 6 に設けられた開口部 2 1 1 9 a または開口部 2 1 1 9 b を介して、後述する領域 2 1 0 8 N に電氣的に接続される。

【 0 4 6 2 】

半導体層 2 1 0 8 は、他の実施の形態、または他の構成例に示す酸化物 2 3 0 に用いることができる金属酸化物などの酸化物を用いることができる。例えば半導体層 2 1 0 8 は、インジウムと、M (M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムから選ばれた一種または複数種) と、亜鉛と、を有すると好ましい。特に M はアルミニウム、ガリウム、イットリウム、またはスズから選ばれた一種または複数種とすることが好ましい。

【 0 4 6 3 】

特に、半導体層 2 1 0 8 として、インジウム、ガリウム、及び亜鉛を含む酸化物を用いることが好ましい。

【 0 4 6 4 】

半導体層 2 1 0 8 として、組成の異なる層、または結晶性の異なる層、または不純物濃度の異なる層を積層した積層構造としてもよい。

【 0 4 6 5 】

導電層 2 1 1 2 には、低抵抗な材料を用いることが好ましい。導電層 2 1 1 2 に低抵抗な材料を用いることにより寄生抵抗を低減し、高いオン電流を有するトランジスタとすることができ、オン電流が高い半導体装置とすることができる。また、大型の表示装置、高精細の表示装置において配線抵抗を低減することにより信号遅延を抑制し、高速駆動が可能となる。導電層 2 1 1 2 は、ゲート電極としての機能を有するため、他の実施の形態、または他の構成例に記載された、導電体 2 6 0 または導電体 2 0 5 などのゲート電極に用いることができる導電性材料を用いることができる。例えば導電層 2 1 1 2 として、銅、銀、金、またはアルミニウム等を用いることができる。特に、銅は低抵抗であることに加え、量産性に優れるため好ましい。

10

20

30

40

50

【 0 4 6 6 】

導電層 2 1 1 2 は積層構造としてもよい。導電層 2 1 1 2 を積層構造とする場合には、低抵抗な第 1 導電層の上部または下部、またはその両方に、第 2 の導電層を設ける。第 2 の導電層として、第 1 の導電層よりも酸化されにくい（耐酸化性を有する）導電性材料を用いることが好ましい。また、第 2 の導電層として、第 1 の導電層の成分の拡散を抑制する材料を用いると好ましい。第 2 の導電層として、例えば、酸化インジウム、インジウム亜鉛酸化物、インジウムスズ酸化物（ITO）、シリコンを含有したインジウムスズ酸化物（ITOS）、酸化亜鉛等の金属酸化物、または窒化チタン、窒化タンタル、窒化モリブデン、窒化タングステン等の金属窒化物を好適に用いることができる。

【 0 4 6 7 】

絶縁層 2 1 1 0 と導電層 2 1 1 2 との間に位置する金属酸化物層 2 1 1 4 は、絶縁層 2 1 1 0 に含まれる酸素が導電層 2 1 1 2 側に拡散することを防ぐバリア膜として機能する。さらに金属酸化物層 2 1 1 4 は、導電層 2 1 1 2 に含まれる水素や水が絶縁層 2 1 1 0 側に拡散することを防ぐバリア膜としても機能する。金属酸化物層 2 1 1 4 は、例えば少なくとも絶縁層 2 1 1 0 よりも酸素及び水素を透過しにくい材料を用いることができる。

【 0 4 6 8 】

金属酸化物層 2 1 1 4 により、導電層 2 1 1 2 にアルミニウムや銅などの酸素を吸引しやすい金属材料を用いた場合であっても、絶縁層 2 1 1 0 から導電層 2 1 1 2 へ酸素が拡散することを防ぐことができる。また、導電層 2 1 1 2 が水素を含む場合であっても、導電層 2 1 1 2 から絶縁層 2 1 1 0 を介して半導体層 2 1 0 8 へ水素が拡散することを防ぐことができる。その結果、半導体層 2 1 0 8 のチャネル形成領域におけるキャリア濃度を極めて低いものとすることができる。

【 0 4 6 9 】

金属酸化物層 2 1 1 4 としては、絶縁性材料または導電性材料を用いることができる。金属酸化物層 2 1 1 4 が絶縁性を有する場合には、ゲート絶縁層の一部として機能する。一方、金属酸化物層 2 1 1 4 が導電性を有する場合には、ゲート電極の一部として機能する。

【 0 4 7 0 】

金属酸化物層 2 1 1 4 として、酸化シリコンよりも誘電率の高い絶縁性材料を用いることが好ましい。特に、酸化アルミニウム膜、酸化ハフニウム膜、またはハフニウムアルミネート膜等を用いると、駆動電圧を低減できるため好ましい。

【 0 4 7 1 】

金属酸化物層 2 1 1 4 として、金属酸化物を用いることができる。例えば、酸化インジウム、インジウム亜鉛酸化物、インジウムスズ酸化物（ITO）、シリコンを含有したインジウムスズ酸化物（ITOS）等のインジウムを有する酸化物を用いることができる。インジウムを含む導電性酸化物は、導電性が高いため好ましい。また、ITOS はシリコンを含有することにより結晶化しづらく、平坦性が高いことから、ITOS 上に形成される膜との密着性が高くなる。金属酸化物層 2 1 1 4 として、酸化亜鉛、ガリウムを含有した酸化亜鉛等の金属酸化物を用いることができる。また、金属酸化物層 2 1 1 4 として、これらを積層した構造を用いてもよい。

【 0 4 7 2 】

また、金属酸化物層 2 1 1 4 として、半導体層 2 1 0 8 と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、上記半導体層 2 1 0 8 に適用可能な酸化物半導体材料を用いることが好ましい。このとき、金属酸化物層 2 1 1 4 として、半導体層 2 1 0 8 と同じスパッタリングターゲットを用いて形成した金属酸化物膜を適用することで、装置を共通化できるため好ましい。

【 0 4 7 3 】

または、半導体層 2 1 0 8 と金属酸化物層 2 1 1 4 の両方に、インジウム及びガリウムを含む金属酸化物材料を用いる場合、半導体層 2 1 0 8 よりもガリウムの組成（含有割合）が高い材料を用いると、酸素に対するブロッキング性をより高めることができるため好

10

20

30

40

50

ましい。このとき、半導体層 2108 には、金属酸化物層 2114 よりもインジウムの組成が高い材料を用いることで、トランジスタ 2100A の電界効果移動度を高めることができる。

【0474】

また、金属酸化物層 2114 は、スパッタリング装置を用いて形成すると好ましい。例えば、スパッタリング装置を用いて酸化物膜を形成する場合、酸素ガスを含む雰囲気中で形成することで、絶縁層 2110 や半導体層 2108 中に好適に酸素を添加できる。

【0475】

導電層 2106 は、導電層 2112、導電層 2120a、または導電層 2120b と同様の材料を用いることができる。特に導電層 2106 に銅を含む材料を用いると、配線抵抗を低減できるため好ましい。また、導電層 2106 にタングステンやモリブデンなどの高融点金属を含む材料を用いると、後の工程において高い温度で処理を行なうことができる。

【0476】

領域 2108N は、不純物元素（第 1 の元素）を含む領域である。当該不純物元素としては、例えば水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウムまたは希ガスなどが挙げられる。なお、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。特に、ホウ素、リン、マグネシウム、またはアルミニウムを含むことが好ましい。またこれら元素を 2 以上含んでもよい。

【0477】

上記不純物元素の添加には、イオンインプランテーション法、イオンドーピング法等を用いることができる。また、領域 2108N と接する絶縁層 2124 の形成により上記不純物元素を領域 2108N に添加してもよい。

【0478】

領域 2108N に不純物元素を添加する処理は、絶縁層 2110 をマスクとして行うことができる。これにより、領域 2108N を自己整合的に形成できる。

【0479】

領域 2108N は、不純物濃度が、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{23} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{22} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下である領域を含むことが好ましい。

【0480】

領域 2108N に含まれる不純物の濃度は、例えば二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）や、X 線光電子分光法（XPS: X-ray Photoelectron Spectroscopy）等の分析法により分析できる。XPS 分析を用いる場合には、表面側または裏面側からのイオンスパッタリングと XPS 分析を組み合わせることで、深さ方向の濃度分布を知ることができる。

【0481】

また、領域 2108N において、不純物元素は酸化した状態で存在していることが好ましい。例えば不純物元素としてホウ素、リン、マグネシウム、アルミニウム、シリコンなどの酸化しやすい元素を用いることが好ましい。このような酸化しやすい元素は、半導体層 2108 中の酸素と結合して酸化した状態で安定に存在しうするため、後の工程で高い温度（例えば 400 以上、600 以上、または 800 以上）がかかった場合であっても、脱離することが抑制される。また、不純物元素が半導体層 2108 中の酸素を奪うことで、領域 2108N 中に多くの酸素欠損が生成される。この酸素欠損と、膜中の水素とが結合することでキャリア供給源となるため、領域 2108N は極めて低抵抗な状態となる。

【0482】

なお、後の工程で高い温度がかかる処理を行なう際、外部や領域 2 1 0 8 N の近傍の膜から多量の酸素が領域 2 1 0 8 N に供給されてしまうと、抵抗が上昇してしまう場合がある。そのため、高い温度のかかる処理を行なう際には、酸素に対するバリア性の高い絶縁層 2 1 2 4 で半導体層 2 1 0 8 を覆った状態で処理することが好ましい。

【0 4 8 3】

絶縁層 2 1 2 4 は、半導体層 2 1 0 8 の領域 2 1 0 8 N に接して設けられている。

【0 4 8 4】

絶縁層 2 1 2 4 としては、例えば、酸化アルミニウムを含む絶縁膜を用いることができる。

【0 4 8 5】

領域 2 1 0 8 N は、上述のように不純物元素が添加されることで酸素欠損を多く含む状態である。

【0 4 8 6】

このような構成とすることで、電気特性に優れ、且つ信頼性の高いトランジスタ 2 1 0 0 A を実現できる。

【0 4 8 7】

< 半導体装置の構成例 3 >

図 3 0 (B) は、トランジスタ 2 1 0 0 B のチャネル長方向の断面図である。

【0 4 8 8】

トランジスタ 2 1 0 0 B は基板 2 1 0 2 上に設けられ、絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 3、導電層 2 1 3 4、絶縁層 2 1 3 6、半導体層 2 1 3 8、導電層 2 1 4 2 a、導電層 2 1 4 2 b、絶縁層 2 1 4 4、絶縁層 2 1 4 6、絶縁層 2 1 2 4、絶縁層 2 1 2 5、および絶縁層 2 1 2 6 等を有する。基板 2 1 0 2 上に絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 3 が順に設けられ、絶縁層 2 1 2 3 上に導電層 2 1 3 4 が設けられている。絶縁層 2 1 3 6 は導電層 2 1 3 4 を覆って設けられている。半導体層 2 1 3 8 は島状の形状を有し、絶縁層 2 1 3 6 上に設けられている。導電層 2 1 4 2 a 及び導電層 2 1 4 2 b は、それぞれ半導体層 2 1 3 8 の上面に接し、且つ、半導体層 2 1 3 8 上で離間して設けられている。また、絶縁層 2 1 3 6、導電層 2 1 4 2 a、導電層 2 1 4 2 b、及び半導体層 2 1 3 8 を覆って絶縁層 2 1 4 4 が設けられ、絶縁層 2 1 4 4 上に絶縁層 2 1 4 6 が設けられている。絶縁層 2 1 2 4 は、絶縁層 2 1 4 6 上に設けられ、絶縁層 2 1 2 3 の一部と接する領域を有する。絶縁層 2 1 2 5 は、絶縁層 2 1 2 2、および絶縁層 2 1 2 1 の一部と接する領域を有し、絶縁層 2 1 2 4 上に設けられる。また、絶縁層 2 1 2 6 は、絶縁層 2 1 2 5 上に設けられる。

【0 4 8 9】

トランジスタ 2 1 0 0 B において、少なくとも半導体層 2 1 3 8 は、絶縁層 2 1 2 3 と絶縁層 2 1 2 4 の間に設けられ、絶縁層 2 1 2 3 と絶縁層 2 1 2 4 は、半導体層 2 1 0 8 の外側で接することが好ましい。また、絶縁層 2 1 2 3 および絶縁層 2 1 2 4 は、絶縁層 2 1 2 1 および絶縁層 2 1 2 2 と、絶縁層 2 1 2 5 および絶縁層 2 1 2 6 と、の間に設けられる。このとき絶縁層 2 1 2 5 は、少なくとも絶縁層 2 1 2 2 と接することが好ましく、さらに絶縁層 2 1 2 1 と接することが好ましい。別言すると、トランジスタ 2 1 0 0 B において、半導体層 2 1 3 8 は、絶縁層 2 1 2 3 および絶縁層 2 1 2 4 に囲われており、半導体層 2 1 0 8、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 は、絶縁層 2 1 2 2 および絶縁層 2 1 2 5 に囲われている。さらに、半導体層 2 1 3 8、絶縁層 2 1 2 3、絶縁層 2 1 2 4、絶縁層 2 1 2 2、および絶縁層 2 1 2 5 は、絶縁層 2 1 2 1 および絶縁層 2 1 2 6 により挟まれるように設けられていることから、絶縁層 2 1 2 1 および絶縁層 2 1 2 6 により囲われているといえることができる。

【0 4 9 0】

導電層 2 1 3 4 は、ゲート電極として機能する。絶縁層 2 1 3 6 の一部は、ゲート絶縁層として機能する。導電層 2 1 4 2 a は、ソース電極またはドレイン電極の一方として機能し、導電層 2 1 4 2 b は他方として機能する。半導体層 2 1 3 8 の導電層 2 1 3 4 と重

10

20

30

40

50

畳する領域はチャネル形成領域として機能する。トランジスタ 2 1 0 0 B は、半導体層 2 1 3 8 よりも被形成面側（基板 2 1 0 2 側）にゲート電極が設けられた、いわゆるボトムゲート型のトランジスタである。ここで、半導体層 2 1 3 8 の導電層 2 1 3 4 側とは反対側の面をバックチャネル側の面と呼ぶことがある。トランジスタ 2 1 0 0 B は、半導体層 2 1 3 8 のバックチャネル側と、ソース電極及びドレイン電極との間に保護層を有さない、いわゆるチャネルエッチ構造のトランジスタである。

【0 4 9 1】

半導体層 2 1 3 8 は、被形成面側から順に半導体層 2 1 3 8 a と、半導体層 2 1 3 8 b とが積層された積層構造を有する。半導体層 2 1 3 8 a と半導体層 2 1 3 8 b とは、共に金属酸化物を含むことが好ましい。また、バックチャネル側に位置する半導体層 2 1 3 8 b は、導電層 2 1 3 4 側に位置する半導体層 2 1 3 8 a よりも結晶性の高い膜であることが好ましい。これにより、導電層 2 1 4 2 a 及び導電層 2 1 4 2 b の加工時に、半導体層 2 1 3 8 の一部がエッチングされ、消失してしまうことを抑制することができる。

10

【0 4 9 2】

半導体層 2 1 3 8 は、他の実施の形態、または他の構成例に示す酸化物 2 3 0 などの金属酸化物などの酸化物を用いることができる。例えば半導体層 2 1 3 8 は、インジウムと、M（M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムから選ばれた一種または複数種）と、亜鉛と、を有すると好ましい。特に M はアルミニウム、ガリウム、イットリウム、またはスズから選ばれた一種または複数種とすることが好ましい。

20

【0 4 9 3】

特に、半導体層 2 1 3 8 として、インジウム、ガリウム、及び亜鉛を含む酸化物を用いることが好ましい。

【0 4 9 4】

半導体層 2 1 3 8 a、半導体層 2 1 3 8 b は、互いに組成の異なる層、結晶性の異なる層、または不純物濃度の異なる層を用いてもよい。また、3 層以上の積層構造としてもよい。

【0 4 9 5】

導電層 2 1 4 2 a 及び導電層 2 1 4 2 b は、それぞれ被形成面側から順に、導電層 2 1 4 3 a、導電層 2 1 4 3 b、及び導電層 2 1 4 3 c が積層された積層構造を有する。

30

【0 4 9 6】

導電層 2 1 4 3 b は、銅、銀、金、またはアルミニウム等を含む、低抵抗な導電性材料を用いることが好ましい。特に、導電層 2 1 4 3 b が銅またはアルミニウムを含むことが好ましい。導電層 2 1 4 3 b は、導電層 2 1 4 3 a 及び導電層 2 1 4 3 c よりも低抵抗な導電性材料を用いることが好ましい。これにより、導電層 2 1 4 2 a 及び導電層 2 1 4 2 b を極めて低抵抗なものとすることができる。

【0 4 9 7】

また、導電層 2 1 4 3 a 及び導電層 2 1 4 3 c は、それぞれ独立に、導電層 2 1 4 3 b とは異なる導電性材料を用いることができる。例えば、導電層 2 1 4 3 a 及び導電層 2 1 4 3 c は、それぞれ独立に、チタン、タングステン、モリブデン、クロム、タンタル、亜鉛、インジウム、白金、またはルテニウム等を含む導電性材料を用いることが好ましい。

40

【0 4 9 8】

このように、銅やアルミニウム等を含む導電層 2 1 4 3 b を、導電層 2 1 4 3 a と導電層 2 1 4 3 c とで挟むことにより、導電層 2 1 4 3 b の表面の酸化を抑制することや、導電層 2 1 4 3 b の元素が周辺の層に拡散することを抑制することができる。特に半導体層 2 1 3 8 と導電層 2 1 4 3 b との間に導電層 2 1 4 3 a を設けることで、導電層 2 1 4 3 b に含まれる金属元素が半導体層 2 1 3 8 中に拡散することを防ぐことができ、信頼性の高いトランジスタ 2 1 0 0 B を実現できる。

50

【0499】

ここで、導電層2143bの端部に接して、絶縁層2144が設けられている。

【0500】

なお、導電層2142a及び導電層2142bの構成は3層構造に限られず、銅、銀、金、またはアルミニウムを含む導電層を含む2層構造、または4層構造としてもよい。例えば、導電層2142a及び導電層2142bとして、導電層2143aと導電層2143bとを積層した2層構造としてもよいし、導電層2143bと導電層2143cとを積層した2層構造としてもよい。

【0501】

導電層2134は、導電層2143a、導電層2143b、導電層2143cに用いることのできる上述の導電性材料を適宜用いることができる。特に、銅を含む導電性材料を用いることが好ましい。

10

【0502】

半導体層2138と接する絶縁層2136及び絶縁層2144には、酸化物を含む絶縁性材料を用いることが好ましい。また、絶縁層2136や絶縁層2144を積層構造とする場合には、半導体層2138と接する層に、酸化物を含む絶縁性材料を用いる。

【0503】

また、絶縁層2136には窒化シリコンや窒化アルミニウムなどの窒化絶縁膜を用いてもよい。酸化物を含まない絶縁性材料を用いる場合には、絶縁層2136の上部に酸素を添加する処理を施し、酸素を含む領域を形成することが好ましい。酸素を添加する処理としては、例えば酸素を含む雰囲気下における加熱処理またはプラズマ処理や、イオンドーピング処理などがある。

20

【0504】

絶縁層2146は、トランジスタ2100Bを保護する保護層として機能する。絶縁層2146は、窒化シリコン、窒化酸化シリコン、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、窒化アルミニウムなどの無機絶縁材料を用いることができる。特に、絶縁層2146として、窒化シリコンや酸化アルミニウムなどの酸素を拡散しにくい材料を用いることで、作製工程中にかかる熱などにより半導体層2138や絶縁層2144から絶縁層2146を介して外部に酸素が脱離してしまうことを防ぐことができるため好ましい。

30

【0505】

また、絶縁層2146として平坦化膜として機能する有機絶縁性材料を用いてもよい。または、絶縁層2146として無機絶縁材料を含む膜と、有機絶縁材料を含む膜の積層膜を用いてもよい。

【0506】

また、半導体層2138は、導電層2142a及び導電層2142bと接する部分及びその近傍に位置し、ソース領域及びドレイン領域として機能する一対の低抵抗領域が形成されていてもよい。当該領域は、半導体層2138の一部であり、チャネル形成領域よりも低抵抗な領域である。また低抵抗領域は、キャリア密度が高い領域、またはn型である領域などと言い換えることができる。また半導体層2138において、一対の低抵抗領域に挟まれ、且つ、導電層2134と重なる領域が、チャネル形成領域として機能する。

40

【0507】

絶縁層2123、および絶縁層2124には、先の構成例で示した材料を用いることができる。

【0508】

図30(B)に示すように、チャネル長方向において絶縁層2136、絶縁層2144、および絶縁層2146は、導電層2134、半導体層2138、導電層2142a、および導電層2142bの外側で部分的に除去されている。このとき、絶縁層2136の端部、絶縁層2144の端部、および絶縁層2146の端部は、それぞれ概略一致していてもよい。また、絶縁層2136の側面、絶縁層2144の側面、および絶縁層2146の

50

側面は、それぞれ同一平面上の面を有していてもよい。このため、絶縁層 2 1 3 6、絶縁層 2 1 4 4、および絶縁層 2 1 4 6 は、絶縁層 2 1 2 3 と重畳しない領域を有する。

【 0 5 0 9 】

絶縁層 2 1 2 4 は、絶縁層 2 1 4 6 の上面および側面、絶縁層 2 1 4 4 の側面、および絶縁層 2 1 3 6 の側面を覆って設けられ、絶縁層 2 1 2 3 の一部と接する領域を有する。

【 0 5 1 0 】

また、図示しないが、チャンネル幅方向においても、絶縁層 2 1 3 6、絶縁層 2 1 4 4、および絶縁層 2 1 4 6 と重ならない領域の絶縁層 2 1 2 3 は絶縁層 2 1 2 4 と接して設けられることが好ましい。

【 0 5 1 1 】

上記構造とすることで、半導体層 2 1 3 8、絶縁層 2 1 3 6、絶縁層 2 1 4 4、および絶縁層 2 1 4 6 などに含まれる水素などの不純物を絶縁層 2 1 2 3、および絶縁層 2 1 2 4 に効率よく吸収させることができ、水素などの不純物をゲッタリングすることができる。また、半導体層 2 1 3 8、絶縁層 2 1 3 6、絶縁層 2 1 4 4、および絶縁層 2 1 4 6 などに含まれる酸素が絶縁層 2 1 2 3、および絶縁層 2 1 2 4 の外側へ拡散することを抑制できる。

【 0 5 1 2 】

絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 5、および絶縁層 2 1 2 6 には、先の構成例で示した材料を用いることができる。

【 0 5 1 3 】

絶縁層 2 1 2 5 は、絶縁層 2 1 2 4 を覆って設けられる。絶縁層 2 1 2 5 は、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 を囲うように絶縁層 2 1 2 2 と接することが好ましい。さらに絶縁層 2 1 2 5 は、絶縁層 2 1 2 3、および絶縁層 2 1 2 4 の外側で絶縁層 2 1 2 1 と接することが好ましい。絶縁層 2 1 2 6 は、絶縁層 2 1 2 5 上に設けられる。

【 0 5 1 4 】

上記構造とすることで、絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 5、および絶縁層 2 1 2 6 の外側から半導体層 2 1 3 8 に水素などの不純物が混入することを抑制できる。別言すると、トランジスタ 2 1 0 0 B において、少なくとも半導体層 2 1 3 8 が絶縁層 2 1 2 1、絶縁層 2 1 2 2、絶縁層 2 1 2 5、および絶縁層 2 1 2 6 によって囲われることで、外部からの水素などの不純物元素の混入を抑制できる。

【 0 5 1 5 】

なお、ここでは保護層として絶縁層 2 1 2 5 と絶縁層 2 1 2 6 の積層構造とする場合を示したが、絶縁層 2 1 2 5 および絶縁層 2 1 2 6 の一方は不要であれば設けなくてもよい。また、絶縁層 2 1 2 5 を 2 層以上の積層構造としてもよい。同様に、保護層として絶縁層 2 1 2 1 と絶縁層 2 1 2 2 の積層構造とする場合を示したが、絶縁層 2 1 2 1 および絶縁層 2 1 2 2 の一方は不要であれば設けなくてもよい。また、絶縁層 2 1 2 2 を 2 層以上の積層構造としてもよい。

【 0 5 1 6 】

このような構成とすることで、電気特性に優れ、且つ信頼性の高いトランジスタ 2 1 0 0 B を実現できる。

【 0 5 1 7 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態や実施例と適宜組み合わせることで実施することができる。

【 0 5 1 8 】

(実施の形態 3)

本実施の形態では、半導体装置の一形態を、図 3 2 乃至図 3 5 を用いて説明する。

【 0 5 1 9 】

[記憶装置 1]

本発明の一態様に係る半導体装置 (記憶装置) の一例を図 3 2 に示す。本発明の一態様の半導体装置は、トランジスタ 2 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子

10

20

30

40

50

１００はトランジスタ３００、およびトランジスタ２００の上方に設けられている。なお、トランジスタ２００として、先の実施の形態で説明したトランジスタ２００を用いることができる。また、トランジスタ２００として、先の実施の形態で説明したトランジスタ２１００Ａまたはトランジスタ２１００Ｂを用いてもよい。また、トランジスタ２００として上記実施の形態で図２６および図２７に示したメモリデバイス２９０のトランジスタを用い、容量素子１００として容量デバイス２９２を設ける構成にしてもよい。

【０５２０】

トランジスタ２００は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ２００は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

10

【０５２１】

図３２に示す半導体装置において、配線１００１はトランジスタ３００のソースと電氣的に接続され、配線１００２はトランジスタ３００のドレインと電氣的に接続されている。また、配線１００３はトランジスタ２００のソースおよびドレインの一方と電氣的に接続され、配線１００４はトランジスタ２００の第１のゲートと電氣的に接続され、配線１００６はトランジスタ２００の第２のゲートと電氣的に接続されている。そして、トランジスタ３００のゲート、およびトランジスタ２００のソースおよびドレインの他方は、容量素子１００の電極の一方と電氣的に接続され、配線１００５は容量素子１００の電極の他方と電氣的に接続されている。

20

【０５２２】

また、図３２に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【０５２３】

<トランジスタ３００>

トランジスタ３００は、基板３１１上に設けられ、ゲートとして機能する導電体３１６、ゲート絶縁体として機能する絶縁体３１５、基板３１１の一部からなる半導体領域３１３、およびソース領域またはドレイン領域として機能する低抵抗領域３１４ａ、および低抵抗領域３１４ｂを有する。トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

30

【０５２４】

ここで、図３２に示すトランジスタ３００はチャネルが形成される半導体領域３１３（基板３１１の一部）が凸形状を有する。また、半導体領域３１３の側面および上面を、絶縁体３１５を介して、導電体３１６が覆うように設けられている。なお、導電体３１６は仕事関数を調整する材料を用いてもよい。このようなトランジスタ３００は半導体基板の凸部を利用していることからＦＩＮ型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体膜を形成してもよい。

40

【０５２５】

なお、図３２に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【０５２６】

<容量素子１００>

容量素子１００は、トランジスタ２００の上方に設けられる。容量素子１００は、第１の電極として機能する導電体１１０と、第２の電極として機能する導電体１２０、および誘電体として機能する絶縁体１３０とを有する。ここで、絶縁体１３０は、上記実施の形態に示す絶縁体２８６として用いることができる絶縁体を用いることが好ましい。

【０５２７】

50

また、例えば、導電体 2 4 0 上に設けた導電体 1 1 2 と、導電体 1 1 0 は、同時に形成することができる。なお、導電体 1 1 2 は、容量素子 1 0 0、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。

【 0 5 2 8 】

図 3 2 では、導電体 1 1 2、および導電体 1 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【 0 5 2 9 】

また、絶縁体 1 3 0 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【 0 5 3 0 】

例えば、絶縁体 1 3 0 には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率 (h i g h - k) 材料との積層構造を用いることが好ましい。当該構成により、容量素子 1 0 0 は、高誘電率 (h i g h - k) の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 1 0 0 の静電破壊を抑制することができる。

【 0 5 3 1 】

なお、高誘電率 (h i g h - k) 材料 (高い比誘電率の材料) の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【 0 5 3 2 】

一方、絶縁耐力が大きい材料 (低い比誘電率の材料) としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

【 0 5 3 3 】

< 配線層 >

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【 0 5 3 4 】

例えば、トランジスタ 3 0 0 上には、層間膜として、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 1 0 0、またはトランジスタ 2 0 0 と電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線として機能する。

【 0 5 3 5 】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (C M P) 法等を用いた平坦化処理により平坦化されていてもよい。

【 0 5 3 6 】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 3 2 にお

10

20

30

40

50

いて、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。

【 0 5 3 7 】

同様に、絶縁体 2 1 0、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体（導電体 2 0 5）等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。

【 0 5 3 8 】

ここで、上記実施の形態に示す絶縁体 2 4 1 と同様に、プラグとして機能する導電体 2 1 8 の側面に接して絶縁体 2 1 7 が設けられる。絶縁体 2 1 7 は、絶縁体 2 1 0、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 に形成された開口の内壁に接して設けられている。つまり、絶縁体 2 1 7 は、導電体 2 1 8 と、絶縁体 2 1 0、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 と、の間に設けられている。なお、導電体 2 0 5 は導電体 2 1 8 と並行して形成することができるので、導電体 2 0 5 の側面に接して絶縁体 2 1 7 が形成される場合もある。

【 0 5 3 9 】

絶縁体 2 1 7 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 2 1 7 は、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 2 2 に接して設けられるので、絶縁体 2 1 0 または絶縁体 2 1 6 などから水または水素などの不純物が、導電体 2 1 8 を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 2 1 0 または絶縁体 2 1 6 に含まれる酸素が導電体 2 1 8 に吸収されるのを防ぐことができる。

【 0 5 4 0 】

絶縁体 2 1 7 は、絶縁体 2 4 1 と同様の方法で形成することができる。例えば、P E A L D 法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 3 5 6 に達する開口を形成すればよい。

【 0 5 4 1 】

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【 0 5 4 2 】

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【 0 5 4 3 】

例えば、絶縁体 1 5 0、絶縁体 2 1 0、絶縁体 3 5 2、および絶縁体 3 5 4 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【 0 5 4 4 】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑

10

20

30

40

50

制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体 214、絶縁体 211、絶縁体 212 および絶縁体 350 等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0545】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

10

【0546】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

20

【0547】

例えば、導電体 328、導電体 330、導電体 356、導電体 218、および導電体 112 等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0548】

< 酸化物半導体が設けられた層の配線、またはプラグ >

30

なお、トランジスタ 200 に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体を設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【0549】

例えば、図 32 では、過剰酸素を有する絶縁体 224 および絶縁体 280 と、導電体 240 との間に、絶縁体 241 を設けるとよい。絶縁体 241 と、絶縁体 222、絶縁体 272、絶縁体 273、絶縁体 282、絶縁体 283、および絶縁体 284 とが接して設けられることで、絶縁体 224、およびトランジスタ 200 は、バリア性を有する絶縁体により、封止する構造とすることができる。

40

【0550】

つまり、絶縁体 241 を設けることで、絶縁体 224 および絶縁体 280 が有する過剰酸素が、導電体 240 に吸収されることを抑制することができる。また、絶縁体 241 を有することで、不純物である水素が、導電体 240 を介して、トランジスタ 200 へ拡散することを抑制することができる。

【0551】

なお、絶縁体 241 としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコ

50

ンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

【0552】

また、上記実施の形態と同様に、トランジスタ200は、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284で封止されることが好ましい。このような構成とすることで、絶縁体274、絶縁体150などに含まれる水素が絶縁体280などに混入するのを低減することができる。

【0553】

ここで、絶縁体284、絶縁体283、および絶縁体282には導電体240が、絶縁体214、絶縁体212、および絶縁体211には導電体218が貫通しているが、上記の通り、絶縁体241が導電体240に接して設けられ、絶縁体217が導電体218に接して設けられている。これにより、導電体240および導電体218を介して、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284の内側に混入する水素を低減することができる。このようにして、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、絶縁体284、絶縁体241、および絶縁体217でトランジスタ200をより確実に封止し、絶縁体274等に含まれる水素などの不純物が外側から混入するのを低減することができる。

【0554】

また、絶縁体216、絶縁体224、絶縁体280、絶縁体250、および絶縁体274は、先の実施の形態に示すように、水素原子が低減または除去されたガスを用いた成膜方法で形成されることが好ましい。これにより、絶縁体216、絶縁体224、絶縁体280、絶縁体250、および絶縁体274の水素濃度を低減することができる。

【0555】

このようにして、トランジスタ200近傍のシリコン系絶縁膜の水素濃度を低減し、酸化物230の水素濃度を低減することができる。

【0556】

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライプライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

【0557】

ここで、例えば、図32に示すように、絶縁体283と、絶縁体211とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214、および絶縁体212に開口を設ける。

【0558】

つまり、上記絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214、および絶縁体212に設けた開口において、絶縁体211と、絶縁体283とが接する。また、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に開口を設け、当該開口において絶縁体212と絶縁体283が接する構成にしてもよい。例えば、このとき、絶縁体212と、絶縁体283とを同材料及び同方法を用いて形成してもよい。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好まし

10

20

30

40

50

い。

【0559】

当該構造により、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284で、トランジスタ200を包み込むことができる。絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

10

【0560】

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0561】

なお、図32に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図33に示すように、容量素子100の形状をシリンドラ型にしてもよい。なお、図33に示す記憶装置は、絶縁体150より下の構成は、図32に示す半導体装置と同様である。

20

【0562】

図33に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体142と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体125および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。

30

【0563】

導電体115は容量素子100の下部電極として機能し、導電体125は容量素子100の上部電極として機能し、絶縁体145は、容量素子100の誘電体として機能する。容量素子100は、絶縁体150および絶縁体142の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

40

【0564】

絶縁体152は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体142は、絶縁体150の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

【0565】

絶縁体150および絶縁体142に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減するこ

50

とができる。

【0566】

導電体115は、絶縁体142、および絶縁体150に形成された開口に接して配置される。導電体115の上面は、絶縁体142の上面と略一致することが好ましい。また、導電体115の下面は、絶縁体130の開口を介して導電体110に接する。導電体115は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

【0567】

絶縁体145は、導電体115および絶縁体142を覆うように配置される。例えば、ALD法またはCVD法などを用いて絶縁体145を成膜することが好ましい。絶縁体145は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体145として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

10

【0568】

また、絶縁体145には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率(high-k)材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率(high-k)材料の積層構造を用いてもよい。

20

【0569】

なお、高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このようなhigh-k材料を用いることで、絶縁体145を厚くしても容量素子100の静電容量を十分確保することができる。絶縁体145を厚くすることにより、導電体115と導電体125の間に生じるリーク電流を抑制することができる。

【0570】

30

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD法を用いて成膜した窒化シリコン(SiN_x)、PEALD法を用いて成膜した酸化シリコン(SiO_x)、ALD法を用いて成膜した窒化シリコン(SiN_x)の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

【0571】

導電体125は、絶縁体142および絶縁体150に形成された開口を埋めるように配置される。また、導電体125は、導電体140、および導電体153を介して配線1005と電氣的に接続している。導電体125は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

40

【0572】

また、導電体153は、絶縁体154上に設けられており、絶縁体156に覆われている。導電体153は、導電体112に用いることができる導電体を用いればよく、絶縁体156は、絶縁体152に用いることができる絶縁体を用いればよい。ここで、導電体153は導電体140の上面に接しており、容量素子100、トランジスタ200、またはトランジスタ300の端子として機能する。

50

【 0 5 7 3 】

また、図 3 2 および図 3 3 では、トランジスタ 3 0 0 上にトランジスタ 2 0 0 を 1 層積層する構成を示したが、本実施の形態はこれに限られるものではない。例えば、トランジスタ 3 0 0 上に、図 2 6、および図 2 7 に示すようなメモリデバイス 2 9 0、あるいは図 2 8、図 2 9 に示すような、縦方向に積み重ねられた複数のメモリデバイス 2 9 0 を設けてもよい。

【 0 5 7 4 】

図 3 4 にメモリデバイス 2 9 0 __ 1 乃至メモリデバイス 2 9 0 __ n (n は 2 以上の自然数) を積層した、記憶装置の例を示す。なお、本実施の形態においては、メモリデバイス 2 9 0 __ n を設ける構成を例示したが、これに限定されない。例えば、メモリデバイス 2 9 0 __ n を設けない構成としてもよい。なお、上記 n の値については、特に限定は無いが 2 以上 2 0 0 以下、好ましくは 2 以上 1 0 0 以下、さらに好ましくは、 2 以上 1 0 以下である。図 3 4 (B) にメモリデバイス 2 9 0 に含まれるトランジスタのチャネル長方向の断面図を示す。図 3 4 (A) に図 3 4 (B) の A - B 一点鎖線で示す部位の当該トランジスタのチャネル幅方向の断面図を示す。また、図 3 4 に示す記憶装置は、絶縁体 3 5 4 より下の構造は、図 3 2 に示す記憶装置と同様である。

10

【 0 5 7 5 】

図 3 4 に示すように、絶縁体 3 5 4 上にメモリデバイス 2 9 0 __ 1 乃至メモリデバイス 2 9 0 __ n が積層されている。メモリデバイス 2 9 0 を含む各層には、容量デバイス 2 9 2 と導電体 2 4 0 が設けられている。各層のメモリデバイス 2 9 0 は、各層の導電体 2 4 0 を介して、隣接する層の導電体 2 4 0 と電氣的に接続されており、トランジスタ 3 0 0 とも電氣的に接続される。なお、図 3 4 (B) において、導電体 2 4 0 __ 1 乃至導電体 2 4 0 __ n のチャネル幅方向の隠れた部分は、点線で表されている。

20

【 0 5 7 6 】

図 3 4 に示すメモリデバイス 2 9 0 は、図 2 6 に示すメモリデバイス 2 9 0 と異なる構造を有している。図 3 4 に示すメモリデバイス 2 9 0 では、導電体 2 4 0 が、酸化物 2 3 0 b などをまたぐように形成されおり、導電体 2 4 0 の側面に絶縁体 2 4 1 が形成されている。ここで、導電体 2 4 0 の下面には絶縁体 2 4 1 が形成されていないので、各層の導電体 2 4 0 の下面は、当該層の導電体 2 4 2 a、ならびに一つ下の層の導電体 2 4 6 a と接する。これにより、各層のメモリデバイス 2 9 0 は、一つ下の層の導電体 2 4 6 a と電氣的に接続することができる。

30

【 0 5 7 7 】

ただし、本実施の形態に示す記憶装置は、図 3 4 に示す構造に限られるものではない。例えば、上層の導電体 2 4 6 a と下層の導電体 2 4 6 a の間に、酸化物 2 3 0 b などを貫通させる構成にしてもよい。また、例えば、導電体 2 4 0 __ 1 乃至導電体 2 4 0 __ n を一つの貫通電極で形成する構成にしてもよい。

【 0 5 7 8 】

また、各層で、容量デバイス 2 9 2 がプレーナ型で形成されているため、各層の高さが過剰に大きくなるのを抑制することができる。これにより、比較的容易に、メモリデバイス 2 9 0 の層の数を増やすことができる。例えば、メモリデバイス 2 9 0 の層を 1 0 0 層程度にしてもよい。

40

【 0 5 7 9 】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【 0 5 8 0 】

[記憶装置 2]

50

本発明の一態様である半導体装置を使用した、記憶装置の一例を図 3 5 に示す。図 3 5 に示す記憶装置は、図 3 2 で示したトランジスタ 2 0 0、トランジスタ 3 0 0、および容量素子 1 0 0 を有する半導体装置に加え、トランジスタ 4 0 0 を有している。

【 0 5 8 1 】

トランジスタ 4 0 0 は、トランジスタ 2 0 0 の第 2 のゲート電圧を制御することができる。例えば、トランジスタ 4 0 0 の第 1 のゲート及び第 2 のゲートをソースとダイオード接続し、トランジスタ 4 0 0 のソースと、トランジスタ 2 0 0 の第 2 のゲートを接続する構成とする。当該構成でトランジスタ 2 0 0 の第 2 のゲートの負電位を保持するとき、トランジスタ 4 0 0 の第 1 のゲートーソース間の電圧および、第 2 のゲートーソース間の電圧は、0 V になる。トランジスタ 4 0 0 において、第 2 のゲート電圧及び第 1 のゲート電圧が 0 V のときのドレイン電流が非常に小さいため、トランジスタ 2 0 0 およびトランジスタ 4 0 0 に電源供給をしなくても、トランジスタ 2 0 0 の第 2 のゲートの負電位を長時間維持することができる。これにより、トランジスタ 2 0 0、およびトランジスタ 4 0 0 を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

【 0 5 8 2 】

従って、図 3 5 において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 のゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 のバックゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。配線 1 0 0 7 はトランジスタ 4 0 0 のソースと電氣的に接続され、配線 1 0 0 8 はトランジスタ 4 0 0 のゲートと電氣的に接続され、配線 1 0 0 9 はトランジスタ 4 0 0 のバックゲートと電氣的に接続され、配線 1 0 1 0 はトランジスタ 4 0 0 のドレインと電氣的に接続されている。ここで、配線 1 0 0 6、配線 1 0 0 7、配線 1 0 0 8、及び配線 1 0 0 9 が電氣的に接続されている。

【 0 5 8 3 】

また、図 3 5 に示す記憶装置は、図 3 2 に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1 個のトランジスタ 4 0 0 は、複数のトランジスタ 2 0 0 の第 2 のゲート電圧を制御することができる。そのため、トランジスタ 4 0 0 は、トランジスタ 2 0 0 よりも、少ない個数を設けるとよい。また、図 3 5 に示す記憶装置は、図 3 2 に示す記憶装置と同様に、トランジスタ 2 0 0、およびトランジスタ 4 0 0 を、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 で封止することができる。

【 0 5 8 4 】

< トランジスタ 4 0 0 >

トランジスタ 4 0 0 は、トランジスタ 2 0 0 と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ 4 0 0 は、第 1 のゲートとして機能する導電体 4 6 0 (導電体 4 6 0 a、および導電体 4 6 0 b) と、第 2 のゲートとして機能する導電体 4 0 5 と、ゲート絶縁層として機能する絶縁体 2 2 2、絶縁体 2 2 4、および絶縁体 4 5 0 と、チャネル形成領域を有する酸化物 4 3 0 c と、ソースとして機能する導電体 4 4 2 a、酸化物 4 4 3 a、酸化物 4 3 1 a、および酸化物 4 3 1 b と、ドレインとして機能する導電体 4 4 2 b、酸化物 4 4 3 b、酸化物 4 3 2 a、および酸化物 4 3 2 b と、を有する。また、トランジスタ 2 0 0 と同様に、プラグとして機能する導電体が、導電体 4 4 2 a と、導電体 4 4 2 b に接して設けられる。

【 0 5 8 5 】

トランジスタ 4 0 0 において、導電体 4 0 5 は、導電体 2 0 5 と、同じ層である。酸化物 4 3 1 a、および酸化物 4 3 2 a は、酸化物 2 3 0 a と、同じ層であり、酸化物 4 3 1 b、および酸化物 4 3 2 b は、酸化物 2 3 0 b と、同じ層である。導電体 4 4 2 は、導電

10

20

30

40

50

体 2 4 2 と、同じ層である。酸化物 4 4 3 は、酸化物 2 4 3 と、同じ層である。酸化物 4 3 0 c は、酸化物 2 3 0 c と、同じ層である。絶縁体 4 5 0 は、絶縁体 2 5 0 と、同じ層である。導電体 4 6 0 は、導電体 2 6 0 と、同じ層である。

【 0 5 8 6 】

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物 4 3 0 c は、酸化物 2 3 0 c となる酸化膜を加工することで、形成することができる。

【 0 5 8 7 】

トランジスタ 4 0 0 の活性層として機能する酸化物 4 3 0 c は、酸化物 2 3 0 などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ 4 0 0 のしきい値電圧を 0 V より大きくし、オフ電流を低減し、第 2 のゲート電圧及び第 1 のゲート電圧が 0 V のときのドレイン電流を非常に小さくすることができる。

10

【 0 5 8 8 】

本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 5 8 9 】

(実施の形態 4)

本実施の形態では、図 3 7 および図 3 8 を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、O S トランジスタと呼ぶ場合がある）、および容量素子が適用されている記憶装置（以下、O S メモリ装置と呼ぶ場合がある）について説明する。O S メモリ装置は、少なくとも容量素子と、容量素子の充放電を制御する O S トランジスタを有する記憶装置である。O S トランジスタのオフ電流は極めて小さいので、O S メモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

20

【 0 5 9 0 】

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置（メモリ）が用いられる。図 3 6 に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図 3 6 では、最上層から順に、C P U などの演算処理装置にレジスタとして混載されるメモリ、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) 、 D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) 、 3 D N A N D メモリを示している。

30

【 0 5 9 1 】

C P U などの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

【 0 5 9 2 】

S R A M は、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻度が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

40

【 0 5 9 3 】

D R A M は、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。D R A M の記録密度は、おおよそ 0 . 1 乃至 0 . 3 G b i t / m m ² である。

【 0 5 9 4 】

3 D N A N D メモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ 0 . 6 乃至 6 . 0 G b i t / m m ² である。

50

【 0 5 9 5 】

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域 9 0 1 に位置する記憶装置として好適に用いることができる。また、本発明の一態様の記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域 9 0 2 に位置する記憶装置として好適に用いることができる。

【 0 5 9 6 】

< 記憶装置の構成例 >

図 3 7 (A) に O S メモリ装置の構成の一例を示す。記憶装置 1 4 0 0 は、周辺回路 1 4 1 1、およびメモリセルアレイ 1 4 7 0 を有する。周辺回路 1 4 1 1 は、行回路 1 4 2 0、列回路 1 4 3 0、出力回路 1 4 4 0、コントロールロジック回路 1 4 6 0 を有する。

10

【 0 5 9 7 】

列回路 1 4 3 0 は、例えば、列デコーダ、プリチャージ回路、センスアンプ、および書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ 1 4 7 0 が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路 1 4 4 0 を介して、データ信号 R D A T A として記憶装置 1 4 0 0 の外部に出力される。また、行回路 1 4 2 0 は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

20

【 0 5 9 8 】

記憶装置 1 4 0 0 には、外部から電源電圧として低電源電圧 (V S S)、周辺回路 1 4 1 1 用の高電源電圧 (V D D)、メモリセルアレイ 1 4 7 0 用の高電源電圧 (V I L) が供給される。また、記憶装置 1 4 0 0 には、制御信号 (C E、W E、R E)、アドレス信号 A D D R、データ信号 W D A T A が外部から入力される。アドレス信号 A D D R は、行デコーダおよび列デコーダに入力され、データ信号 W D A T A は書き込み回路に入力される。

【 0 5 9 9 】

コントロールロジック回路 1 4 6 0 は、外部からの入力信号 (C E、W E、R E) を処理して、行デコーダ、列デコーダの制御信号を生成する。C E は、チップイネーブル信号であり、W E は、書き込みイネーブル信号であり、R E は、読み出しイネーブル信号である。コントロールロジック回路 1 4 6 0 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

30

【 0 6 0 0 】

メモリセルアレイ 1 4 7 0 は、行列状に配置された、複数個のメモリセル M C と、複数の配線を有する。なお、メモリセルアレイ 1 4 7 0 と行回路 1 4 2 0 とを接続している配線の数、メモリセル M C の構成、一行に有するメモリセル M C の数などによって決まる。また、メモリセルアレイ 1 4 7 0 と列回路 1 4 3 0 とを接続している配線の数、メモリセル M C の構成、一行に有するメモリセル M C の数などによって決まる。

【 0 6 0 1 】

なお、図 3 7 (A) において、周辺回路 1 4 1 1 とメモリセルアレイ 1 4 7 0 を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図 3 7 (B) に示すように、周辺回路 1 4 1 1 の一部の上に、メモリセルアレイ 1 4 7 0 が重なるように設けられてもよい。例えば、メモリセルアレイ 1 4 7 0 の下に重なるように、センスアンプを設ける構成にしてもよい。

40

【 0 6 0 2 】

図 3 8 に上述のメモリセル M C に適用できるメモリセルの構成例について説明する。

【 0 6 0 3 】

[D O S R A M]

図 3 8 (A) 乃至 (C) に、D R A M のメモリセルの回路構成例を示す。本明細書等に

50

において、１０Ｓトランジスタ１容量素子型のメモリセルを用いたＤＲＡＭを、ＤＯＳＲＡＭ（Dynamic Oxide Semiconductor Random Access Memory）と呼ぶ場合がある。図３８（Ａ）に示す、メモリセル１４７１は、トランジスタＭ１と、容量素子ＣＡと、を有する。なお、トランジスタＭ１は、ゲート（フロントゲートと呼ぶ場合がある）、及びバックゲートを有する。

【０６０４】

トランジスタＭ１の第１端子は、容量素子ＣＡの第１端子と接続され、トランジスタＭ１の第２端子は、配線ＢＩＬと接続され、トランジスタＭ１のゲートは、配線ＷＯＬと接続され、トランジスタＭ１のバックゲートは、配線ＢＧＬと接続されている。容量素子ＣＡの第２端子は、配線ＣＡＬと接続されている。

10

【０６０５】

配線ＢＩＬは、ビット線として機能し、配線ＷＯＬは、ワード線として機能する。配線ＣＡＬは、容量素子ＣＡの第２端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線ＣＡＬには、低レベル電位を印加するのが好ましい。配線ＢＧＬは、トランジスタＭ１のバックゲートに電位を印加するための配線として機能する。配線ＢＧＬに任意の電位を印加することによって、トランジスタＭ１のしきい値電圧を増減することができる。

【０６０６】

また、メモリセルＭＣは、メモリセル１４７１に限定されず、回路構成の変更を行うことができる。例えば、メモリセルＭＣは、図３８（Ｂ）に示すメモリセル１４７２のように、トランジスタＭ１のバックゲートが、配線ＢＧＬでなく、配線ＷＯＬと接続される構成にしてもよい。また、例えば、メモリセルＭＣは、図３８（Ｃ）に示すメモリセル１４７３のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタＭ１で構成されたメモリセルとしてもよい。

20

【０６０７】

上記実施の形態に示す半導体装置をメモリセル１４７１等を用いる場合、トランジスタＭ１としてトランジスタ２００を用い、容量素子ＣＡとして容量素子１００を用いることができる。また、上記実施の形態で図２６および図２７に示したメモリデバイス２９０のトランジスタ、および容量デバイス２９２を、トランジスタＭ１および容量素子ＣＡとしてそれぞれ設ける構成にしてもよい。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタＭ１によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル１４７１、メモリセル１４７２、メモリセル１４７３に対して多値データ、又はアナログデータを保持することができる。

30

【０６０８】

また、ＤＯＳＲＡＭにおいて、上記のように、メモリセルアレイ１４７０の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

40

【０６０９】

ここで、周辺回路１４１１上にメモリセルアレイ１４７０を設け、メモリセルアレイ１４７０に複数のメモリセル１４７１が設けられた、記憶装置１４００の例を図３９（Ａ）に示す。

【０６１０】

メモリセルアレイ１４７０において、複数のメモリセル１４７１は行列状に配置され、配線ＷＯＬ、配線ＢＧＬなどもメモリセルアレイ１４７０において、行方向または列方向に延伸される。配線ＢＩＬは周辺回路１４１１に設けられた列回路１４３０に接続され、メモリセルアレイ１４７０は配線ＢＩＬを介してセンスアンプなどに電氣的に接続される。

50

【0611】

メモリセルアレイ1470は、O Sトランジスタを含んでおり、先の実施の形態に示すように、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284によって、封止されることが好ましい。例えば、図24に示すように、メモリセルアレイ1470の上面、側面、および下面が、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284によって、封止されることが好ましい。

【0612】

また、図39(B)に示すように、複数のメモリセルアレイ1470__1乃至メモリセルアレイ1470__n(nは2以上の自然数を表す)を積層する構造にしてもよい。各メモリセルアレイ1470の構造は、図38(A)に示す構造とほぼ同様だが、配線BILによって、列回路1430と各メモリセルアレイ1470のメモリセル1471が接続される。また、配線BILは、図34に示したように、メモリセルアレイ1470__1乃至メモリセルアレイ1470__nを、複数または単数の導電体240で貫通して形成してもよい。

10

【0613】

複数のメモリセルアレイ1470は、O Sトランジスタを含んでおり、先の実施の形態に示すように、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284によって、一括して封止されることが好ましい。例えば、図28、図29、または図33に示すように、複数のメモリセルアレイ1470の上面、側面、および下面が、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284によって、封止されることが好ましい。また、図28および図29で示したように、各メモリセルアレイ1470の境界に、絶縁体282、絶縁体296、絶縁体298、および絶縁体214が積層して設けられていることが好ましい。

20

【0614】

[NOSRAM]

図38(D)乃至(H)に、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図38(D)に示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、フロントゲート(単にゲートと呼ぶ場合がある)、及びバックゲートを有する。本明細書等において、トランジスタM2にO Sトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM(Nonvolatile Oxide Semiconductor RAM)と呼ぶ場合がある。

30

【0615】

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

40

【0616】

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

【0617】

50

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図38(E)に示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図38(F)に示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図38(G)に示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

【0618】

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。また、上記実施の形態で図26および図27に示したメモリデバイス290のトランジスタ、および容量デバイス292を、トランジスタM2および容量素子CBとしてそれぞれ設ける構成にしてもよい。トランジスタM2としてOSTランジスタを用いることによって、トランジスタM2のリーク電流を非常に低くすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至1477も同様である。

【0619】

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ(以下、Siトランジスタと呼ぶ場合がある)であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSTランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

【0620】

また、トランジスタM3はOSTランジスタであってもよい。トランジスタM2、M3にOSTランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0621】

また、図38(H)に3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図38(H)に示すメモリセル1478は、トランジスタM4乃至M6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、RWL、WWL、BGL、およびGNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、WBLに電氣的に接続してもよい。

【0622】

トランジスタM4は、バックゲートを有するOSTランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0623】

なお、トランジスタM5、M6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至M6がOSTランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0624】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、M6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に低くすることができる。また、上記実施の形態で図26および図27に示したメモリデバイス290のトランジスタ、および容量デバイス292を、トランジスタM4および容量素子CCとしてそれぞれ設ける構成にしてもよい。

【0625】

なお、本実施の形態に示す、周辺回路1411、およびメモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

10

【0626】

本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0627】

(実施の形態5)

本実施の形態では、図40を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

20

【0628】

図40(A)に示すように、チップ1200は、CPU(Central Processing Unit)1211、GPU(Graphics Processing Unit)1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

【0629】

チップ1200には、バンプ(図示しない)が設けられ、図40(B)に示すように、プリント基板(Printed Circuit Board: PCB)1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

30

【0630】

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

【0631】

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

40

【0632】

また、CPU1211、およびGPU1212が同一チップに設けられていることで、

50

CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

【0633】

アナログ演算部1213はA/D(アナログ/デジタル)変換回路、およびD/A(デジタル/アナログ)変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

【0634】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

10

【0635】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB(Universal Serial Bus)、HDMI(登録商標)(High-Definition Multimedia Interface)などを用いることができる。

【0636】

ネットワーク回路1216は、LAN(Local Area Network)などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

20

【0637】

チップ1200には、上記回路(システム)を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

【0638】

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

30

【0639】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型(持ち出し可能な)ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの演算を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

40

【0640】

本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0641】

(実施の形態6)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器(例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ(ビデオカメラも含む)、録画再生装置、ナビゲーションシステムなど)の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや

50

、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図41にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

【0642】

図41(A)はUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

10

【0643】

図41(B)はSDカードの外観の模式図であり、図41(C)は、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

20

【0644】

図41(D)はSSDの外観の模式図であり、図41(E)は、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。基板1153のメモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

30

【0645】

本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせ用いることができる。

【0646】

(実施の形態7)

本実施の形態では、図42から図45を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA（フィールドプログラマブルゲートアレイ）について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

40

【0647】

<<OS-FPGA>>

図42(A)にOS-FPGAの構成例を示す。図42(A)に示すOS-FPGA3110は、マルチコンテキスト構造によるコンテキスト切り替えとPLE毎の細粒度パワーゲーティングを実行するNOFF（ノーマリーオフ）コンピューティングが可能である。OS-FPGA3110は、コントローラ（Controller）3111、ワードドライバ（Word driver）3112、データドライバ（Data driver）3113、プログラマブルエリア（Programmable area）3115を有する。

50

【0648】

プログラマブルエリア3115は、2個の入出力ブロック(I/OB)3117、コア3119を有する。I/OB3117は複数のプログラマブル入出力回路を有する。コア3119は、複数のロジックアレイブロック(LAB)3120、複数のスイッチアレイブロック(SAB)3130を有する。LAB3120は複数のPLE3121を有する。図42(B)には、LAB3120を5個のPLE3121で構成する例を示す。図42(C)に示すようにSAB3130はアレイ状に配列された複数のスイッチブロック(SB)3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4(上下左右)方向のLAB3120に接続される。

【0649】

10

図43(A)乃至図43(C)を参照して、SB3131について説明する。図43(A)に示すSB3131には、data、datab、信号context[1:0]、word[1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS-FPGA3110のコンテキスト数は2であり、信号context[1:0]はコンテキスト選択信号である。信号word[1:0]はワード線選択信号であり、信号word[1:0]が入力される配線がそれぞれワード線である。なお、図43(A)に示すinputはSB3131の入力端子に相当し、outputはSB3131の出力端子に相当する。

【0650】

SB3131は、PRS(プログラマブルルーティングスイッチ)3133[0]、3133[1]を有する。PRS3133[0]、3133[1]は、相補データを格納できるコンフィギュレーションメモリ(CM)を有する。なお、PRS3133[0]とPRS3133[1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

20

【0651】

図43(B)にPRS3133[0]の回路構成例を示す。PRS3133[0]とPRS3133[1]とは同じ回路構成を有する。PRS3133[0]とPRS3133[1]とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context[0]、信号word[0]はPRS3133[0]に入力され、信号context[1]、word[1]はPRS3133[1]に入力される。例えば、SB3131において、信号context[0]が“H”になることで、PRS3133[0]がアクティブになる。

30

【0652】

PRS3133[0]は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、3137Bを有する。メモリ回路3137、3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSTランジスタMO31、MO32を有する。メモリ回路3137Bは、容量素子CB31、OSTランジスタMOB31、MOB32を有する。

【0653】

40

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSTランジスタMO31、MOB31として上記実施の形態に示すトランジスタを用いることができる。これにより、OSTランジスタMO31、MOB31のオフ電流を小さくすることができるので、コンフィギュレーションデータを長期間保持することができる。また、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

【0654】

OSTランジスタMO31、MO32、MOB31、MOB32はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

【0655】

50

S i トランジスタ M 3 1 のゲートがノード N 3 1 であり、O S トランジスタ M O 3 2 のゲートがノード N 3 2 であり、O S トランジスタ M O B 3 2 のゲートがノード N B 3 2 である。ノード N 3 2、N B 3 2 は C M 3 1 3 5 の電荷保持ノードである。O S トランジスタ M O 3 2 はノード N 3 1 と信号 c o n t e x t [0] 用の信号線との間の導通状態を制御する。O S トランジスタ M O B 3 2 はノード N 3 1 と低電位電源線 V S S との間の導通状態を制御する。

【 0 6 5 6 】

メモリ回路 3 1 3 7、3 1 3 7 B が保持するデータの論理は相補的な関係にある。したがって、O S トランジスタ M O 3 2 または M O B 3 2 の何れか一方が導通する。

【 0 6 5 7 】

図 4 3 (C) を参照して、P R S 3 1 3 3 [0] の動作例を説明する。P R S 3 1 3 3 [0] にコンフィギュレーションデータが既書き込まれており、P R S 3 1 3 3 [0] のノード N 3 2 は “ H ” であり、ノード N B 3 2 は “ L ” である。

【 0 6 5 8 】

信号 c o n t e x t [0] が “ L ” である間は P R S 3 1 3 3 [0] は非アクティブである。この期間に、P R S 3 1 3 3 [0] の入力端子が “ H ” に遷移しても、S i トランジスタ M 3 1 のゲートは “ L ” が維持され、P R S 3 1 3 3 [0] の出力端子も “ L ” が維持される。

【 0 6 5 9 】

信号 c o n t e x t [0] が “ H ” である間は P R S 3 1 3 3 [0] はアクティブである。信号 c o n t e x t [0] が “ H ” に遷移すると、C M 3 1 3 5 が記憶するコンフィギュレーションデータによって、S i トランジスタ M 3 1 のゲートは “ H ” に遷移する。

【 0 6 6 0 】

P R S 3 1 3 3 [0] がアクティブである期間に、入力端子が “ H ” に遷移すると、メモリ回路 3 1 3 7 の O S トランジスタ M O 3 2 がソースフォロアであるために、ブースティング (b o o s t i n g) によって S i トランジスタ M 3 1 のゲート電圧は上昇する。その結果、メモリ回路 3 1 3 7 の O S トランジスタ M O 3 2 は駆動能力を失い、S i トランジスタ M 3 1 のゲートは浮遊状態となる。

【 0 6 6 1 】

マルチコンテキスト機能を備える P R S 3 1 3 3 において、C M 3 1 3 5 はマルチプレクサの機能を併せ持つ。

【 0 6 6 2 】

図 4 4 に P L E 3 1 2 1 の構成例を示す。P L E 3 1 2 1 は L U T (ルックアップテーブル) ブロック (L U T b l o c k) 3 1 2 3、レジスタブロック 3 1 2 4、セクタ 3 1 2 5、C M 3 1 2 6 を有する。L U T ブロック 3 1 2 3 は、入力 i n A - i n D に従って内部のデータを選択し、出力する構成である。セクタ 3 1 2 5 は、C M 3 1 2 6 が格納するコンフィギュレーションデータに従って、L U T ブロック 3 1 2 3 の出力またはレジスタブロック 3 1 2 4 の出力を選択する。

【 0 6 6 3 】

P L E 3 1 2 1 は、パワースイッチ 3 1 2 7 を介して電圧 V D D 用の電源線に電氣的に接続されている。パワースイッチ 3 1 2 7 のオンオフは、C M 3 1 2 8 が格納するコンフィギュレーションデータによって設定される。各 P L E 3 1 2 1 にパワースイッチ 3 1 2 7 を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されない P L E 3 1 2 1 をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

【 0 6 6 4 】

N O F F コンピューティングを実現するため、レジスタブロック 3 1 2 4 は、不揮発性レジスタで構成される。P L E 3 1 2 1 内の不揮発性レジスタは O S メモリを備えるフリップフロップ (以下 [O S - F F] と呼ぶ) である。

【 0 6 6 5 】

10

20

30

40

50

レジスタブロック 3124 は、OS - FF3140 [1] 3140 [2] を有する。信号 user__res、load、store が OS - FF3140 [1]、3140 [2] に入力される。クロック信号 CLK1 は OS - FF3140 [1] に入力され、クロック信号 CLK2 は OS - FF3140 [2] に入力される。図 45 (A) に OS - FF3140 の構成例を示す。

【 0666 】

OS - FF3140 は、FF3141、シャドウレジスタ 3142 を有する。FF3141 は、ノード CK、R、D、Q、QB を有する。ノード CK にはクロック信号が入力される。ノード R には信号 user__res が入力される。信号 user__res はリセット信号である。ノード D はデータ入力ノードであり、ノード Q はデータ出力ノードである。ノード Q とノード QB とは論理が相補関係にある。

10

【 0667 】

シャドウレジスタ 3142 は、FF3141 のバックアップ回路として機能する。シャドウレジスタ 3142 は、信号 store に従いノード Q、QB のデータをそれぞれバックアップし、また、信号 load に従い、バックアップしたデータをノード Q、QB に書き戻す。

【 0668 】

シャドウレジスタ 3142 は、インバータ回路 3188、3189、Si トランジスタ M37、MB37、メモリ回路 3143、3143B を有する。メモリ回路 3143、3143B は、PRS3133 のメモリ回路 3137 と同じ回路構成である。メモリ回路 3143 は容量素子 C36、OSTランジスタ MO35、MO36 を有する。メモリ回路 3143B は容量素子 CB36、OSTランジスタ MOB35、OSTランジスタ MOB36 を有する。ノード N36、NB36 は OSTランジスタ MO36、OSTランジスタ MOB36 のゲートであり、それぞれ電荷保持ノードである。ノード N37、NB37 は、Si トランジスタ M37、MB37 のゲートである。

20

【 0669 】

上記実施の形態に示す半導体装置を LAB3120 に用いる場合、OSTランジスタ MO35、MOB35 として上記実施の形態に示すトランジスタを用いることができる。これにより、OSTランジスタ MO35、MOB35 のオフ電流を小さくすることができるので、OS - FFにおいて、バックアップしたデータを長期間保持することができる。また、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

30

【 0670 】

OSTランジスタ MO35、MO36、MOB35、MOB36 はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

【 0671 】

図 45 (B) を参照して、OS - FF3140 の動作方法例を説明する。

【 0672 】

(バックアップ (Backup))

“ H ” の信号 store が OS - FF3140 に入力されると、シャドウレジスタ 3142 は FF3141 のデータをバックアップする。ノード N36 は、ノード Q のデータが書き込まれることで、“ L ” となり、ノード NB36 は、ノード QB のデータが書き込まれることで、“ H ” となる。しかる後、パワーゲーティングが実行され、パワースイッチ 3127 をオフにする。FF3141 のノード Q、QB のデータは消失するが、電源オフであっても、シャドウレジスタ 3142 はバックアップしたデータを保持する。

40

【 0673 】

(リカバリ (Recovery))

パワースイッチ 3127 をオンにし、PLE3121 に電源を供給する。しかる後、“ H ” の信号 load が OS - FF3140 に入力されると、シャドウレジスタ 3142 はバックアップしているデータを FF3141 に書き戻す。ノード N36 は“ L ” であるの

50

で、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS - FF3140はバックアップ動作時の状態に復帰する。

【0674】

細粒度パワーゲーティングと、OS - FF3140のバックアップ/リカバリ動作とを組み合わせることで、OS - FPGA3110の消費電力を効果的に低減できる。

【0675】

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS - FPGA3110を提供することができる。

【0676】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0677】

(実施の形態8)

本実施の形態においては、上述した記憶装置など、本発明の一態様に係る半導体装置を含むCPUの一例について説明する。

【0678】

<CPUの構成>

図46に示す半導体装置6400は、CPUコア6401、パワーマネジメントユニット6421および周辺回路6422を有する。パワーマネジメントユニット6421は、パワーコントローラ(Power Controller)6402、およびパワースイッチ(Power Switch)6403を有する。周辺回路6422は、キャッシュメモリを有するキャッシュ(Cache)6404、バスインターフェース(BUS I/F)6405、及びデバッグインターフェース(Debug I/F)6406を有する。CPUコア6401は、データバス6423、制御装置(Control Unit)6407、PC(プログラムカウンタ)6408、パイプラインレジスタ(Pipeline Register)6409、パイプラインレジスタ(Pipeline Register)6410、ALU(Arithmetic logic unit)6411、及びレジスタファイル(Register File)6412を有する。CPUコア6401と、キャッシュ6404等の周辺回路6422とのデータのやり取りは、データバス6423を介して行われる。

【0679】

上記実施の形態に示す半導体装置は、パワーコントローラ6402、制御装置6407をはじめ、多くの論理回路に適用することができる。これにより、消費電力低減することが可能な半導体装置6400を提供できる。また、動作速度を向上することが可能な半導体装置6400を提供できる。また、電源電圧の変動を低減することが可能な半導体装置6400を提供できる。

【0680】

また、pチャネル型Siトランジスタと、先の実施の形態に記載の酸化物半導体をチャネル形成領域に含むトランジスタとを、半導体装置6400に適用することが好ましい。これにより、小型の半導体装置6400を提供できる。また、消費電力を低減することが可能な半導体装置6400を提供できる。また、動作速度を向上することが可能な半導体装置6400を提供できる。特に、Siトランジスタはpチャネル型のみとすることで、半導体装置の製造コストを低く抑えることができる。

【0681】

10

20

30

40

50

制御装置 6 4 0 7 は、P C 6 4 0 8、パイプラインレジスタ 6 4 0 9、パイプラインレジスタ 6 4 1 0、A L U 6 4 1 1、レジスタファイル 6 4 1 2、キャッシュ 6 4 0 4、バスインターフェース 6 4 0 5、デバッグインターフェース 6 4 0 6、及びパワーコントローラ 6 4 0 2 の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

【 0 6 8 2 】

A L U 6 4 1 1 は、四則演算、論理演算などの各種演算処理を行う機能を有する。

【 0 6 8 3 】

キャッシュ 6 4 0 4 は、使用頻度の高いデータを一時的に記憶しておく機能を有する。P C 6 4 0 8 は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図 4 6 では図示していないが、キャッシュ 6 4 0 4 には、キャッシュメモリの動作を制御するキャッシュコントローラが設けられている。

10

【 0 6 8 4 】

パイプラインレジスタ 6 4 0 9 は、命令データを一時的に記憶する機能を有するレジスタである。

【 0 6 8 5 】

レジスタファイル 6 4 1 2 は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、または A L U 6 4 1 1 の演算処理の結果得られたデータ、などを記憶することができる。

【 0 6 8 6 】

20

パイプラインレジスタ 6 4 1 0 は、A L U 6 4 1 1 の演算処理に利用するデータ、または A L U 6 4 1 1 の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

【 0 6 8 7 】

バスインターフェース 6 4 0 5 は、半導体装置 6 4 0 0 と半導体装置 6 4 0 0 の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース 6 4 0 6 は、デバッグの制御を行うための命令を半導体装置 6 4 0 0 に入力するための信号の経路としての機能を有する。

【 0 6 8 8 】

パワースイッチ 6 4 0 3 は、半導体装置 6 4 0 0 が有する、パワーコントローラ 6 4 0 2 以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ 6 4 0 3 によって電源電圧の供給の有無が制御される。また、パワーコントローラ 6 4 0 2 はパワースイッチ 6 4 0 3 の動作を制御する機能を有する。

30

【 0 6 8 9 】

上記構成を有する半導体装置 6 4 0 0 は、パワーゲーティングを行うことが可能である。パワーゲーティングの動作の流れについて、一例を挙げて説明する。

【 0 6 9 0 】

まず、C P U コア 6 4 0 1 が、電源電圧の供給を停止するタイミングを、パワーコントローラ 6 4 0 2 のレジスタに設定する。次いで、C P U コア 6 4 0 1 からパワーコントローラ 6 4 0 2 へ、パワーゲーティングを開始する旨の命令を送る。次いで、半導体装置 6 4 0 0 内に含まれる各種レジスタとキャッシュ 6 4 0 4 が、データの退避を開始する。次いで、半導体装置 6 4 0 0 が有するパワーコントローラ 6 4 0 2 以外の各種回路への電源電圧の供給が、パワースイッチ 6 4 0 3 により停止される。次いで、割込み信号がパワーコントローラ 6 4 0 2 に入力されることで、半導体装置 6 4 0 0 が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ 6 4 0 2 にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシュ 6 4 0 4 が、データの復帰を開始する。次いで、制御装置 6 4 0 7 における命令の実行が再開される。

40

【 0 6 9 1 】

50

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度で消費電力の削減を行うことができる。

【0692】

パワーゲーティングを行う場合、CPUコア6401や周辺回路6422が保持する情報を短期間に退避できることが好ましい。そうすることで、短期間に電源のオンオフが可能となり、省電力の効果が大きくなる。

【0693】

CPUコア6401や周辺回路6422が保持する情報を短期間に退避するためには、フリップフロップ回路がその回路内でデータ退避できることが好ましい（バックアップ可能なフリップフロップ回路と呼ぶ）。また、SRAM回路が回路内でデータ退避できることが好ましい（バックアップ可能なSRAM回路と呼ぶ）。バックアップ可能なフリップフロップ回路やSRAM回路は、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むトランジスタを有することが好ましい。その結果、トランジスタが低いオフ電流を有することで、バックアップ可能なフリップフロップ回路やSRAM回路は長期間電源供給なしに情報を保持することができる。また、トランジスタが高速なスイッチング速度を有することで、バックアップ可能なフリップフロップ回路やSRAM回路は短期間のデータ退避および復帰が可能となる場合がある。

【0694】

バックアップ可能なフリップフロップ回路の例について、図47を用いて説明する。

【0695】

図47に示す半導体装置6500は、バックアップ可能なフリップフロップ回路の一例である。半導体装置6500は、第1の記憶回路6501と、第2の記憶回路6502と、第3の記憶回路6503と、読み出し回路6504と、を有する。半導体装置6500には、電位V1と電位V2の電位差が、電源電圧として供給される。電位V1と電位V2は一方がハイレベルであり、他方がローレベルである。以下、電位V1がローレベル、電位V2がハイレベルの場合を例に挙げて、半導体装置6500の構成例について説明するものとする。

【0696】

第1の記憶回路6501は、半導体装置6500に電源電圧が供給されている期間において、データを含む信号Dが入力されると、当該データを保持する機能を有する。そして、半導体装置6500に電源電圧が供給されている期間において、第1の記憶回路6501からは、保持されているデータを含む信号Qが出力される。一方、第1の記憶回路6501は、半導体装置6500に電源電圧が供給されていない期間においては、データを保持することができない。すなわち、第1の記憶回路6501は、揮発性の記憶回路と呼ぶことができる。

【0697】

第2の記憶回路6502は、第1の記憶回路6501に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。第3の記憶回路6503は、第2の記憶回路6502に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。読み出し回路6504は、第2の記憶回路6502または第3の記憶回路6503に保持されたデータを読み出して第1の記憶回路6501に記憶する（あるいは復帰する）機能を有する。

【0698】

特に、第3の記憶回路6503は、半導体装置6500に電源電圧が供給されていない期間においても、第2の記憶回路6502に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。

【0699】

図47に示すように、第2の記憶回路6502はトランジスタ6512と容量素子65

10

20

30

40

50

１９とを有する。第３の記憶回路６５０３はトランジスタ６５１３と、トランジスタ６５１５と、容量素子６５２０とを有する。読み出し回路６５０４はトランジスタ６５１０と、トランジスタ６５１８と、トランジスタ６５０９と、トランジスタ６５１７と、を有する。

【０７００】

トランジスタ６５１２は、第１の記憶回路６５０１に保持されているデータに応じた電荷を、容量素子６５１９に充放電する機能を有する。トランジスタ６５１２は、第１の記憶回路６５０１に保持されているデータに応じた電荷を容量素子６５１９に対して高速に充放電することが望ましい。具体的には、トランジスタ６５１２が、結晶性を有するシリコン（好ましくは多結晶シリコン、更に好ましくは単結晶シリコン）をチャネル形成領域に含むことが望ましい。

10

【０７０１】

トランジスタ６５１３は、容量素子６５１９に保持されている電荷に従って導通状態または非導通状態が選択される。トランジスタ６５１５は、トランジスタ６５１３が導通状態であるときに、配線６５４４の電位に応じた電荷を容量素子６５２０に充放電する機能を有する。トランジスタ６５１５は、オフ電流が著しく小さいことが望ましい。具体的には、トランジスタ６５１５が、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むことが望ましい。

【０７０２】

各素子の接続関係を具体的に説明すると、トランジスタ６５１２のソース及びドレインの一方は、第１の記憶回路６５０１に接続されている。トランジスタ６５１２のソース及びドレインの他方は、容量素子６５１９の一方の電極、トランジスタ６５１３のゲート、及びトランジスタ６５１８のゲートに接続されている。容量素子６５１９の他方の電極は、配線６５４２に接続されている。トランジスタ６５１３のソース及びドレインの一方は、配線６５４４に接続されている。トランジスタ６５１３のソース及びドレインの他方は、トランジスタ６５１５のソース及びドレインの一方に接続されている。トランジスタ６５１５のソース及びドレインの他方は、容量素子６５２０の一方の電極、及びトランジスタ６５１０のゲートに接続されている。容量素子６５２０の他方の電極は、配線６５４３に接続されている。トランジスタ６５１０のソース及びドレインの一方は、配線６５４１に接続されている。トランジスタ６５１０のソース及びドレインの他方は、トランジスタ６５１８のソース及びドレインの一方に接続されている。トランジスタ６５１８のソース及びドレインの他方は、トランジスタ６５０９のソース及びドレインの一方に接続されている。トランジスタ６５０９のソース及びドレインの他方は、トランジスタ６５１７のソース及びドレインの一方、及び第１の記憶回路６５０１に接続されている。トランジスタ６５１７のソース及びドレインの他方は、配線６５４０に接続されている。また、図４７においては、トランジスタ６５０９のゲートは、トランジスタ６５１７のゲートと接続されているが、トランジスタ６５０９のゲートは、必ずしもトランジスタ６５１７のゲートと接続されていなくてもよい。

20

30

【０７０３】

トランジスタ６５１５に先の実施の形態で例示したトランジスタを適用することができる。トランジスタ６５１５のオフ電流が小さいために、半導体装置６５００は、長期間電源供給なしに情報を保持することができる。トランジスタ６５１５のスイッチング特性が良好であるために、半導体装置６５００は、高速のバックアップとリカバリを行うことができる。

40

【０７０４】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【０７０５】

（実施の形態９）

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電

50

子機器の一例を示す。

【 0 7 0 6 】

< 電子部品 >

まず、記憶装置 7 1 0 0 が組み込まれた電子部品の例を、図 4 8 (A) および (B) を用いて説明を行う。

【 0 7 0 7 】

図 4 8 (A) に電子部品 7 7 0 0 および電子部品 7 7 0 0 が実装された基板 (実装基板 7 7 0 4) の斜視図を示す。図 4 8 (A) に示す電子部品 7 7 0 0 は、モールド 7 7 1 1 内に記憶装置 7 1 0 0 を有している。図 4 8 (A) は、電子部品 7 7 0 0 の内部を示すために、一部を省略する。電子部品 7 7 0 0 は、モールド 7 7 1 1 の外側にランド 7 7 1 2 を有する。ランド 7 7 1 2 は電極パッド 7 7 1 3 と電氣的に接続され、電極パッド 7 7 1 3 は記憶装置 7 1 0 0 とワイヤ 7 7 1 4 によって電氣的に接続されている。電子部品 7 7 0 0 は、例えばプリント基板 7 7 0 2 に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板 7 7 0 2 上で電氣的に接続されることで実装基板 7 7 0 4 が完成する。

10

【 0 7 0 8 】

図 4 8 (B) に電子部品 7 7 3 0 の斜視図を示す。電子部品 7 7 3 0 は、S i P (S y s t e m i n p a c k a g e) または M C M (M u l t i C h i p M o d u l e) の一例である。電子部品 7 7 3 0 は、パッケージ基板 7 7 3 2 (プリント基板) 上にインターポーザ 7 7 3 1 が設けられ、インターポーザ 7 7 3 1 上に半導体装置 7 7 3 5、および複数の記憶装置 7 1 0 0 が設けられている。

20

【 0 7 0 9 】

電子部品 7 7 3 0 では、記憶装置 7 1 0 0 を広帯域メモリ (H B M : H i g h B a n d w i d t h M e m o r y) として用いる例を示している。また、半導体装置 7 7 3 5 は、C P U、G P U、F P G A などの集積回路 (半導体装置) を用いることができる。

【 0 7 1 0 】

パッケージ基板 7 7 3 2 は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ 7 7 3 1 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【 0 7 1 1 】

インターポーザ 7 7 3 1 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 7 7 3 1 は、インターポーザ 7 7 3 1 上に設けられた集積回路をパッケージ基板 7 7 3 2 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 7 7 3 1 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 7 7 3 2 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、T S V (T h r o u g h S i l i c o n V i a) を用いることも出来る。

30

【 0 7 1 2 】

インターポーザ 7 7 3 1 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

40

【 0 7 1 3 】

H B M では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、H B M を実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、H B M を実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【 0 7 1 4 】

また、シリコンインターポーザを用いた S i P や M C M などでは、集積回路とインター

50

ポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

【０７１５】

また、電子部品７７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７７３０では、記憶装置７１００と半導体装置７７３５の高さを揃えることが好ましい。

10

【０７１６】

電子部品７７３０を他の基板に実装するため、パッケージ基板７７３２の底部に電極７７３３を設けてもよい。図４８（Ｂ）では、電極７７３３を半田ボールで形成する例を示している。パッケージ基板７７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ball Grid Array）実装を実現できる。また、電極７７３３を導電性のピンで形成してもよい。パッケージ基板７７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Pin Grid Array）実装を実現できる。

【０７１７】

電子部品７７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Staggered Pin Grid Array）、ＬＧＡ（Land Grid Array）、ＱＦＰ（Quad Flat Package）、ＱＦＪ（Quad Flat J-leaded package）、またはＱＦＮ（Quad Flat Non-leaded package）などの実装方法を用いることができる。

20

【０７１８】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【０７１９】

（実施の形態１０）

本実施の形態では、本発明の一態様の半導体装置に適用可能な電子機器の具体例について図４９を用いて説明する。

30

【０７２０】

より具体的には、本発明の一態様に係る半導体装置は、ＣＰＵやＧＰＵなどのプロセッサ、またはチップに用いることができる。図４９に、本発明の一態様に係るＣＰＵやＧＰＵなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

【０７２１】

< 電子機器・システム >

本発明の一態様に係るＧＰＵ又はチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るＧＰＵ又はチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

40

【０７２２】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【０７２３】

50

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

【0724】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図49に、電子機器の例を示す。

10

【0725】

[携帯電話]

図49（A）には、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

【0726】

情報端末5500は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5511に表示するアプリケーション、表示部5511に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5511に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

20

【0727】

[情報端末1]

図49（B）には、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

【0728】

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末5300を用いることで、新規の人工知能の開発を行うことができる。

30

【0729】

なお、上述では、電子機器としてスマートフォン、及びデスクトップ用情報端末を例として、それぞれ図49（A）、（B）に図示したが、スマートフォン、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ用情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

40

【0730】

[電化製品]

図49（C）は、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

【0731】

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存され

50

ている食材に合わせた温度に自動的に調節する機能などを有することができる。

【 0 7 3 2 】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【 0 7 3 3 】

[ゲーム機]

図 4 9 (D) は、ゲーム機の一例である携帯ゲーム機 5 2 0 0 を示している。携帯ゲーム機は、筐体 5 2 0 1、表示部 5 2 0 2、ボタン 5 2 0 3 等を有する。

10

【 0 7 3 4 】

携帯ゲーム機 5 2 0 0 に本発明の一態様の GPU 又はチップを適用することによって、低消費電力の携帯ゲーム機 5 2 0 0 を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【 0 7 3 5 】

更に、携帯ゲーム機 5 2 0 0 に本発明の一態様の GPU 又はチップを適用することによって、人工知能を有する携帯ゲーム機 5 2 0 0 を実現することができる。

【 0 7 3 6 】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5 2 0 0 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

20

【 0 7 3 7 】

また、携帯ゲーム機 5 2 0 0 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

【 0 7 3 8 】

図 4 9 (D) では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の GPU 又はチップを適用するゲーム機はこれに限定されない。本発明の一態様の GPU 又はチップを適用するゲーム機としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設(ゲームセンター、遊園地など)に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

30

【 0 7 3 9 】

[移動体]

本発明の一態様の GPU 又はチップは、移動体である自動車、及び自動車の運転席周辺に適用することができる。

【 0 7 4 0 】

図 4 9 (E 1) は移動体の一例である自動車 5 7 0 0 を示し、図 4 9 (E 2) は、自動車の室内におけるフロントガラス周辺を示す図である。図 4 9 (E 2) では、ダッシュボードに取り付けられた表示パネル 5 7 0 1、表示パネル 5 7 0 2、表示パネル 5 7 0 3 の他、ピラーに取り付けられた表示パネル 5 7 0 4 を図示している。

40

【 0 7 4 1 】

表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、空調の設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、照明装置として用いることも可能である。

【 0 7 4 2 】

50

表示パネル５７０４には、自動車５７００に設けられた撮像装置（図示しない）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車５７００の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル５７０４は、照明装置として用いることもできる。

【０７４３】

本発明の一態様のＧＰＵ又はチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車５７００の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル５７０１乃至表示パネル５７０４には、道路案内、危険予測などの情報を表示する構成としてもよい。

10

【０７４４】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

【０７４５】

[放送システム]

20

本発明の一態様のＧＰＵ又はチップは、放送システムに適用することができる。

【０７４６】

図４９（Ｆ）は、放送システムにおけるデータ伝送を模式的に示している。具体的には、図４９（Ｆ）は、放送局５６８０から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（ＴＶ）５６００に届くまでの経路を示している。ＴＶ５６００は、受信装置を備え（図示しない）、アンテナ５６５０で受信された放送信号は、当該受信装置を介して、ＴＶ５６００に送信される。

【０７４７】

図４９（Ｆ）では、アンテナ５６５０は、ＵＨＦ（Ultra High Frequency）アンテナを図示しているが、アンテナ５６５０としては、ＢＳ・１１０°ＣＳアンテナ、ＣＳアンテナなども適用できる。

30

【０７４８】

電波５６７５Ａ、電波５６７５Ｂは地上波放送用の放送信号であり、電波塔５６７０は受信した電波５６７５Ａを増幅して、電波５６７５Ｂの送信を行う。各家庭では、アンテナ５６５０で電波５６７５Ｂを受信することで、ＴＶ５６００で地上波ＴＶ放送を視聴することができる。なお、放送システムは、図４９（Ｆ）に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

【０７４９】

上述した放送システムは、本発明の一態様のチップを適用して、人工知能を利用した放送システムとしてもよい。放送局５６８０から各家庭のＴＶ５６００に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ５６５０が当該放送データを受信したとき、ＴＶ５６００に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いＴＶ５６００で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

40

【０７５０】

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テ

50

レビジョン（UHD TV：4K、8K）放送に対して好適である。

【0751】

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

【0752】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【0753】

本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【実施例1】

【0754】

本実施例では、本発明の一態様である絶縁体を成膜し、TDS分析を行った。なお、本実施例において、4種の試料A、試料B、試料Cおよび試料Dを作製した。

【0755】

<各試料の構成と作製方法>

以下では、本発明の一態様に係る試料A乃至試料Dについて説明する。まず、各試料の構造を、図50(A)に示す。各試料は、基板910と、基板910上の絶縁体912と、絶縁体912上の絶縁体913と、絶縁体913上の絶縁体916と、絶縁体916上の絶縁体918と、を有する。

【0756】

ここで、試料A乃至試料Dは、成膜条件が異なる絶縁体918を有する。以下に、試料A乃至試料Dにおける絶縁体918の成膜時における成膜ガスの流量比を下表に示す。

【0757】

【表2】

	918成膜時における 成膜ガスの流量比
試料A	Ar:O ₂ =10:0
試料B	Ar:O ₂ =9:1
試料C	Ar:O ₂ =5:5
試料D	Ar:O ₂ =5:5 ×2回

【0758】

次に、各試料の作製方法について、説明する。

【0759】

まず、基板910として、シリコン基板を準備した。続いて、基板910上に、絶縁体912として、熱酸化膜を100nm形成した。

【0760】

次に、絶縁体912上に、絶縁体913として、ALD法により、膜厚が5nmの酸化アルミニウムを形成した。

【0761】

続いて、絶縁体913上に、絶縁体916を成膜した。絶縁体916として、プラズマCVD法を用いて、100nmの酸化シリコン膜を形成した。成膜条件は、流量5sccmのシラン（SiH₄）、流量1000sccmの一酸化二窒素（N₂O）を用いた。反応室の圧力を133.3Paとし、成膜温度325とし、45W（13.56MHz）の高周波（RF）電力を印加することで成膜した。

【0762】

次に、絶縁体 9 1 6 上に、絶縁体 9 1 8 として、膜厚が 4 0 n m の酸化アルミニウムを形成した。絶縁体 9 1 8 は、 Al_2O_3 のターゲットを用い、酸素 (O_2) とアルゴン (Ar) の混合雰囲気下において、スパッタリング法により成膜した。また、反応室の圧力を 0 . 4 P a 、成膜温度を 2 5 0 、および成膜電力を 2 . 5 k W (R F) として成膜した。

【 0 7 6 3 】

なお、試料 D では、第 1 の酸化アルミニウム膜を成膜した後、C M P 処理にて第 1 の酸化アルミニウム膜を除去し、再度、同条件を用いて絶縁体 9 1 8 を形成した。

【 0 7 6 4 】

以上の工程により、本実施例の試料を作製した。

10

【 0 7 6 5 】

< 各試料の T D S の測定結果 >

試料 A 乃至試料 D において、絶縁体 9 1 8 を除去した後、絶縁体 9 1 6 の酸素の脱離量を測定した。また、当該 T D S 分析においては、酸素分子に相当する質量電荷比 $m/z = 32$ の放出量を測定した。T D S 分析装置は、電子科学社製 T D S 1 2 0 0 I I を用い、昇温レートは 3 0 / m i n とした。測定結果を、図 5 0 (B) に示す。

【 0 7 6 6 】

図 5 0 (B) は、各試料を 6 0 0 まで加熱した場合の酸素 (O_2) の放出量 [m o l e c u l e s / c m ^ 2] を示す。従って、図 5 0 (B) において、縦軸は酸素 (O_2) の放出量 [m o l e c u l e s / c m ^ 2] とする。

20

【 0 7 6 7 】

なお、温度範囲の下限としては、脱ガスが確認できた温度 (約 4 0 以上) とした。従って、測定下限以下の脱ガスの放出量は含まない。つまり、図中の 0 . 0 [m o l e c u l e s / c m ^ 2] は、測定下限以下とする。

【 0 7 6 8 】

図 5 0 (B) において、試料 A における絶縁体 9 1 6 の過剰酸素量は、測定下限以下であった。また、試料 B における絶縁体 9 1 6 の過剰酸素量は、 $1 . 4 \times 10^{15}$ [m o l e c u l e s / c m ^ 2] であった。試料 C における絶縁体 9 1 6 の過剰酸素量は、 $2 . 3 \times 10^{15}$ [m o l e c u l e s / c m ^ 2] であった。また、試料 D における絶縁体 9 1 6 の過剰酸素量は、 $4 . 4 \times 10^{15}$ [m o l e c u l e s / c m ^ 2] であった。

30

【 0 7 6 9 】

図 5 0 (B) より、酸素ガスを含む混合雰囲気を用いて絶縁体 9 1 8 を成膜することで、絶縁体 9 1 6 に過剰酸素領域を設けることができることが確認できた。また、絶縁体 9 1 8 の成膜ガスにおいて、酸素流量比が高くなるほど、絶縁体 9 1 6 が有する過剰酸素の量が多くなることがわかった。

【 0 7 7 0 】

また、試料 C と試料 D との比較により、絶縁体 9 1 8 に相当する膜を成膜し、当該膜を除去した後、再度、絶縁体 9 1 8 を設けることで、絶縁体 9 1 6 が有する過剰酸素量は増加することがわかった。つまり、絶縁体 9 1 6 の過剰酸素領域は、絶縁体 9 1 8 を成膜する時に、形成されていることがわかった。従って、成膜ガスに酸素を含む絶縁膜の成膜、および除去を複数回繰り返すことで、絶縁体 9 1 6 が有する過剰酸素量を制御することができる。と推測できる。

40

【 0 7 7 1 】

以上、本実施例に示す構成は、他の実施例または実施の形態と適宜組み合わせて用いることができる。

【実施例 2 】

【 0 7 7 2 】

本実施例では、本発明の一態様である絶縁体を成膜し、S I M S 分析を行った。なお、本実施例において、2 0 種の試料を作製した。

【 0 7 7 3 】

50

< 各試料の構成と作製方法 >

以下では、本発明の一態様に係る 20 種の試料について説明する。まず、各試料の構造を、図 5 1 に示す。各試料は、基板 9 2 0 と、基板 9 2 0 上の絶縁体 9 2 2 と、絶縁体 9 2 2 上の酸化物 9 2 4 と、酸化物 9 2 4 上の絶縁体 9 2 6 と、絶縁体 9 2 6 上の絶縁体 9 2 8 と、を有する。

【 0 7 7 4 】

ここで、絶縁体 9 2 8 の成膜条件 (4 条件) と、絶縁体 9 2 8 成膜後の加熱処理の条件 (5 条件) を組み合わせ、20 種の試料を作製した。なお、絶縁体 9 2 8 の成膜条件による試料の分類を、試料 A 群 (試料 A 1 乃至試料 A 5)、試料 B 群 (試料 B 1 乃至試料 B 5)、試料 C 群 (試料 C 1 乃至試料 C 5)、および試料 D 群 (試料 D 1 乃至試料 D 5) とする。なお、加熱処理の条件による試料の分類を、試料 1 群 (試料 A 1、試料 B 1、試料 C 1、および試料 D 1)、試料 2 群 (試料 A 2、試料 B 2、試料 C 2、および試料 D 2)、試料 3 群 (試料 A 3、試料 B 3、試料 C 3、および試料 D 3)、試料 4 群 (試料 A 4、試料 B 4、試料 C 4、および試料 D 4)、および試料 5 群 (試料 A 5、試料 B 5、試料 C 5、および試料 D 5) とする。

【 0 7 7 5 】

20 種の試料における絶縁体 9 2 8 の成膜時における成膜ガスの流量比、および絶縁体 9 2 8 成膜後の加熱処理の設定温度、および時間を下表に示す。

【 0 7 7 6 】

【表 3】

	928成膜時における 成膜ガスの流量比	加熱処理の 温度及び時間
試料A1	Ar:O ₂ =10:0	—
試料B1	Ar:O ₂ =9:1	—
試料C1	Ar:O ₂ =5:5	—
試料D1	Ar:O ₂ =5:5 × 2回	—
試料A2	Ar:O ₂ =10:0	300°C 1hr
試料B2	Ar:O ₂ =9:1	300°C 1hr
試料C2	Ar:O ₂ =5:5	300°C 1hr
試料D2	Ar:O ₂ =5:5 × 2回	300°C 1hr
試料A3	Ar:O ₂ =10:0	350°C 1hr
試料B3	Ar:O ₂ =9:1	350°C 1hr
試料C3	Ar:O ₂ =5:5	350°C 1hr
試料D3	Ar:O ₂ =5:5 × 2回	350°C 1hr
試料A4	Ar:O ₂ =10:0	400°C 1hr
試料B4	Ar:O ₂ =9:1	400°C 1hr
試料C4	Ar:O ₂ =5:5	400°C 1hr
試料D4	Ar:O ₂ =5:5 × 2回	400°C 1hr
試料A5	Ar:O ₂ =10:0	400°C 8hr
試料B5	Ar:O ₂ =9:1	400°C 8hr
試料C5	Ar:O ₂ =5:5	400°C 8hr
試料D5	Ar:O ₂ =5:5 × 2回	400°C 8hr

【 0 7 7 7 】

次に、各試料の作製方法について、説明する。

【 0 7 7 8 】

まず、基板 9 2 0 として、シリコン基板を準備した。続いて、基板 9 2 0 上に、絶縁体

9 2 2 として、熱酸化膜を 1 0 0 n m 形成した。

【 0 7 7 9 】

次に、絶縁体 9 2 2 上に、酸化物 9 2 4 として、膜厚が 5 0 n m の I n - G a - Z n 酸化物を形成した。酸化物 9 2 4 は、I n : G a : Z n = 4 : 2 : 4 . 1 [原子数比] のターゲットを用い、酸素 (O ₂) とアルゴン (A r) の混合雰囲気下において、スパッタリング法により成膜した。また、反応室の圧力を 0 . 4 P a 、成膜温度を R . T 、および成膜電力を 2 0 0 W (D C) として成膜した。

【 0 7 8 0 】

なお、酸化物 9 2 4 を成膜する際に、酸素 (O ₂) の流量比が 3 3 パーセントの混合雰囲気を用いた。また、ここで、成膜ガスとして用いるアルゴン (A r) に、5 パーセントの重水素 (D) を添加した。

10

【 0 7 8 1 】

続いて、酸化物 9 2 4 上に、絶縁体 9 2 6 を成膜した。絶縁体 9 2 6 として、プラズマ C V D 法を用いて、1 1 0 n m の酸化シリコン膜を形成した。成膜条件は、流量 5 s c c m のシラン (S i H ₄) 、流量 1 0 0 0 s c c m の一酸化二窒素 (N ₂ O) を用いた。反応室の圧力を 1 3 3 . 3 P a とし、成膜温度 3 2 5 とし、4 5 W (1 3 . 5 6 M H z) の高周波 (R F) 電力を印加することで成膜した。

【 0 7 8 2 】

次に、絶縁体 9 2 6 上に、絶縁体 9 2 8 として、膜厚が 4 0 n m の酸化アルミニウムを形成した。絶縁体 9 2 8 は、A l ₂ O ₃ のターゲットを用い、酸素 (O ₂) とアルゴン (A r) の混合雰囲気下において、スパッタリング法により成膜した。また、反応室の圧力を 0 . 4 P a 、成膜温度を 2 5 0 、および成膜電力を 2 . 5 k W (R F) として成膜した。

20

【 0 7 8 3 】

なお、試料 D 群 (試料 D 1 、試料 D 2 、試料 D 3 、および試料 D 4) では、第 1 の酸化アルミニウム膜を成膜した後、C M P 処理にて第 1 の酸化アルミニウム膜を除去し、再度、同条件を用いて絶縁体 9 2 8 を形成した。

【 0 7 8 4 】

続いて、窒素雰囲気下において、上記表に示す条件にて、加熱処理を行った。

【 0 7 8 5 】

30

以上の工程により、本実施例の試料を作製した。

【 0 7 8 6 】

< 各試料の S I M S の測定結果 >

各試料の絶縁体 9 2 8 、絶縁体 9 2 6 、および酸化物 9 2 4 の各層を定量層として、S I M S 分析を行い、重水素 (D) 濃度を検出した。当該測定により得られた各定量層のプロファイルを合成した結果を図 5 2 、図 5 3 、図 5 4 、および図 5 5 に示す。なお、水素濃度評価は、分析装置としてアルバック・ファイ社製四重極 S I M S 装置 A D E P T 1 0 1 0 を用いた。

【 0 7 8 7 】

なお、本 S I M S 分析で検出された重水素 (D) は、酸化物 9 2 4 を成膜した際に、混入した重水素 (D) である。従って、酸化物 9 2 4 上の絶縁体 9 2 6 、および絶縁体 9 2 8 で検出された重水素 (D) は、酸化物 9 2 4 から拡散した重水素 (D) であると考えられる。

40

【 0 7 8 8 】

また、先の実施例より、2 0 種の試料において、絶縁体 9 2 6 が有する過剰酸素量は、多い順から、試料 D 群、試料 C 群、試料 B 群、試料 A 群であると考えられる。

【 0 7 8 9 】

図 5 2 (A) は、試料 1 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。図 5 2 (B) は、試料 2 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。図 5 3 (A) は、試料 3 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。図 5

50

3 (B) は、試料 4 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。図 5 4 は、試料 5 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。

【 0 7 9 0 】

図 5 2、乃至図 5 3 より、絶縁体 9 2 6 が有する過剰酸素量が多い方が、酸化物 9 2 4 中の重水素が拡散する傾向があることがわかった。特に、絶縁体 9 2 8 の成膜時の酸素流量比が 1 0 パーセント以上 (試料 B 群、試料 C 群、および試料 D 群) と、酸素流量比が 0 パーセント (試料 A 群) とを比較した場合、顕著な傾向が見られた。

【 0 7 9 1 】

また、図 5 2 (A) と、図 5 2 (B)、および図 5 3 との比較より、各試料に対し加熱処理を行った場合、酸化物 9 2 4 中の重水素の濃度が低下し、絶縁体 9 2 8 の重水素の濃度が上昇することがわかった。つまり、酸化物 9 2 4 中の水素は、加熱処理により、絶縁体 9 2 8 へと拡散し、酸化物 9 2 4 中の水素濃度が低下することがわかった。

10

【 0 7 9 2 】

さらに、絶縁体 9 2 8 の成膜時の酸素流量比が 5 0 パーセント以上 (試料 C 群、および試料 D 群) において、加熱処理の温度が 3 5 0 以上である場合、酸化物 9 2 4 中の重水素濃度の低下、および絶縁体 9 2 8 の重水素濃度の上昇が、顕著であった。

【 0 7 9 3 】

ここで、図 5 2、図 5 3 および図 5 4 に示した S I M S プロファイルを用いて、酸化物 9 2 4、絶縁体 9 2 6、および絶縁体 9 2 8 中の重水素濃度を積分した結果を図 5 5 に示す。

20

【 0 7 9 4 】

図 5 5 (A) には、酸化物 9 2 4 中の重水素 (D) 濃度の積分値を示す。図 5 5 (B) には、絶縁体 9 2 6 中の重水素 (D) 濃度の積分値を示す。図 5 5 (C) には、絶縁体 9 2 8 中の重水素 (D) 濃度の積分値を示す。なお、積分値は、各構造体の主成分プロファイルが安定した領域を用いて算出した。

【 0 7 9 5 】

図 5 5 (A) より、絶縁体 9 2 6 中の過剰酸素量が多い、または絶縁体 9 2 8 の成膜時の酸素流量比が大きいほど、酸化物 9 2 4 の重水素 (D) 濃度は低下する傾向があることがわかった。また、加熱処理の温度が高いほど、酸化物 9 2 4 中の重水素 (D) 濃度は低下することがわかった。さらに、加熱処理の時間を長くすると、酸化物 9 2 4 中の重水素 (D) 濃度は低下することがわかった。

30

【 0 7 9 6 】

また、図 5 5 (B) より、絶縁体 9 2 6 中の過剰酸素量が多い、または絶縁体 9 2 8 の成膜時の酸素流量比が大きいほど、絶縁体 9 2 6 の重水素 (D) 濃度は低下する傾向があることがわかった。一方、加熱処理の温度が高いほど、絶縁体 9 2 6 中の重水素 (D) 濃度は増加することがわかった。特に、加熱処理は、3 5 0 以上であることが好ましいことがわかった。

【 0 7 9 7 】

また、図 5 5 (C) より、絶縁体 9 2 6 中の過剰酸素量が多い、または絶縁体 9 2 8 の成膜時の酸素流量比が大きいほど、絶縁体 9 2 8 の重水素 (D) 濃度は増加する傾向があることがわかった。また、加熱処理の温度が高いほど、絶縁体 9 2 8 中の重水素 (D) 濃度は増加することがわかった。特に、加熱処理の温度が高いほど、好ましいことがわかった。一方、加熱処理の時間を長くすると、絶縁体 9 2 8 中の重水素 (D) 濃度は平準化する傾向があることがわかった。

40

【 0 7 9 8 】

以上より、酸化物 9 2 4 に近接する絶縁体 9 2 6 中の過剰酸素量が多い、または絶縁体 9 2 8 の成膜時の酸素流量比が大きいほど、酸化物 9 2 4 中の重水素 (D) 濃度は、低減する傾向があることが確認できた。また、加熱処理を行うことで、酸化物 9 2 4 中の重水素 (D) 濃度は低減する一方、絶縁体 9 2 8 の重水素 (D) 濃度は増加することがわかった。

50

【 0 7 9 9 】

従って、酸化物 9 2 4 中の水素は、絶縁体 9 2 6 を介して、絶縁体 9 2 8 へと拡散することが確認できた。つまり、酸化物 9 2 4 中の水素は、絶縁体 9 2 8 に捕獲・固着する（ゲッタリングともいう）と考えられる。さらに、加熱処理の条件により、酸化物 9 2 4 中の水素は、絶縁体 9 2 6、および絶縁体 9 2 8 を介して、外方拡散する可能性が示唆された。

【 0 8 0 0 】

上記結果より、絶縁体 9 2 6 中の過剰酸素は、絶縁体 9 2 6、および絶縁体 9 2 6 と接する膜における水素の拡散に対し、影響要因となる可能性があることがわかった。また、一方で、絶縁体 9 2 8 の膜質により、絶縁体 9 2 8 の水素の拡散係数が異なる可能性があることがわかった。また、絶縁体 9 2 8 の膜質により、水素が捕獲される、または固着する量が異なる可能性があることがわかった。さらに、酸化物 9 2 4 中の水素は、絶縁体 9 2 6、および絶縁体 9 2 8 を介して、外方拡散する可能性があることがわかった。

10

【 0 8 0 1 】

本実施例により、酸化物中の水素は、酸化物の近傍に設けられた絶縁体により、捕獲、または固着することで、低減することが可能であることがわかった。また、後工程により、酸化物中の水素は、酸化物の近傍に設けられた絶縁体を介して、外方拡散が可能であることがわかった。従って、酸化物や絶縁体の成膜工程など、酸化物の成膜処理以降の工程で混入した酸化物中の水素は、後の工程により、除去、または低減できることが確認できた。

20

【 0 8 0 2 】

つまり、酸化物半導体を用いる場合、酸化物半導体に近接する膜に、過剰酸素領域を有する膜を用いるとよい。または、酸化物半導体に、過剰酸素領域を有する膜を介して、水素を捕獲、または固着する膜を設けるとよい。または、加熱処理などを行うことで、酸化物半導体中の水素を、絶縁体を介して、外方拡散を行うとよい。

【 0 8 0 3 】

具体的には、酸化物半導体に近接して、過剰酸素領域を有する酸化窒化シリコンなどの膜を介し、酸化アルミニウム等を配置するとよい。また、酸化物半導体に近接して、過剰酸素領域を有する酸化窒化シリコンなどの膜を介し、酸化アルミニウム等を配置した後、加熱処理を行うとよい。

30

【 0 8 0 4 】

上記構成を用いることで、水素濃度が低減された酸化物を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

【 0 8 0 5 】

以上、本実施例に示す構成は、他の実施例または実施の形態と適宜組み合わせて用いることができる。

【実施例 3】

【 0 8 0 6 】

本実施例では、本発明の一態様である絶縁体を成膜し、S I M S 分析、および画像解析を行った。なお、本実施例において、12種の試料を作製した。

40

【 0 8 0 7 】

< 各試料の構成と作製方法 >

以下では、本発明の一態様に係る12種の試料について説明する。まず、各試料の構造を、図56に示す。各試料は、基板 9 3 0 と、基板 9 3 0 上の絶縁体 9 3 2 と、絶縁体 9 3 2 上の酸化物 9 3 4 と、酸化物 9 3 4 上の絶縁体 9 3 6 と、絶縁体 9 3 6 上の絶縁体 9 3 8 と、絶縁体 9 3 8 上の絶縁体 9 3 9 と、を有する。

【 0 8 0 8 】

ここで、絶縁体 9 3 8 の成膜条件（3条件）、絶縁体 9 3 8 成膜後の加熱処理の条件（3条件）、および絶縁体 9 3 9 の有無（2条件）と、を組み合わせ、12種の試料を作製

50

した。

【 0 8 0 9 】

なお、絶縁体 9 3 8 の成膜条件、および絶縁体 9 3 9 の有無による試料の分類を、試料 E 群（試料 1 E、試料 4 E、および試料 5 E）、試料 F 群（試料 1 F、試料 4 F、および試料 5 F）、試料 G 群（試料 1 G、試料 4 G、および試料 5 G）、および試料 H 群（試料 1 H、試料 4 H、および試料 5 H）とする。また、加熱処理の条件による試料の分類を、試料 1 群（試料 1 E、試料 1 F、試料 1 G、および試料 1 H）、試料 4 群（試料 4 E、試料 4 F、試料 4 G、および試料 4 H）、および試料 5 群（試料 5 E、試料 5 F、試料 5 G、および試料 5 H）とする。

【 0 8 1 0 】

1 2 種の試料における絶縁体 9 3 8 成膜後の加熱処理の設定温度および加熱時間、絶縁体 9 3 8 の膜厚、および絶縁体 9 3 9 の有無、を下表に示す。

【 0 8 1 1 】

【表 4】

	熱処理	絶縁体938の膜厚	絶縁体939の有無
試料1E	－	40[nm]	－
試料4E	400℃ 1hr	40[nm]	－
試料5E	400℃ 8hr	40[nm]	－
試料1F	－	40[nm]	○
試料4F	400℃ 1hr	40[nm]	○
試料5F	400℃ 8hr	40[nm]	○
試料1G	－	20[nm]	○
試料4G	400℃ 1hr	20[nm]	○
試料5G	400℃ 8hr	20[nm]	○
試料1H	－	80[nm]	○
試料4H	400℃ 1hr	80[nm]	○
試料5H	400℃ 8hr	80[nm]	○

【 0 8 1 2 】

次に、各試料の作製方法について、説明する。

【 0 8 1 3 】

まず、基板 9 3 0 として、シリコン基板を準備した。続いて、基板 9 3 0 上に、絶縁体 9 3 2 として、熱酸化膜を 1 0 0 n m 形成した。

【 0 8 1 4 】

次に、絶縁体 9 3 2 上に、酸化物 9 3 4 として、膜厚が 5 0 n m の I n - G a - Z n 酸化物を形成した。酸化物 9 3 4 は、I n : G a : Z n = 4 : 2 : 4 . 1 [原子数比] のターゲットを用い、酸素 (O ₂) とアルゴン (A r) の混合雰囲気下において、スパッタリング法により成膜した。また、反応室の圧力を 0 . 4 P a 、成膜温度を R . T 、および成膜電力を 2 0 0 W (D C) として成膜した。

【 0 8 1 5 】

なお、酸化物 9 3 4 を成膜する際に、酸素 (O ₂) の流量比が 3 3 パーセントの混合雰囲気を用いた。また、ここで、成膜ガスとして用いるアルゴン (A r) に、5 パーセントの重水素 (D) を添加した。

【 0 8 1 6 】

続いて、酸化物 9 3 4 上に、絶縁体 9 3 6 を成膜した。絶縁体 9 3 6 として、プラズマ C V D 法を用いて、1 1 0 n m の酸化シリコン膜を形成した。成膜条件は、流量 5 s c c

mのシラン (SiH_4)、流量 1000 sccm の一酸化二窒素 (N_2O) を用いた。反応室の圧力を 133.3 Pa とし、成膜温度 325 とし、 45 W (13.56 MHz) の高周波 (RF) 電力を印加することで成膜した。

【0817】

次に、絶縁体 936 上に、絶縁体 938 として、所定の膜厚の酸化アルミニウムを形成した。絶縁体 938 は、 Al_2O_3 のターゲットを用い、酸素 (O_2) の流量比が 50% 、アルゴン (Ar) の流量比が 50% の混合雰囲気下において、スパッタリング法により成膜した。また、反応室の圧力を 0.4 Pa 、成膜温度を 250 、および成膜電力を 2.5 kW (RF) として成膜した。

【0818】

続いて、窒素雰囲気下において、上記表に示す条件にて、加熱処理を行った。

【0819】

次に、絶縁体 938 上に、絶縁体 939 として、スパッタリング法により、膜厚 20 nm の窒化シリコン膜を形成した。

【0820】

以上の工程により、本実施例の試料を作製した。

【0821】

< 各試料の SIMS の測定結果 >

各試料の絶縁体 939、絶縁体 938、絶縁体 936、および酸化物 934 の各層を定量層として、SIMS 分析を行い、重水素 (D) 濃度を検出した。当該測定により得られた各定量層のプロファイルを合成した結果を図 57、および図 58 に示す。なお、水素濃度評価は、分析装置としてアルバック・ファイ社製四重極 SIMS 装置 ADEPT 1010 を用いた。

【0822】

なお、本 SIMS 分析で検出された重水素 (D) は、酸化物 934 を成膜した際に、混入した重水素 (D) である。従って、酸化物 934 上の絶縁体 936、および絶縁体 938 で検出された重水素 (D) は、酸化物 934 から拡散した重水素 (D) であると考えられる。

【0823】

図 57 (A) は、試料 E 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。図 57 (B) は、試料 F 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。図 58 (A) は、試料 G 群の膜中の重水素 (D) 濃度の深さ方向プロファイルを示す。

【0824】

図 57 (A)、および図 57 (B) より、絶縁体 939 は、水素に対するバリア性を有することが確認できた。また、加熱処理の時間を長くしても、酸化物 934 中の水素濃度に顕著な差は見られなかった。

【0825】

一方、図 57 (A) に示すように、バリア性を有する膜 (絶縁体 939) を設けない場合、加熱処理の時間が長くなると、酸化物 934 の水素濃度が大きく減少した。これは、酸化物 934 に内在する水素が、絶縁体 936、および絶縁体 938 を介して、外方に放出された (外方拡散ともいう) ため、試料 E 群における水素の総量が減少したと考えられる。

【0826】

また、図 57 (B)、図 58 (A)、および図 58 (B) により、加熱処理により、絶縁体 938 中の重水素は、絶縁体 939 側に拡散していることが確認できた。

【0827】

また、図 57 (B) と図 58 (A) とを比較すると、絶縁体 938 の重水素の濃度は、ほぼ等しいことがわかった。これは、絶縁体 938 の膜厚が 20 nm 、または膜厚 40 nm と、比較的薄い膜厚であるため、絶縁体 938 における重水素の濃度が飽和したと考えられる。

10

20

30

40

50

【 0 8 2 8 】

一方、図 5 8 (B) より、絶縁体 9 3 8 の膜厚が、8 0 n m と比較的厚い場合、加熱処理の時間が長くなるに伴い、絶縁体 9 3 8 中の重水素の拡散は進行していると推測できる。

【 0 8 2 9 】

特に、加熱処理の時間が 8 時間である試料 5 H は、絶縁体 9 3 8 中において、重水素の濃度に極大値が観察された。具体的には、絶縁体 9 3 6 に近接する領域は、重水素の濃度が比較的高く、絶縁体 9 3 9 に近い領域は、重水素の濃度が低いことがわかった。

【 0 8 3 0 】

つまり、試料 5 H の絶縁体 9 3 8 において、絶縁体 9 3 9 側よりも、絶縁体 9 3 6 側に、重水素の濃度が高い領域、を有する。

10

【 0 8 3 1 】

そこで、試料 G 群 (絶縁体 9 3 8 の膜厚 2 0 n m) 、試料 F 群 (絶縁体 9 3 8 の膜厚 4 0 n m) 、および試料 H 群 (絶縁体 9 3 8 の膜厚 8 0 n m) に相当する膜構造を成膜し、断面観察を行った。なお、断面観察は、走査型透過電子顕微鏡 (S T E M : S c a n n i n g T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) により行った。観察用の装置は日立ハイテクノロジーズ社製 H D - 2 7 0 0 を用いた。

【 0 8 3 2 】

また、絶縁体 9 3 8 に相当する膜として、所定の膜厚の酸化アルミニウムを形成した。絶縁体 9 3 8 は、 Al_2O_3 のターゲットを用い、酸素 (O_2) の流量比が 5 0 % 、アルゴン (Ar) の流量比が 5 0 % の混合雰囲気下において、スパッタリング法により成膜した。また、反応室の圧力を 0 . 4 P a 、成膜温度を 2 5 0 、および成膜電力を 2 . 5 k W (R F) として成膜した。

20

【 0 8 3 3 】

図 5 9 (A) には、膜厚 2 0 n m の酸化アルミニウム膜の断面写真を示す。図 5 9 (B) には、膜厚 4 0 n m の酸化アルミニウム膜の断面写真を示す。図 5 9 (C) には、膜厚 8 0 n m の酸化アルミニウム膜の断面写真を示す。

【 0 8 3 4 】

図 5 9 (A) に示すように、膜厚 2 0 n m (測定膜厚 2 0 . 3 n m) の酸化アルミニウム膜は、非晶質領域のみが観察された。

30

【 0 8 3 5 】

一方、図 5 9 (A) 、および図 5 9 (B) において、酸化アルミニウム膜は、成膜開始から 2 5 n m 以上 3 0 n m 以下の領域で、膜質が変化していることが認められた。つまり、成膜開始から 2 5 n m 乃至 3 0 n m 以下の領域の膜質と、2 5 n m 乃至 3 0 n m 以上の領域の膜質が異なることが確認できた。

【 0 8 3 6 】

具体的には、図 5 9 (B) に示すように、膜厚 4 0 n m (測定膜厚 4 1 . 9 n m) の酸化アルミニウム膜は、当該酸化アルミニウム膜の下部に非結晶領域を有し、当該アルミニウム膜の上部に結晶を含む領域が観察された。図 5 9 (B) において、非晶質領域の測定膜厚は 2 8 . 7 n m 、結晶を含む領域の測定膜厚は 1 3 . 2 n m であった。

40

【 0 8 3 7 】

また、図 5 9 (C) に示すように、膜厚 8 0 n m (測定膜厚 7 3 . 1 n m) の酸化アルミニウム膜においても、当該酸化アルミニウム膜の下部に非結晶領域を有し、当該アルミニウム膜の上部に結晶を含む領域が観察された。図 5 9 (C) において、非晶質領域の測定膜厚は 2 7 . 5 n m 、結晶を含む領域の測定膜厚は 4 5 . 7 n m であった。

【 0 8 3 8 】

従って、試料 5 H の絶縁体 9 3 8 中は、非晶質層と結晶層が積層状態であったため、重水素の濃度に極大値が観察された蓋然性が高く、非晶質酸化アルミニウムは、結晶を含む酸化アルミニウムよりも、重水素の拡散濃度が高いと推測できる。つまり、非晶質の酸化アルミニウムは、結晶を含む酸化アルミニウムよりも、水素の貯蔵量が多いと考えられる

50

。

【 0 8 3 9 】

以上より、絶縁体 9 3 8 は、結晶性が低い方が、水素の貯蔵量が大きいことが確認できた。また、絶縁体 9 3 8 は、結晶性が高い方が、水素に対するバリア性が高いことが確認できた。

【 0 8 4 0 】

従って、結晶性が高い絶縁体 9 3 8 よりも、非晶質、または結晶性が低い絶縁体 9 3 8の方が、水素を捕獲・固着する（ゲッターリングともいう）量が大きいと考えられる。一方、結晶性が高い絶縁体 9 3 8 は、非晶質、または結晶性が低い絶縁体 9 3 8 よりも、水素の拡散を抑制する、つまり水素に対するバリア性が大きいと考えられる。

10

【 0 8 4 1 】

本実施例により、酸化物中の水素は、酸化物の近傍に設けられた絶縁体により、捕獲、または固着することで、低減することが可能であることがわかった。また、後工程により、酸化物中の水素は、酸化物の近傍に設けられた絶縁体を介して、外方拡散が可能であることがわかった。従って、酸化物や絶縁体の成膜工程など、酸化物の成膜処理以降の工程で混入した酸化物中の水素は、後の工程により、除去、または低減できることが確認できた。

【 0 8 4 2 】

つまり、酸化物半導体を用いる場合、酸化物半導体に近接する膜に、過剰酸素領域を有する膜を用いるとよい。または、酸化物半導体に、過剰酸素領域を有する膜を介して、水素を捕獲、または固着する膜を設けるとよい。または、加熱処理などを行うことで、酸化物半導体中の水素を、絶縁体を介して、外方拡散を行うとよい。

20

【 0 8 4 3 】

具体的には、酸化物半導体に近接して、過剰酸素領域を有する酸化窒化シリコンなどの膜を介し、酸化アルミニウム等を配置するとよい。また、酸化物半導体に近接して、過剰酸素領域を有する酸化窒化シリコンなどの膜を介し、酸化アルミニウム等を配置した後、加熱処理を行うとよい。

【 0 8 4 4 】

上記構成を用いることで、水素濃度が低減された酸化物を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

30

【 0 8 4 5 】

以上、本実施例に示す構成は、他の実施例または実施の形態と適宜組み合わせて用いることができる。

【 符号の説明 】

【 0 8 4 6 】

1 0 酸化物半導体、1 2 絶縁体、1 4 金属酸化物、2 0 モデル、2 1 間隙領域、2 2 間隙領域、2 4 モデル、2 6 モデル、1 0 0 容量素子、1 1 0 導電体、1 1 2 導電体、1 1 5 導電体、1 2 0 導電体、1 2 5 導電体、1 3 0 絶縁体、1 4 0 導電体、1 4 2 絶縁体、1 4 5 絶縁体、1 5 0 絶縁体、1 5 2 絶縁体、1 5 3 導電体、1 5 4 絶縁体、1 5 6 絶縁体、2 0 0 トランジスタ、2 0 0 __ n トランジスタ、2 0 0 __ 1 トランジスタ、2 0 5 導電体、2 0 5 a 導電体、2 0 5 b 導電体、2 1 0 絶縁体、2 1 1 絶縁体、2 1 2 絶縁体、2 1 4 絶縁体、2 1 6 絶縁体、2 1 7 絶縁体、2 1 8 導電体、2 2 2 絶縁体、2 2 4 絶縁体、2 3 0 酸化物、2 3 0 a 酸化物、2 3 0 A 酸化膜、2 3 0 b 酸化物、2 3 0 B 酸化膜、2 3 0 c 酸化物、2 3 0 c 1 酸化物、2 3 0 c 2 酸化物、2 3 0 C 酸化膜、2 4 0 導電体、2 4 0 __ n 導電体、2 4 0 __ 1 導電体、2 4 0 a 導電体、2 4 0 b 導電体、2 4 1 絶縁体、2 4 1 a 絶縁体、2 4 1 b 絶縁体、2 4 2 導電体、2 4 2 a 導電体、2 4 2 A 導電膜、2 4 2 b 導電体、2 4 2 B 導電体層、2 4 3 酸化物、2 4 3 a 酸化物、2 4 3 A 酸化膜、2 4 3 b 酸化物、2 4 3 B 酸化

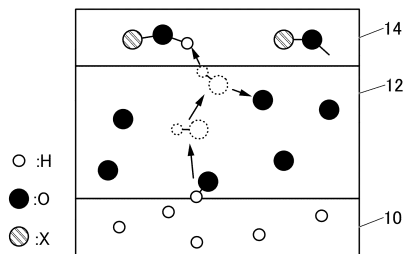
40

50

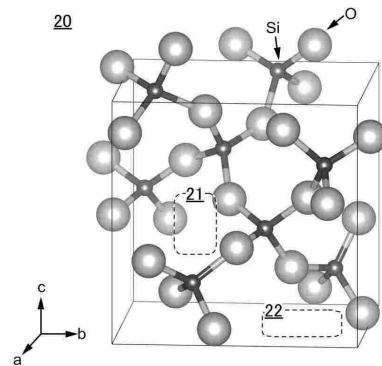
物層、246 導電体、246a 導電体、246b 導電体、250 絶縁体、250A 絶縁膜、260 導電体、260a 導電体、260A 導電膜、260Aa 導電膜、260Ab 導電膜、260b 導電体、265 封止部、265a 封止部、265b 封止部、272 絶縁体、273 絶縁体、274 絶縁体、280 絶縁体、282 絶縁体、283 絶縁体、284 絶縁体、286 絶縁体、287 絶縁体、287A 絶縁体、290 メモリデバイス、290__n メモリデバイス、290__1 メモリデバイス、290__2 メモリデバイス、292 容量デバイス、294 導電体、296 絶縁体、298 絶縁体、300 トランジスタ、311 基板、313 半導体領域、314a 低抵抗領域、314b 低抵抗領域、315 絶縁体、316 導電体、320 絶縁体、322 絶縁体、324 絶縁体、326 絶縁体、328 導電体、330 導電体、350 絶縁体、352 絶縁体、354 絶縁体、356 導電体、400 トランジスタ、405 導電体、430c 酸化物、431a 酸化物、431b 酸化物、432a 酸化物、432b 酸化物、442 導電体、442a 導電体、442b 導電体、443 酸化物、443a 酸化物、443b 酸化物、450 絶縁体、460 導電体、460a 導電体、460b 導電体、910 基板、912 絶縁体、913 絶縁体、916 絶縁体、918 絶縁体、920 基板、922 絶縁体、924 酸化物、926 絶縁体、928 絶縁体、930 基板、932 絶縁体、934 酸化物、936 絶縁体、938 絶縁体、939 絶縁体

【図面】

【図1】

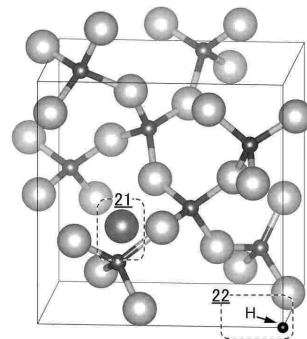


【図2】



(B)

24



10

20

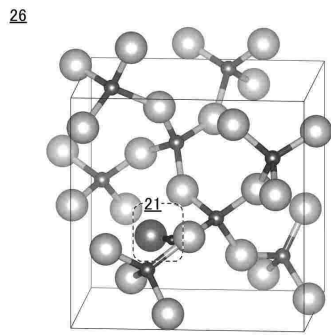
30

40

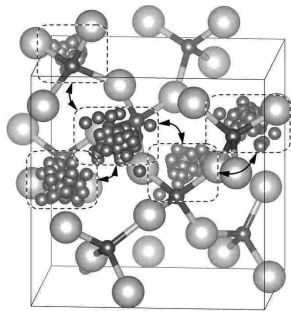
50

【図 3】

(A)

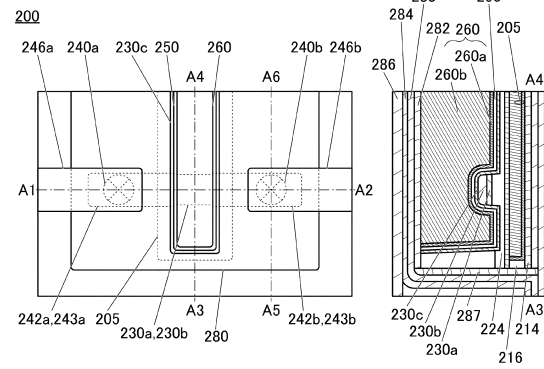


(B)

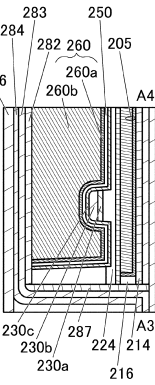


【図 4】

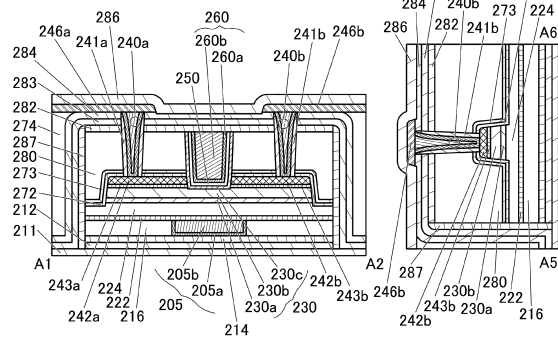
(A)



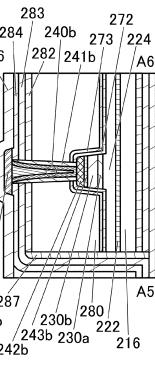
(C)



(B)

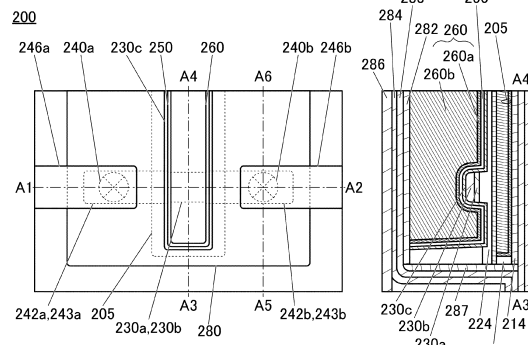


(D)

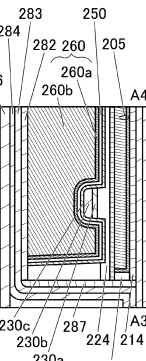


【図 5】

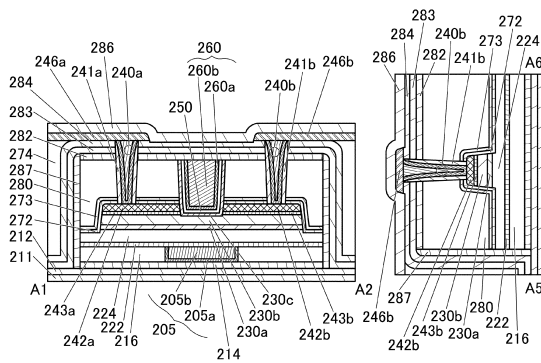
(A)



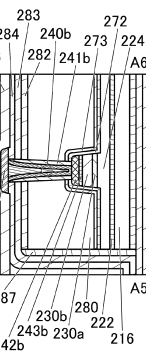
(C)



(B)

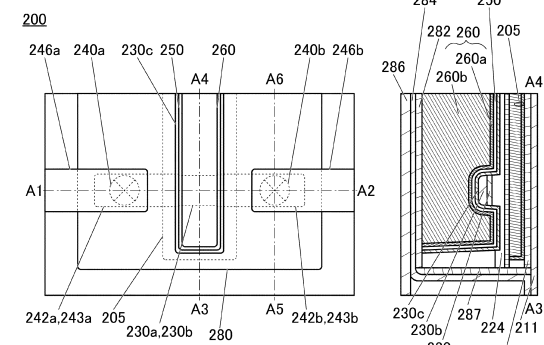


(D)

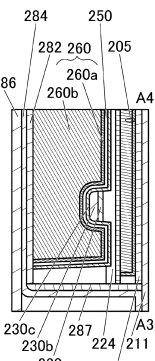


【図 6】

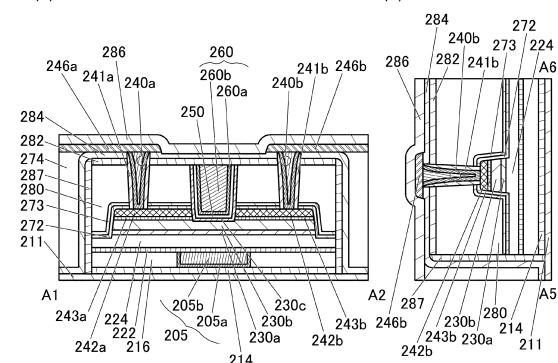
(A)



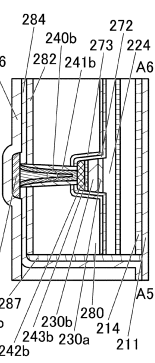
(C)



(B)



(D)



10

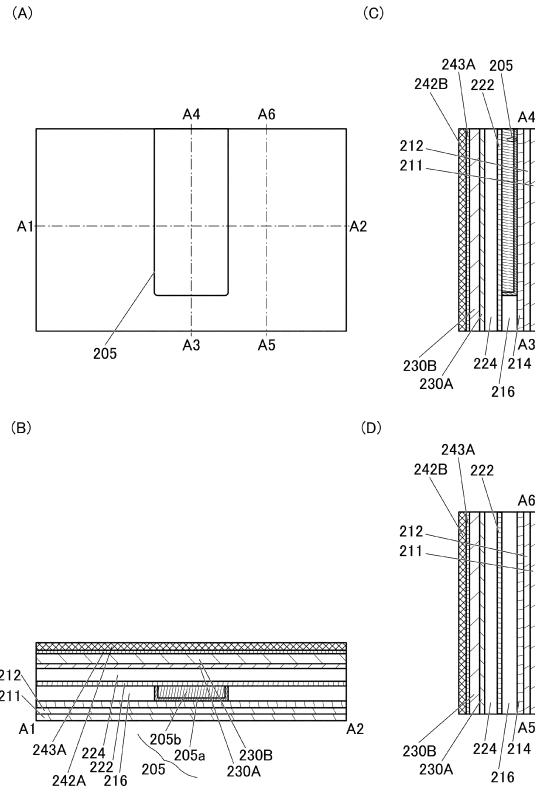
20

30

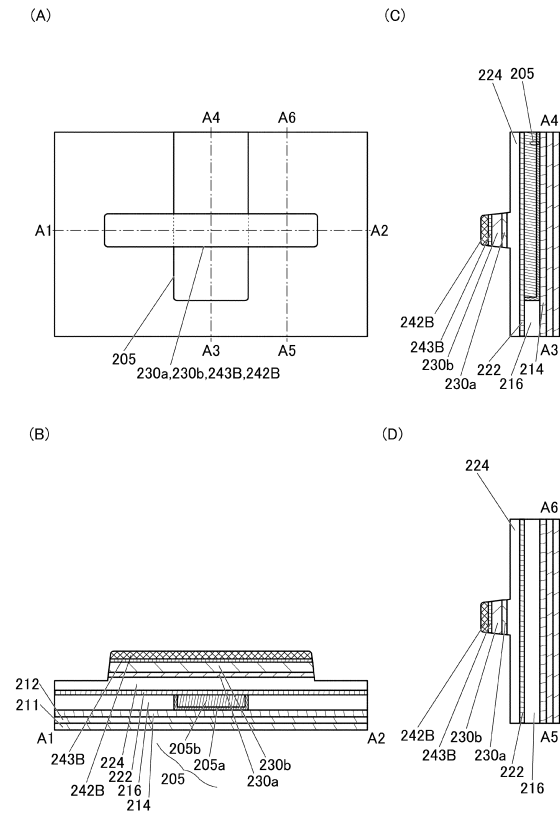
40

50

【図 7】



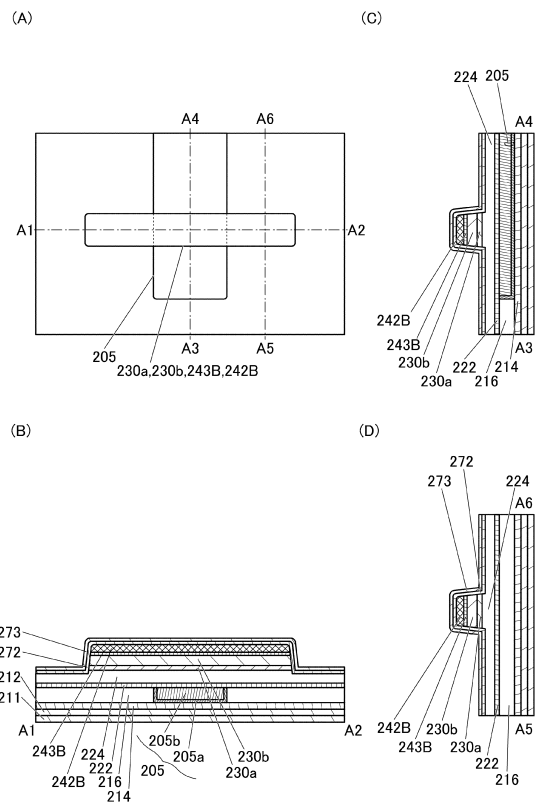
【図 8】



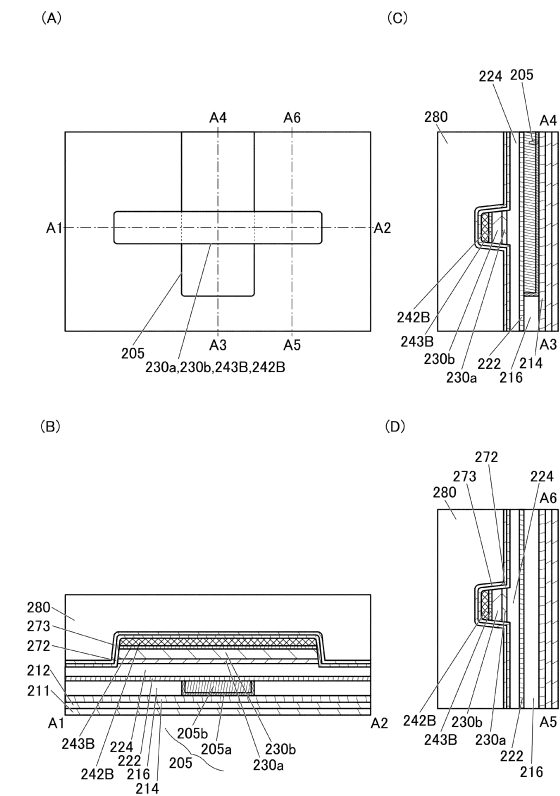
10

20

【図 9】



【図 10】

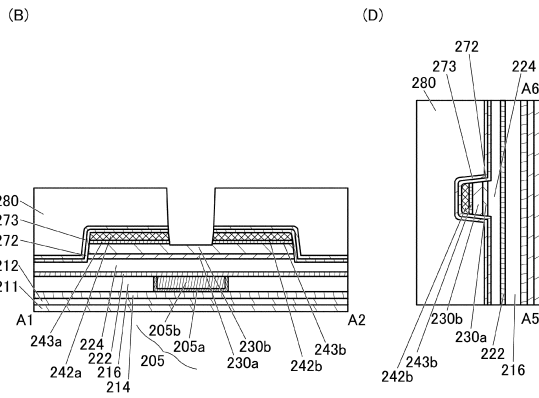
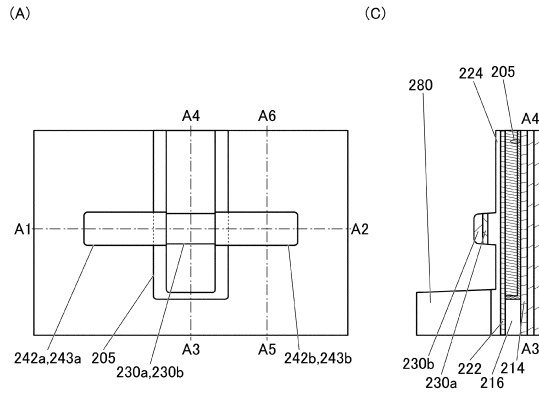


30

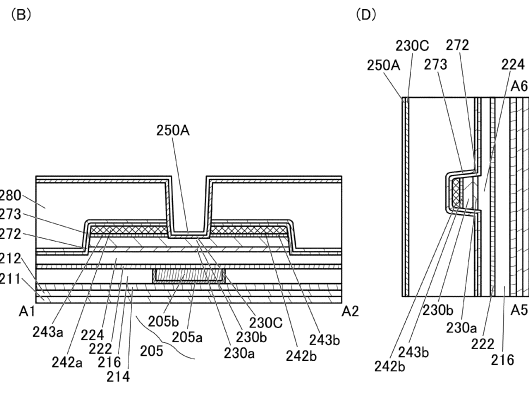
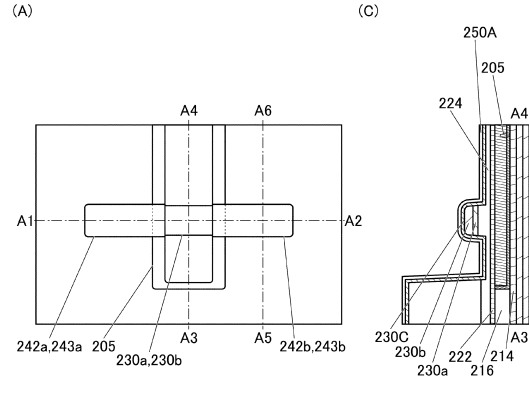
40

50

【図 1 1】



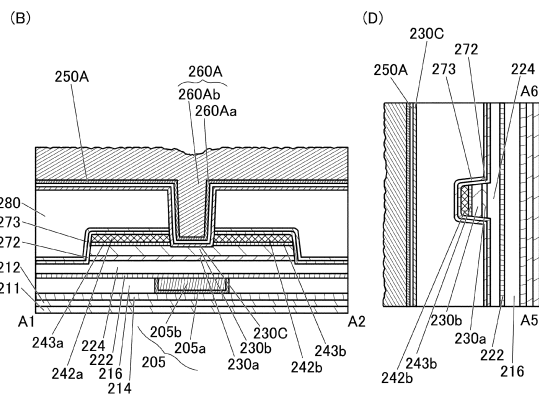
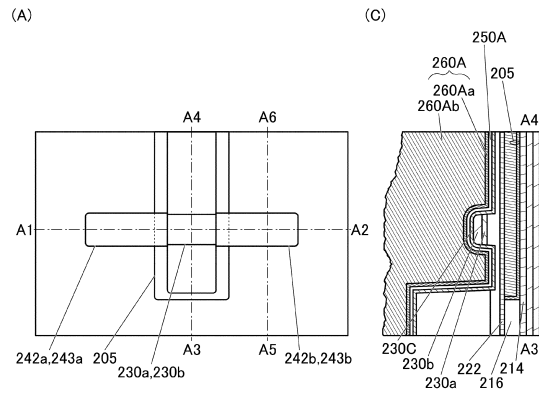
【図 1 2】



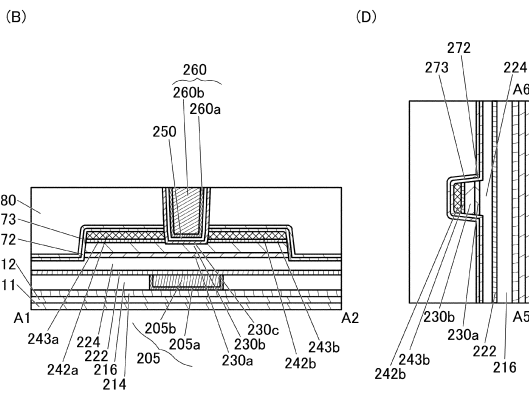
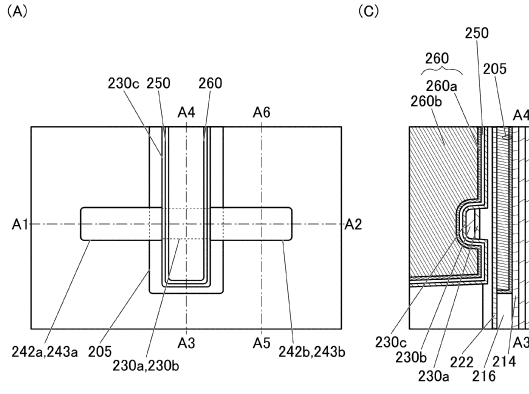
10

20

【図 1 3】



【図 1 4】

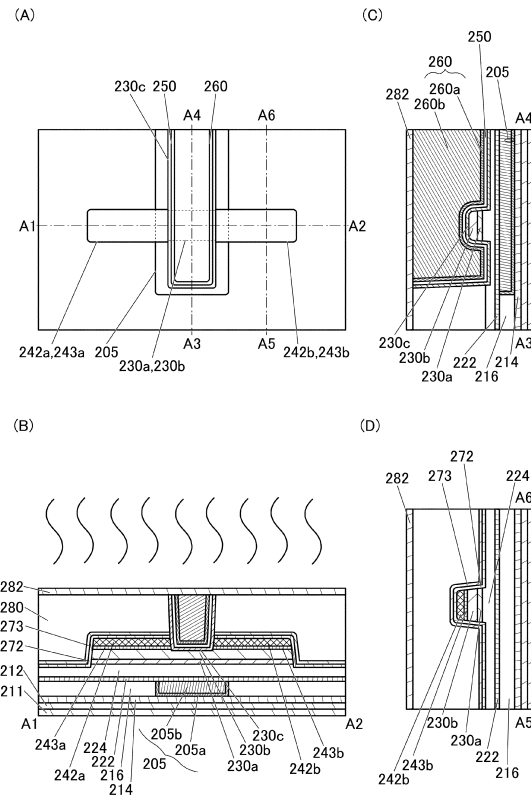


30

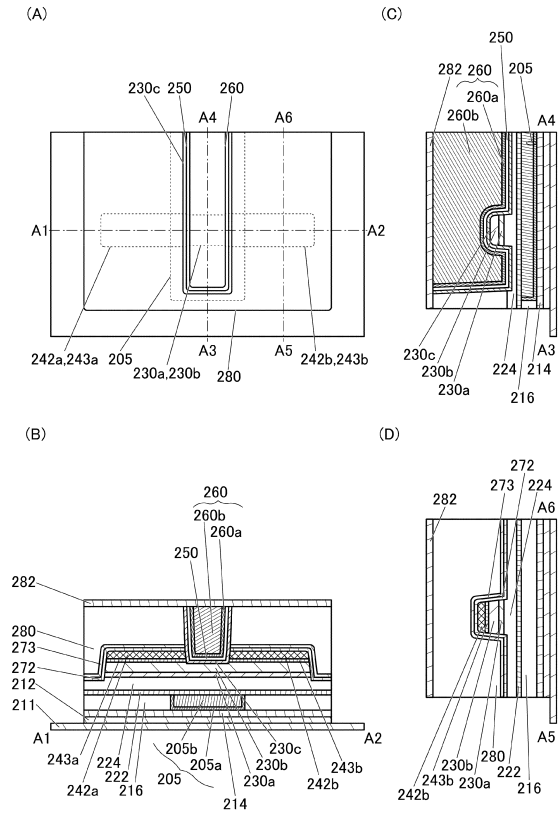
40

50

【図 15】



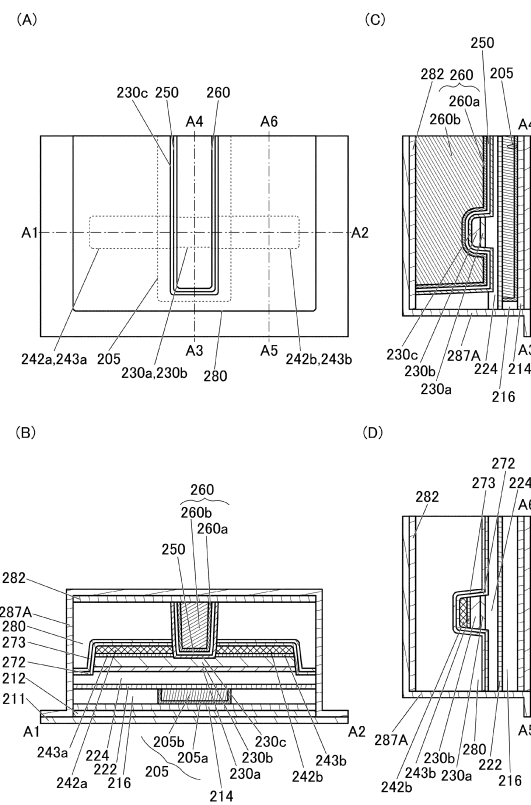
【図 16】



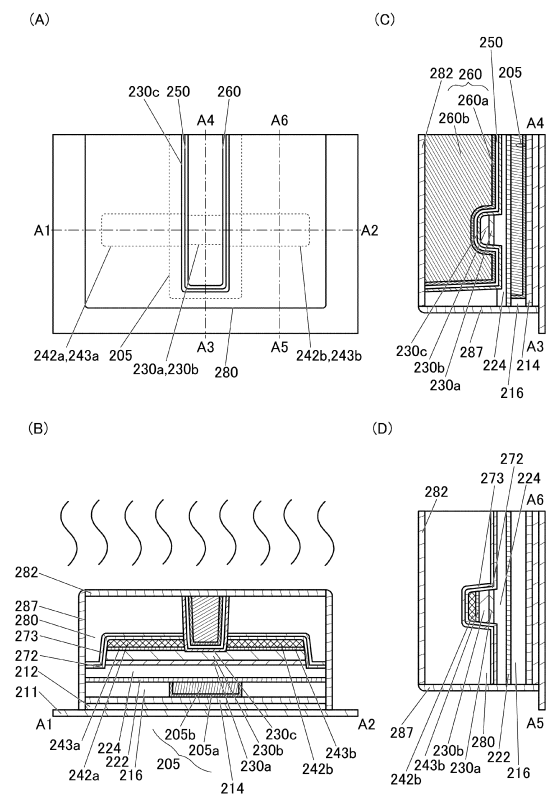
10

20

【図 17】



【図 18】

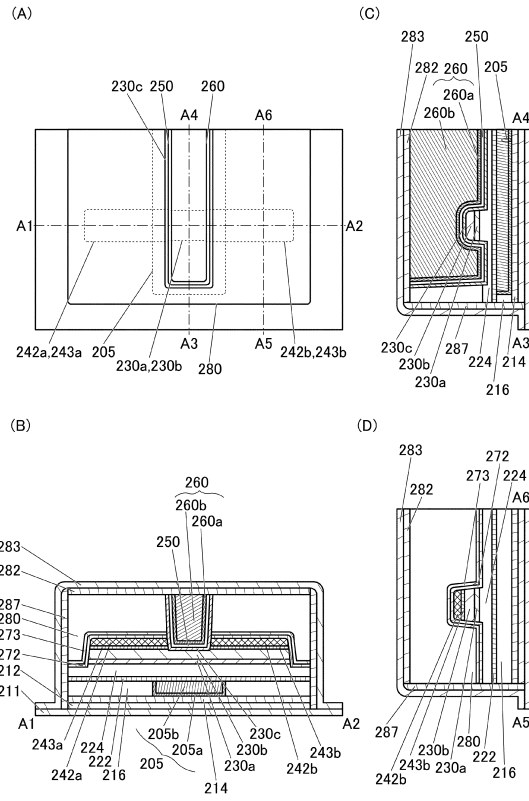


30

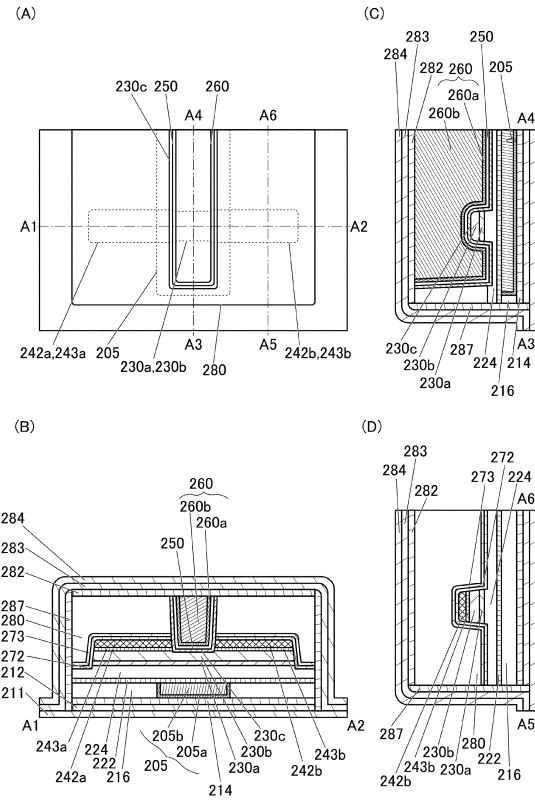
40

50

【図 19】



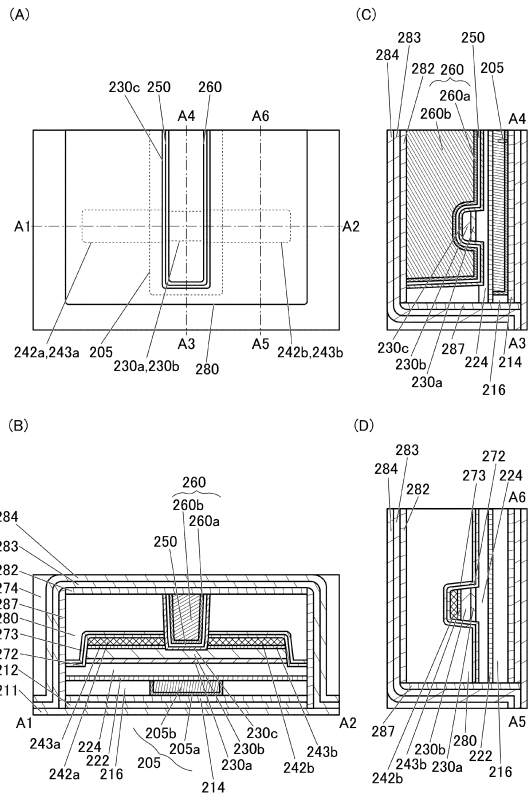
【図 20】



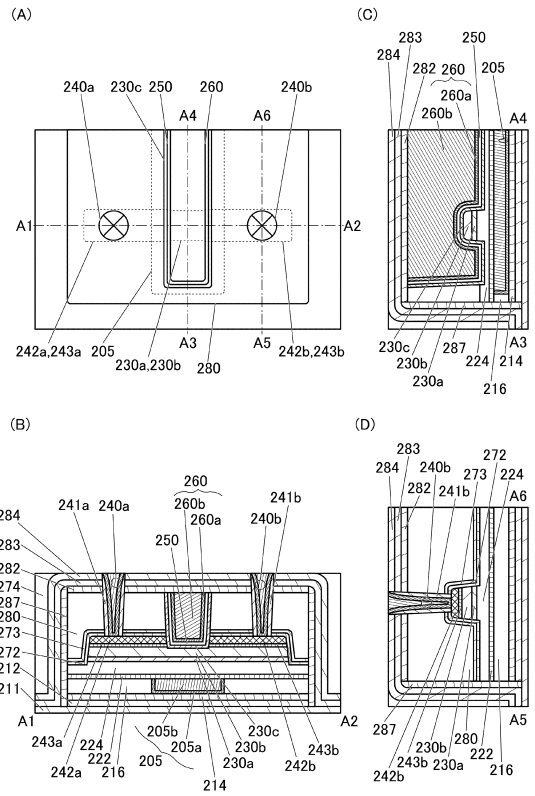
10

20

【図 21】



【図 22】

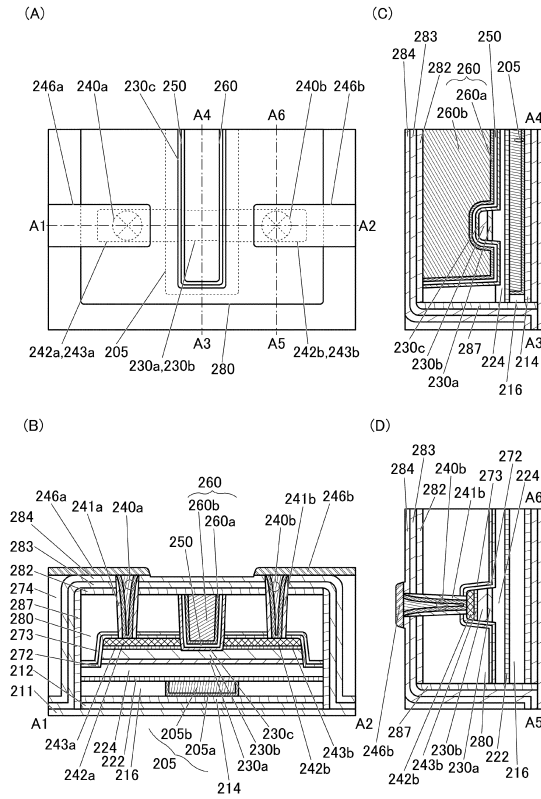


30

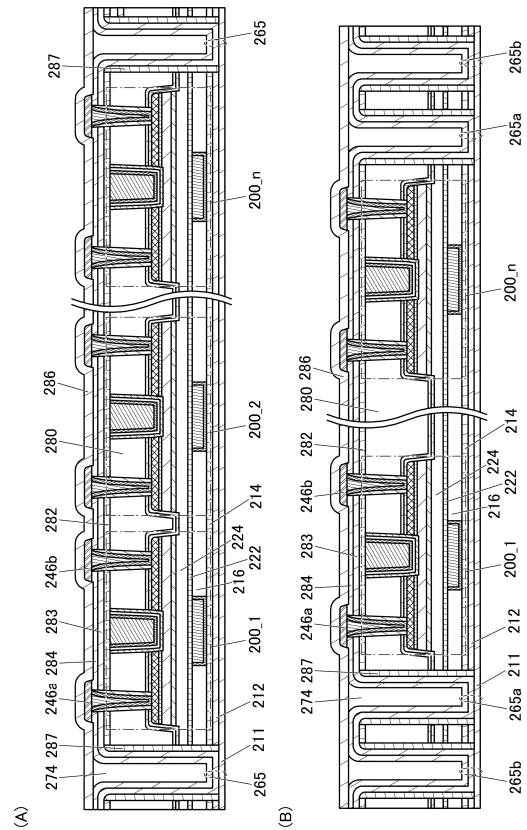
40

50

【図 2 3】



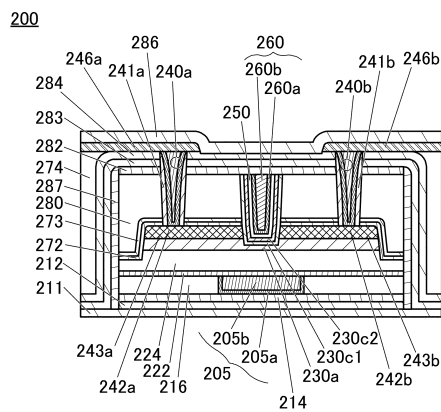
【図 2 4】



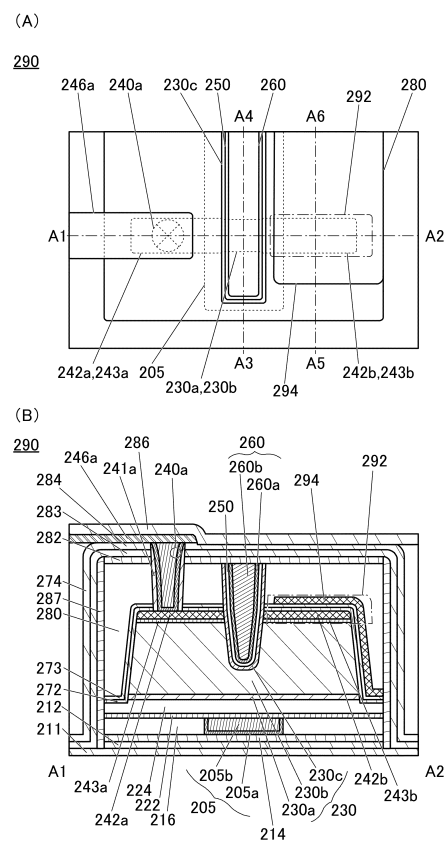
10

20

【図 2 5】



【図 2 6】

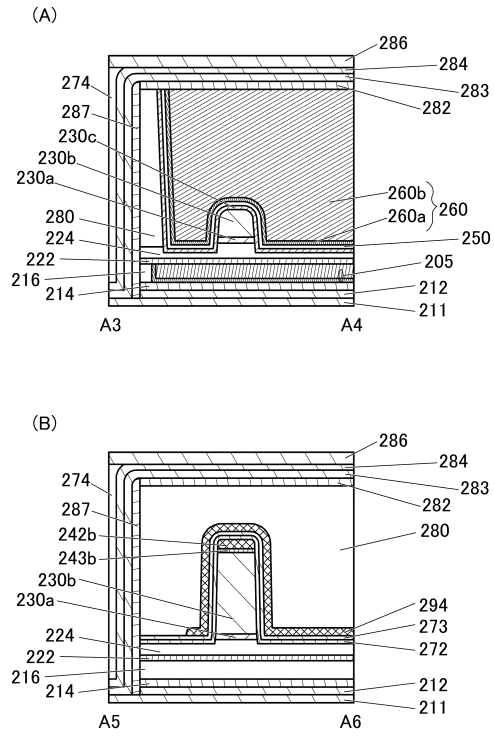


30

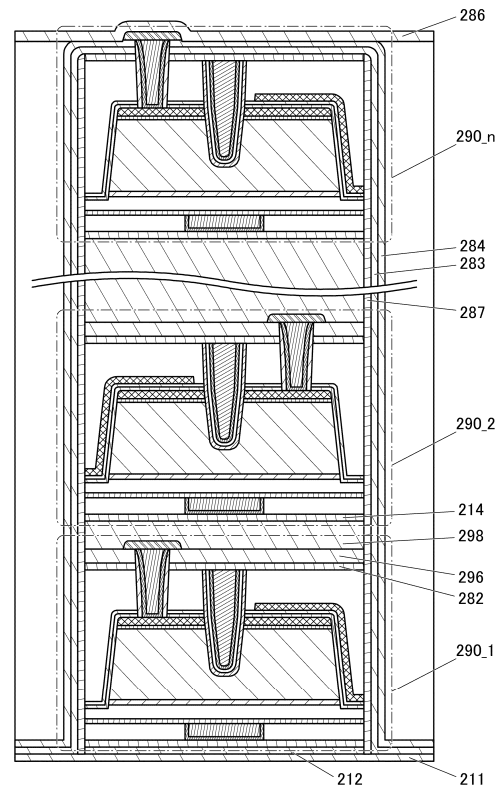
40

50

【図 27】



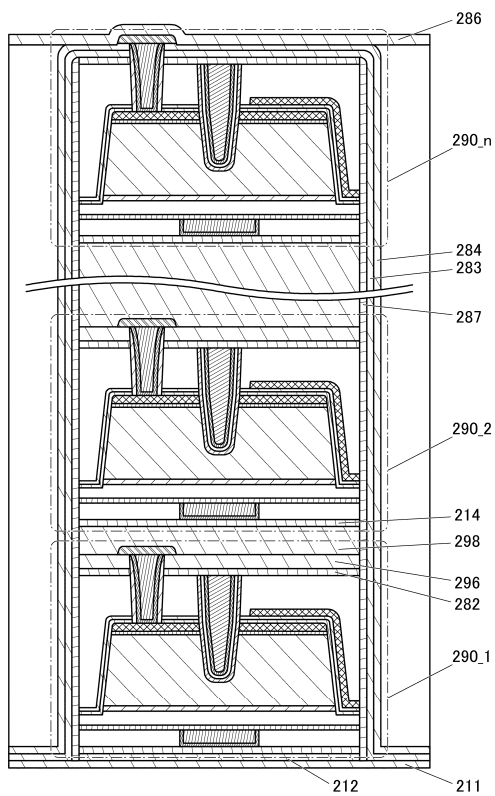
【図 28】



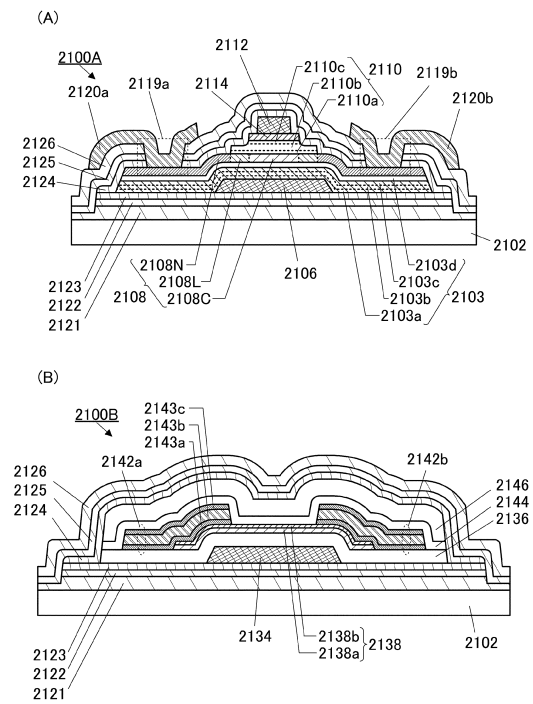
10

20

【図 29】



【図 30】



30

40

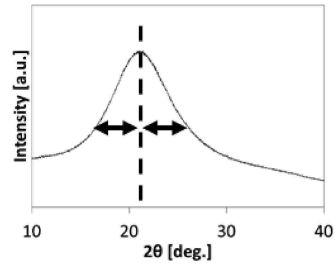
50

【図 3 1】

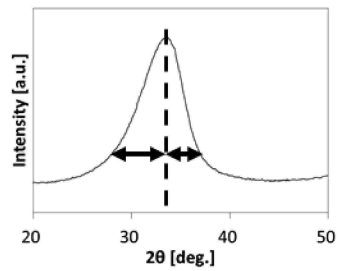
(A)

Amorphous	Crystalline	Crystal
completely amorphous	<ul style="list-style-type: none"> •CAAC •nc •CAC 	<ul style="list-style-type: none"> •single crystal •poly crystal

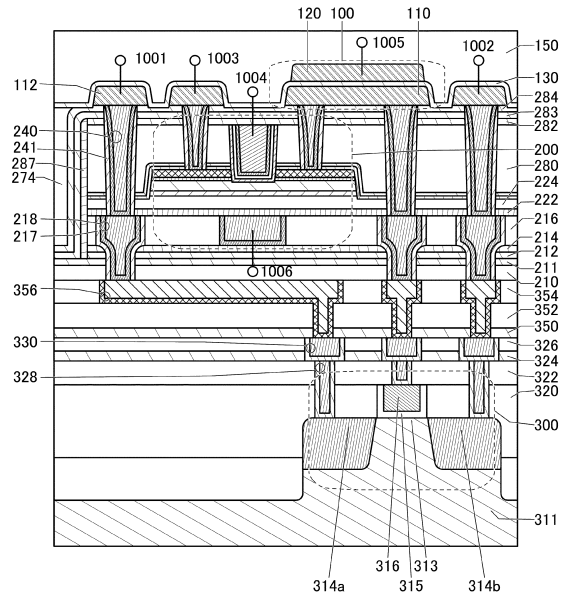
(B)



(C)



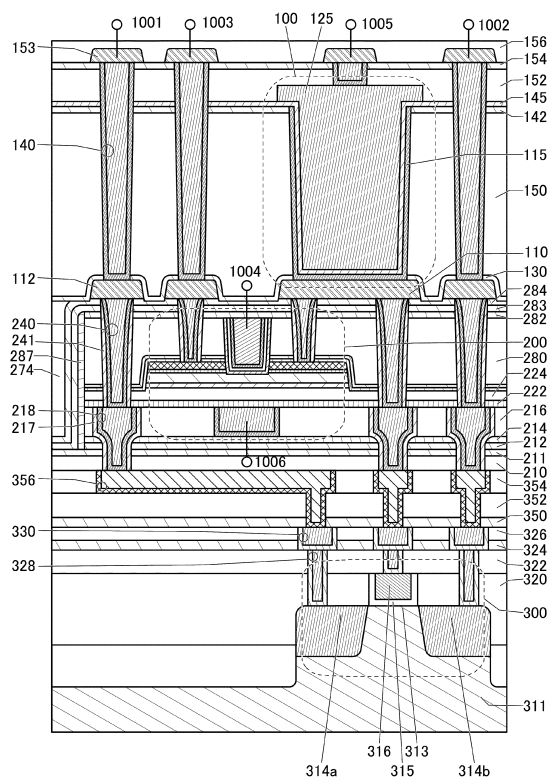
【図 3 2】



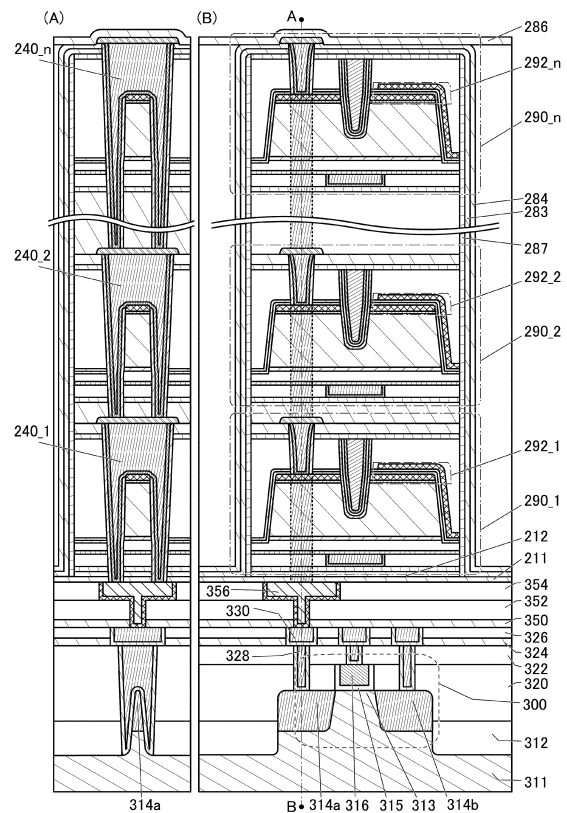
10

20

【図 3 3】



【図 3 4】

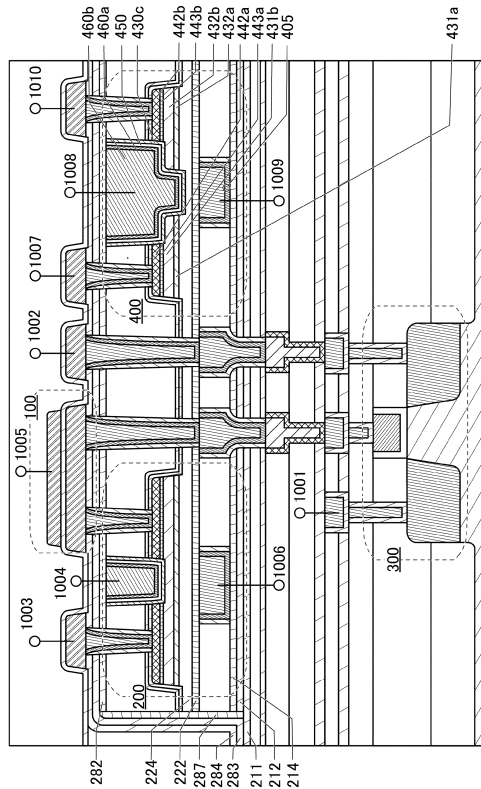


30

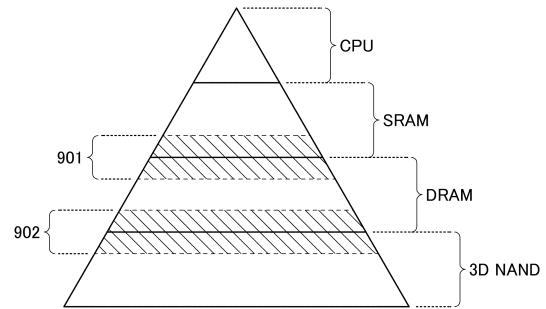
40

50

【図 3 5】



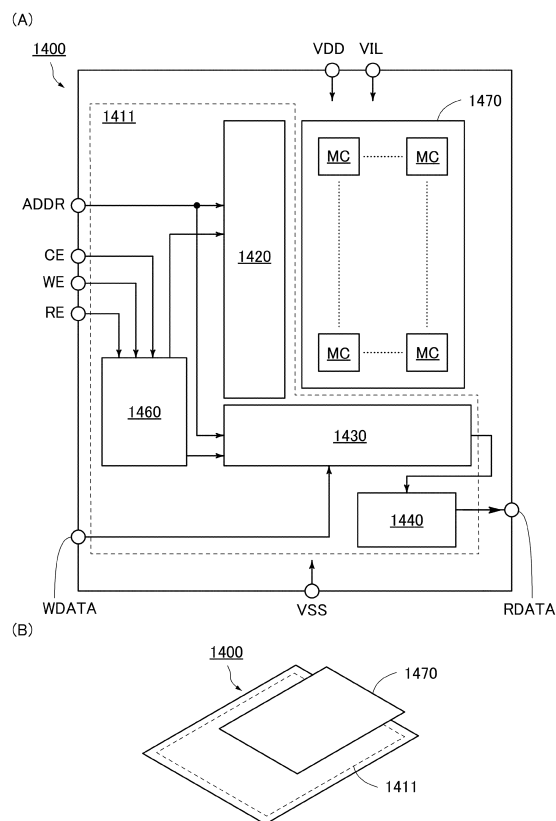
【図 3 6】



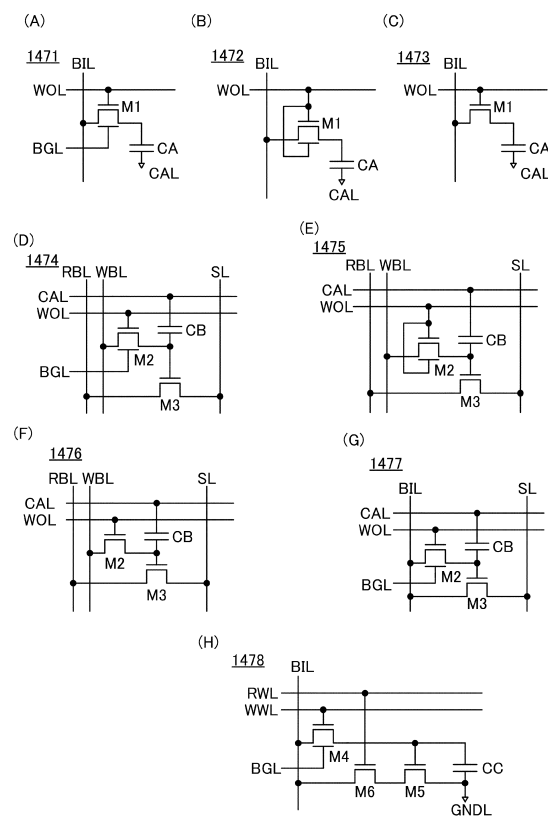
10

20

【図 3 7】



【図 3 8】

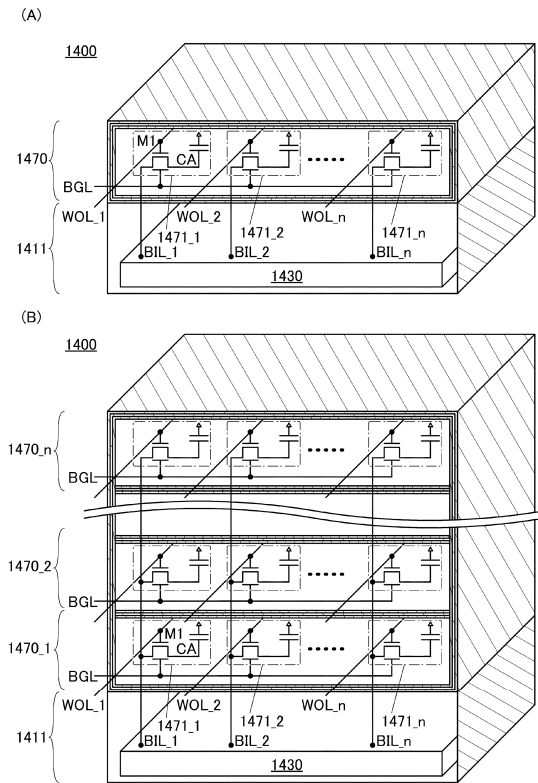


30

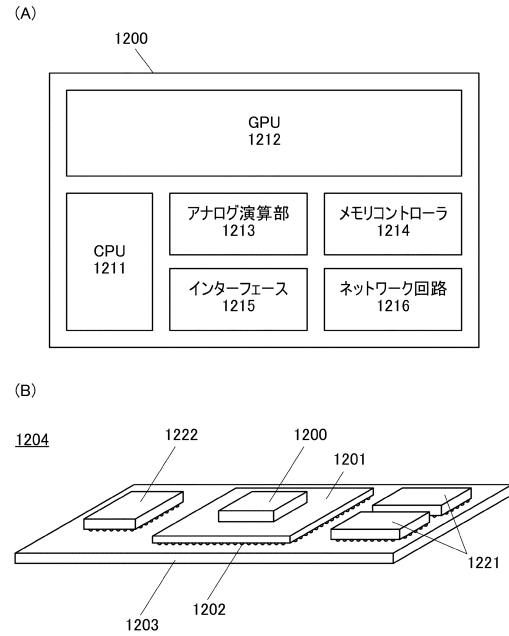
40

50

【図 39】



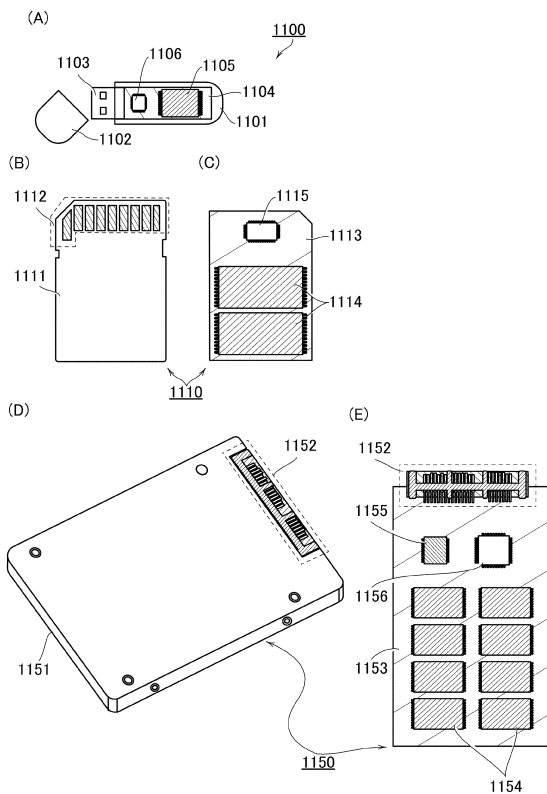
【図 40】



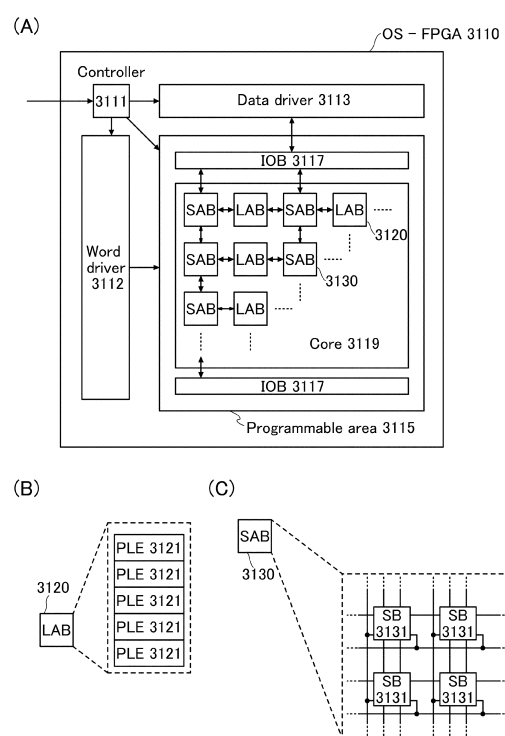
10

20

【図 41】



【図 42】



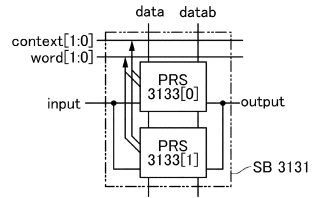
30

40

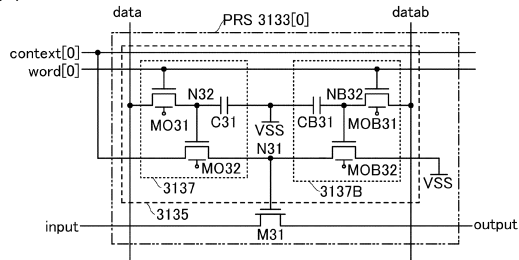
50

【図 4 3】

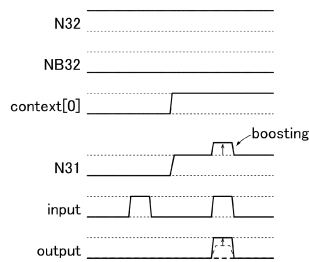
(A)



(B)

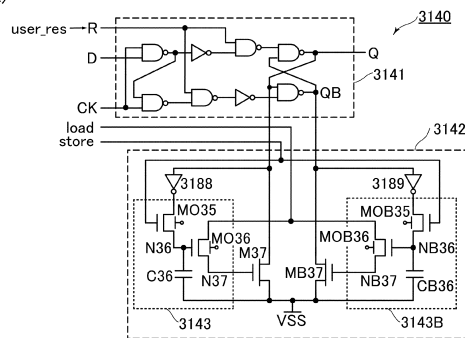


(C)



【図 4 5】

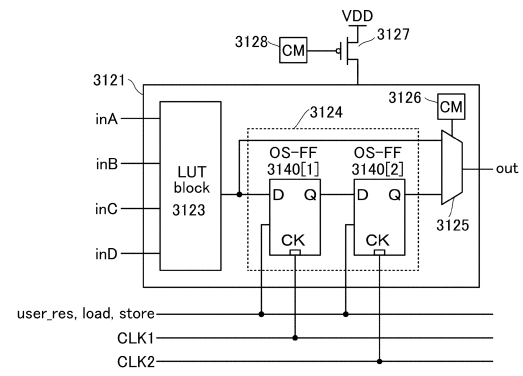
(A)



(B)



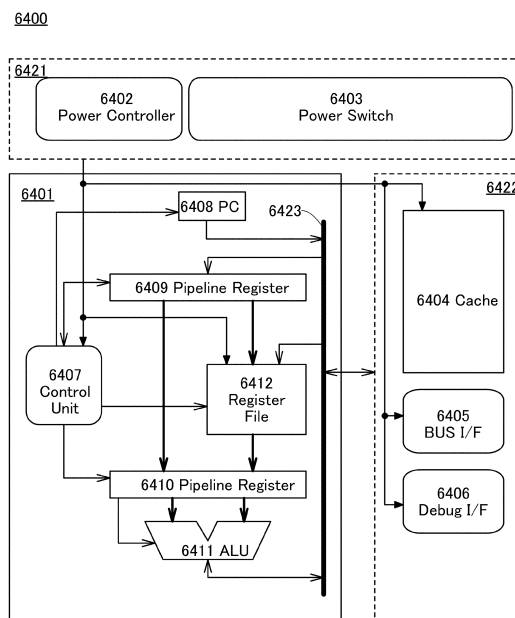
【図 4 4】



10

20

【図 4 6】

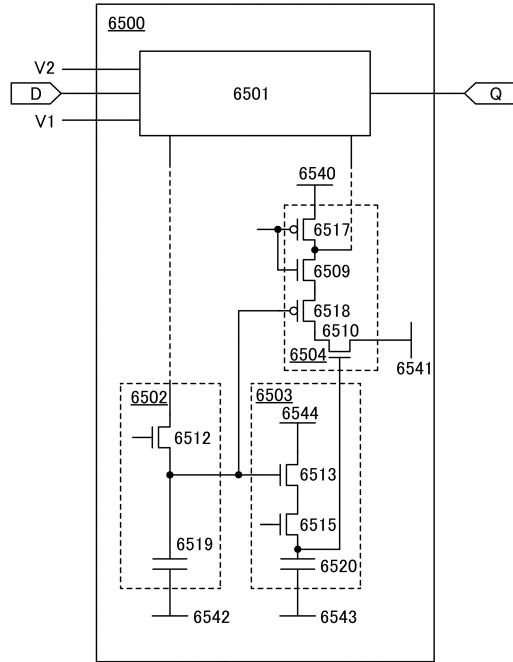


30

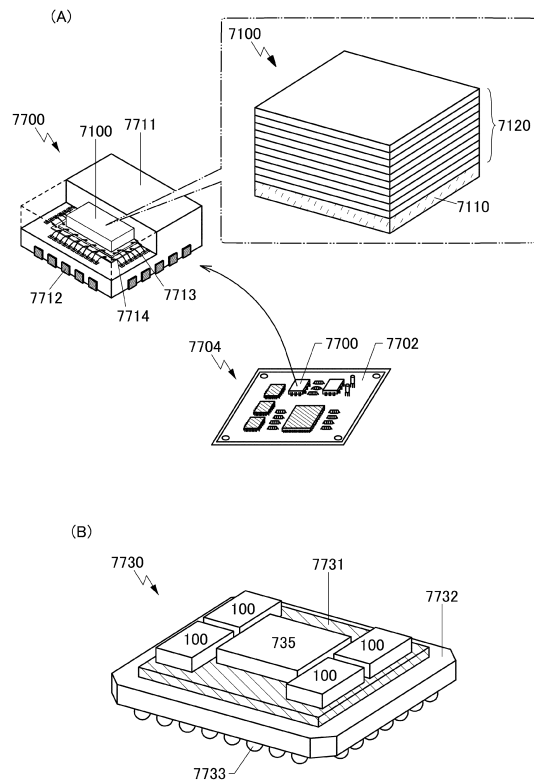
40

50

【図 4 7】



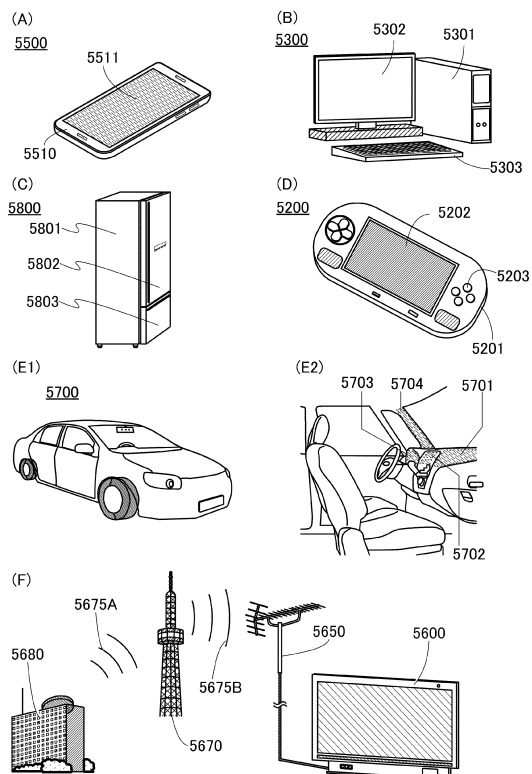
【図 4 8】



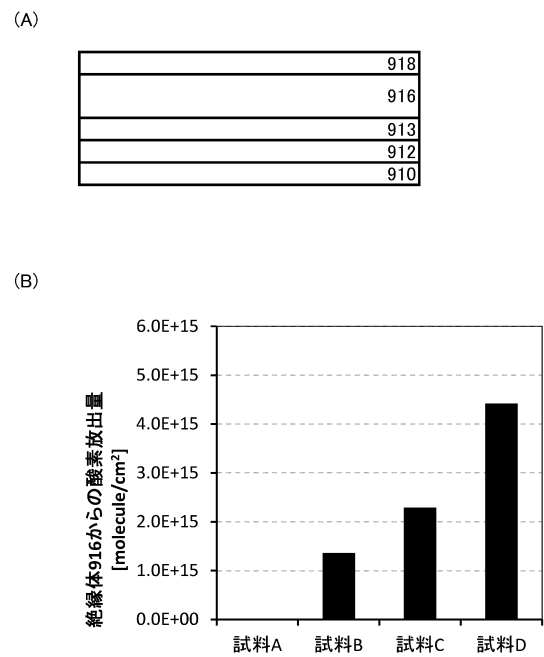
10

20

【図 4 9】



【図 5 0】

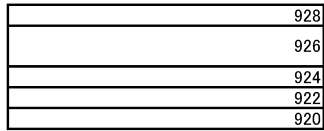


30

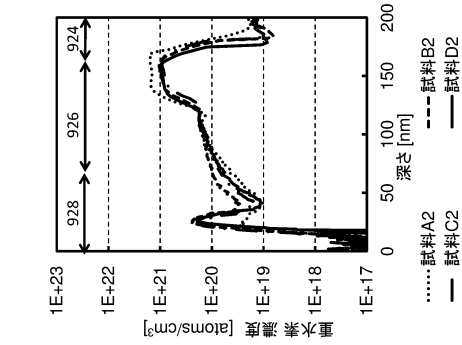
40

50

【図 5 1】

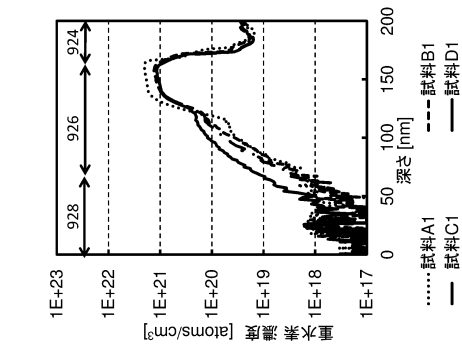


【図 5 2】



10

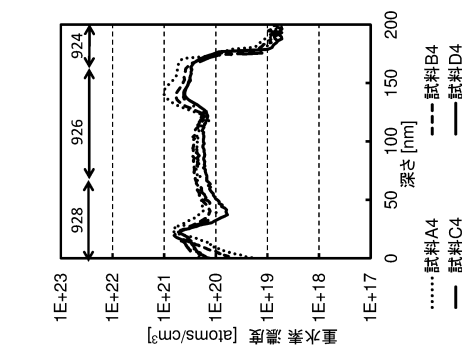
(B)



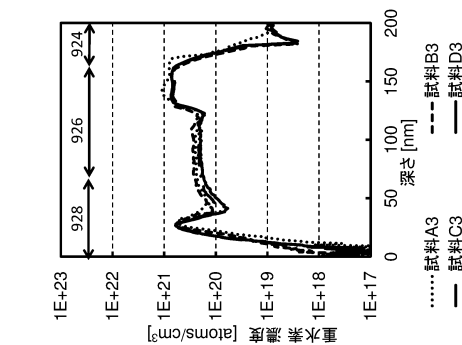
20

(A)

【図 5 3】

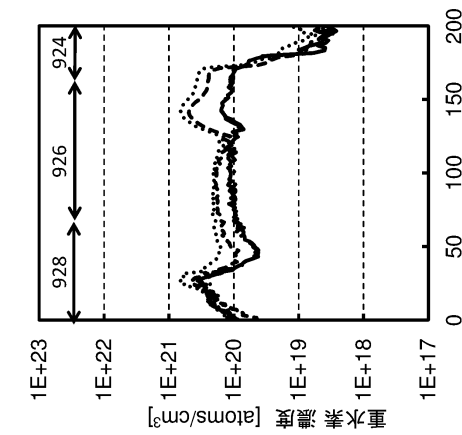


(B)



(A)

【図 5 4】

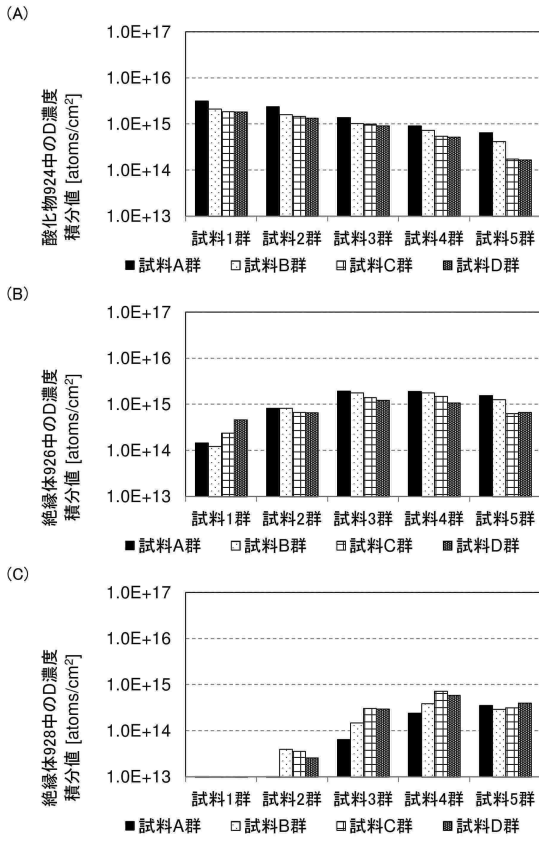


30

40

50

【図 5 5】



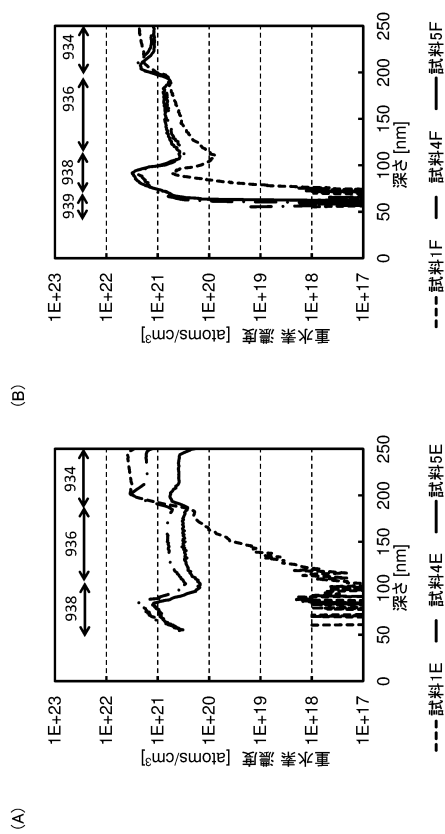
【図 5 6】

	939
	938
	936
	934
	932
	930

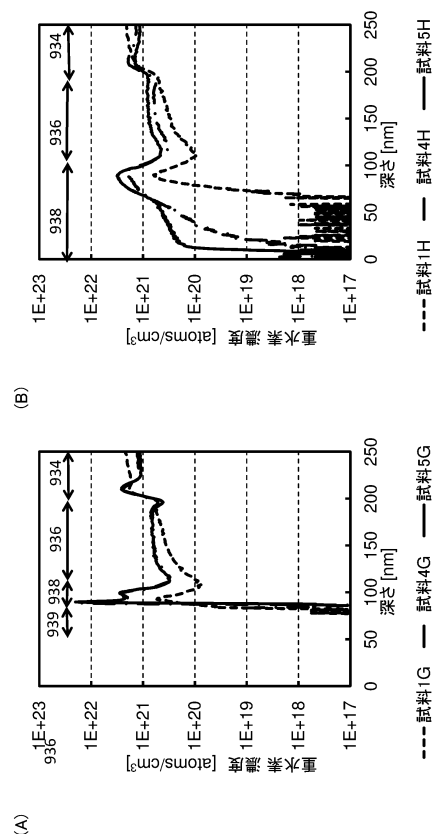
10

20

【図 5 7】



【図 5 8】



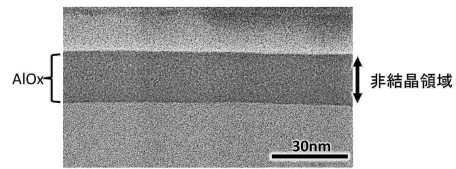
30

40

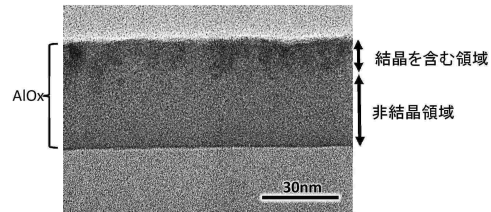
50

【図 59】

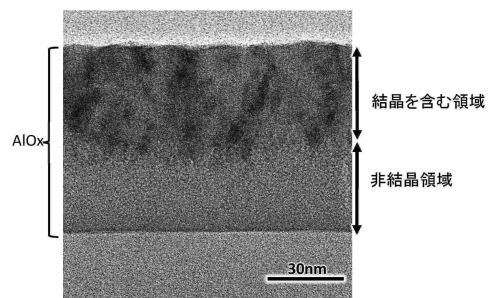
(A)



(B)



(C)



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
H 1 0 B 12/00 8 0 1

日本国(JP)

特許法第30条第2項適用 平成30年12月1日に発行されたinternational ELECTRON DEVICES meeting 2018 TECHNICAL DIGEST, 312-315で公開

特許法第30条第2項適用 平成30年12月1-5日に開催された2018 IEEE International Electron Devices Meetingで発表

(72)発明者 大野 敏和

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 山根 靖正

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 金川 朋賢

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 石川 雄太郎

(56)参考文献

特開2016-213452(JP, A)

米国特許出願公開第2016/0322503(US, A1)

特開2015-213164(JP, A)

米国特許出願公開第2015/0303217(US, A1)

特開2011-233880(JP, A)

特開2013-243367(JP, A)

特開2011-228692(JP, A)

特開2013-008982(JP, A)

特開2016-111352(JP, A)

(58)調査した分野 (Int.Cl., DB名)

H10D 30/67

H10D 86/40

H10B 12/00