



[12] 发明专利申请公开说明书

[21] 申请号 200410045502.2

[43] 公开日 2005 年 2 月 2 日

[11] 公开号 CN 1574062A

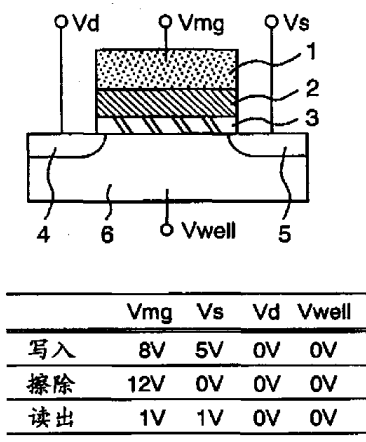
[22] 申请日 2004. 5. 28
[21] 申请号 200410045502.2
[30] 优先权
 [32] 2003. 5. 28 [33] JP [31] 150226/2003
 [32] 2004. 4. 26 [33] JP [31] 129233/2004
[71] 申请人 株式会社瑞萨科技
 地址 日本东京都
[72] 发明人 松崎望 石丸哲也 水野真
 桥本孝司

[74] 专利代理机构 北京市金杜律师事务所
 代理人 季向冈

权利要求书 2 页 说明书 10 页 附图 6 页

[54] 发明名称 半导体器件
[57] 摘要

本发明公开了一种半导体器件。在由进行从衬底注入电子，向栅极电极侧抽出电子的改写动作的存储单元构成的半导体非易失性存储器件，即，栅极抽出型的半导体非易失性存储器件中，存在着这样的问题：当作为改写时的最初的处理施加擦除偏压时，出现成为过擦除状态的存储单元，该存储单元的电荷保持特性劣化。为此，本发明提供一种半导体非易失性存储器件，使用在施加擦除偏压前，对处于擦除单位中的全部存储单元进行写入，然后施加擦除偏压的方法。



1. 一种半导体器件，其特征在于：具有存储单元，每个存储单元包括在半导体衬底的一主平面侧隔以预定的间隔形成的源极扩散层和漏极扩散层，以及在夹在上述源极扩散层和漏极扩散层间的上述5 半导体衬底的区域上中间隔着绝缘膜地使电荷存储膜和栅极电极叠层而形成的栅极部分，

在进行上述存储单元的改写前，对作为上述改写的对象的存储单元进行写入，然后进行上述存储单元的擦除。

- 10 2. 一种半导体器件，具有配置了存储单元的子块，所述存储单元包括在半导体衬底的一主平面侧隔以预定的间隔形成的源极扩散层和漏极扩散层，以及在夹在上述源极扩散层和漏极扩散层间的上述半导体衬底的区域上中间隔着绝缘膜地使电荷存储膜和栅极电极叠层而形成的栅极部分，其特征在于：

- 15 在进行上述存储单元的改写前，通过对作为上述改写的对象的上述子块内的所有的存储单元注入电子来进行写入，然后，通过给上述栅极电极施加偏压而抽出注入到上述存储单元的电子来进行擦除。

3. 根据权利要求1所述的半导体器件，其特征在于：

- 20 上述存储单元是具有 MONOS 型或 MNOS 型构造的电荷俘获型存储单元，通过从上述半导体衬底侧经由上述绝缘膜，对上述电荷俘获型存储单元注入电子来进行写入；通过向上述栅极电极抽出电子的动作来进行擦除。

4. 根据权利要求2所述的半导体器件，其特征在于：

- 25 上述存储单元是具有 MONOS 型或 MNOS 型构造的电荷俘获型存储单元，通过从上述半导体衬底侧经由上述绝缘膜，向上述电荷俘获型存储单元注入电子来进行写入；通过向上述栅极电极抽出电子的动作来进行擦除。

5. 根据权利要求1所述的半导体器件，其特征在于：

对上述存储单元进行的写入，通过使用了热电子的电子注入进

行。

6. 根据权利要求2所述的半导体器件，其特征在于：

对上述存储单元进行的写入，通过使用了热电子的电子注入进行。

5 7. 根据权利要求1所述的半导体器件，其特征在于：

在上述存储单元的擦除时，对上述存储单元的存储单元读出电流进行检测，在检测到预定的存储单元读出电流的时刻停止上述擦除。

8. 根据权利要求2所述的半导体器件，其特征在于：

10 在上述存储单元的擦除时，对上述存储单元的存储单元读出电流进行检测，在检测到预定的存储单元读出电流的时刻停止上述擦除。

9. 根据权利要求1所述的半导体器件，其特征在于：

上述存储单元的擦除，通过降低上述存储单元的阈值进行。

10. 根据权利要求2所述的半导体器件，其特征在于：

上述存储单元的擦除，通过降低上述存储单元的阈值进行。

15 11. 一种半导体器件，其特征在于：具有存储单元，每个存储单元包括在半导体衬底的一主平面侧隔以预定的间隔形成的第1杂质导入层和第2杂质导入层，以及在夹在上述第1杂质导入层和上述第2杂质导入层间的上述半导体衬底的区域上中间隔着绝缘膜地使电荷存储膜和电极叠层而形成的栅极部分，

20 上述存储单元的擦除指令的执行，在对作为上述擦除的对象的存储单元进行了写入处理之后进行。

半导体器件

5 技术领域

本发明涉及一种半导体器件，特别是涉及与以微型计算机为代表的具有逻辑运算功能的半导体器件装载于同一衬底上的半导体非易失性存储器件的构造及其可靠性的提高。

10 背景技术

半导体非易失性存储器件广泛使用浮置栅极型。近些年来，人们对把电荷存储在电荷俘获膜中的 MONOS 型或 MNOS 型存储器有了新的认识，对用于大容量数据存储用途或与逻辑用半导体器件装载于同一硅衬底上的混载用途的应用等进行了重新评价。以下，把单个半导体非易失性存储元件叫做存储单元，把包括多个存储单元的、具有非易失性存储功能的器件整体叫做半导体非易失性存储器件。作为与本发明有关的、说明对存储单元进行电子注入和抽出动作的公知专利，例如，有美国专利第 5408115 号说明书。在该说明书中，公开了以源极侧热电子向包括氧化膜、氮化膜、氧化膜的 3 层构造的电荷存储构造进行电子注入，通过对栅极电极施加正电压向栅极电极侧抽出电子的技术。

发明内容

本发明人等，探讨了通过写入时用热电子注入，擦除时用向栅极电极侧抽出注入电荷来进行的存储单元的动作。存储单元的构造和各种动作的电压对应关系分别示于图 1A 和图 1B。V_{mg} 是对 N 型栅极电极施加的施加电压，V_d 是对 N 型漏极电极施加的施加电压，V_s 是对 N 型源极电极施加的施加电压，V_{well} 是对 P 阱施加的施加电压。在此，把电子注入定义为写入，把电子抽出定义为擦除。

图 2 示出了存储单元的擦除特性，在注入了电子的写入状态下的阈值是 V_{tw} ，即便是进行读出，电流也不流动。当加上擦除偏压后阈值降低，读出电流增加。如果读出电流达到了 I_{read} ，则判定为擦除。这时的擦除阈值为 V_{te} 。若继续进一步施加擦除偏压则阈值降低，降低到小于电荷中性阈值 V_{ti} 。阈值为 V_{toe} ，达到饱和，把阈值存在于 V_{ti} 和 V_{toe} 之间的状态定义为过擦除状态。

本发明人等发现（参看图 3）：在初期和改写后对具有这样的擦除特性的存储单元的电荷保持特性进行比较的结果是，电荷抽出动作是使电荷保持特性大为劣化的主要原因。

10 如图 3 所示，可知：在进行了 1000 次的改写后的电荷保持特性，与初期（无改写）比较几乎没有变化。但是，在对同一存储单元施加相当于改写 1000 次的累积擦除时间的电压脉冲时，判断出电荷保持特性大为劣化。这表明存储单元本身的电荷保持特性发生劣化而并不是因为写入后的阈值的高低。

15 图 4 示出了反复进行擦除和写入的情况，和只进行擦除的情况的各自的阈值的变动状态。在反复进行擦除和写入的情况下，阈值不会下降到小于或等于 V_{te} 。这是因为在擦除时，在达到了 V_{te} 的阶段就停止了擦除处理的缘故。但是，在只进行擦除的情况下，不管阈值或读出电流的大小，而单方施加擦除偏压。因此，判定为只承受擦除的存储单元的阈值就会降到小于或等于 V_{te} ，从而被置于过擦除状态。20 即，人们认为由于一直擦除到成为过擦除状态为止，故电荷保持特性劣化。

用图 5 的能带图说明因成为过擦除状态而使电荷保持特性劣化的现象。由于该存储单元是 N 型，故阱是 P 型。示出了为了把所存储的电子抽出到栅极电极，对 N 型栅极电极施加了正电压的状态。所存储25 的电子沿着电场向栅极电极移动。虽然由于电场高，也从基底的氧化膜通过 FN 隧道注入电子，但是如果存储电子向栅极电极的移动量加大，则阈值将继续下降。另外，在栅极电极与俘获膜之间的界面处产生空穴并被隧道注入到俘获膜。然后，沿着电场向衬底侧移动。存储

电子与空穴因产生再结合而消失。初期所存储的电子丢失，如果来自基底氧化膜的电子隧道注入和来自电极的空穴注入量相等，则存储单元的阈值饱和，因而不会继续下降。但是，在加上了电场时，由于可以继续供给空穴，那些未能与电子再结合的空穴，就以基底氧化膜为隧道向衬底侧抽出。这时，由于释放能量，故在基底氧化膜中或在基底氧化膜合衬底间的界面产生能级。人们认为由于存储电荷通过该能级向衬底侧泄漏，故电荷保持特性劣化。在从擦除状态切换为进行写入的情况下，由于几乎所有的空穴都因为与存储电荷的再结合而消失，故不会向衬底抽出而伤及基底氧化膜。但是，在只进行擦除的情况下，由于在几乎没有存储电子的过擦除状态下产生空穴的供给，故抽出到基底氧化膜的空穴量增多。结果是在只擦除时，电荷保持特性大为劣化。

应用在实际的半导体非易失性存储器件中来加以说明。图6示出了NOR型结构的半导体非易失性存储器件的结构例。虽然只画出来12个存储单元，但是这是为了说明问题和本发明的原理而简化后的结构例。M11、M12、M13这3个存储单元的栅极电极与字线WL1连接着。同样，M12、M22、M32与WL2连接着，M13、M23、M33与WL3连接着，M14、M24、M34与WL4连接着。WDEC是对字驱动器WD1到WD4进行选择和解码器，字驱动器WD1到WD4是向WL1到WL4供给电压的驱动器电路。位线BL1连接着M11、M12、M13、M14的各自的漏极。同样，M21、M22、M23、M24的漏极与BL2连接着，M31、M32、M33、M34的各存储单元的漏极与BL3连接着。BL1到BL3的选择，由包括解码器和读出放大器的BLDEC进行。M11到M34的所有的存储单元的源极与源极线SL1共通地连接着。SL1的选择由SLC进行。图中的所有的存储单元都是改写对象，此外，还作为擦除块（同一擦除单位）。在进行改写时，同时给WL1到WL4施加12V，给M11到M34的所有的存储单元施加正的擦除电压。在改写时，一并擦除擦除块中的多个存储单元。

在存储单元内肯定存在着在前次的改写时未写入的存储单元。由

于是整体擦除，故也要给这样的存储单元施加擦除偏压。当然该存储单元的过擦除状态将很强，就如图 5 之前说明的那样，电荷保持特性将彻底劣化。此外，还存在着作为半导体非易失性存储器件的可靠性显著地降低的问题。如果采用存储单元单个地进行擦除的结构，则半导体非易失性存储器件的面积就会增大，而且擦除时间会变长，所以是不实用的。

另外，在图 1A 中，虽然以漏极侧热电子注入和存储器栅极抽出为前提，但是，人们认为：只要遵从图 5 的原理，只要是来自衬底侧的电子注入和存储器栅极抽出的组合，则即便是源极侧热电子注入等别的电子注入方式，也将产生同样的问题。

先对改写时的包含在擦除单位内的全部存储单元进行写入，然后，施加擦除偏压以进行擦除。用读出电流对每个擦除单位实施验证，以便不产生不需要的过擦除状态。

15 附图说明

图 1A 表示用来说明本发明的原理的存储单元构造，图 1B 表示存储单元构造的各个动作时的施加电压。

图 2 表示图 1A 的存储单元擦除特性。

图 3 表示图 1A 的存储单元的电荷保持特性。

20 图 4 表示图 1A 的存储单元的改写特性。

图 5 表示存储单元的电荷保持特性劣化的原因。

图 6 是要使用本发明的半导体非易失性存储器件。

图 7 表示本发明的半导体非易失性存储器件的改写步骤的流程图。

25 图 8 是已搭载了本发明的半导体非易失性存储器件的微控制器。

具体实施方式

(实施方式 1)

假定在图 6 那样的擦除块内进行整体擦除的半导体非易失性存储

器件，并在图7中示出作为本发明的实施方式的改写步骤。在改写开始后，就对擦除块内的所有的存储单元进行写入，该处理结束后，给擦除块内的所有的存储单元施加擦除偏压。在所有的单元中，在可以确认已使阈值下降到可以获得必要的读出电流的阶段，结束擦除处理。对本发明的擦除块内的所有的存储单元进行写入处理，是与施加擦除偏压一体的处理，在执行擦除指令时必须进行的处理。接着，为了存储必要的信息，对所要的存储单元进行写入。写入的方式，为热电子或隧道注入。在写入完成的阶段，全部的改写处理结束。通过这一连串的动作，就可以消除变成过擦除状态的存储单元，可以提高半导体非易失性存储器件的可靠性。此外，以下详细地对图6、图7进行说明。

图6示出了由图1说明的存储单元构成的NOR型的存储器阵列的电路框图。WL1是存储单元M11到M31共用的字线，WL2是存储单元M12到M32共用的字线，WL3是M13到M33共用的字线，WL4是M14到M34共用的字线。字驱动器WD1到WD4给WL1到WL4供给电压。字解码器WDEC是根据地址选择WD1到WD4中的任何一者的逻辑电路群。BL1是存储单元M11到M14共用的位线，BL2是存储单元M21到M24共用的位线，BL3是M31到M34共用的位线。SAC是用于给BL1到BL3供给电位或检测电位变动的读出放大器群及其控制电路，BLDEC是用于根据地址选择与BL1到BL3连接的读出放大器的解码器电路。源极线SL1是M11到M34的所有的存储单元共用的。SLC是向SL1供给电位的控制电路。用它说明本发明的实施方式。另外，在这里虽然为包括12个存储单元的存储器阵列，但是，这是因为要简单地说明存储器阵列的动作和本发明的实施方式的缘故，并不限于该个数。

把因写入而使存储单元的阈值变高的状态定义为“1”，把未被写入、阈值保持低的状态定义为“0”。假定已经在该存储器阵列写入了某种信息，M11到M34，分别处于“1”或“0”中的任何一者的状态。当改写已存储在存储器阵列内的信息时，首先，使M11到

M34 这 12 个存储单元全都成为写入状态。擦除前写入, 可以与信息存储时的写入相同, 用热电子注入进行。从与 WL1 连接的存储单元群开始, 依次向与 WL4 连接的存储单元群推进。由 WDEC 选择 WD1, 给 WL1 施加 10V。SLC 给 SL1 供给 0V。接着, 从 BLDEC 向 SAC 5 传输选择 BL1 的地址信号。接受该信号后, 由 SAC 只给 BL1 供给 5V, 而给 BL2 和 BL3 供给 0V。这时, 在 WL1 和 BL1 的两者都处于选择状态的存储单元 M11 中引起热电子注入, M11 被写入。接着, 由 BLDEC 向 SAC 供给选择 BL2 的信号, 给 BL2 供给 5V, 给 BL1 和 BL3 供给 0V, 此时, M21 被写入。同样, 若选择 BL3, 则 M31 被写 10 入。在向与 WL1 连接的存储单元进行的写入结束后, 选择 WL2, 再给 BL1 到 BL3 依次供给写入电压 5V, 通过该反复, 对与全部字线(在此是 WL1 到 WL4)连接的全部存储单元进行写入。虽然在用于存储作为信息的“1”的写入时, 必须进行是否已达到了预定的阈值的判定处理, 但是, 在不以信息存储为目的的本发明的擦除前写入处 15 理中, 就没有必要特别进行写入判定处理。因而有这部分的处理只要少量时间的优点。特别是在进行热电子写入时, 由于写入速度, 每一个存储单元的差别小, 故即便是不进行写入确认处理也是充分的。此外, 该擦除前写入处理, 虽然也可以只对处于“0”状态的存储单元进行, 但是如果给所有的存储单元都施加写入电压, 则不需要判断处 20 理, 因而可以缩短总处理时间。另外, 在此, 虽然是逐个地对存储单元进行写入, 但是也可以同时选择多条位线, 对多个存储单元同时进行写入。

在进行了对所有存储单元的擦除前写入后, 进行使阈值降低的擦除处理。在此, 说明对全部字线整体施加擦除电压的方法。从 BLDEC 25 向 SAC 传输不选择位线的信号。SAC 接受该信号后, 把 BL1 到 BL3 设定为 0V。SLC 把 SL1 设定为 0V。WDEC 选择 WD1 到 WD4 的全部。WD1 到 WD4 给 WL1 到 WL4 施加擦除用的电压 10V。这时, M11 到 M34 的栅极电极被施加擦除用的电压 10V, 使这些存储单元的阈值降低。只在预定的时间施加擦除电压后, 为了验证每一个存储

单元是否被擦除，即，阈值是否降低，是否已成为预定的读出电流流动的状态，依次读出 M11 到 M34。首先，由 SLC 把 SL1 设定为 1V，由 WD1 把 WL1 设定为 1V。然后，如果由 SAC 把 BL1 设定为 0V，则可以检测通过 M11 流入到 SAC 的信号的大小。如果判定为是所要的读出电流流动，则判断为 M11 擦除完毕。以下同样地选择 BL2 读出 M21，选择 BL3 读出 M31。如果在 M11 到 M31 之中任何一个存储单元未达到擦除状态，则再次进行给 WL1 到 WL4 施加 10V 的擦除处理，并再次验证存储单元的电流。在 M11 到 M31 的擦除得到确认后，通过该反复，确认 M11 到 M34 的全部都已达到擦除状态后，图 6 的存储器阵列的擦除结束。

在擦除完成后，根据改写信息只对要存储“1”的存储单元进行写入。作为例子，说明只使与 WL1 连接的存储单元之中的 M11 成为“1”，使 M21、M31 为“0”的情况。由 WDEC 选择 WD1，给 WL1 施加 10V。SLC 给 SL1 供给 0V。接着，从 BLDEC 向 SAC 传输选择 BL1 的地址信号。接受该信号后，由 SAC 只给 BL1 供给 5V，而给 BL2 和 BL3 供给 0V。这时，在 WL1 和 BL1 这两者都处于选择状态的存储单元 M11 中产生热电子注入，M11 被写入。M21、M31 虽然处于擦除状态，但是由于这相当于“0”，故可以保持原状不进行写入处理。为了验证 M11 是否已达到了必要的写入阈值，在施加了写入电压后，对 M11 进行读出。首先，由 SLC 使 SL1 为 1V，由 WD1 使 WL1 为 1V。之后，在由 SAC 使 BL1 设定为 0V 后，可以检测通过 M11 流入到 SAC 的信号的大小。如果读出电流小于或等于预定值则 M11 的阈值已达到了预定值，所以判断为写入结束。在流动着大于或等于预定的电流的情况下，由于是写入不足，故要再次进行写入电压的施加和验证。在 M12 到 M34 的存储单元也要存储“1”时，与 M11 同样，在进行了写入处理后进行读出，验证写入是否结束。以上就是本发明的确保非易失性存储单元的电荷保持特性的改写方法。

图 7 的流程图示出了上述的说明。

首先，对作为改写对象的全部的位进行写入处理。从改写对象的字线群中选出最初的一条，施加写入字线电压。其次，给共用源极线施加写入电压。接着，给与最初写入的单元连接的位线施加作为写入选择信号的 0V 进行写入。位线的写入选择信号，是施加给单元的漏极的脉冲电压。在该写入处理之后，选择下一条位线并施加 0V 脉冲。对与该位线连接的单元进行写入。这样，给与同一字线连接的所有的位线施加选择信号，完成对与该字线连接的所有的单元进行的写入处理后，选择下一条字线，再次从最初的位线开始施加写入电压。这样，对所有的字线完成了写入处理后，就暂时使全部字线、全部位线、共用源极线的电位落到 0V。然后，进行使单元的阈值降低的处理。

首先，对全部字线整体施加擦除电压脉冲。然后，使全部字线的电位落到 0V。然后进入验证阈值是否已充分地下降的处理。首先，给最初的字线施加读出栅极电压，再给最初的位线也施加读出电压进行选择，读出处于其交点上的单元的电流。该电流如果大于或等于预先规定的值，则看作是阈值已充分地下降。如果电流值小，则再次返回并重新进行给全部字线都施加擦除电压的处理。然后，再次读用最初的字线、最初的位线选择的单元电流，如果电流大于或等于规定值，则向下一条位线推进，验证下一个单元电流是否大于或等于规定值。如果在该阶段电流小于或等于规定值，则必须再次返回给全部的字线都施加擦除电压的处理。如果大于或等于规定值，则再向下一条位线推进，继续同样的验证。如果用同一条字线选择全部的位线来检测单元电流，并且这些全部的单元电流都大于或等于规定值，则在此，向下一条字线推进。以下，反复进行同样的步骤，如果可以确认全部单元电流都大于或等于规定值，则使全部的字线、全部的位线、共用源极线的电位都落到 0V，结束使阈值下降的擦除处理。在此进行的擦除处理，虽然为向全部的字线整体提供擦除电压，但是，也可以把字线归纳成几个组，把该组逐个地作为同时进行擦除处理的擦除单位进行处理。

由于擦除已结束，故接下来写入必要的信息。先选择最初的写入

字线，其次给共用源极线施加写入电压，再选择写入位线。写入位线选择相当于给单元的漏极施加 0V，据此，写入所必须的隧道电流在该单元的源极漏极间流动。接着，使字线和共用位线为 0V 以切断隧道电流。接下来，进行是否已正确地向该单元写入了信息的验证。给共用源极线施加比写入时更低的电压。给在写入时选择的字线施加读出电压。然后，给该单元所连接的位线施加 0V 以进行选择，并检测单元电流。在检测出该电流是大于或等于规定值的电流时，由于阈值没有充分地变高，故再次进行写入的处理。如果小于或等于规定值，则判断为阈值已充分地变高，即，已正常地写入，选择与作为下一个写入对象的单元连接的位线，进行下一个单元的写入。反复进行该步骤，在同一字线内进行的写入结束后，选择下一条字线，逐个地选择作为写入对象的位线并进行写入处理。在全部的字线内，对作为对象的单元进行的写入结束后，就使全部的字线、全部的位线、共用源极线的电位都返回到 0V，改写处理结束。

本发明的改写方法中，在擦除前对全部的存储单元进行写入的处理，是与擦除偏压的施加一体的处理，为在擦除指令执行时必须进行的处理。通过该一连串的动作，就可以消除成为过擦除状态的存储单元，可以提高半导体非易失性存储器件的可靠性。另外，在此公开的流程只是一个例子，只要不违背在暂时写入之后对改写对象位的全部都施加擦除电压的本发明的主旨，也可以使用别的步骤。例如，在擦除结束后的信息写入时进行的验证处理，也可以不是每次对一个单元进行写入而是逐条字线地进行，即，对作为在一条字线内的写入对象的单元进行的写入电压施加结束后，集中地进行。

(实施方式 2)

图 8 示出了作为把图 6 的存储器阵列搭载在同一衬底上的半导体逻辑集成电路的实施方式的微控制器。包括中央运算处理器 CPU，含有非易失性存储器阵列、具有信息的非易失存储功能的闪速存储器模块，对之进行控制的闪速存储器模块控制电路，易失性存储器模块 RAM，总线状态控制电路部分，输入输出电路部分 I/O，具有其它的

功能的外围电路部分。这些电路块，被连接到内部总线。该内部总线具有传送地址信号、数据信号和控制信号的信号线。CPU 执行指令解读、按照其进行的运算处理。闪速存储器模块被用做 CPU 的动作程序或者数据的存储。CPU 根据设定在闪速存储器模块控制电路的控制数据来进行闪速存储器模块的动作。RAM 被用做 CPU 的工作区或数据的暂时存放。总线状态控制电路进行通过内部总线进行的存取、对外部总线的存取周期数、总线宽度等的控制。如果在闪速存储器模块的信息改写时使用本发明的改写方法，则可以抑制电荷保持特性的劣化。即，可以提供可靠性高的、搭载了非易失性存储器的微控制器。

10 如果采用使用本发明的技术的半导体集成电路器件，则可以实现可靠性高的半导体非易失性存储器件。能把该器件作为单个芯片来提供。此外，如果把使用本发明的技术的半导体集成电路器件与半导体逻辑运算器件混载在同一衬底上，则可以用来存储数据或程序，可以作为可靠性高的组合型微处理器或卡型微处理器来提供。此外，还可以提供同时具有专门用来进行程序存储和数据存储的半导体非易失性存储器件的高功能的微处理器。

15

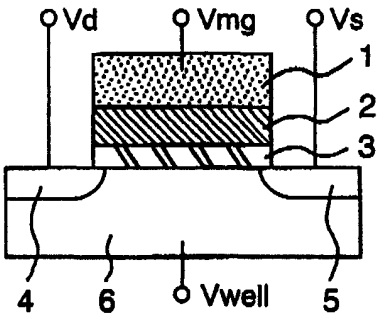


图 1A

	Vmg	Vs	Vd	Vwell
写入	8V	5V	0V	0V
擦除	12V	0V	0V	0V
读出	1V	1V	0V	0V

图 1B

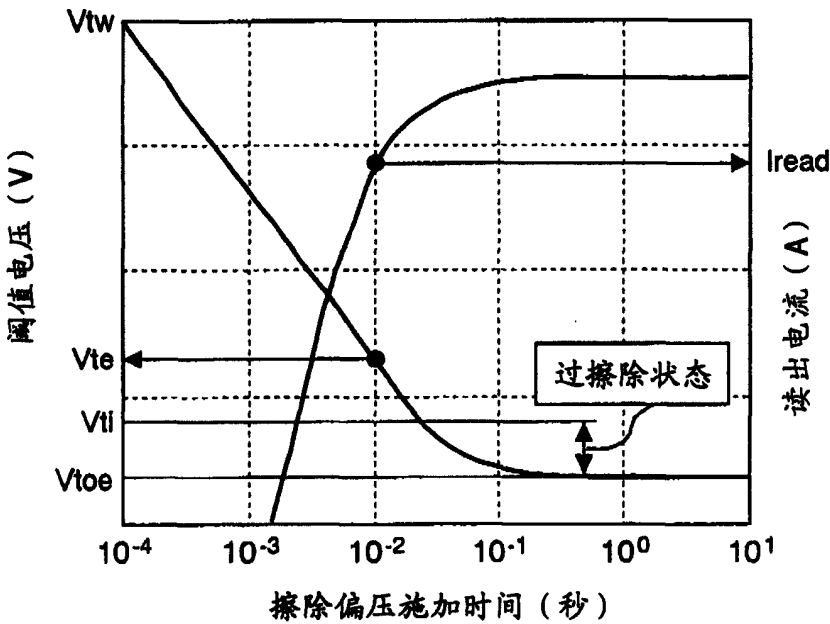


图 2

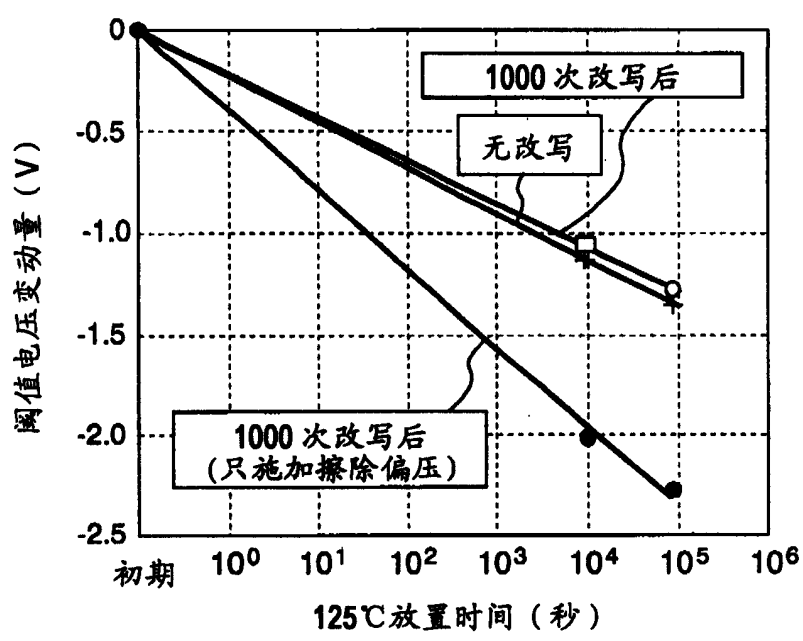


图 3

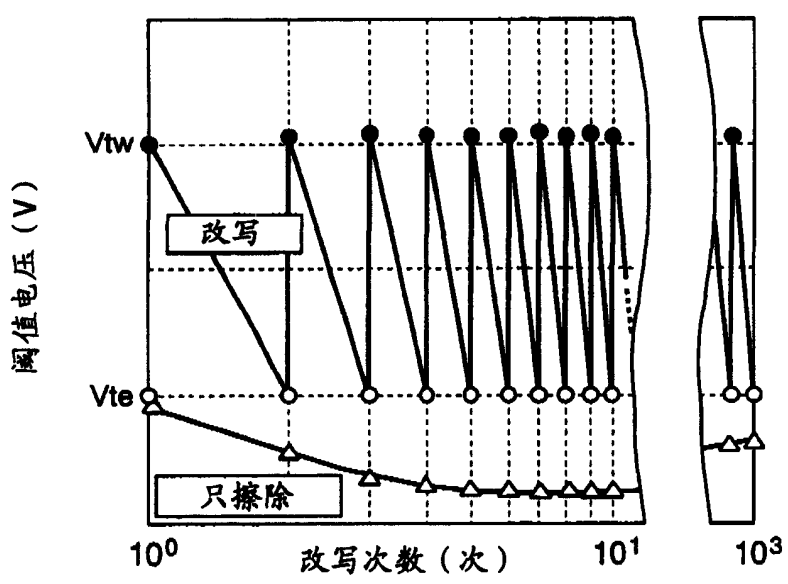


图 4

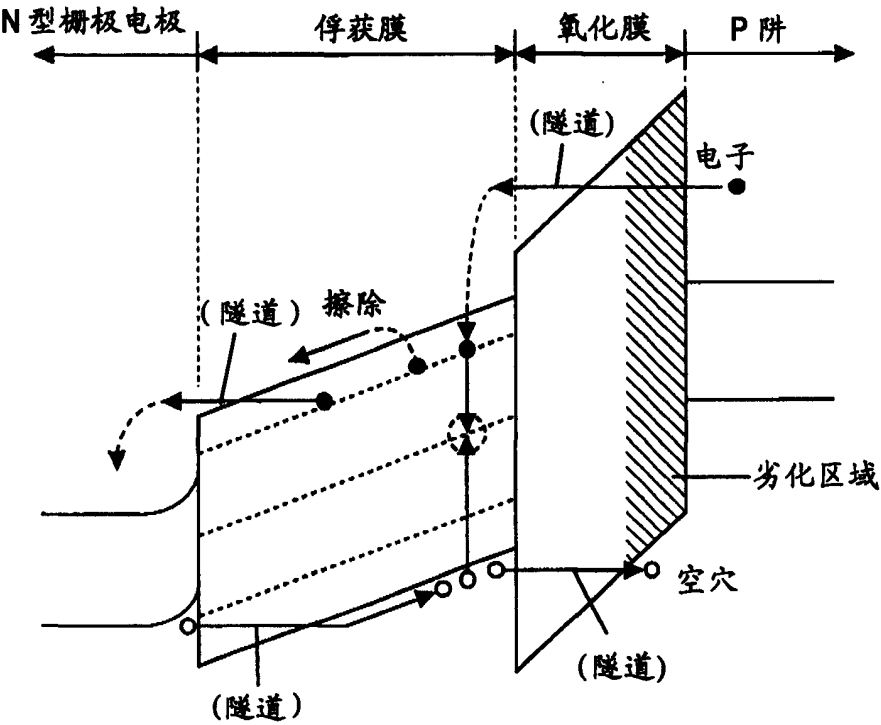


图 5

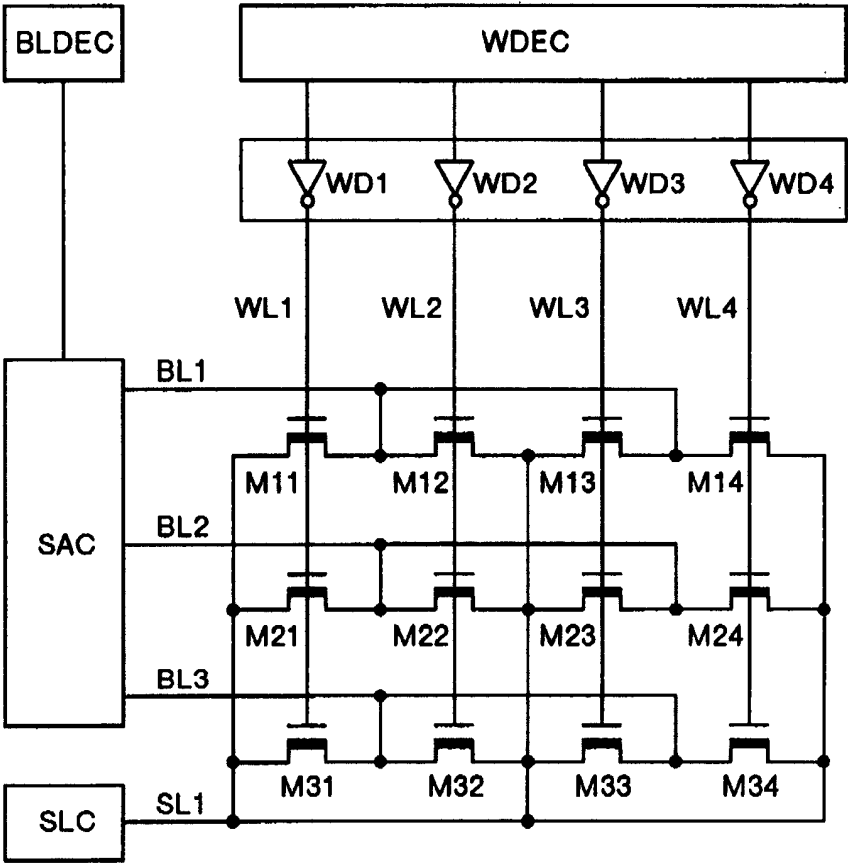


图 6

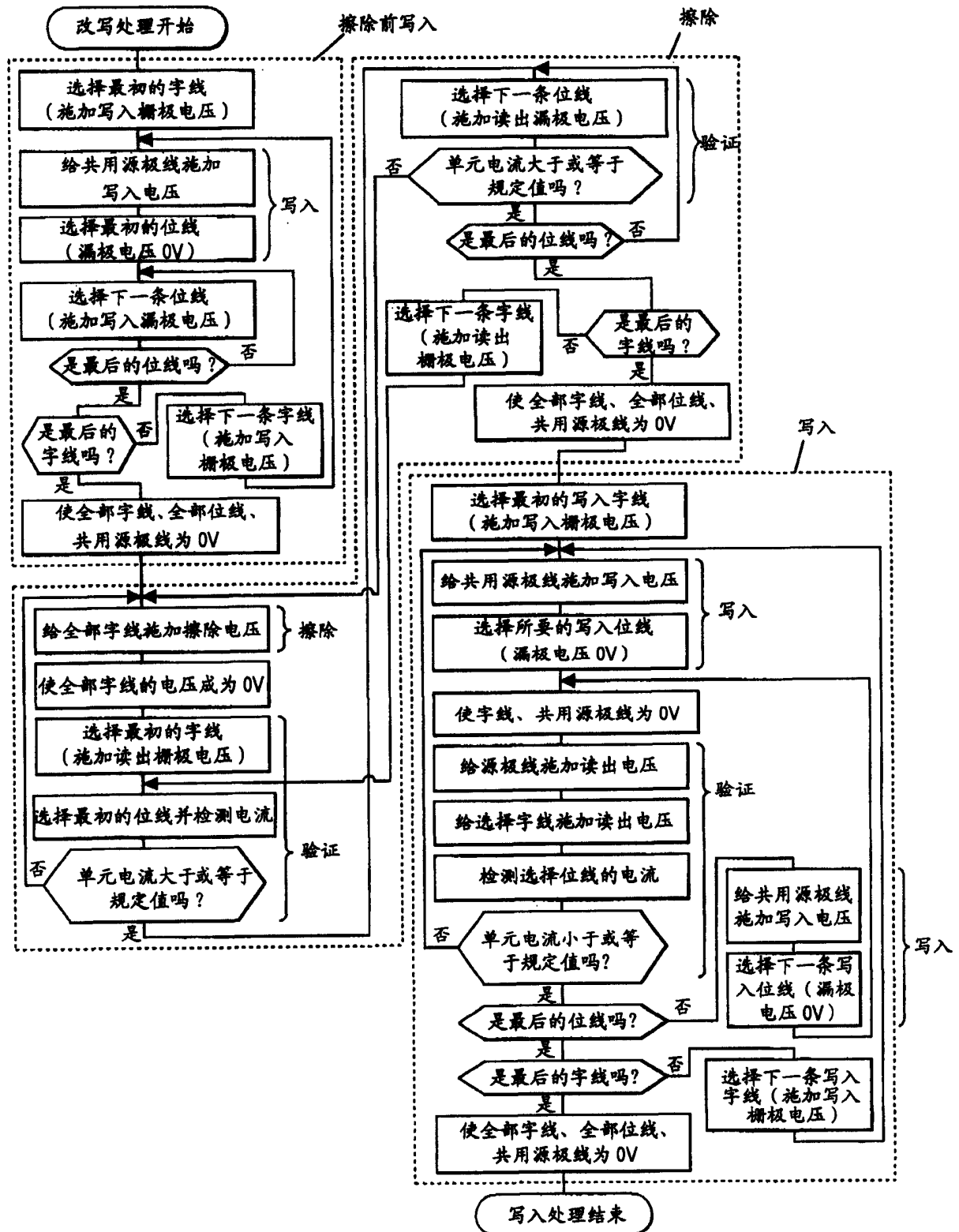


图 7

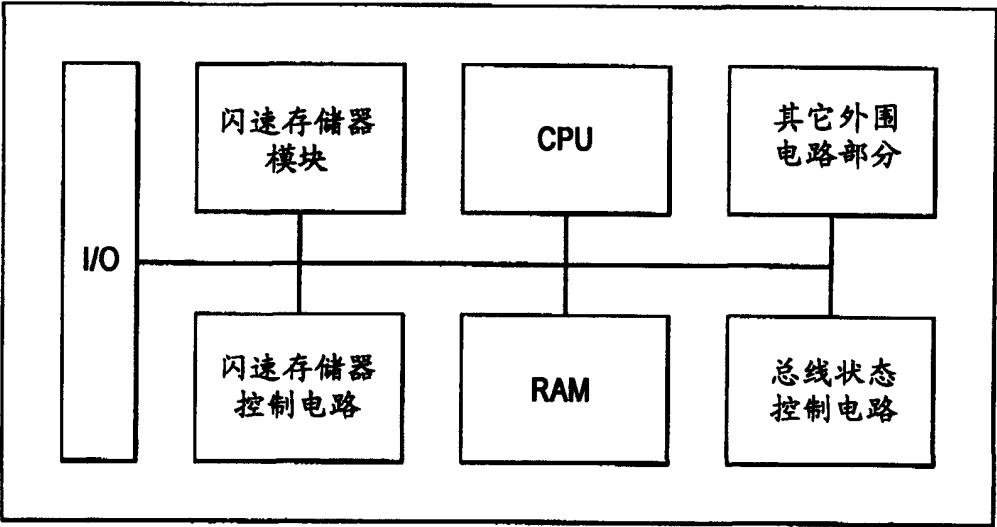


图 8