

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 7 月 2 日 (02.07.2020)



(10) 国际公布号
WO 2020/133832 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2019/083591

(22) 国际申请日: 2019 年 4 月 22 日 (22.04.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811605197.6 2018 年 12 月 26 日 (26.12.2018) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 宋 乔 乔 (SONG, Qiaoqiao); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: GOA CIRCUIT

(54) 发明名称: GOA 电路

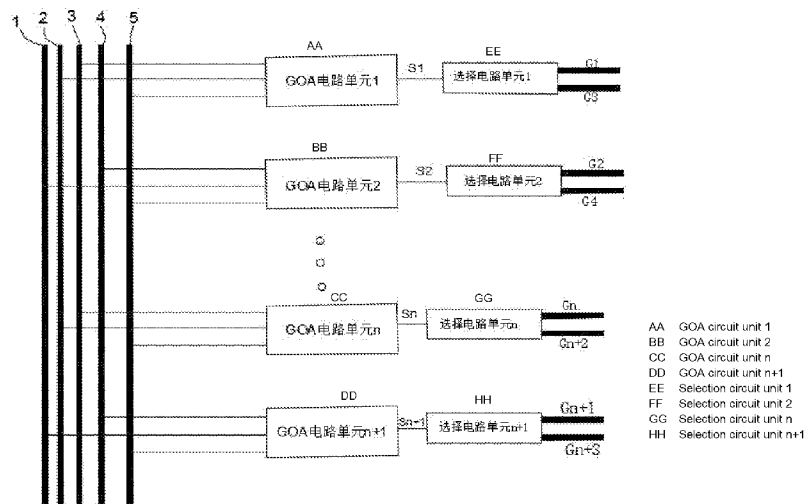


图 1

(57) Abstract: Provided is a GOA circuit, comprising a plurality of cascaded GOA circuit units, a first data signal line (1), a second data signal line (2), N-th stage GOA circuit output signal (S_n), N-th stage gate output signal line (G_n), N+2-th stage gate output signal line (G_{n+2}) and a plurality of sets of N-type and P-type thin film transistors (T1, T2, T3, T4). By adding N-type and P-type thin film transistors (T1, T2, T3, T4) to the GOA circuit, the line arrangement is reduced, the number of GOA circuits is reduced, ultra-narrow frame panel is achieved, and production cost is reduced.

(57) 摘要: 一种 GOA 电路, 包括级联的多个 GOA 电路单元、第一数据信号线 (1)、第二数据信号线 (2)、第 N 级 GOA 电路输出信号 (S_n)、第 N 级栅极输出信号线 (G_n)、第 N+2 级栅极输出信号线 (G_{n+2}) 及多组 N 型与 P 型连接的薄膜晶体管 (T1, T2, T3, T4), 通过在 GOA 电路中增加 N 型和 P 型的薄膜晶体管 (T1, T2, T3, T4), 减少线路的排布, 减少 GOA 电路数目, 实现超窄边框面板, 降低生产成本。

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

GOA电路

技术领域

[0001] 本揭示涉及显示技术领域，尤其涉及一种GOA电路。

背景技术

[0002] GOA (Gate Drive On Array) 技术即阵列基板行驱动技术，是利用薄膜晶体管 (Thin Film Transistor, TFT) 液晶显示器阵列制程将栅极扫描驱动电路制作在薄膜晶体管阵列基板之上，从而实现逐行扫描的驱动的方式，这样的设计，它既可以节省栅极集成电路的成本，也能够缩减面板边框的宽度，对现在超窄边框设计非常有利，是未来面板设计的一个重要技术。在GOA电路中，它具有两项基本的功能，一是输出扫描驱动信号，第二是位移寄存功能，当第N个扫描驱动信号输出完成后，通过时钟控制进行第N+1个并依次传递下去。

[0003] 然而，现有GOA产品在实现栅极信号输出时需要多组时钟信号 (Clock cycle, CK) 和低频信号 (Low Complexity, LC) 和GOA电路 (18个TFT和一个电容) 的共同作用，并且，现有产品对GOA电路充电和续传能力的要求也不断提高，对器件的频率、分辨率等性能参数的要求也越来越高，同时伴随着器件数量的增加，TFT的尺寸和时钟信号的数目加大，使得电路的布局变得复杂，放置电路的面板的面积也相应增大，导致现有电路面板的栅极边框变大。

发明概述

技术问题

[0004] 现有的GOA电路中，电路数目较多并且电路的设计版图面积较大，不利于面板超窄边框的设计，并且成本较高的问题，需要提出进一步的完善和改进方案。

问题的解决方案

技术解决方案

[0005] 本揭示提供一种GOA电路，以解决现有技术水平中GOA电路中电路数目较多，电路的设计版图占据空间较大，并且成本较高的问题。

[0006] 为解决上述技术问题，本揭示提供的技术方案如下：

[0007] 根据本揭示实施例的第一方面，提供了一种GOA电路，所述的GOA电路包括：

[0008] 级联的多个GOA电路单元、GOA电路输出信号线、选择电路单元以及栅极输出信号线；

[0009] 其中，第N级GOA电路单元与第N级GOA电路输出信号线 S_n 连接，所述第N级GOA电路输出信号线 S_n 与第N级选择电路单元连接，所述第N级选择电路单元与第N级栅极输出信号线 G_n 和第N+2级栅极输出信号线 G_{n+2} 连接，N为正整数；

[0010] 其中，选择电路单元中还包括：第一数据信号线、第二数据信号线、多组N型与P型连接的薄膜晶体管；

[0011] 其中，每一个所述GOA电路单元实现两个栅极信号的输出；

[0012] 所述的GOA电路还包括时钟控制信号线，所述时钟控制信号线包括第一时钟信号CK1、第二时钟信号CK2，其中，所述级联的多个GOA电路单元交替的与所述第一时钟信号CK1和第二时钟信号CK2相连接。

[0013] 根据本揭示的一实施例，所述选择电路单元中还包括：其中所述选择电路单元中还包括：第一N型薄膜晶体管、第一P型薄膜晶体管、第二N型薄膜晶体管、第二P型薄膜晶体管，所述第一N型薄膜晶体管的漏极连接所述第二数据信号线，所述第一N型薄膜晶体管的栅极连接所述第一P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第一N型薄膜晶体管的源极连接所述第一P型薄膜晶体管的漏极并连接所述第N级栅极输出信号线 G_n ，所述第一P型薄膜晶体管的源极连接所述第二N型薄膜晶体管的漏极并连接所述第一数据信号线，所述第二N型薄膜晶体管的栅极连接所述第二P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第二N型薄膜晶体管的源极连接所述第二P型薄膜晶体管的漏极并连接所述第N+2级栅极输出信号线 G_{n+2} ，所述第二P型薄膜晶体管的源极连接所述第二数据信号线。

[0014] 根据本揭示的一实施例，其中所述GOA电路单元中有两个直流信号。

[0015] 根据本揭示的一实施例，其中所述第一数据信号线为电压-6V的直流信号。

[0016] 根据本揭示的一实施例，其中所述第二数据信号线为电压28V的直流信号。

[0017] 根据本揭示的一实施例，其中所述GOA电路的版图占据的宽度为500um—1000

um。

[0018] 根据本揭示的第二方面，还提供了一种GOA电路，包括：级联的多个GOA电路单元、GOA电路输出信号线、选择电路单元以及栅极输出信号线；

[0019] 其中，第N级GOA电路单元与第N级GOA电路输出信号线 S_n 连接，所述第N级GOA电路输出信号线 S_n 与第N级选择电路单元连接，所述第N级选择电路单元与第N级栅极输出信号线 G_n 和第N+2级栅极输出信号线 G_{n+2} 连接，N为正整数；

[0020] 其中，选择电路单元中还包括：第一数据信号线、第二数据信号线、多组N型与P型连接的薄膜晶体管。

[0021] 根据本揭示的一实施例，其中所述选择电路单元中还包括：第一N型薄膜晶体管、第一P型薄膜晶体管、第二N型薄膜晶体管、第二P型薄膜晶体管，所述第一N型薄膜晶体管的漏极连接所述第二数据信号线，所述第一N型薄膜晶体管的栅极连接所述第一P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第一N型薄膜晶体管的源极连接所述第一P型薄膜晶体管的漏极并连接所述第N级栅极输出信号线 G_n ，所述第一P型薄膜晶体管的源极连接所述第二N型薄膜晶体管的漏极并连接所述第一数据信号线，所述第二N型薄膜晶体管的栅极连接所述第二P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第二N型薄膜晶体管的源极连接所述第二P型薄膜晶体管的漏极并连接所述第N+2级栅极输出信号线 G_{n+2} ，所述第二P型薄膜晶体管的源极连接所述第二数据信号线。

[0022] 根据本揭示的一实施例，其中所述的GOA电路还包括时钟控制信号线，所述时钟控制信号线包括第一时钟信号CK1、第二时钟信号CK2，其中，所述级联的多个GOA电路单元交替的与所述第一时钟信号CK1和第二时钟信号CK2相连接。

[0023] 根据本揭示的一实施例，其中每一个所述GOA电路单元实现两个栅极信号的输出。

[0024] 根据本揭示的一实施例，其中所述GOA电路单元中有两个直流信号。

[0025] 根据本揭示的一实施例，其中所述第一数据信号线为电压-6V的直流信号。

[0026] 根据本揭示的一实施例，其中所述第二数据信号线为电压28V的直流信号。

[0027] 根据本揭示的一实施例，其中所述GOA电路的版图占据的宽度为500um—1000

um。

发明的有益效果

有益效果

[0028] 本揭示的有益效果为：

[0029] 通过对现有的电路进行改进，通过在级联的多个GOA电路中增加多个N型和P型的薄膜晶体管，从而实现在栅极信号输出级数不变的情况下，减少线的排布，减少GOA电路的数目，从而节省版图设计面积，实现超窄边框面板的设计，并且降低产品的生产成本。

对附图的简要说明

附图说明

[0030] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是揭示的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0031] 图1为本揭示实施例中的面板栅极输出示意图；

[0032] 图2为本揭示GOA电路中选择电路单元的内部电路图；

[0033] 图3为本揭示GOA电路中选择电路单元的工作时序图。

[0034] 本揭示的最佳实施方式

[0035] 下面将结合本揭示实施例中的附图，对本揭示实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本揭示一部分实施例，而不是全部的实施例。基于本揭示中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本揭示保护的范围。

[0036] 在本揭示的描述中，需要理解的是，术语“中心”、“纵向”、“横向”、“长度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本揭示和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本揭示的限制。在本揭示的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

[0037] 本实施例中，如图1所示，图1为本揭示实施例中的面板栅极输出示意图。在图1的电路中，包括，时钟控制信号线（CK1）1，时钟控制信号线（CK2）2，低频反转交流信号线（LC1）3，低频反转交流信号线（LC2）4，VSS直流信号线5，多级GOA电路，与GOA电路连接并输出的输出信号S1、S2.....多个薄膜晶体管单元，以及输出的第N级栅极输出信号线Gn。GOA电路Gn类似于一个移位寄存器的功能，时钟信号通过时钟控制信号线1、时钟控制信号线2、低频反转交流信号线3以及低频反转交流信号线4，传输到GOA电路Gn内，然后第一次传输出栅极信号Sn，此时，在本揭示中，输出的栅极信号并没有直接输入到像素内，而是还需要经过多个电路单元，经过每一个选择电路单元内部的转换后，每一个电路单元都重新输出两个栅极输出信号Gn、Gn+2。具体的，当GOA电路1中输出栅极信号S1后，栅极信号S1经过电路单元的作用，再分别输出栅极信号G1、栅极信号G3。

[0038] 这样，以不同的信号时序使每一级的GOA电路能够分别输出两个栅极输出信号，因此，GOA电路的级数降低，能够有效的减少电路的数目，使得电路版图的空间变得更大，更有利于超窄边框电路的设计。

[0039] 如图2所示，图2为本揭示图1中GOA电路中电路单元的内部电路图。每一级所述GOA电路包括GOA电路单元、第一数据信号线1、第二数据信号线2、选择电路单元3，在选择电路单元3内部具体还包括：第一N型薄膜晶体管T1、第一P型薄膜晶体管T2、第二N型薄膜晶体管T3以及第二P型薄膜晶体管T4，栅极输出信号S1，栅极输出信号G1、栅极输出信号G3。

[0040] 选择电路单元3内由多个N型和P型薄膜晶体管之间的并联或者是串联而形成，从而将多个薄膜晶体管集成在一起。其中，第一N型薄膜晶体管T1的漏极连接第二数据信号线2，所述第一N型薄膜晶体管T1的栅极连接第一P型薄膜晶体管T2的栅极并连接第1级GOA电路输出信号S1，第一N型薄膜晶体管T1的源极连接所述第一P型薄膜晶体管T2的漏极并连接所述第1级栅极输出信号线G1，所述第一P型薄膜晶体管T2的源极连接所述第二N型薄膜晶体管T3的漏极并连接所述第一数据信号线1，所述第二N型薄膜晶体管T3的栅极连接所述第二P型薄膜晶体管T4的栅极并连接所述第1级GOA电路输出信号S1，所述第二N型薄膜晶体管T3的源

极连接所述第二P型薄膜晶体管T4的漏极并连接所述第3级栅极输出信号线G3，所述第二P型薄膜晶体管T4的源极连接所述第二数据信号线2。

[0041] 经过选择电路单元3的处理，每一级GOA电路，实现了两组栅极信号的输出。如图3所示，图3为本揭示中选择电路单元的工作时序图。具体的，在第一级GOA电路中，输出的栅极信号S1，S1为直流信号，当信号S1为低电平时，第一P型薄膜晶体管T2打开，第一薄膜晶体管T1则关闭，此时，第一级GOA电路中输出的栅极信号G1为第一数据信号线1的信号；当信号S1为高电平时，第一N型薄膜晶体管T1打开，第一P型薄膜晶体管T2则关闭，此时，第一级GOA电路中输出的栅极信号G1为第二数据信号线2的信号。这样，电路就完成了栅极信号G1的输出情况。

[0042] 同理，当第一级GOA电路中，信号S1为低电平时，第二P型薄膜晶体管T4打开，第二N型薄膜晶体管T3关闭，此时，电路中输出的栅极信号G3为第二数据信号线2的信号；当信号S1为高电平时，第二N型薄膜晶体管T3打开，第二P型薄膜晶体管T4则关闭，此时，电路中输出的栅极信号G3为第一数据信号线1的信号。这样，电路就完成栅极信号G3的输出情况。

[0043] 在本揭示中，考虑到各个薄膜晶体管的阈值电压，以及时钟信号和低频反转信号等的影响因素，高电位的电压设置为33V，栅极输出的高电位电压为28V，第一数据信号线1上为-6V的直流信号，第二数据信号线2上为28V的直流信号，同时，本揭示的GOA电路可以使用在各种高清、超高清、8K等显示器产品上。

[0044] 通过选择电路单元3的作用，S1输出了两级栅极信号，即实现了单级的GOA电路输出两级栅极信号的功能，在显示器产品中，相比现有的768级GOA电路，本揭示中的GOA电路数目减少一半，只需要384级的GOA电路就能够实现。进一步说明，如果在现有面板的GOA电路中，所占据的宽度为1000um—2000um，本揭示的GOA电路，由于节省了一半的GOA电路，故电路版图宽度降为500um—1000um。因此，这种外围的电路设计，对超窄边框产品来说，会更加的有利。

[0045] 从上述实施例可以看出，本设计揭示的一种GOA电路，通过在级联的多个GOA电路中增加多个N型和P型的薄膜晶体管，从而实现在栅极信号输出级数不变的情况下，减少线的排布，减少GOA电路的数目，从而节省版图设计宽度，实

现超窄边框面板的设计，并且降低产品的生产成本。

[0046] 以上对本揭示实施例所提供的一种GOA电路进行了详细介绍，本文中应用了具体个例对本揭示的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本揭示的技术方案及其核心思想；本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本揭示各实施例的技术方案的范围。

权利要求书

- [权利要求 1] 一种GOA电路，包括，
- 级联的多个GOA电路单元、GOA电路输出信号线、选择电路单元以及栅极输出信号线；
- 其中，第N级GOA电路单元与第N级GOA电路输出信号线 S_n 连接，所述第N级GOA电路输出信号线 S_n 与第N级选择电路单元连接，所述第N级选择电路单元与第N级栅极输出信号线 G_n 和第N+2级栅极输出信号线 G_{n+2} 连接，N为正整数；
- 其中，选择电路单元还包括：第一数据信号线、第二数据信号线以及多组N型与P型连接的薄膜晶体管；
- 其中，每一个所述GOA电路单元实现两个栅极信号的输出；
- 其中，所述的GOA电路还包括时钟控制信号线，所述时钟控制信号线包括第一时钟信号CK1、第二时钟信号CK2，其中，所述级联的多个GOA电路单元交替的与所述第一时钟信号CK1和第二时钟信号CK2相连接。
- [权利要求 2] 根据权利要求1所述的GOA电路，其中所述选择电路单元中还包括：
- 第一N型薄膜晶体管、第一P型薄膜晶体管、第二N型薄膜晶体管、第二P型薄膜晶体管，所述第一N型薄膜晶体管的漏极连接所述第二数据信号线，所述第一N型薄膜晶体管的栅极连接所述第一P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第一N型薄膜晶体管的源极连接所述第一P型薄膜晶体管的漏极并连接所述第N级栅极输出信号线 G_n ，所述第一P型薄膜晶体管的源极连接所述第二N型薄膜晶体管的漏极并连接所述第一数据信号线，所述第二N型薄膜晶体管的栅极连接所述第二P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第二N型薄膜晶体管的源极连接所述第二P型薄膜晶体管的漏极并连接所述第N+2级栅极输出信号线 G_{n+2} ，所述第二P型薄膜晶体管的源极连接所述第二数据信号线。
- [权利要求 3] 根据权利要求2所述的GOA电路，其中所述GOA电路单元中有两个直

流信号。

- [权利要求 4] 根据权利要求1所述的GOA电路，其中所述第一数据信号线为电压-6V的直流信号。
- [权利要求 5] 根据权利要求1所述的GOA电路，其中所述第二数据信号线为电压28V的直流信号。
- [权利要求 6] 根据权利要求1所述的GOA电路，其中所述GOA电路的版图占据的宽度为500um—1000um。
- [权利要求 7] 一种GOA电路，包括，
级联的多个GOA电路单元、GOA电路输出信号线、选择电路单元以及栅极输出信号线；
其中，第N级GOA电路单元与第N级GOA电路输出信号线 S_n 连接，所述第N级GOA电路输出信号线 S_n 与第N级选择电路单元连接，所述第N级选择电路单元与第N级栅极输出信号线 G_n 和第N+2级栅极输出信号线 G_{n+2} 连接，N为正整数；
其中，选择电路单元中还包括：第一数据信号线、第二数据信号线、多组N型与P型连接的薄膜晶体管。
- [权利要求 8] 根据权利要求7所述的GOA电路，其中所述选择电路单元中还包括：
第一N型薄膜晶体管、第一P型薄膜晶体管、第二N型薄膜晶体管、第二P型薄膜晶体管，所述第一N型薄膜晶体管的漏极连接所述第二数据信号线，所述第一N型薄膜晶体管的栅极连接所述第一P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第一N型薄膜晶体管的源极连接所述第一P型薄膜晶体管的漏极并连接所述第N级栅极输出信号线 G_n ，所述第一P型薄膜晶体管的源极连接所述第二N型薄膜晶体管的漏极并连接所述第一数据信号线，所述第二N型薄膜晶体管的栅极连接所述第二P型薄膜晶体管的栅极并连接所述第N级GOA电路输出信号 S_n ，所述第二N型薄膜晶体管的源极连接所述第二P型薄膜晶体管的漏极并连接所述第N+2级栅极输出信号线 G_{n+2} ，所述第二P型薄膜晶体管的源极连接所述第二数据信号线。

- [权利要求 9] 根据权利要求7所述的GOA电路，其中所述的GOA电路还包括时钟控制信号线，所述时钟控制信号线包括第一时钟信号CK1、第二时钟信号CK2，其中，所述级联的多个GOA电路单元交替的与所述第一时钟信号CK1和第二时钟信号CK2相连接。
- [权利要求 10] 根据权利要求7所述的GOA电路，其中每一个所述GOA电路单元实现两个栅极信号的输出。
- [权利要求 11] 根据权利要求10所述的GOA电路，其中所述GOA电路单元中有两个直流信号。
- [权利要求 12] 根据权利要求7所述的GOA电路，其中所述第一数据信号线为电压-6V的直流信号。
- [权利要求 13] 根据权利要求7所述的GOA电路，其中所述第二数据信号线为电压28V的直流信号。
- [权利要求 14] 根据权利要求7所述的GOA电路，其中所述GOA电路的版图占据的宽度为500um—1000um。

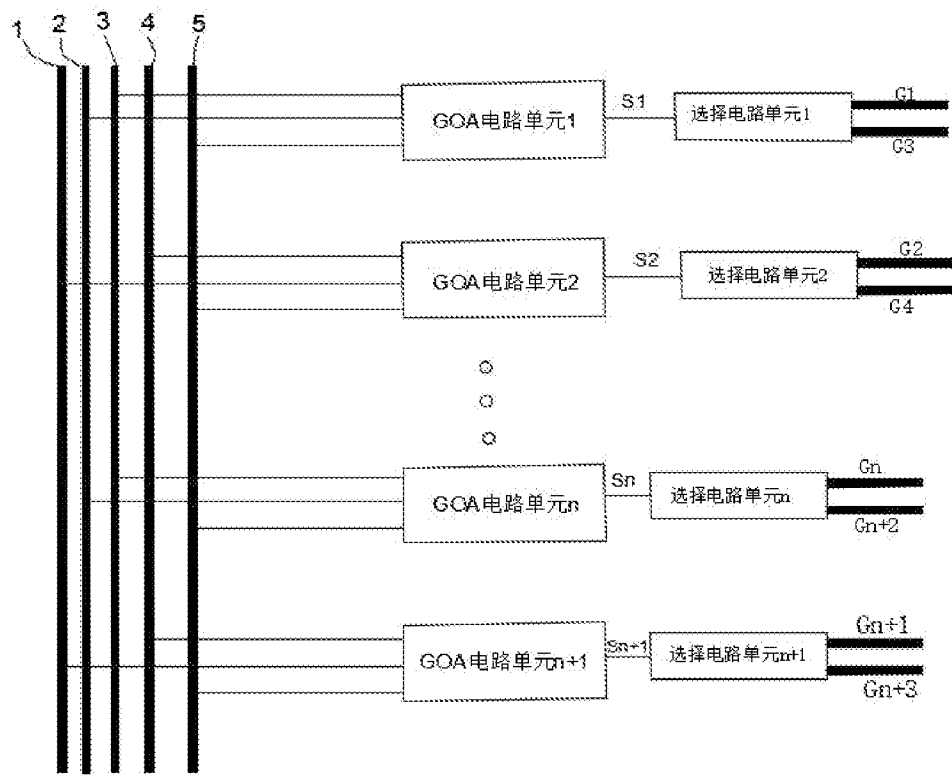


图 1

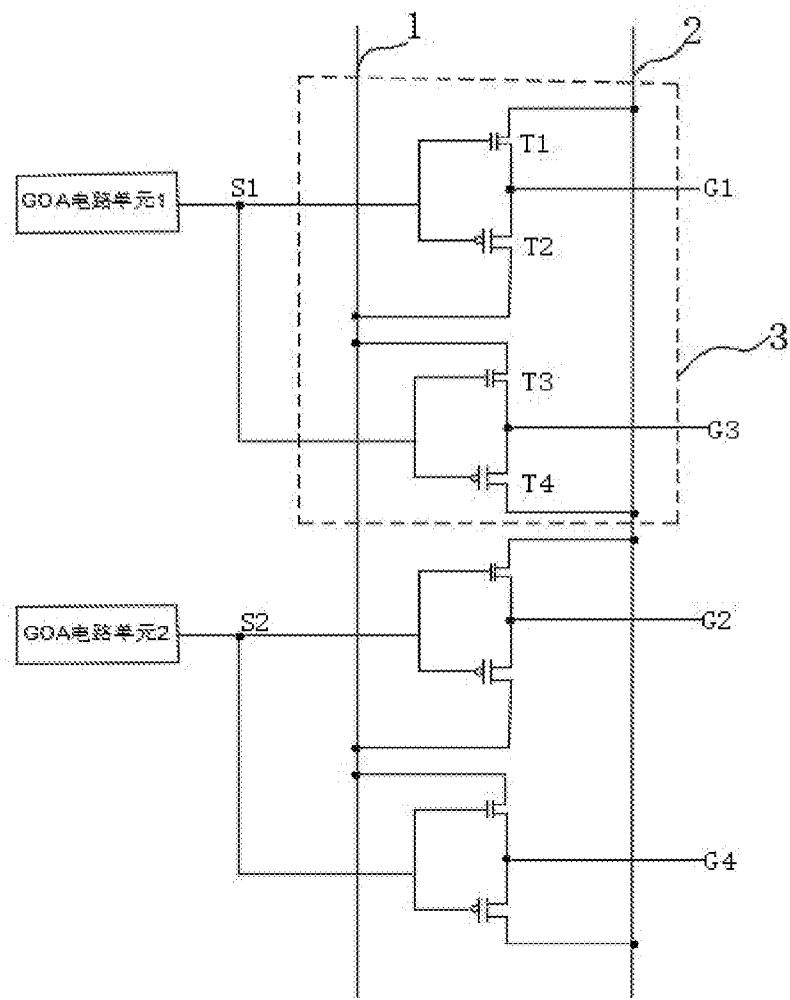


图 2

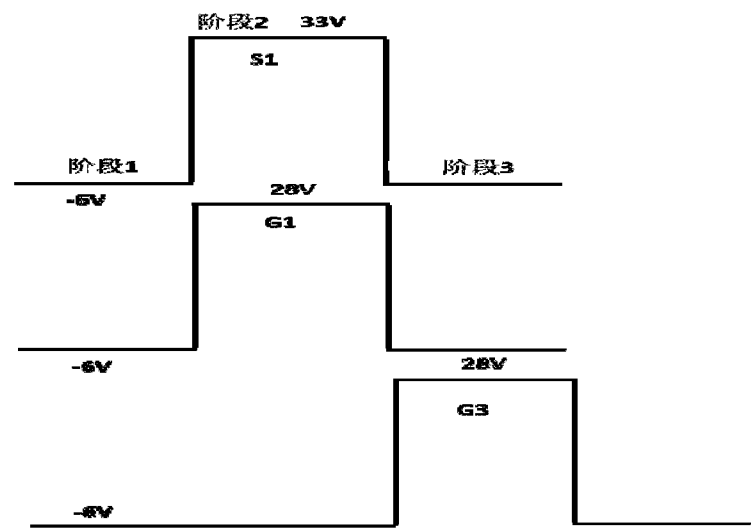


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/083591

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 宋乔乔, 显示, 栅极驱动, 移位寄存, 复用, 共用, 扫描, 栅极, 线, P型, N型, 窄边框, display, gat+, scan, driv+, shift, register, SR, MUX, line, PMOS, NMOS, narrow, border

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109559698 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 02 April 2019 (2019-04-02) description, paragraphs [0026]-[0034], and figures 1-3	1-14
X	CN 104700799 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 10 June 2015 (2015-06-10) description, paragraphs [0069]-[0105], and figures 1-7	1, 4-7, 9-14
A	CN 102881248 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 16 January 2013 (2013-01-16) entire document	1-14
A	CN 103943090 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 23 July 2014 (2014-07-23) entire document	1-14
A	CN 107016971 A (BOE TECHNOLOGY GROUP CO., LTD.) 04 August 2017 (2017-08-04) entire document	1-14
A	KR 20170030735 A (LG DISPLAY CO., LTD.) 20 March 2017 (2017-03-20) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 August 2019

Date of mailing of the international search report

27 September 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/083591

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	109559698	A	02 April 2019	None	
CN	104700799	A	10 June 2015	CN 104700799 B	12 September 2017
				US 2017103698 A1	13 April 2017
				US 9824621 B2	21 November 2017
				WO 2016145691 A1	22 September 2016
CN	102881248	A	16 January 2013	CN 102881248 B	09 December 2015
CN	103943090	A	23 July 2014	WO 2015158051 A1	22 October 2015
				US 2015295575 A1	15 October 2015
CN	107016971	A	04 August 2017	US 2018301081 A1	18 October 2018
KR	20170030735	A	20 March 2017	None	

国际检索报告

国际申请号

PCT/CN2019/083591

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: 华星光电, 宋乔乔, 显示, 栅极驱动, 移位寄存, 复用, 共用, 扫描, 栅极, 线, P型, N型, 窄边框, display, gat+, scan, driv+, shift, register, SR, MUX, line, PMOS, NMOS, narrow, border		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 109559698 A (深圳市华星光电半导体显示技术有限公司) 2019年 4月 2日 (2019 - 04 - 02) 说明书第[0026]-[0034]段, 图1-3	1-14
X	CN 104700799 A (深圳市华星光电技术有限公司 等) 2015年 6月 10日 (2015 - 06 - 10) 说明书第[0069]-[0105]段, 图1-7	1, 4-7, 9-14
A	CN 102881248 A (京东方科技集团股份有限公司 等) 2013年 1月 16日 (2013 - 01 - 16) 全文	1-14
A	CN 103943090 A (深圳市华星光电技术有限公司) 2014年 7月 23日 (2014 - 07 - 23) 全文	1-14
A	CN 107016971 A (京东方科技集团股份有限公司) 2017年 8月 4日 (2017 - 08 - 04) 全文	1-14
A	KR 20170030735 A (LG DISPLAY CO., LTD.) 2017年 3月 20日 (2017 - 03 - 20) 全文	1-14
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2019年 8月 30日		2019年 9月 27日
ISA/CN的名称和邮寄地址		受权官员
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		罗朋 电话号码 86-(10)-53962510

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/083591

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	109559698	A	2019年 4月 2日	无	
CN	104700799	A	2015年 6月 10日	CN	104700799 B 2017年 9月 12日
				US	2017103698 A1 2017年 4月 13日
				US	9824621 B2 2017年 11月 21日
				WO	2016145691 A1 2016年 9月 22日
CN	102881248	A	2013年 1月 16日	CN	102881248 B 2015年 12月 9日
CN	103943090	A	2014年 7月 23日	WO	2015158051 A1 2015年 10月 22日
				US	2015295575 A1 2015年 10月 15日
CN	107016971	A	2017年 8月 4日	US	2018301081 A1 2018年 10月 18日
KR	20170030735	A	2017年 3月 20日	无	