

公告本

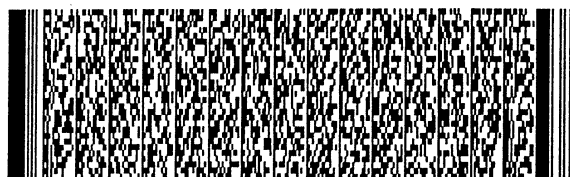
申請日期： <u>88.11.13</u>	案號： <u>88105902</u>
類別： <u>G11C 17/00</u>	

(以上各欄由本局填註)

發明專利說明書

498334

一、 發明名稱	中文	藉由將多值讀出資料與對應之參考資料相比較而決定多值讀出資料的半導體多值記憶裝置
	英文	SEMICONDUCTOR MULTIVALUED MEMORY DEVICE DETERMINING MULTIVALUED READ-OUT DATUM BY COMPARING IT WITH CORRESPONDING REFERENCE DATA
二、 發明人	姓名 (中文)	1. 日比野 健次
	姓名 (英文)	1. KENJI HIBINO
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子 尚志
	代表人 姓名 (英文)	1. HISASHI KANEKO



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1998/04/14	特願平10-103014	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

發明領域

本發明與一種半導體記憶裝置有關；且更特別是，與一種用來儲存多值資料的半導體多值唯讀記憶裝置有關。

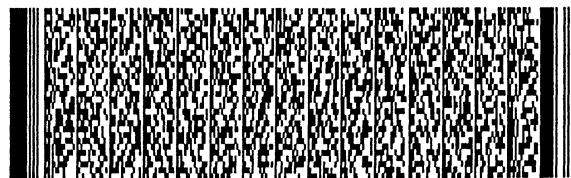
有關技藝之描述

半導體多值唯讀記憶裝置具有用來儲存多值資料的記憶單元，該多值資料都是由選擇性指定給記憶單元的多數臨限值所表示。字元線都被選擇性連接到記憶單元，而在被選擇字元線上的電位位準則是被逐步地改變。當在被選擇字元線上的電位位準超過被選擇記憶單元的臨限值中的一個臨限值時，電流就會流經被選擇記憶單元，並且基於時序來決定多值資料。

圖1圖解說明：一種先前技藝之半導體多值唯讀記憶裝置。將先前技藝之半導體多值唯讀記憶裝置分成兩個區段，即：資料儲存區段1和參考電壓產生器2。資料儲存區段1包括多數唯讀記憶單元1a。雖然並未顯示於圖1中，但是多數記憶單元1a都被分組成多數已分別指定儲存體位址(bank addresses)的儲存體(memory banks)。

在每個儲存體中的唯讀記憶單元都被佈置成行列。唯讀記憶單元之列都被分別指定列位址，而行位址則是分別指定給唯讀記憶單元之行。因此，藉由使用儲存體位址，列位址以及行位址而從記憶單元陣列中選擇唯讀記憶單元。

將不同的臨限值 $V_{t0}/V_{t1}/V_{t2}/V_{t3}$ 選擇性授予唯讀記憶單元，而每個唯讀記憶單元的臨限值都是在製造過程期



五、發明說明 (2)

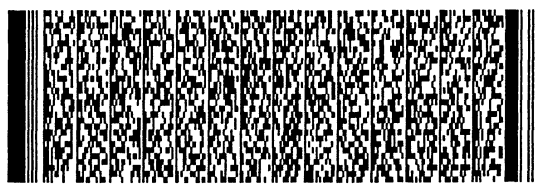
間就決定的。

資料儲存區段1還包括：儲存體位址解碼器1b，列位址解碼器1c，行位址解碼器1d，儲存體選擇器1e，以及兩個行選擇器1f/1g。

唯讀記憶單元之行都可選擇性連接到數位線DL。經由字元線WL而將列位址解碼器1c連接到記憶單元之列，並且將字元線WL選擇性改變到一有效電位(active potential)範圍。如稍後所描述的，有效位準是被選擇字元線WL上被逐步地改變；而連接到被選擇字元線的唯讀記憶單元則都會被檢查，以便察看其中儲存有什麼多值資料。

將一儲存體位址信號供應到儲存體位址解碼器1b，進而儲存體位址解碼器會解碼儲存體位址信號，以便將儲存體選擇線EL選擇性改變到一有效位準。儲存體都被選擇性連接到儲存體選擇線EL，而被選擇儲存體則都被連接到數位線DL。將一行位址信號供應到行位址解碼器1d，進而行位址解碼器1d會使兩個行選擇器1f/1g選擇數位線DL。行選擇器1g會將唯讀記憶單元之被選擇行連接到一接地線。

資料儲存區段1還包括：感測放大器SAMP00，SAMP01，...及SAMPxx，差動電路DF00，DF01，...及DFxx，以及轉換器CONV00，CONV01，...及CONVxx。行選擇器1f將感測放大器SAMP00到SAMPxx連接到被選擇數位線DL，並且經由行選擇器1f將電流供應到被選擇數位線DL。若一被選擇唯讀記憶單元中斷電流，則有關聯數位線具有一高電位位準。在另一方面，若電流流經被選擇唯讀記憶單元，則



五、發明說明 (3)

在有關聯數位線上的電位位準會下降到一低電位位準。感測放大器SAMP00到SAMPxx會產生分別表示在被選擇數位線DL上之電位位準的感測信號SA00/SA01/.../SAxx，並將感測信號SA00到SAxx分別供應到有關聯差動電路DF00到DFxx。將一參考信號RSA從參考電壓產生器2供應到差動電路DF00到DFxx，而差動電路DF00到DFxx則會將感測信號SA00到SAxx的大小與一參考信號RSA的大小相比較。差動電路DF00到DFxx會產生表示多值讀出資料的讀出信號S000到S0xx，進而將讀出信號S000到S0xx從差動電路DF00到DFxx分別供應到轉換器CONV00到CONVxx。轉換器CONV00到CONVxx中的每個轉換器都會將有關聯讀出信號S000到S0xx加以轉換成一種二位元輸出資料信號DS00/DS01/.../DSxx。

資料儲存區段1還包括：恒定電壓產生器1h和電壓選擇器1j。恒定電壓產生器1h會產生三個恒定電壓VG1/VG2/VG3，進而將三個恒定電壓VG1/VG2/VG3供應到電壓選擇器1j。電壓選擇器1j對三個時序信號PH1/PH2/PH3作回應，以便將三個恒定電壓VG1/VG2/VG3選擇性轉移到列位址解碼器1c。為此緣故，列位址解碼器1c會逐步地改變在被選擇字元線WL上的電位位準，而該位準是在三個恒定電壓VG1，VG2及VG3之間。

參考電壓產生器2包括：單一之參考放大器2a，一參考記憶單元陣列2b，兩個參考選擇器2c/2d，一參考列位址解碼器2e，以及一參考儲存體選擇器2f。參考記憶單元



五、發明說明 (4)

陣列2b包括佈置成列的多數參考記憶單元RMC，並且參考記憶單元RMC都可以經由參考儲存體選擇器2f而連接到參考數位線RDL。將參考選擇器2c連接在參考放大器2a與參考數位線RDL之間，並且將另一個參考選擇器2d連接在多數參考數位線RDL與接地線之間。

經由參考字元線RWL而將參考列位址解碼器2e連接到參考記憶單元RMC，如圖2中所示；並且將臨限值 V_{t0} 授予參考記憶單元RMC。將恒定電壓 V_{G1} 從恒定電壓產生器1h供應到參考列位址解碼器，進而參考列位址解碼器2e會將恒定電壓 V_{G1} 施加到參考字元線RWL。參考放大器2a會將電流經由：參考選擇器2c，參考數位線RDL以及參考儲存體選擇器2f而供應到參考記憶單元RMC；並且將在參考數位線RDL上的電位位準供應到差動電路DF00到DFxx以作為參考信號RSA。

從記憶單元陣列1a中讀出多值資料如下。

將三個恒定電壓 $V_{G1}/V_{G2}/V_{G3}$ 及臨限值 $V_{t0}/V_{t1}/V_{t2}/V_{t3}$ 加以調整如下：

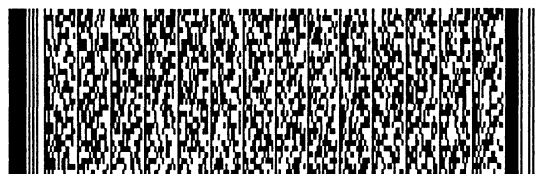
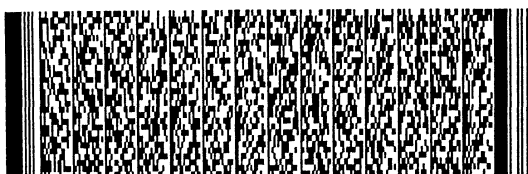
$$V_{t0} < V_{G1} < V_{t1} < V_{G2} < V_{t2} < V_{G3} < V_{t3}$$

將在三個恒定電壓 $V_{G1}/V_{G2}/V_{G3}$ 與臨限值 $V_{t0}/V_{t1}/V_{t2}/V_{t3}$ 之間的電位差 dV_0 設計成為定值如下：

$$dV_0 = V_{G1} - V_{t0} = V_{G2} - V_{t1} = V_{G3} - V_{t2}$$

參考記憶單元RMC及參考字元線RWL都會滿足以上關係，即： $dV_0 = V_{G1} - V_{t0}$ 。

首先，一被選擇記憶單元被假定具有臨限值 V_{t0} 。列



五、發明說明 (5)

位址解碼器1c會逐步地改變在有關聯字元線WL上的電位位準。當字元線WL被改變到VG0時，被選擇記憶單元就會接通，因而電流流經被選擇記憶單元。電流量對應於電位差dV0。在有關聯數位線上的電位位準會下降到一低位準Vsa0，而感測放大器SAMP00/.../SAMPxx則會將感測信號SA00/.../SAxx供應到差動電路DF00/.../DFxx。如上文中所描述的，參考記憶單元RMC都被調整到臨限值Vt0，而參考放大器2a則會供應表示電位位準Vsa0之一參考信號RSA。感測信號SA00/.../SAxx在大小上等於參考信號RSA，而差動電路DF00/.../DFxx則會將讀出信號S000/...S0xx改變到一高位準H。

隨後，假定被選擇記憶單元具有臨限值Vt1。當列位址解碼器1c將字元線WL改變到恒定電壓VG1時，被選擇記憶單元就被維持在不通狀態中；而有關聯感測放大器則會將在一高位準Vsa3處的感測信號SA00/.../SAxx供應到差動電路DF00/.../DFxx。高位準Vsa3是高於低位準Vsa0。感測信號SA00/.../SAxx是高於參考信號RSA，因而差動電路DF00/.../DFxx會將讀出信號S000/...S0xx保持在低位準。

列位址解碼器1c會將被選擇字元線WL從恒定電壓VG1增加到下一個恒定電壓位準VG2。然後，被選擇記憶單元接通。電流會流經被選擇記憶單元，進而在有關聯數位線DL上的電位位準會下降到低位準Vsa0。差動電路DF00/.../DFxx容許：有關聯數位線DL在電位位準上等於參考數位



五、發明說明 (6)

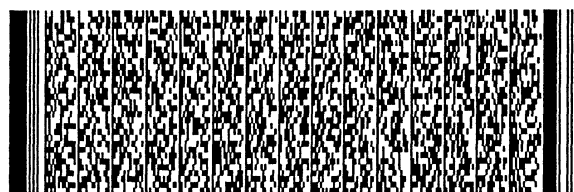
線RDL；並且將讀出信號S000/.../S0xx改變到高位準H。

若被選擇記憶單元具有臨限值Vt2，則有關聯差動電路DF00/.../DFxx會在從恒定電壓VG2改變到恒定電壓VG3的時候，將讀出信號S000/.../S0xx從低位準改變到高位準。然而，在字元線WL上的恒定電壓VG3無法將具有臨限值Vt3之一被選擇記憶單元改變成接通狀態，因而被選擇記憶單元都總是停留在不通狀態中。於是，轉換器CONV00到CONVxx會基於依照讀出信號S000/.../S0xx從低位準L改變到高位準H的時序來決定讀出資料的數值。

先前技藝半導體多值唯讀記憶裝置會將以臨限值形式呈現的多值資料儲存在記憶單元陣列1a中，並且會根據以下假定來決定每個資料的數值：一預定量的電流會在電位位準之改變遍及其中臨限值的時候，開始流經被選擇記憶單元。然而，該假定不一定總是有效的。若製程參數有所變動，則該變動可能將臨限值移離目標值

Vt0/Vt1/Vt2/Vt3。恒定電壓產生器1h可能產生偏離設計值的三個恒定電壓VG1/VG2/VG3。在這種情形下，不能滿足在三個恒定電壓VG1/VG2/VG3與臨限值Vt0/Vt1/Vt2/Vt3之間的關係，因而轉換器CONV00到CONVxx未能將一數值正確地指定給讀出資料。

圖3圖解說明從：具有設計臨限值Vt0之第一記憶單元，具有臨限值因製程參數的變動而從設計值Vt1惹人厭地偏移到一較大值Vt1 u之第二記憶單元，具有設計臨限值Vt2之第三記憶單元，以及具有設計臨限值Vt3之第四記

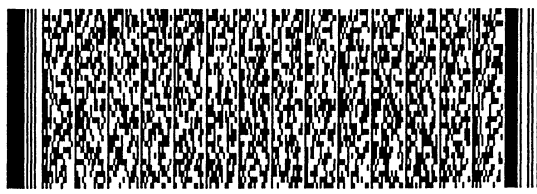
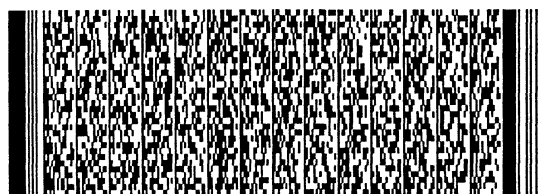


五、發明說明 (7)

憶單元中讀出的資料。兩個恒定電壓 $VG1/VG2$ 都被調整到設計值。然而，導因於恒定電壓產生器1h中的故障，恒定電壓 $VG3d$ 低於設計恒定電壓 $VG3$ 。

資料都是從第一和第四記憶單元中正確地讀出，因而該描述被省略。第二記憶單元具有高於設計臨限值 V_{t1} 的臨限值 V_{t1u} 。第二記憶單元會在字元線WL上的恒定電壓 $VG1$ 之下被斷開。當將字元線WL改變到恒定電壓 $VG2$ 時，第二記憶單元就會接通。然而，在字元線WL與臨限值 V_{t1u} 之間的電位差小於在字元線WL與臨限值 V_{t1} 之間的電位差。結果是，電流不像平常那樣多，而數位線DL則只是下降到電位位準 V_{sa0} 與 V_{sa3} 之間的一個電位位準 V_{sa1} 。在另一方面，參考電壓產生器2會將參考信號RSA固定到電位位準 V_{sa0} ，而差動電路 $DF00/DF01/\dots/DF_{xx}$ 則會決定：在數位線上的電位位準並不會觸及高位準H。當將字元線WL改變到恒定電壓 $VG3$ 時，差動電路 $DF00/\dots/DF_{xx}$ 就會容許：在數位線上的電位位準夠低，以便改變感測信號 $S000/\dots/S0_{xx}$ 。於是，延遲了改變到高位準H。

第三記憶單元會在改變到恒定電壓 $VG3d$ 之前，將在數位線DL上的電位位準保持在高位準；於是，差動電路 $DF00/DF01/\dots/DF_{xx}$ 會將讀出信號 $S000/\dots/S0_{xx}$ 保持在低位準。當將字元線WL改變到恒定電壓 $VG3d$ 時，字元線WL就會超過臨限值 V_{t2} ，進而第三記憶單元會接通。然而，在恒定電壓 $VG3d$ 與臨限值 V_{t2} 之間的電位差比平常的還小，因而電流量就會比平常少。為此緣故，數位線DL會下



五、發明說明 (8)

降到一中間電位位準 V_{sa2} ，而有關聯差動電路DF00/.../DFxx則會將讀出信號S000/.../SOxx加以調節到低於高位準H之一中間位準M。

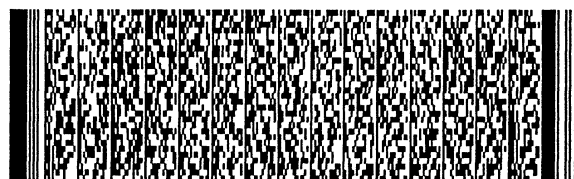
像將會瞭解的那樣，缺陷記憶單元和缺陷恒定電壓產生器1h會減少在讀出信號S000/.../SOxx與轉換器CONV00/.../CONVxx中的高/低位準之間的邊限，因而轉換器CONV00/.../CONVxx很容易誤判讀出資料。於是，在先前技藝之半導體多值唯讀記憶裝置中固有的問題就是低可靠性資料讀出。

發明概要

因此，本發明之一重要目的是：提供一種半導體多值記憶裝置，該裝置會將可靠性讀出資料傳送到一外部裝置。

為了達到此一目的，本發明提議同樣地影響記憶單元陣列和參考單元陣列兩者。

根據本發明之一實施態樣，提供一種半導體多值記憶裝置，該裝置包括：一記憶單元陣列，包括用來儲存選擇性表示兩個以上數值的多數資料資訊片段的多數記憶單元；一定址電路(addressing circuit)，具有選擇性連接到多數記憶單元的選擇線，並且驅動多數選擇線中的至少一條選擇線，以便在對應於兩個以上數值的不同時序讀出多數筆資料資訊；一參考信號產生器，包括：多數參考記憶單元，用來儲存分別表示兩個以上數值中的至少兩個數



五、發明說明 (9)

值的多數參考資料資訊，以及多數參考選擇線，被分別連接到多數參考記憶單元且被選擇性驅動，用來讀出在選自不同時序的多數時序且對應於兩個以上數值的至少兩個數值的多數參考資料資訊；以及一資料鑑別器(data discriminator)，被連接到記憶單元陣列和參考信號產生器，並且基於多數參考資料資訊而決定從記憶單元陣列中讀出的每個資料資訊片段之數值，以便產生一輸出資料信號。

附圖概述

根據連同各附圖而採取的下列描述，就會更加清楚地瞭解半導體多值儲存資料的諸多特點及優點，其中：

圖1為顯示先前技藝之半導體多值唯讀記憶單元的佈置之一方塊圖；

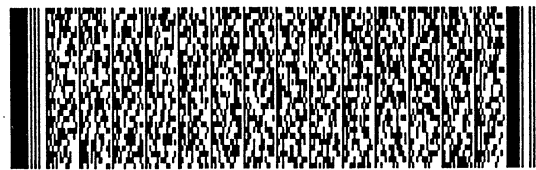
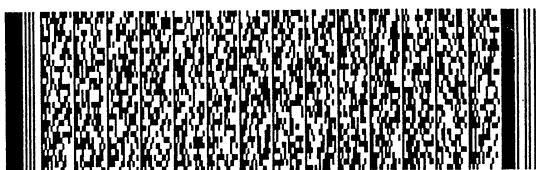
圖2為顯示納入先前技藝之半導體多值唯讀記憶單元中之參考記憶單元陣列的電路組態之一電路圖；

圖3為一種顯示在先前技藝之缺陷多值唯讀記憶裝置中所觀察的多數電位波形之曲線圖；

圖4為顯示根據本發明之一半導體多值唯讀記憶裝置的電路組態之一電路圖；

圖5為顯示納入半導體多值唯讀記憶裝置中之一資料儲存區段的電路組態之一電路圖；

圖6為顯示流經資料儲存區段之一電流路徑之一電路圖；



五、發明說明 (10)

圖7為顯示一感測放大器的電路組態和一差動電路的電路組態之一電路圖，兩種電路都被納入資料儲存區段中；

圖8為顯示納入半導體多值唯讀記憶裝置中之諸參考記憶單元陣列的電路組態之一電路圖；

圖9為顯示參考放大器的電路組態以及納入半導體多值唯讀記憶裝置中之一轉換電路(change-over circuit)的電路組態之一電路圖；

圖10為一種顯示在一條被選擇字元線上的電位變化之曲線圖；

圖11為一種顯示在半導體多值唯讀記憶裝置之一優越產品中所觀察的基本信號波形之曲線圖；

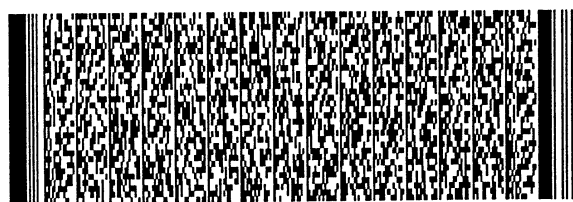
圖12為一種顯示在半導體多值唯讀記憶裝置之另一產品中所觀察的基本信號波形之曲線圖；

圖13為顯示根據本發明之另一半導體多值唯讀記憶裝置的佈置之一方塊圖；

圖14為顯示一參考選擇器的電路組態以及納入半導體多值唯讀記憶裝置中之一參考感測放大器的電路組態之一電路圖；

圖15為顯示根據本發明之又一半導體多值唯讀記憶裝置的佈置之一方塊圖；

圖16為顯示一參考選擇器的電路組態以及納入半導體多值唯讀記憶裝置中一參考感測放大器的電路組態之一電路圖；



五、發明說明 (11)

圖17為顯示一參考記憶單元陣列以及一參考儲存體選擇器之有關聯部份的電路佈置之一電路圖；

圖18為顯示根據本發明之再一半導體多值唯讀記憶裝置的佈置之一方塊圖；

圖19為顯示一參考記憶單元陣列以及納入半導體多值唯讀記憶裝置中之一參考儲存體選擇器之有關聯部份的電路佈置之一電路圖；

圖20為顯示納入半導體多值唯讀記憶裝置中之一參考列選擇器的電路組態之一電路圖；以及

圖21為一種顯示在一參考字元線上的電位位準之曲線圖。

【符號之說明】

20 ~ 半導體晶片

21 ~ 資料儲存區段

21a ~ 記憶單元陣列

21b ~ 儲存體位址解碼器

21c ~ 列位址解碼器

21d ~ 行位址解碼器

21e ~ 儲存體選擇器

21f ~ 行選擇器

21g ~ 行選擇器

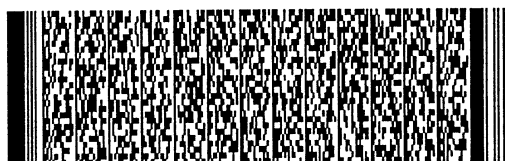
21h ~ 恒定電壓產生器

21j ~ 恒定電壓供應-電壓選擇器



五、發明說明 (12)

- 22 ~ 參考電壓產生器
- 22a/22b/22c ~ 參考記憶單元陣列
- 22d ~ 參考列選擇器
- 22e/22f ~ 參考選擇器
- 22g/22h/22j ~ 參考放大器
- 22k ~ 轉換電路
- 22m/22n/22p ~ 參考儲存體選擇器
- 31 ~ 資料儲存區段
- 32 ~ 參考信號產生器
- 32a ~ 參考選擇器
- 32b ~ 參考放大器
- 41 ~ 資料儲存區段
- 42 ~ 參考信號產生器
- 42a ~ 參考選擇器
- 42b ~ 參考儲存體解碼器
- 42c ~ 參考放大器
- 42c ~ 參考放大器
- 42d ~ 參考選擇器
- 51 ~ 資料儲存區段
- 52 ~ 參考信號產生器
- 52a ~ 參考列選擇器
- 52b ~ 參考記憶單元陣列
- 52c ~ 參考儲存體選擇器
- 52d ~ 轉移閘



五、發明說明 (13)

52d/52e/52f ~ 轉移閘

BL ~ 儲存體選擇線

BL1/BL2 ~ 儲存體選擇線

BL11/BL12 ~ 儲存體選擇線

BS1 ~ 參考儲存體選擇線

BS1/BS2/BS3 ~ 參考儲存體選擇線

C001-C007、Cn1-Cn7、Cxx1-Cxx7 ~ 唯讀記憶單元

CN1 ~ 公用節點

CN2 ~ 公用汲極節點

CN3 ~ 公用汲極節點

Cn3 ~ 被選擇記憶單元

Cn5/Cn6/Cn7/... ~ 針對記憶單元

CV00-CVxx ~ 轉換器

DF00-DFxx ~ 差動電路

DS00/DS01/.../DSxx ~ 輸出資料信號

DS00-DSxx ~ 輸出資料信號

dV0 ~ 邊限

GND ~ 接地線

H ~ 高位準

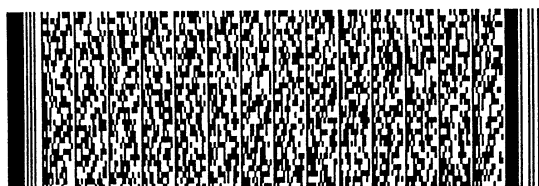
IN1 ~ 輸入節點

INV21 ~ 反相器

INV31/INV32/INV33 ~ 反相器

INV50 ~ 反相器

INV51 ~ 反相器



五、發明說明 (14)

INV52 ~ 反相器

L ~ 低電壓位準

MD ~ 被選擇主數線

MD/SD ~ 主／次數位線

MD1 ~ 主數位線

MG ~ 主虛擬接地線

MG/SG ~ 主／次虛擬接地線

MG1 ~ 主虛擬接地線

MG2 ~ 主虛擬接地線

OUT1 ~ 輸出節點

PH1/PH2/PH3 ~ 時序信號

Qn21/Qn22 ~ 開關電晶體

Qn21/Qn22/Qn23/Qn24、Qn25/Qn26/Qn27/Qn28 ~ 電

晶體

Qn23/Qn24 ~ 開關電晶體

Qn25/Qn26/Qn27/Qn28 ~ 開關電晶體

Qn32 ~ n通道增強型場效電晶體

Qn33 ~ n通道增強型場效電晶體

Qn41/Qn42/Qn43/Qn44/Qn45~n通道增強型開關電晶體

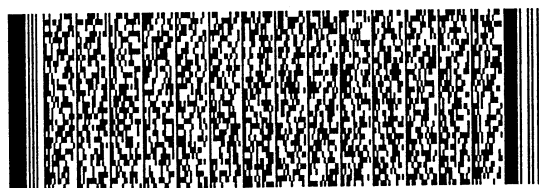
的陣列Qn46/Qn47/Qn48/Qn49/Qn50~n通道增強型開關電晶

體的陣列Qn51/Qn52/Qn53/Qn54/Qn55~n通道增強型開關電

晶體的陣列

Qn60/Qn61/Qn62 ~ n通道增強型場效電晶體

Qn63/Qn64/Qn65 ~ n通道增強型場效電晶體



五、發明說明 (15)

Qn63/Qp31、Qn64/Qp32、Qn65/Qp33 ~ 轉移閘

Qn66 ~ n通道增強型場效電晶體

Qn71/Qn72 ~ n通道增強型場效電晶體

Qn73 ~ n通道增強型場效電晶體

Qn75 ~ n通道增強型場效電晶體

Qp20 ~ 場效電晶體

QP21 ~ 場效電晶體

Qp22 ~ p通道增強型場效電晶體

Qp23 ~ p通道增強型場效電晶體

QP31/QP32/QP33 ~ p通道增強型場效電晶體

Qp73/Qp74/Qp75 ~ p通道增強型場效電晶體

Qp73/Qp74/Qp75 ~ p通道增強型場效電晶體

RA1/RA2/RA3 ~ 感測信號

RA1/RA2/RA3 ~ 感測信號

Rca ~ 參考記憶單元

Rca ~ 參考記憶單元

Rca ~ 將參考記憶單元

RCa/RCb/RCc ~ 參考記憶單元

RCa/RCb/RCc ~ 參考記憶單元

RMD ~ 參考主數位線

RMD/RMG ~ 參考主數位線 / 參考主虛擬接地線

RMD1/RMD2/RMD3 ~ 參考主數位線

RMD1/RMD2/RMD3 ~ 參考主數位線

RMG ~ 參考主虛擬接地線



五、發明說明 (16)

RMG11/RMG21/RMG31 ~ 參考主接地線

RS ~ 參考信號

RWL_a/RWL_b/RWL_c ~ 參考字元線

SA00-SA_{xx} ~ 感測信號

SAM00-SAM_{xx} ~ 感測放大器

SD ~ 次數位線

SD ~ 參考次數位線

SD ~ 參考次數位線

SD02 ~ 次數位線

Sda ~ 參考次數位線

SD_a/SG_a ~ 參考次數位線 / 參考次虛擬接地線

SG ~ 次虛擬接地線

SG01-SG12 ~ 次虛擬接地線

Sga ~ 參考次虛擬接地線

S000/S001/.../S_{0xx} ~ 讀出信號

Vdd ~ 正電源電壓線

VG1/VG2/VG3 ~ 恒定電壓

Vgc ~ 恒定電壓線

Vsa ~ 恒定位準

Vsa0 ~ 電壓位準

Vsa1 ~ 電位位準

Vsa2 ~ 中間電位位準

Vsa2 ~ 電位位準

Vt0/Vt1/Vt2/Vt3 ~ 臨限值



五、發明說明 (17)

Vtlu ~ 高位準

WL ~ 字元線

WL00, ..., WLon, ..., WLxx ~ 字元線

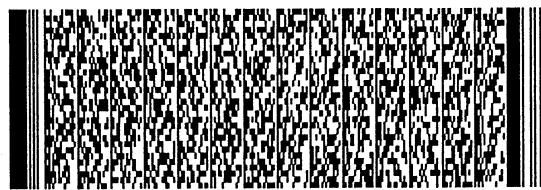
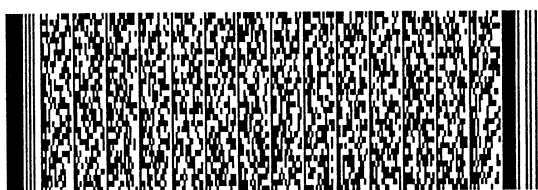
Wlon ~ 被選擇字元線

較佳實施例之描述

第一實施例

參考附圖中的圖4，將一半導體多值唯讀記憶裝置製造在一半導體晶片20上。將半導體多值唯讀記憶裝置分成：一資料儲存區段21以及一參考電壓產生器22。半導體多值唯讀記憶裝置被歸類成一種掩蔽唯讀記憶體(mask ROM)，而多值資料都是在製造過程期間加以儲存的。參考電壓產生器22會在資料儲存區段21中的相同條件下產生一參考信號RS，並且將參考信號RS供應到資料儲存區段21。資料也都是藉由逐步地電位改變而讀出的，並且將讀出信號S000/S001/.../S0xx與參考信號RS相比較，以供產生二位元輸出資料信號DS00/DS01/.../DSxx之用。將二位元輸出資料信號DS00到DSxx供應到一外部裝置(未示出)。

資料儲存區段21包括一記憶單元陣列21a。多數唯讀記憶單元形成了記憶單元陣列21a。雖然並未顯示於圖4中，但是記憶單元陣列21a被分成多數已分別指定儲存體位址的儲存體。在每個儲存體中的唯讀記憶單元都被佈置成行列。唯讀記憶單元之列都被分別指定列位址，而行位址則是分別指定給唯讀記憶單元之行。因此，藉由使用儲



五、發明說明 (18)

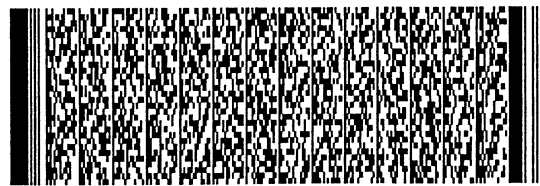
存體位址，列位址以及行位址而從記憶單元陣列21a中選擇唯讀記憶單元。

唯讀記憶單元都由多數之場效電晶體所構成，並且將不同的臨限值 $V_{t0}/V_{t1}/V_{t2}/V_{t3}$ 選擇性授予場效電晶體，而每個唯讀記憶單元的臨限值都是在製造過程期間就決定的。

資料儲存區段21還包括：儲存體位址解碼器21b，儲存體選擇線BL，列位址解碼器21c，字元線WL，行位址解碼器21d，儲存體選擇器21e，兩個行選擇器21f/21g，主／次虛擬接地線(main/sub-virtual ground lines)MG/SG，以及主／次數位線MD/SD。將一儲存體位址信號，一系列位址信號及一行位址信號分別供應到：儲存體位址解碼器21b，列位址解碼器21c及行位址解碼器21d則分別控制：儲存體選擇器21e，字元線WL及兩個行選擇器21f/21g。

在這些電路組件與唯讀記憶單元之間的佈置被顯示於圖5中。將字元線WL00，...，WL_{on}，...，以及WL_{xx}連接到唯讀記憶單元C001，...，C007，...；C_{n1}，...，C_{n7}，...；...；C_{xx1}，...，C_{xx7}之列。字元線WL00到WL_{xx}都被連接到列位址解碼器21c，並且都被選擇性驅動到一種有效電位範圍。

次虛擬接地線SG01到SG12以及次數位線SD01到SD12都是藉由形成在半導體晶片20中的伸長雜質區所構成的。將次虛擬接地線SG01/SG02/SG11/SG12和次數位線



五、發明說明 (19)

SD01/SD02/SD11/SD12 交替佈置，並且將次虛擬接地線 SG01 到 SG12 以及次數位線 SD01 到 SD12 連接到唯讀記憶單元之列：C001 到 C007，Cn1 到 Cn7，...，Cxx1 到 Cxx7 的源極／汲極節點。因此，每條次數位線 SD1 到 SD12 都可藉由一個唯讀記憶單元而連接到次虛擬接地線 SG01 到 SG12 中的一條相關之次虛擬接地線。

儲存體選擇器 21e 是藉由 n 通道增強型開關電晶體的兩個陣列：Qn21/Qn22/Qn23/Qn24 和 Qn25/Qn26/Qn27/Qn28 所構成的。將 n 通道增強型開關電晶體的第一陣列 Qn21 到 Qn24 連接在次數位線 SD01/SD02/SD11/SD12 與兩條主數位線 MD1/MD2 之間，並且將兩條儲存體選擇線 BL1/BL2 分別連接到兩個 n 通道增強型開關電晶體 Qn21/Qn22 的閘極電極以及兩個 n 通道增強型開關電晶體 Qn23/Qn24 的閘極電極。儲存體位址解碼器 21b 會將兩條儲存體選擇線 BL1/BL2 選擇性改變到一有效高位準，並且將兩條主數位線 MD1-MD2 選擇性連接到次數位線 SD01-SD02 以及 SD11-SD12。將 n 通道增強型開關電晶體的第二陣列 Qn25/Qn26/Qn27/Qn28 連接在次虛擬接地線 SG01 到 SG12 與兩條主虛擬接地線 MG1/MG2 之間。將兩條儲存體選擇線 BL11/BL12 分別連接到兩個 n 通道增強型開關電晶體 Qn25/Qn26 的閘極電極以及兩個 n 通道增強型開關電晶體 Qn27/Qn28 的閘極電極，而儲存體位址解碼器 21b 則會將兩條儲存體選擇線 BL11/BL12 選擇性改變到有效高位準，並且將次虛擬接地線 SG01/SG02 以及 SG11/SG12 選擇性連接到兩條主虛擬接地線 MG1/MG2。於

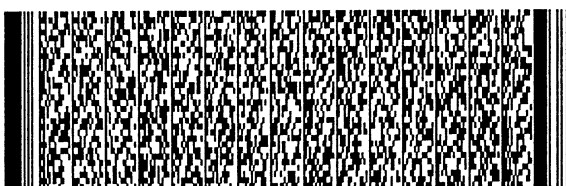


五、發明說明 (20)

是，儲存體位址解碼器21b會控制儲存體選擇器21e，以便使得兩條主數位線MD1/MD2可經由一被選擇列的唯讀記憶單元而分別連接到兩條主虛擬接地線MG1/MG2。儲存體位址信號，列位址信號以及行位址信號都被假定：從記憶單元陣列21a中選擇唯讀記憶單元Cn3。若字元線WLon上升超過被選擇唯讀記憶單元Cn3的臨限值，則電流會流經：行選擇器21f，主數位線MD1，n通道增強型開關電晶體Qn21，次數位線SD02而進入被選擇唯讀記憶單元Cn3中，進而通過被選擇唯讀記憶單元Cn3。該電流會進一步流經：次虛擬接地線SG02，n通道增強型開關電晶體Qn27，主接地線MG1以及行選擇器21g而進入接地線中。電流路徑由圖6中的箭頭AR1所指示。

返回到圖4，資料儲存區段21還包括：感測放大器SAM00，SAM01，…及SAMxx，差動電路DF00，DF01，…及DFxx，以及轉換器CV00，CV01，…及CVxx。行選擇器21f會將感測放大器SAM00到SAMxx選擇性連接到被選擇主數位線MD，並且供應電流流經行選擇器21f來到被選擇主數位線MD。若一被選擇唯讀記憶單元中斷了電流；則有關聯主數位線MD具有一高電位位準，並且有關聯感測放大器SAM00到SAMxx會檢測在其上的電位位準。在另一方面，若電流流經被選擇唯讀記憶單元來到主虛擬接地線MG；則在有關聯數位線上的電位位準會下降到一低電位位準，並且該電位下降也會由有關聯感測放大器SAM00到SAMxx加以檢測。

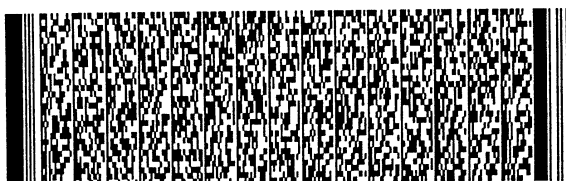
感測放大器SAM00到SAMxx會產生分別表示在被選擇主



五、發明說明 (21)

數位線MD上之電位位準的感測信號SA00/SA01/.../SAxx，並且會將感測信號SA00到SAxx分別供應到有關聯差動電路DF00到DFxx。將參考信號RS從參考電壓產生器22供應到差動電路DF00到DFxx，而差動電路DF00到DFxx則會將感測信號SA00到SAxx的大小與一參考信號RS的大小相比較。如上文中所描述的，當臨限值Vt0/Vt1/Vt2/Vt3有所變動時，就像稍後將要闡述的那樣，參考電壓產生器22會改變參考信號RS的電位位準。差動電路DF00到DFxx會產生分別表示多值讀出資料的讀出信號S000到S0xx，並且將讀出信號S000到S0xx從差動電路DF00到DFxx分別供應到轉換器CV00到CVxx。轉換器CV00到CVxx中的每個轉換器都會將有關聯讀出信號S000到S0xx轉換成一種二位元輸出資料信號DS00/DS01/.../DSxx，進而將二位元輸出資料信號DS00到DSxx傳送到外部電路(未示出)。

參考附圖中的圖7，詳細地圖解說明：感測放大器SAM00到SAMxx中的一個感測放大器及有關聯差動電路DF00到DFxx。感測放大器SAM00到SAMxx包括：兩個p通道增強型場效電晶體Qp20/Q021，串聯連接在正電源電壓線Vdd與輸入節點IN1之間的一個n通道增強型場效電晶體Qn31，以及連接在輸入節點IN1與n通道增強型場效電晶體Qn31的閘極電極之間的一個反相器INV 21。p通道增強型場效電晶體Qp20具有連接到接地線GND的閘極電極，因而提供恒定電阻以防電流從正電源電壓線Vdd流入下一個p通道增強型場效電晶體Qp21。p通道增強型場效電晶體Qp21具有連接



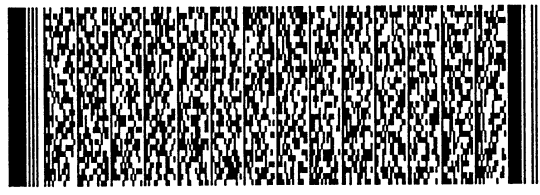
五、發明說明 (22)

到輸出節點OUT 1的閘極電極，並且會改變通道電阻，端視在輸出節點OUT 1處的電位位準而定。

輸入節點IN1可經由：行選擇器21f，主數位線MD其中之一，儲存體選擇器21e，以及次數位線SD其中之一而連接到一被選擇唯讀記憶單元。若被選擇記憶單元斷開，於是次數位線和輸入節點IN1就會開始朝向等於正電源電壓的高位準上升，因而超過反相器INV 21的臨限值。然後，反相器INV 21將輸出節點改變到低位準，並且將低位準供應到n通道增強型場效電晶體Qn31的閘極電極。n通道增強型場效電晶體Qn31會斷開，進而將輸出節點OUT 1改變到高位準。在輸出節點OUT 1處的電位位準可作感測信號SA00到SAxx之用。

反之，當被選擇唯讀記憶單元接通時，電流就會流經被選擇唯讀記憶單元而進入次虛擬接地線SG中，而主數位線MD及輸入節點IN1則會開始朝向低位準下降。在輸入節點IN1處的電位位準變成低於反相器INV 21的臨限值，因而反相器INV 21會將輸出節點改變到高位準。然而，n通道增強型場效電晶體Qn31接通，而輸出節點OUT 1則朝向某一低位準衰減(decayed)。於是，感測放大器SAM00到SAMxx改變了感測信號SA00到SAxx。

差動電路DF00到DFxx包括：與正電源供應線Vdd並聯連接的兩個p通道增強型場效電晶體Qp22/Qp23，以及連接在兩個p通道增強型場效電晶體Qp22/Qp23之汲極節點與一公用節點CN1之間的兩個n通道增強型場效電晶體

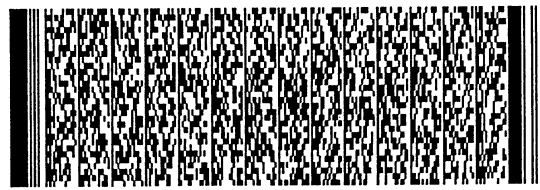
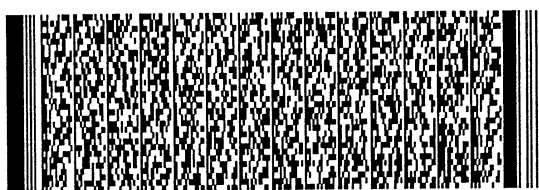


五、發明說明 (23)

Qn32/Qn33。公用節點CN1被接地。分別將感測信號SA00到SAxx和參考信號RS供應到兩個p通道增強型場效電晶體Qp22/Qp23的閘極電極。從p通道增強型場效電晶體Qp22與n通道增強型場效電晶體Qn32之間的公用節點CN2中加以供應讀出信號S000到S0xx，並且將另一個公用汲極節點CN3連接到兩個n通道增強型場效電晶體Qn32/Qn33的閘極電極。在電流驅動能力方面，p通道增強型場效電晶體Qp22等於另一個p通道增強型場效電晶體Qp23。在電流驅動能力方面，n通道增強型場效電晶體Qn33比另一個n通道增強型場效電晶體Qn32還大二到三倍。

若感測信號SA00到SAxx低於參考信號RS，則p通道增強型場效電晶體Qp22容許大量的電流流動，因而讀出信號S000到S0xx會上升到高位準。在另一方面，當感測信號SA00到SAxx高於參考信號RS時，p通道增強型場效電晶體Qp22就會限制電流，因而小量的電流會流入公用汲極節點CN2中。結果是，讀出信號S000到S0xx會下降到低位準。

返回到圖4，資料儲存區段21還包括：恒定電壓產生器21h和電壓選擇器21j。恒定電壓產生器21h會產生彼此不同的三個恒定電壓VG1/VG2/VG3，進而將三個恒定電壓供應到電壓選擇器21j。電壓選擇器21j對三個時序信號PH1/PH2/PH3作回應，以便將三個恒定電壓VG1/VG2/VG3選擇性轉移到列位址解碼器21c。列位址解碼器21c將被選擇字元線WL驅動到已知恒定電壓VG1/VG2/VG3。為此緣故，列位址解碼器21c會逐步地改變在被選擇字元線WL上的電

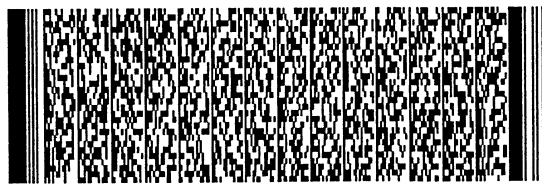
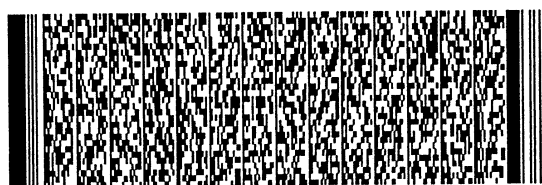


五、發明說明 (24)

位位準，而該位準是在三個恒定電壓 V_{G1} ， V_{G2} 及 V_{G3} 之間。三個恒定電壓 $V_{G1}/V_{G2}/V_{G3}$ 以及臨限值 $V_{t0}/V_{t1}/V_{t2}/V_{t3}$ 都被調節成 $V_{t0} < V_{G1} < V_{t1} < V_{G2} < V_{t2} < V_{G3} < V_{t3}$ 。在本實例中，分別在時序信號 $PH1$ ，時序信號 $PH2$ 及時序信號 $PH3$ 時，將三個恒定電壓 $V_{G1}/V_{G2}/V_{G3}$ 供應到列位址解碼器 $21c$ 。

參考電壓產生器 22 包括：三個參考記憶單元陣列 $22a/22b/22c$ ，連接到恒定電壓產生器 $21h$ 的參考列選擇器 $22d$ ，兩個參考選擇器 $22e/22f$ ，三個參考放大器 $22g/22h/22j$ ，一個轉換電路 $22k$ ，以及連接在三個參考記憶單元陣列 $22a$ 到 $22c$ 與兩個參考選擇器 $22e/22f$ 之間的三個參考儲存體選擇器 $22m/22n/22p$ 。參考列選擇器 $22d$ 會逐步地改變在三條參考字元線 $RWL_a/RWL_b/RWL_c$ 上的電位位準，而該位準是在三個恒定電壓 V_{G1} ， V_{G2} 及 V_{G3} 之間。參考選擇器 $22e$ 將三個參考記憶單元陣列 $22a/22b/22c$ 連接到接地線，並且參考選擇器 $22e$ 會將參考記憶單元陣列 $22a/22b/22c$ 分別連接到參考放大器 $22g/22h/22j$ 。轉換電路 $22k$ 對三個時序信號 $PH1/PH2/PH3$ 作回應，以便將三個參考放大器 $22g/22h/22j$ 循序地連接到差動電路 $DF00$ 到 DF_{xx} 。參考選擇器 $22e/22f$ 在電路組態上分別與行選擇 $21f/21g$ 相似。

將三個參考記憶單元陣列 $22a/22b/22c$ 圖解說明於圖8中。除了在每一列中的記憶單元數目之外，三個參考記憶單元陣列 $22a/22b/22c$ 在佈置上都與記憶單元陣列 $21a$ 相

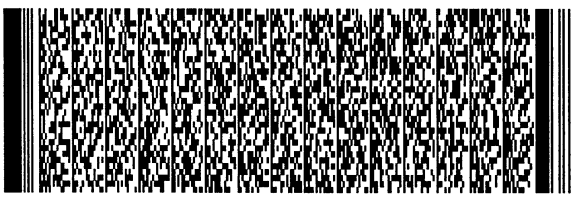


五、發明說明 (25)

似。參考記憶單元陣列22a具有調整到臨限值 V_{t0} 的參考記憶單元RCa。在另一方面，兩個參考記憶單元陣列22b/22c分別具有：調整到臨限值 V_{t1} 的參考記憶單元RCb和調整到臨限值 V_{t2} 的參考記憶單元RCc。與記憶單元同時地，將三個參考記憶單元RCa/RCb/RCc製造在半導體晶片20上；並且，與具有對應臨限值的記憶單元同時地，將三個參考記憶單元RCa/RCb/RCc的臨限值加以調節到 $V_{t0}/V_{t1}/V_{t2}$ 。為此緣故，縱使製程參數有所變動，該變動也會同樣地影響記憶單元的臨限值以及三個參考記憶單元RCa/RCb/RCc的臨限值。而且，參考列選擇器22d會將參考字元線RWLa/RWLb/RWLc逐步地改變到恒定電壓VG1/VG2/VG3。縱使恒定電壓產生器21h會使三個恒定電壓VG1/VG2/VG3有所變化而偏離設計值，在記憶單元與三個參考記憶單元RCa/RCb/RCc之間，對通道電阻的影響也會一樣。

三個參考儲存體選擇器22m/22n/22p都是分別藉由n通道增強型開關電晶體的陣列：

Qn41/Qn42/Qn43/Qn44/Qn45，Qn46/Qn47/Qn48/Qn49/Qn50及Qn51/Qn52/Qn53/Qn54/Qn55所構成的。將高電壓位準H和低電壓位準L選擇性地供應至複數個n通道增強型開關電晶體Qn43到Qn55的閘極電極。為此緣故，經由三個n通道增強型場效電晶體Qn41/Qn46/Qn51和有關聯次數位線，分別將參考主數位線RMD1/RMD2/RMD3加以電連接到參考記憶單元RCa/RCb/RCc；並且經由次虛擬接地線和三個n通道增強型開關電晶體Qn45/Qn50/Qn55，分別將參考記憶單元

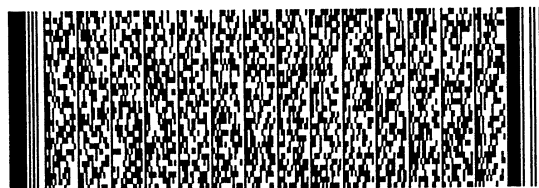
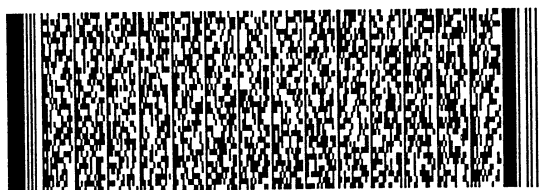


五、發明說明 (26)

RCa/RCb/RCc 加以電連接到參考主接地線
RMG11/RMG21/RMG31。

參考圖9，將三個參考放大器22g/22h/22j連接在轉換電路22k與參考選擇器22e之間。如上文中所描述的，參考選擇器22e在電路組態上基本上與行選擇器21f相似。雖然行位址解碼器21d會經由信號線來控制行選擇器21f，但是將一正恒定電壓線Vgc連接到：組合形成參考選擇器22e的三個n通道增強型場效電晶體Qn60/Qn61/Qn62的閘極電極。該正恒定電壓線Vgc在電位位準上等於被行位址解碼器21d驅動到有效位準的信號線，而三個n通道增強型場效電晶體Qn60/Qn61/Qn62則會提供等於行選擇器21f的通道電阻。

三個參考放大器22g/22h/22j在電路組態上都與感測放大器SAMP00到SAMPxx相似；為此緣故，每個參考放大器22g/22h/22j的電路組件都用感測放大器SAMP00到SAMPxx的對應電路組件來標示而沒有加以闡述。在參考放大器22g/22h/22j的組成電晶體與感測放大器SAM00到SAMxx的組成電晶體之間，電晶體特性都是一樣的。為此緣故，三個參考放大器22g/22h/22j會產生：分別表示在參考主數位線RMD1/RMD2/RMD3上之電位位準的感測信號RA1/RA2/RA3；而感測信號RA1/RA2/RA3在電位位準上則分別大約等於：針對具有臨限值Vt0之記憶單元，具有臨限值Vt1之記憶單元及具有臨限值Vt2之記憶單元的感測信號SA00到SAxx。

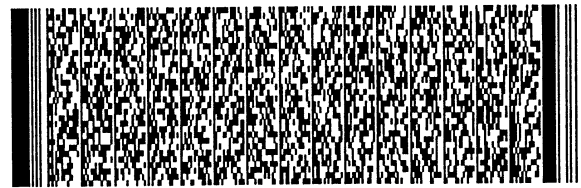


五、發明說明 (27)

轉換電路22k包括：連接在參考放大器22g/22h/22j與差動電路DF00到DFxx之間的三個轉移閘(transfer gates)，以及三個反相器INV 31/INV 32/INV 33。每個轉移閘都是藉由一個n通道增強型場效電晶體Qn63/Qn64/Qn65和一個p通道增強型場效電晶體Qp31/Qp32/Qp33的一種並聯組合所構成的。將三個時序信號PH1/PH2/PH3直接供應到三個n通道增強型場效電晶體Qn63到Qn65的閘極電極，並且經由三個反相器INV 31/INV 32/INV 33而供應到三個p通道增強型場效電晶體Qp31/Qp32/Qp33的閘極電極。為此緣故，三個轉移閘：Qn63/Qp31，Qn64/Qp32以及Qn65/Qp33會循序地接通；因而轉換電路22k會將參考信號RS的電位位準逐步地調整到感測信號RA1/RA2/RA3的電位位準。將從參考放大器22g/22h/22j之輸出節點OUT 1到接地線的總電阻設計得大約等於；從感測放大器SAM00到SAMxx之輸出節點OUT 1到接地線的總電阻；因而三個轉移閘：Qn63/Qp31，Qn64/Qp32，Qn65/Qp33的通道電阻可以忽略不計。於是，表示改變到接通狀態的感測信號SA00到SAxx在電位位準上都等於參考信號RS。

轉換器CV00到CVxx都與先前技藝之半導體多值唯讀記憶裝置的那些轉換器相似，因而未將進一步的描述納入下文中。

半導體多值唯讀記憶裝置運作情形如下。假定外部裝置(未示出)會將指示記憶單元Cn3(參看圖5)的儲存體／列



五、發明說明 (28)

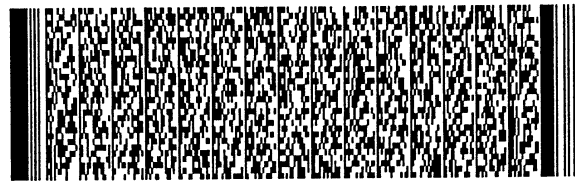
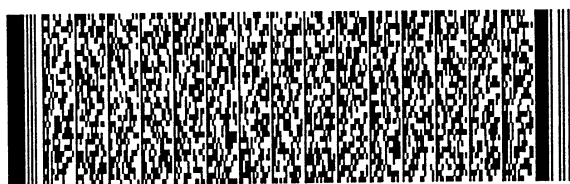
／行位址供應到半導體多值唯讀記憶裝置。行選擇器21f/21g將感測放大器SAM00和接地線分別連接到主數位線MD1和主虛擬接地線MG1；而儲存體選擇器21e則會將主數位線MD1和主虛擬接地線MG1連接到次數位線SD02和次虛擬接地線SG02。相鄰主虛擬接地線MG2被預充電(precharged)，使得：針對記憶單元Cn5/Cn6/Cn7/...的伸長雜質區不可作為負載之用。

列位址解碼器21c選擇了字元線WLon，並且將被選擇字元線WLon逐步地改變到恒定電壓位準VG1/VG2/VG3。結果是，電流從感測放大器SAM00流經被選擇記憶單元Cn3來到接地線，如圖6中的箭頭所指示。

圖10圖解說明：在一被選擇字元線WL上的電位位準。被選擇字元線WLon會：時間t1時開始上升到恒定電壓位準VG1，在時間t2時上升到恒定電壓位準VG2，以及在時間t3時上升到恒定電壓位準VG3。為了將邊限dV0保持定值，就會將恒定電壓位準VG1/VG2/VG3以及臨限值Vt0/Vt1/Vt2設計得滿足下列關係。

$$dV0 = VG1 - Vt0 = VG2 - Vt1 = VG3 - Vt2$$

若將記憶單元和參考記憶單元RCa/RCb/RCc正確地調整到臨限值Vt0/Vt1/Vt2/Vt3；則進行存取記憶單元，如圖11中所示。經由兩個恒定電壓位準VG1/VG2而將被選擇字元線WL逐步地改變到恒定電壓位準VG3；並且分別在時間t11，時間t12及時間t13時，將參考字元線RWLa/RWLb/RWLC循序地改變到恒定電壓位準



五、發明說明 (29)

VG1/VG2/Vg3。

從時間t11到時間t14，在參考記憶單元RCa/RCb/RCc與參考字元線RWLa/RWLb/RWLC之間的電位差是定值；並且在資料儲存區段21與參考電壓產生器22之間，沿著電流路徑的總電阻是一樣的。在臨限值Vt0時之記憶單元會容許電流流經該處，並且電流量等於流經參考記憶單元RCa的電流量。同樣地，在臨限值Vt1時之記憶單元會容許電流流經該處，並且電流量等於流經參考記憶單元RCb的電流量。而在臨限值Vt2時之記憶單元則會容許電流流經該處，並且電流量等於流經參考記憶單元RCc的電流量。在本實例中，參考電壓產生器22將參考信號RS保持在恒定位準Vsa 0處，此乃因為流經三個參考記憶單元RCa/RCb/RCc的電流彼此都相等。

在臨限值Vt0時的記憶單元會在時間t11時接通，並且將感測信號SA00到SAxx改變到電壓位準Vsa 0。然後，差動電路DF00到DFxx容許：感測信號SA00到SAxx在電位位準上變成等於參考信號RS；並且在時間t11之後，緊接著將讀出信號S000到S0xx改變到高位準H。導因於在被選擇字元線WL上的電位位準，在時間t12和在時間t13時會將感測信號SA00到SAxx逐步地往下拉；因而差動電路DF00到DFxx會將讀出信號SA00到SAxx保持在高位準處。

在臨限值Vt1時的記憶單元會在時間t12時接通，並且將感測信號SA00到SAxx改變到電壓位準Vsa 0。然後，差動電路DF00到DFxx容許：感測信號SA00到SAxx在電位位準



五、發明說明 (30)

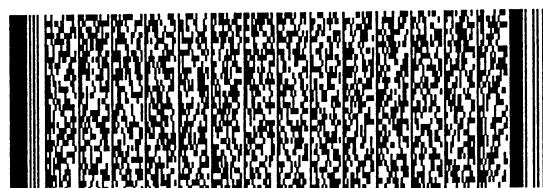
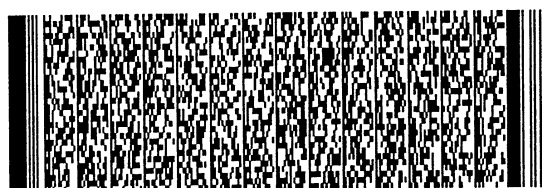
上變成等於參考信號RS；並且在時間 t_{12} 之後，緊接著將讀出信號S000到S0xx改變到高位準H。導因於在被選擇字元線WL上的電位位準，在時間 t_{13} 時會將感測信號SA00到Saxx往下拉；因而差動電路DF00到DFxx會將讀出信號S000到S0xx保持在高位準處。

在臨限值 V_{t2} 時的記憶單元會在時間 t_{13} 時接通，並且將感測信號SA00到Saxx改變到電壓位準 V_{sa0} 。然後，差動電路DF00到DFxx容許：感測信號SA00到Saxx在電位位準上變成等於參考信號RS；並且在時間 t_{13} 之後，緊接著將讀出信號S000到S0xx改變到高位準H。然而，在臨限值 V_{t3} 時的記憶單元並未接通，因而將感測信號SA00到Saxx維持在電壓位準 V_{sa3} 處。為此緣故，差動電路DF00到DFxx會將讀出信號S000到S0xx保持在低位準L處。

於是，差動電路DF00到DFxx的確會鑑別讀出資料，因而半導體多值唯讀記憶裝置並不會傳送表示一種與讀出資料不同之資料的任何二位元輸出資料信號。

縱使臨限值 $V_{t0}/V_{t1}/V_{t2}/V_{t3}$ 及／或恒定電壓 $VG1/VG2/VG3$ 偏離設計值，半導體多值唯讀記憶裝置也會正確地鑑別讀出資料。圖12圖解說明：從半導體多值唯讀記憶裝置之一產品中讀出的資料。在半導體多值唯讀記憶裝置中，將臨限值 V_{t1} 非故意地改變到一較高位準 V_{t1u} ；並且恒定電壓產生器21h會產生一種低於設計位準 $VG3$ 的恒定電壓 $VG3d$ 。

當外部裝置存取在臨限值 V_{t0} 時之記憶單元以及在臨



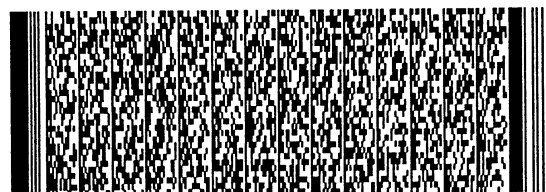
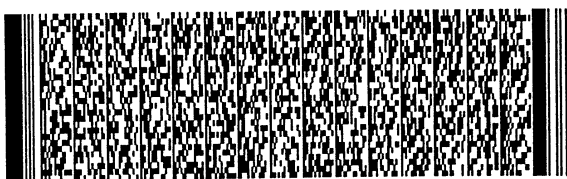
五、發明說明 (31)

限值 V_{t3} 時之記憶單元時，感測信號SA00到SAxx以及讀出信號S000到S0xx都與顯示於圖11中的那些信號相似；並且為了簡單起見，將描述加以省略。

假定外部裝置因製造過程中的變動而存取在臨限值 V_{t1u} 時之記憶單元。當被選擇字元線WL在恒定電壓位準VG1中之際，記憶單元被斷開；並且感測放大器SAM00到SAMxx會將高位準 V_{sa3} 供應到差動電路DF00到DFxx，因而參考信號RS是低位準 V_{sa0} 中。差動電路DF00到DFxx決定出感測信號SA00到SAxx會高於參考信號RS，進而將讀出信號S000到S0xx保持在低位準中。

被選擇字元線WL會在時間 t_{22} 時被改變到恒定電壓位準VG2，因而被選擇記憶單元接通。在臨限值 V_{t1u} 與字元線WL之間的電位差小於 dV_0 ，並且將感測信號SA00到SAxx調節到一種高於低位準 V_{sa0} 的中間位準 V_{sa2} 。然而，變動也會將參考記憶單元RCb改變到臨限值 V_{t1u} ，並且參考信號產生器22會將參考信號調節到中間位準 V_{sa2} 。為此緣故，差動電路DF00到DFxx容許：感測放大器SAM00到SAMxx將感測信號SA00到SAxx往下拉到參考信號RS的電位位準，並且將讀出信號S000到S0xx改變到高位準H。於是，半導體多值唯讀記憶裝置就沒有：臨限值從 V_{t1} 惹人厭地偏離到 V_{t1u} 的憂慮。

隨後，假定外部裝置存取在臨限值 V_{t2} 時之記憶單元。當字元線WL在兩個恒定電壓位準VG1和VG2中之際，被選擇記憶單元被斷開，因而感測放大器SAM00到SAMxx會將



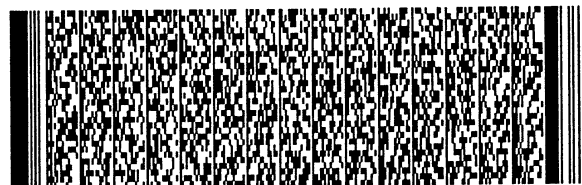
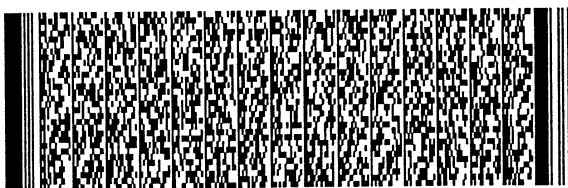
五、發明說明 (32)

感測信號SA00到SAxx保持在高位準處。差動放大器DF00到DFxx會將讀出信號S000到S0xx保持在低位準處。被選擇字元線WL會在時間t23時被改變到恒定電壓位準VG3_d，因而被選擇記憶單元接通。導因於恒定電壓產生器21h的故障(malfunction)，在臨限值V_{th} 2與字元線WL之間的電位差小於dV0。然而，參考字元線RWLc也會被驅動到恒定電壓位準VG3_d，因而在參考字元線RWLc與參考記憶單元RCc之間的電位差也會小於dV0。感測信號SA00到SAxx和參考信號RS兩者都被調節到中間電位位準V_{sa} 2，因而差動電路DF00到DFxx容許：感測信號SA00到SAxx在電位位準上等於參考信號。結果是，差動電路DF00到DFxx會將讀出信號S000到S0xx改變到高位準H。於是，半導體多值唯讀記憶裝置沒有恒定電壓產生器21h之故障的憂慮。

縱使其臨限值及其恒定電壓都有偏離，半導體多值唯讀記憶裝置也能夠正確地鑑別讀出資料。

就像根據前述將會瞭解的那樣，製程參數的變動以及恒定電壓產生器21h的故障都會同樣地影響記憶單元及參考記憶單元RCa/RCb/RCc，因而差動電路DF00到DFxx會正確地鑑別讀出資料。

在本實例中，儲存體位址解碼器21b，列位址解碼器21c，行位址解碼器21d，儲存體選擇器21e，兩個行選擇器21f/21g，感測放大器SAM00到SAMxx以及字元線WL，整體而言構成了一種定址電路；而恒定電壓產生器21h，電壓選擇器21j，差動電路DF00到DFxx以及轉換器CV00到



五、發明說明 (33)

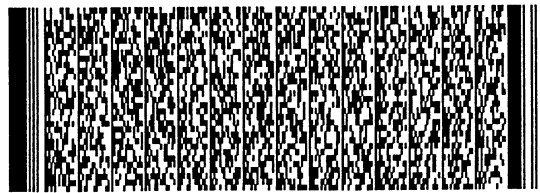
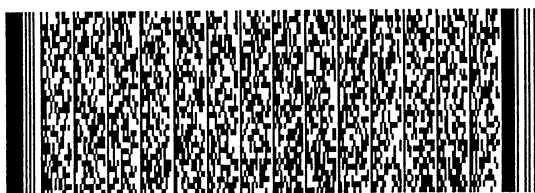
CV_{xx} 則組合形成了一種資料鑑別器。

第二實施例

參考圖13，具體實施本發明的另一半導體多值唯讀記憶裝置大半係包括：一資料儲存區段31以及一參考信號產生器32。資料儲存區段31在佈置上與資料儲存區段21相似，並且各組件都用指定於圖4中之諸對應組件的相同參考數字加以標示而沒有闡述。

除了參考選擇器32a和參考放大器32b之外，參考信號產生器32都參考信號產生器22相似。為此緣故，其組件都用指定著參考信號產生器22之諸對應組件的相同參考數字加以標示。將參考選擇器32a及參考放大器32b詳細地圖解說明於圖14中。參考放大器32b在電路組態上與三個參考放大器22g/22h/22j相似；為此緣故，參考放大器32b的各電路組件都由指定於三個參考放大器22g/22h/22j之諸對應電路組件的相同參考數字加以設計。

三個n通道增強型場效電晶體Qn63/Qn64/Qn65形成了參考選擇器32a。將三個n通道增強型場效電晶體Qn63/Qn64/Qn65連接在輸入節點IN1與參考主數位線RMD1/RMD2/RMD3之間；並且將三個時序信號PH1/PH2/PH3分別施加到三個n通道增強型場效電晶體Qn63/Qn64/Qn65的閘極電極。當時序信號PH1被改變到有效位準時，就會經由參考主數位線RMD1而將參考放大器32b加以電連接到參考記憶單元陣列22a。同樣地，兩個時序信號PH2/PH3都被循序地改變到有效位準，因而經由參考主數位線



五、發明說明 (34)

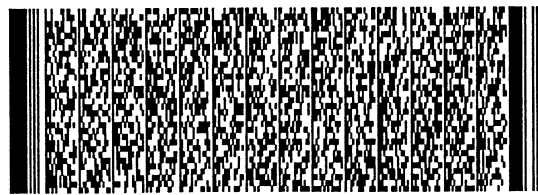
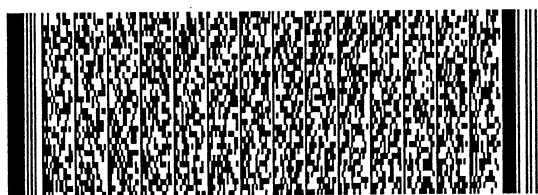
RMD2/RMD3 而將參考放大器32b加以連續地連接到參考記憶單元陣列22b/22c。參考信號產生器32只需要一個參考選擇器32a，因而任何轉換電路並未納入參考信號產生器32中。於是，參考信號產生器32在電路組態上是比參考信號產生器22還簡單，因而減少電流消耗。

第三實施例

參考附圖中的圖15，又一種半導體多值唯讀記憶裝置大半係包括：一資料儲存區段41以及一參考信號產生器42。資料儲存區段41在佈置上與資料儲存區段21相似；除了參考選擇器42a，參考儲存體解碼器42b，參考放大器42c以及參考選擇器42d之外，參考信號產生器42都與參考信號產生器22相似。為此緣故，將描述集中在不同電路42a/42b/42c/42d上，並且其電路組件都用指定著第一實施例之諸對應電路組件的相同參考數字加以標示而沒有闡述。

將三個時序信號PH1/PH2/PH3供應到參考儲存體解碼器42b，並且經由參考儲存體選擇線BS1/BS2/BS3而將參考儲存體解碼器42b連接到參考儲存體選擇器42d。參考儲存體解碼器42b對時序信號PH1/PH2/PH3作回應，以便將參考儲存體選擇線BS1/BS2/BS3循序地改變到有效位準。

如圖16中所示，參考放大器42c在電路組態上與三個參考放大器22g/22h/22j相似；為此緣故，參考放大器42c的各電路組件都由指定於三個參考放大器22g/22h/22j之諸對應電路組件的相同參考數字加以設計。



五、發明說明 (35)

參考選擇器42a是藉由單一n通道增強型場效電晶體Qn66所構成的。將n通道增強型場效電晶體Qn66連接在輸入節點IN1與參考主數位線RMD之間，並且將正電壓從正電源供應線Vdd供應到n通道增強型場效電晶體Qn66的閘極電極。n通道增強型場效電晶體Qn66總是被接通，因而會提供等於行選擇器21f之電阻的電阻。

參考附圖中的圖17，在三個參考記憶單元陣列22a/22b/22c之間共享參考主數位線RMD及參考主虛擬接地線RMG。參考記憶單元陣列22a和參考儲存體選擇器42d之一有關聯部份都與另外兩個參考儲單元陣列22b/22c和有關聯部份相似。為此緣故，針對參考記憶單元陣列22a和參考儲存體選擇器42d之有關聯部份加以描述。參考記憶單元陣列22a包含一個參考記憶單元RCa，並且將參考記憶單元RCa的臨限值調整到 V_{t0} 。另外兩個參考儲存陣列22b/22c分別具有：調整到臨限值 V_{t1} 之一參考記憶單元和調整到臨限值 V_{t2} 之一參考記憶單元。

將參考記憶單元RCa連接在參考次數位線SDa與參考次虛擬接地線SGa之間，並且將參考字元線RWLa連接到參考記憶單元RCa的閘極電極。

參考儲存體選擇器42d具有：一個n通道增強型場效電晶體Qn71，將連接在參考主數位線RMD與參考次數位線SDa之間；一個n通道增強型場效電晶體Qn72，將連接在參考主數位線／參考主虛擬接地線RMD/RMG與其參考次數位線／參考次虛擬接地線SDa/SGa之間。將參考儲存體選擇線



五、發明說明 (36)

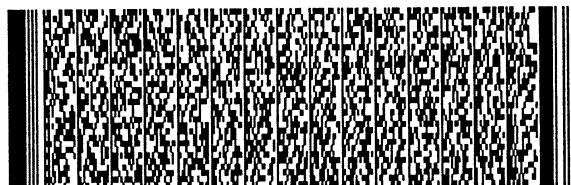
BS1 連接到兩個n通道增強型場效電晶體Qn71/Qn72的閘極電極，並且將低位準供應到其n通道增強型場效電晶體Qn73的閘極電極。於是，其n通道增強型場效電晶體Qn73總是被斷開。

如上文中所描述的，參考儲存體解碼器42b會將參考儲存體選擇線BS1/BS2/BS3加以循序地改變到有效高位準，以便分別對時序信號PH1/PH2/PH3作回應。在參考儲存體選擇線BS1上的有效高位準會使參考儲存體選擇器42d：將參考主數位線RMD和參考主虛擬接地線RMG分別連接到參考次數位線SDa和參考次虛擬接地線SGa。在參考字元線RWLa上的恒定電壓位準VG1會使參考記憶單元RCa接通，因而電流會從參考次數位線SDa流到參考次虛擬接地線SGa。同樣地，在時序信號PH2改變到有效高位準時，電流會流經參考記憶單元RCb，並且在時序信號PH3改變到有效高位準時會流經參考記憶單元RCc。

於是，參考信號產生器42只需要一個參考放大器42c及簡單參考選擇器42a，因而減少佔有區域和電功率消耗。

第四實施例

參考附圖中的圖18，再一種具體實施本發明的半導體多值唯讀記憶裝置大半係包括：一資料儲存區段51以及一參考信號產生器52。除了參考列選擇器52a及參考記憶單元陣列52b之外，半導體多值唯讀記憶裝置都與第三實施例相似。為此緣故，針對兩個不同組件52a/52b加以描



五、發明說明 (37)

述，並且其組件都用指定著第三實施例之諸對應組件的相同數字加以標示。

將參考記憶單元陣列52b詳細地圖解說明於圖19中。參考記憶單元陣列52b具有數列參考記憶單元，而三個參考記憶單元RCa/RCb/RCc分別形成該諸列之部份。參考記憶單元RCa/RCb/RCc分別具有臨限值 $V_{t0}/V_{t1}/V_{t2}$ ，並且將參考字元線RWLa/RWLb/RWLc分別連接到參考記憶單元RCa/RCb/RCc的閘極電極。將參考次數位線SD連接到三個參考記憶單元RCa/RCb/RCc的汲極節點，並且將參考次虛擬接地線SG連接到三個參考記憶單元RCa/RCb/RCc的源極節點。經由參考儲存體選擇器52c而將參考主數位線RMD連接到參考次數位線SD，並且經由參考儲存體選擇器52c而將參考次虛擬接地線SG連接到參考主虛擬接地線RMG。為此緣故，電流會流到參考次數位線SD。

將參考列選擇器52a詳細地顯示於圖20中。參考列選擇器52a包括：分別連接到參考字元線RWLa/RWLb/RWLc的三個轉移閘52d/52e/52f，以及連接在參考字元線RWLa/RWLb/RWLc與接地線GND之間的n通道增強型場效電晶體Qn70/Qn71/Qn72。三個轉移閘52d/52e/52f都具有：n通道增強型場效電晶體Qn73/Qn74/Qn75，以及分別與p通道增強型場效電晶體Qp73/Qp74/Qp75。恒定電壓產生器21h會將恒定電壓VG1/VG2/VG3供應到轉移閘52d/52e/52f，並且將時序信號PH1/PH2/PH3分別供應到：n通道增強型場效電晶體Qn73之閘極電極／反相器INV 50，n通道增強型場



五、發明說明 (38)

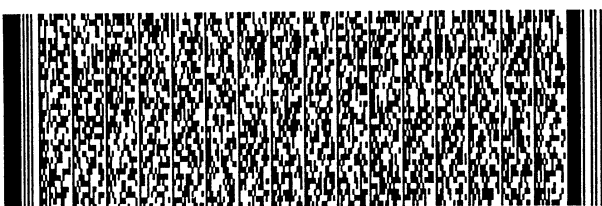
效電晶體Qn74之閘極電極／反相器INV51，以及n通道增強型場效電晶體Qn75之閘極電極／反相器INV52。反相器INV50/INV51/INV52會將時序信號PH1/PH2/PH3的反相信號供應到：p通道增強型場效電晶體Qp73/Qp74/Qp75之閘極電極，以及n通道增強型場效電晶體Qn70/Qn71/Qn72之閘極電極。

當時序信號PH1上升到高位準時，轉移閘52d以及兩個n通道增強型放電電晶體Qn71/Qn72就會接通，而另外兩個轉移閘52e/52f以及n通道增強型放電電晶體Qn70則會斷開。結果是，字元線RWLa上升到恒定電壓位準VG1，而另外兩條字元線RWLb/RWLc則下降到接地位準，如圖21中所示。

當時序信號PH2上升到高位準時，轉移閘52e以及兩個n通道增強型放電電晶體Qn70/Qn72就會接通，而另外兩個轉移閘52d/52f以及n通道增強型放電電晶體Qn71則會斷開。結果是，字元線RWLb上升到恒定電壓位準VG2，而另外兩條字元線RWLa/RWLc則下降到接地位準。

當時序信號PH3上升到高位準時，轉移閘52f以及兩個n通道增強型放電電晶體Qn70/Qn71就會接通，而另外兩個轉移閘52d/52e以及n通道增強型放電電晶體Qn72則會斷開。結果是，字元線RWLc上升到恒定電壓位準VG3，而另外兩條字元線RWLa/RWLb則下降到接地位準。

於是，參考信號產生器52會將參考信號RS循序地改變到：在時序信號PH1時的電位位準Vsa 0，在時序信號PH2



五、發明說明 (39)

時的電位位準 V_{sa1} ，以及在時序信號PH3時的電位位準 V_{sa2} 。半導體多值唯讀記憶裝置獲得了第一實施例的所有優點，並且由於單一參考記憶單元陣列52b而使佔有區域比第三實施例還要進一步減少。

就像根據前述將會察覺的那樣，半導體多值唯讀記憶裝置沒有臨限值方面之變動以及恒定電壓產生器21h之故障的憂慮，因而輸出資料信號DS00到DSxx都是可靠的。

雖然以上就本發明的諸多特定實施例加以描述，但是對那些熟習於此技藝者而言將會顯而易見的是：在不背離本發明之精神和範圍的前提下，可能會做出各種改變和修改。

譬如說，參考電壓產生器可適用於任何種類的半導體多值記憶裝置。在完成半導體多值記憶裝置之後，就可能會儲存多值資料。一種修改例會藉由改變在一浮動閘極電極中所累積的電荷量來儲存多值資料。記憶單元以及參考記憶單元都可能儲存以電荷形式呈現的多值資料。

唯讀記憶單元可能儲存選擇性授予四個以上數值的資料。

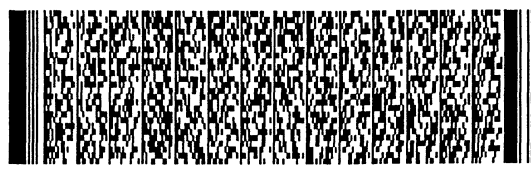


四、中文發明摘要 (發明之名稱：藉由將多值讀出資料與對應之參考資料相比較而決定多值讀出資料的半導體多值記憶裝置)

一種半導體多值唯讀記憶裝置會將多值資料儲存在一記憶單元陣列(21a)中，以及將多值參考資料儲存在參考記憶單元陣列(22a/22b/22c)中；並且會將字元線(WL)及參考字元線(RWL_a/RWL_b /RWL_c)逐步地改變到不同有效位準(VG1/VG2/VG3)；在不同時序(t11/t12/t13)時，用來讀出多值資料及對應多值參考資料；以便藉由將每個多值資料與多值參考資料相比較來決定每個多值資料之數值，不致受到偏離之臨限值及非故意偏離之有效位準的不佳影響。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MULTIVALUED MEMORY DEVICE DETERMINING MULTIVALUED READ-OUT DATUM BY COMPARING IT WITH CORRESPONDING REFERENCE DATA)

A semiconductor multivalued read only memory device stores multivalued data in a memory cell array (21a) and multivalued reference data in reference cell arrays (22a/22b/22c), and stepwise changes word lines (WL) and reference word lines (WL_a/WL_b/WL_c) to different active levels (VG1/VG2/VG3) for reading out the multivalued data and the corresponding multivalued reference data at different timings (t11/t12/t13) so as to



四、中文發明摘要 (發明之名稱：藉由將多值讀出資料與對應之參考資料相比較而決定多值讀出資料的半導體多值記憶裝置)

英文發明摘要 (發明之名稱：SEMICONDUCTOR MULTIVALUED MEMORY DEVICE DETERMINING MULTIVALUED READ-OUT DATUM BY COMPARING IT WITH CORRESPONDING REFERENCE DATA)

determine the value of each multivalued datum by comparing it to the multivalued reference data without undesirable influence of deviated threshold and unintentionally deviated active level.

(Figure 4)



六、申請專利範圍

1. 一種半導體多值記憶裝置，包括：

一記憶單元陣列(21a)，包括用來儲存選擇性表示兩個以上數值的多數筆資料資訊的多數記憶單元(C001到C007/Cn1到Cn7/Cxx1到Cxx7)；

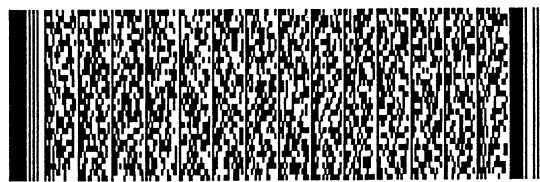
一定址電路(21b/21c/21d/21e/21f/21g/SAM00到SAMxx)，具有選擇性連接到該多數記憶單元的選擇線(WL/WL00到WLxx)，並且驅動該等選擇線中的至少一條選擇線，以便在對應於該兩個以上數值的不同時序(t11/t12/t13/t14；t21/t22/t23/t24)，讀出多數筆資料資訊；

一參考信號產生器(22;32;42;52)，用來產生一筆參考資料資訊(RS)；以及

一資料鑑別器(DF00到DFxx/CV00到CVxx/21h/21j)，連接到該記憶單元陣列和該參考信號產生器，並且基於該筆參考資料資訊而決定從該記憶單元陣列中讀出的每個資料資訊片段之數值，以便產生一輸出資料信號(DS00到DSxx)，

其特徵為：

該參考信號產生器(22;32;42;52)包括：多數參考記憶單元(RCa/RCb/RCc)，用來儲存分別表示該兩個以上數值中的至少兩個數值的該筆參考資料資訊之資料資訊片段(sub-pieces)，以及參考選擇線(RWL a/RWL b/RWL c)，分別連接到該多數參考記憶單元且被選擇性驅動，用來在選自該等不同時序的時序(t12/t13/t14;t22/t23/t24)且對應



六、申請專利範圍

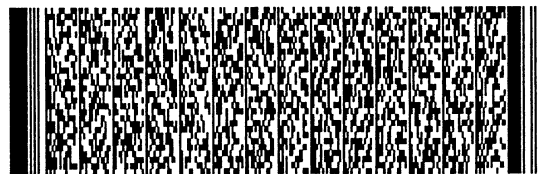
於該兩個以上數值中的至少兩個數值，而讀出該等參考資料資訊之資料資訊片段。

2．根據申請專利範圍第1項之半導體多值記憶裝置，其中該多數記憶單元(C001到C007/Cn1到Cn7/Cxx1到Cxx7)以及該多數參考記憶單元(RCa/RCb/RCc)都是藉由多數場效電晶體而構成，並且該兩個以上數值都分別對應於選擇性授予形成該記憶單元陣列之諸場效電晶體的不同臨限值($V_{t0}/V_{t1}/V_{t2}/V_{t3}$)，而諸場效電晶體則分別可作為該等參考記憶單元之用。

3．根據申請專利範圍第2項之半導體多值記憶裝置，其中：在該等時序($t_{12}/t_{13}/t_{14}; t_{22}/t_{23}/t_{24}$)時，將該等選擇線中的至少一條選擇線分別驅動到不同的有效位準($V_{G1}/V_{G2}/V_{G3}$)；並且在該等時序($t_{12}/t_{13}/t_{14}; t_{22}/t_{23}/t_{24}$)時，將該等參考選擇線(RWL_a/RWL_b/RWL_c)分別驅動到該等不同的有效位準($V_{G1}/V_{G2}/V_{G3}$)。

4．根據申請專利範圍第2項之半導體多值記憶裝置，其中：在一製造過程期間，將該不同的臨限值($V_{t0}/V_{t1}/V_{t2}/V_{t3}$)選擇性授予該等場效電晶體。

5．根據申請專利範圍第2項之半導體多值記憶裝置，其中：該定址電路提供一條從資料鑑別器(SAM00到SAM_{xx})至諸被選擇場效電晶體(C001到C007，Cn1到Cn7或Cxx1到Cxx7)的第一電流路徑，該等被選擇場效電晶體(C001到C007，Cn1到Cn7或Cxx1到Cxx7)係連接到該等選擇線(WL00到WL_{xx})中的至少一條選擇線；



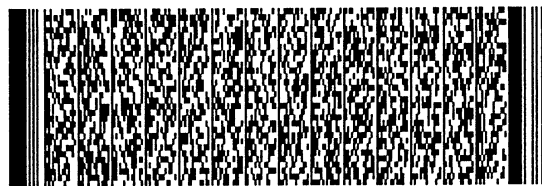
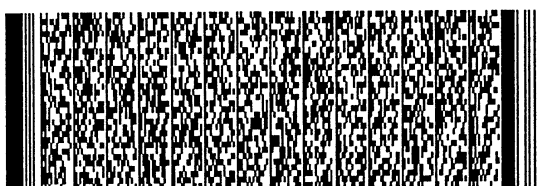
六、申請專利範圍

該定址電路會在該等時序($t_{12}/t_{13}/t_{14}$;
 $t_{22}/t_{23}/t_{24}$)時，將該等選擇線中的至少一條選擇線依序
 改變到在該等不同臨限值之間的不同有效位準
 ($VG1/VG2/VG3$)，以便察看：第一電流是否在該時序時會
 從該第一電流路徑流經該等被選擇場效電晶體；

該參考信號產生器(22;32;42;52)在該時序時會將第
 二電流路徑(22k/22g-22j/RMD1-RMD3/22e/22m-22o;
 2b/32a/RMD1-RMD3;22m-22p;42c/42a/RMD/42d/SDa;42c/4
 2a/RMD/52c/SD)循序地提供到分別可作為該等參考記憶單
 元(RCa/RCb/RCc)之用的場效電晶體，並且在該時序時將
 該等參考選擇線(RWL a/RWL b/RWL c)循序地改變到該不同有
 效位準($VG1/VG2/VG3$)，以便循序地改變經過該第二電流
 路徑流至可作為該等參考記憶單元之用的該等場效電晶體
 的第二電流量。

6．根據申請專利範圍第5項之半導體多值記憶裝置，
 其中該資料鑑別器包括一種恒定電壓產生器(21h)，用來
 產生：經由該定址電路循序地供應到該等選擇線
 ($WL;WL_{00}/WL_{on}/WL_{xx}$)中的至少一條選擇線，並且選擇性
 供應到該等參考選擇線(RWL a/RWL b/RWL c)的該不同有效位
 準。

7．根據申請專利範圍第6項之半導體多值記憶裝置，
 其中該資料鑑別器還包括一種比較器(DF00到DFxx)，用來
 將該第一電流量與該第二電流量相比較，以便決定該每個
 資料資訊片段之數值。



六、申請專利範圍

8．根據申請專利範圍第7項之半導體多值記憶裝置，其中：該第一電流路徑之電阻大約等於該第二電流路徑；並且當該比較器(DF00到DFxx)容許該第一電流量等於流經該等參考記憶單元中之一參考記憶單元的該第二電流量時，該資料鑑別器(DF00到DFxx/CV00到CVxx)就會決定：該每個資料資訊片段之數值等於儲存在該等參考記憶單元(RCa/RCb/RCc)中之一參考記憶單元內的該等參考資料資訊中之一資料資訊片段之數值。

9．根據申請專利範圍第7項之半導體多值記憶裝置，其中該第二電流路徑包括：

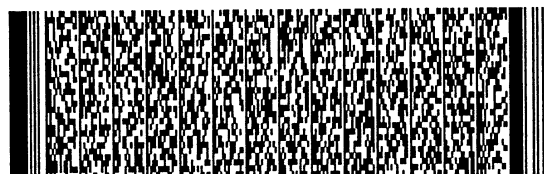
形成在多數位線中的每條次數位線中的第一部份，被分別連接到可作為該等參考記憶單元(RCa/RCb/RCc)之用的該等場效電晶體的通道；

形成在等參考選擇器(22m到22p)中的每個參考選擇器中的第二部份，被分別連接在該多數之次數位線與主數位線(RMD1到RMD3)之間；

形成在該等主數位線(RMD1到RMD3)中的每條主數位線中的第三部份；以及

形成在可作為該第二電流之電流源之用的多數參考放大器(22g到22j)中的每個參考放大器內，並且連接在該多數參考放大器與一個轉換電路(22k)之間的第四部份；並且

在該等時序(t12到t14;t22到t24)時，該轉換電路(22k)會將該多數參考放大器(22g到22j)選擇性連接到該



六、申請專利範圍

比較器(DF00到DFxx)。

10．根據申請專利範圍第9項之半導體多值記憶裝置，其中：該第一電流路徑之電阻大約等於該第二電流路徑；並且當該比較器(DF00到DFxx)容許該第一電流量等於流經該等參考記憶單元中之一參考記憶單元的該第二電流量時，該資料鑑別器(DF00到DFxx/CV00到CVxx)就會決定：該每個資料資訊片段之數值等於儲存在該等參考記憶單元(RCa/RCb/RCc)中之一參考記憶單元內的該等參考資料資訊中之一資料資訊片段之數值。

11．根據申請專利範圍第7項之半導體多值記憶裝置，其中該第二電流路徑包括：

選擇性形成在多數之次數位線中的第一部份，被分別連接到可作為該等參考記憶單元(RCa/RCb/RCc)之用的該等場效電晶體的通道；

選擇性形成在第一參考選擇器(22m到22p)中的第二部份，被分別連接在該多數之次數位線與多數之主數位線(RMD1到RMD3)之間；

形成在該主數位線(RMD1到RMD3)中的每條主數位線中的第三部份；

形成在可作為該第二電流之電流源之用之一參考放大器(32b)中，並且連接到該比較器(DF00到DFxx)的第四部份；以及

形成在第二參考選擇器(32a)中的第五部份，在該等時序時，會將該等參考主數位線(RMD1到RMD3)選擇性連接



六、申請專利範圍

到該參考放大器(32b)。

12．根據申請專利範圍第11項之半導體多值記憶裝置，其中：該第一電流路徑之電阻大約等於該第二電流路徑；並且當該比較器(DF00到DFxx)容許該第一電流量等於流經該等參考記憶單元中之一參考記憶單元的該第二電流量時，該資料鑑別器(DF00到DFxx/CV00到CVxx)就會決定：該每個資料資訊片段之數值等於儲存在該等參考記憶單元(RCa/RCb/RCc)中之一參考記憶單元內的該等參考資料資訊中之一資料資訊片段之數值。

13．根據申請專利範圍第7項之半導體多值記憶裝置，其中該第二電流路徑包括：

選擇性形成在多數之次數位線(SDa)中的第一部份，被分別連接到可作為該等場效電晶體的通道；

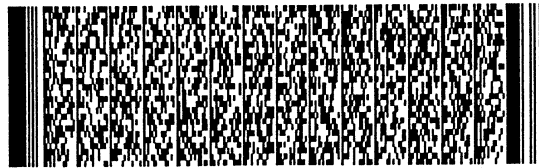
形成在一主數位線(RMD)中的第二部份；

形成在第一選擇器(42d)中的第三部份，在該等時序時，會將該多數之次數位線選擇性連接到該主數位線；

形成在可作為該第二電流之電流源之用之一參考放大器(42c)中，並且連接到該比較器(DF00到DFxx)的第四部份；以及

形成在第二選擇器(42a)中的第五部份，經常被連接在該參考主數位線與參考放大器之間。

14．根據申請範圍第13項之半導體多值記憶裝置，其中：該第一電流路徑之電阻大約等於該第二電流路徑；並且當該比較器(DF00到DFxx)容許該第一電流量等於流經該



六、申請專利範圍

等參考記憶單元中之一參考記憶單元的該第二電流量時，該資料鑑別器(DF00到DFxx/CV00到CVxx)就會決定：該每個資料資訊片段之數值等於儲存在該等多參考記憶單元(RCa/RCb/RCc)中之一參考記憶單元內的該等參考資料資訊中之一資料資訊片段之數值。

15．根據申請專利範圍第7項之半導體多值記憶裝置，其中該第二電流路徑包括：

選擇性形成在一條次數位線(SD)中的第一部份，被連接到可作為該等參考記憶單元(RCa/RCb/RCc)之用的該等場效電晶體的通道；

形成在一條參考主數位線(RMD)中的第二部份；

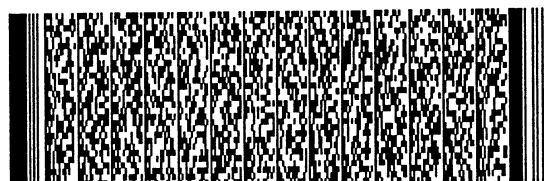
形成在第一選擇器(52c)中的第三部份，經常被連接在該主數位線(RMD)與該次數位線(SD)之間；

形成在可作為該第二電流之電流源之用之一參考放大器(42c)中，並且連接到該比較器(DF00到DFxx)的第四部份；以及

形成在第選擇器(42a)中的第五部份，經常被連接在該參考放大器與該主數位線之間；並且

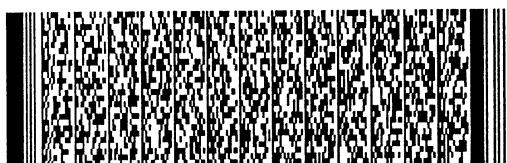
該參考信號產生器還包括連接在該恒定電壓產生器(21h)與該等參考選擇線(RWLa/RWLb/RWLc)之間的一種參考列選擇器(52a)，該參考選擇線被分別連接到該等參考記憶單元的閘極電極，並且在該等時序時會將該不同有效位準(VG1/VG2/VG3)分別轉移到該等參考信號線。

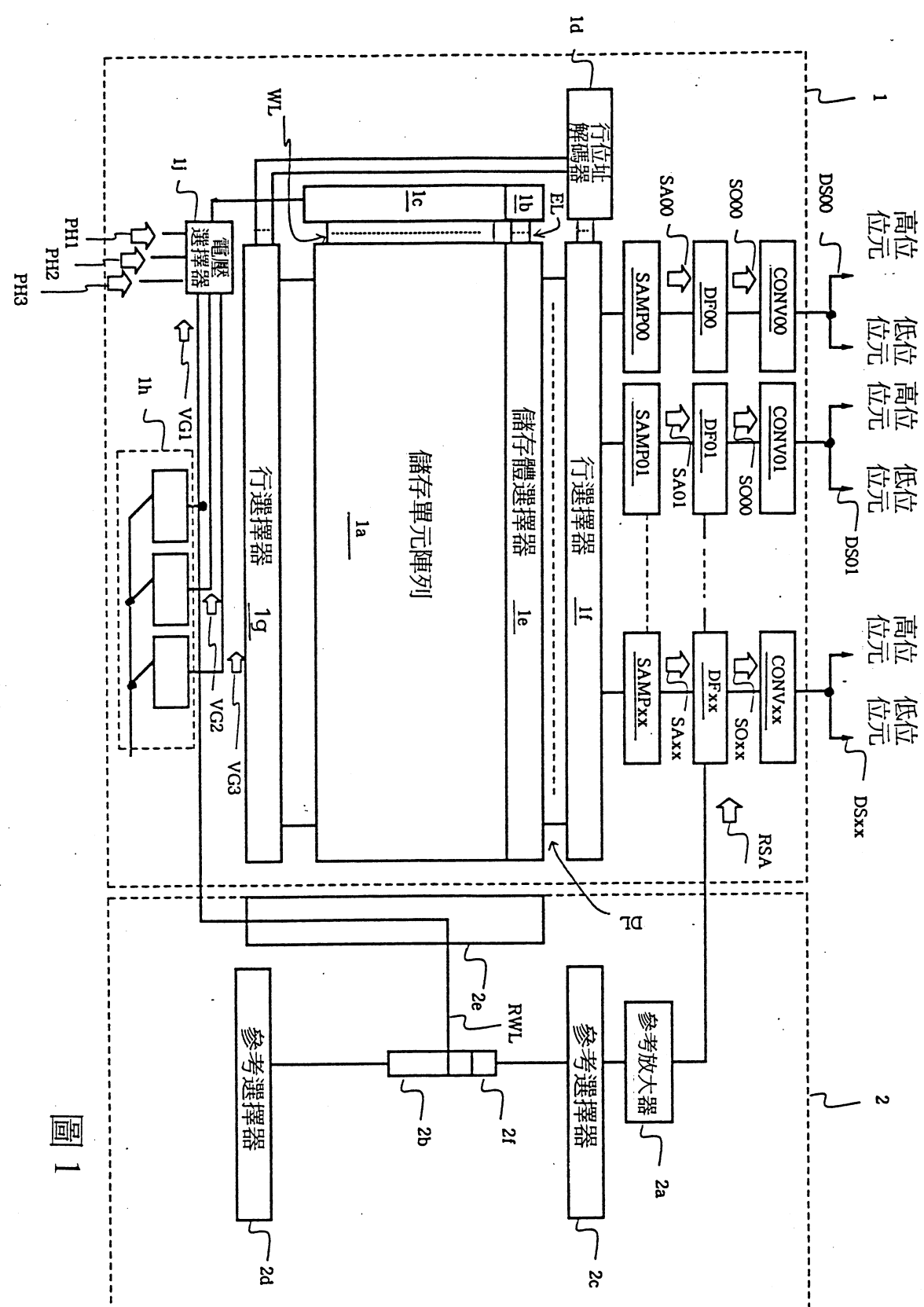
16．根據申請專利範圍第15項之半導體多值記憶裝



六、申請專利範圍

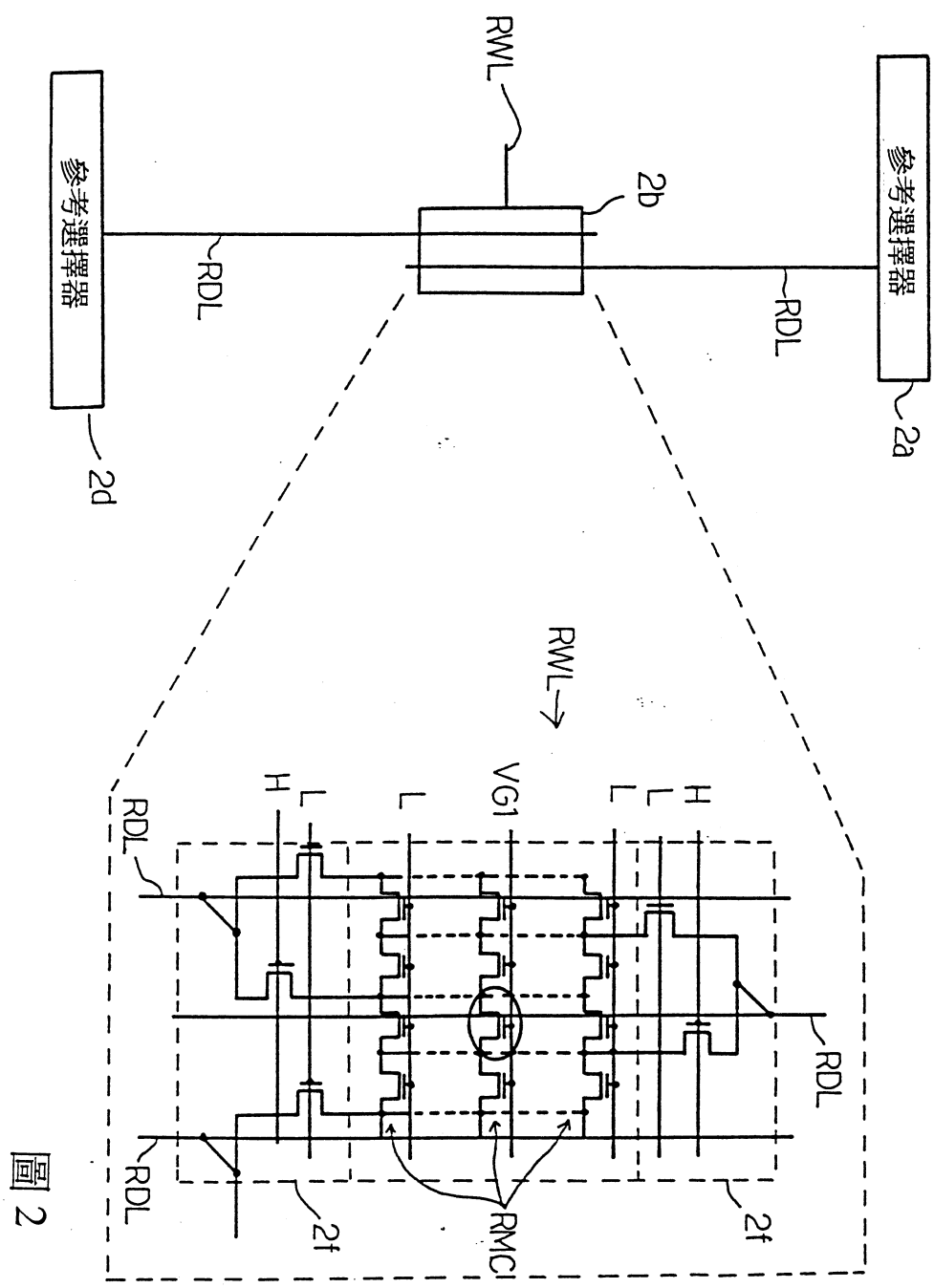
置，其中：該第一電流路徑之電阻大約等於該第二電流路徑；並且當該比較器(DF00到DFxx)容許該第一電流量等於流經該等參考記憶單元中之一參考記憶單元的該第二電流量時，該資料鑑別器(DF00到DFxx/CV00到CVxx)就會決定：該每個資料資訊片段之數值等於儲存在該等參考記憶單元(RCa/RCb/RCc)中之一參考記憶單元內的該等參考資料資訊中之一資料資訊片段之數值。





圖式

圖式



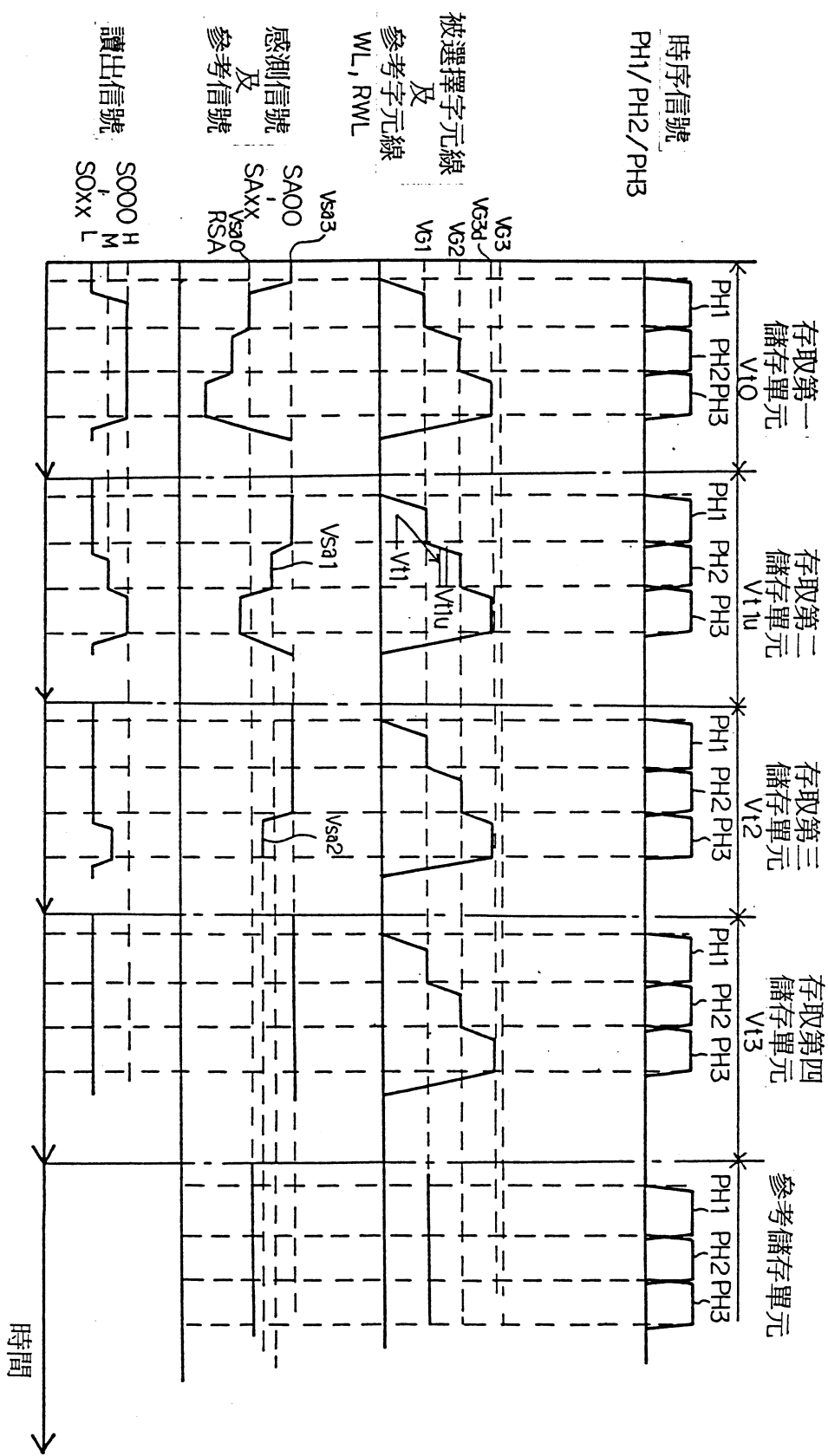
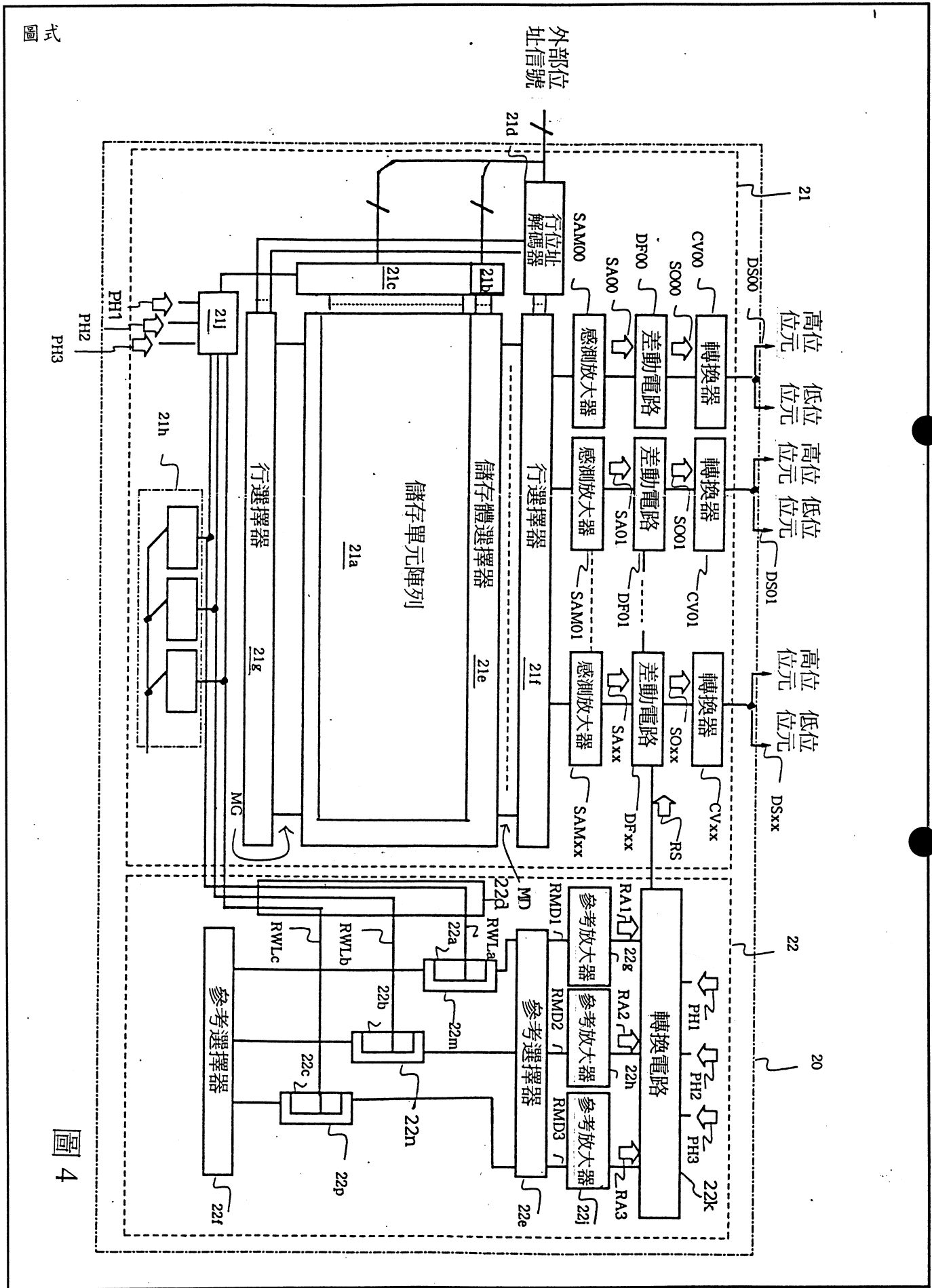


圖 3

圖式



圖式

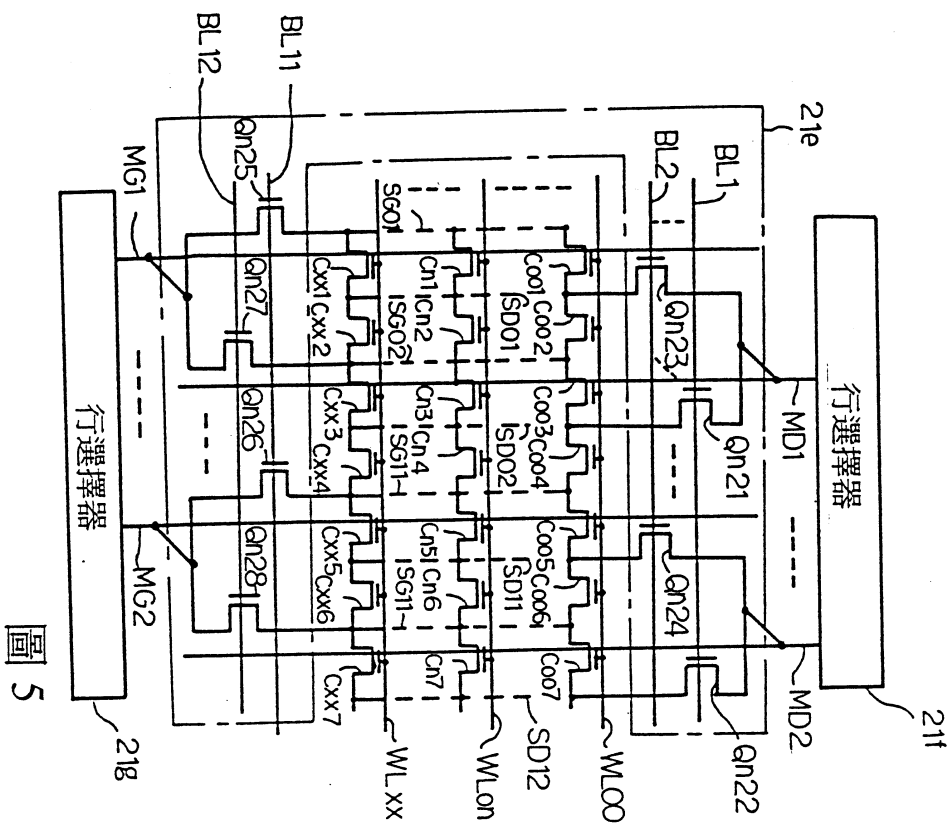


圖 5

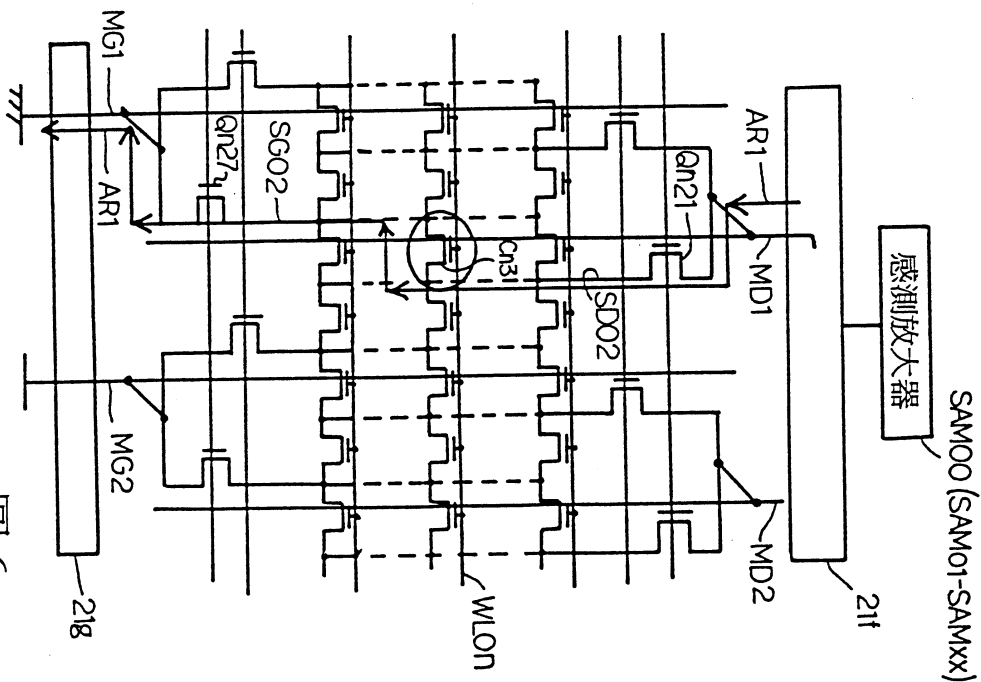


圖 6

圖式

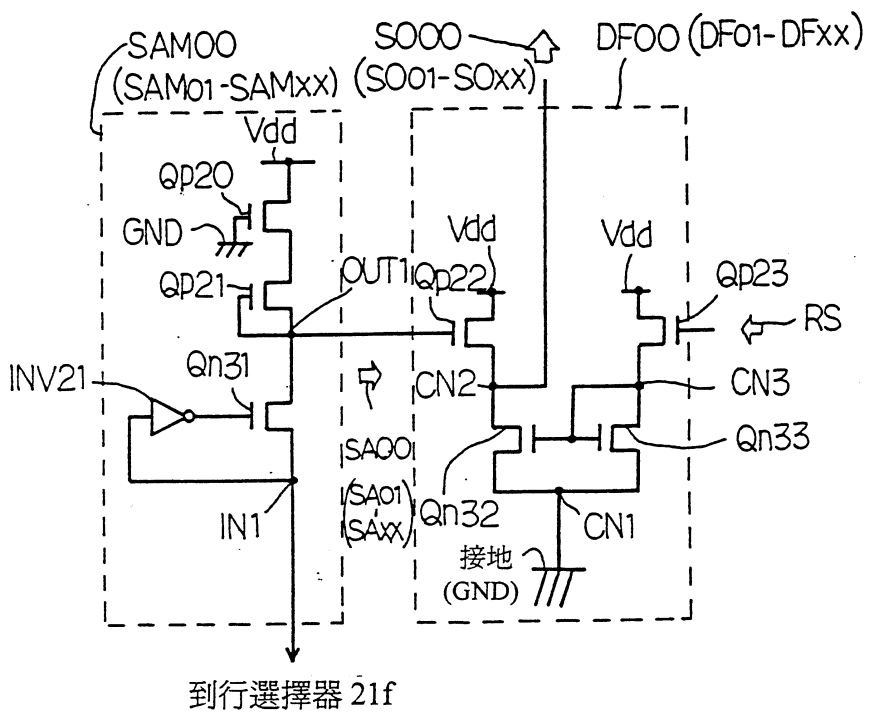


圖 7

圖式

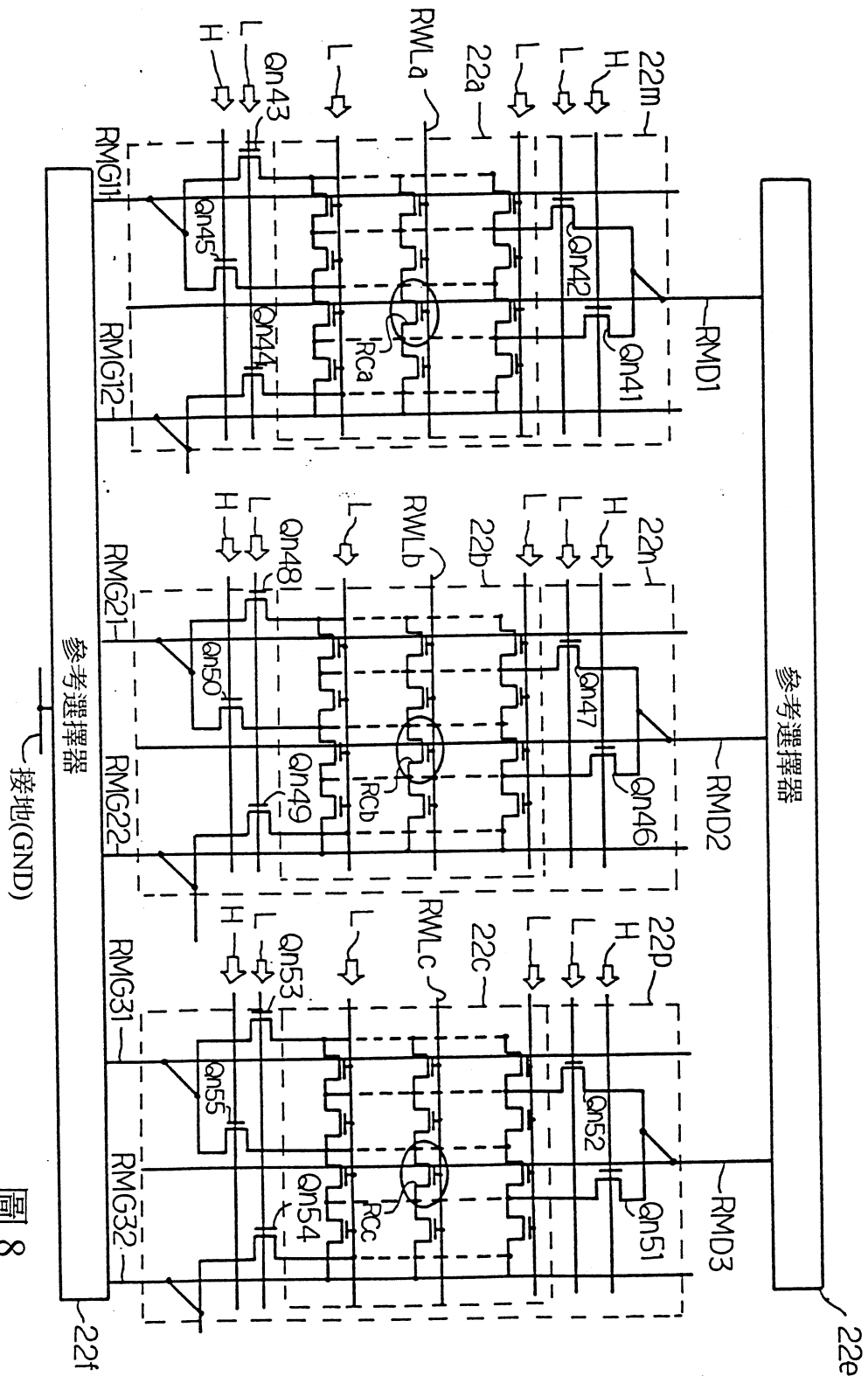


圖 8

圖式

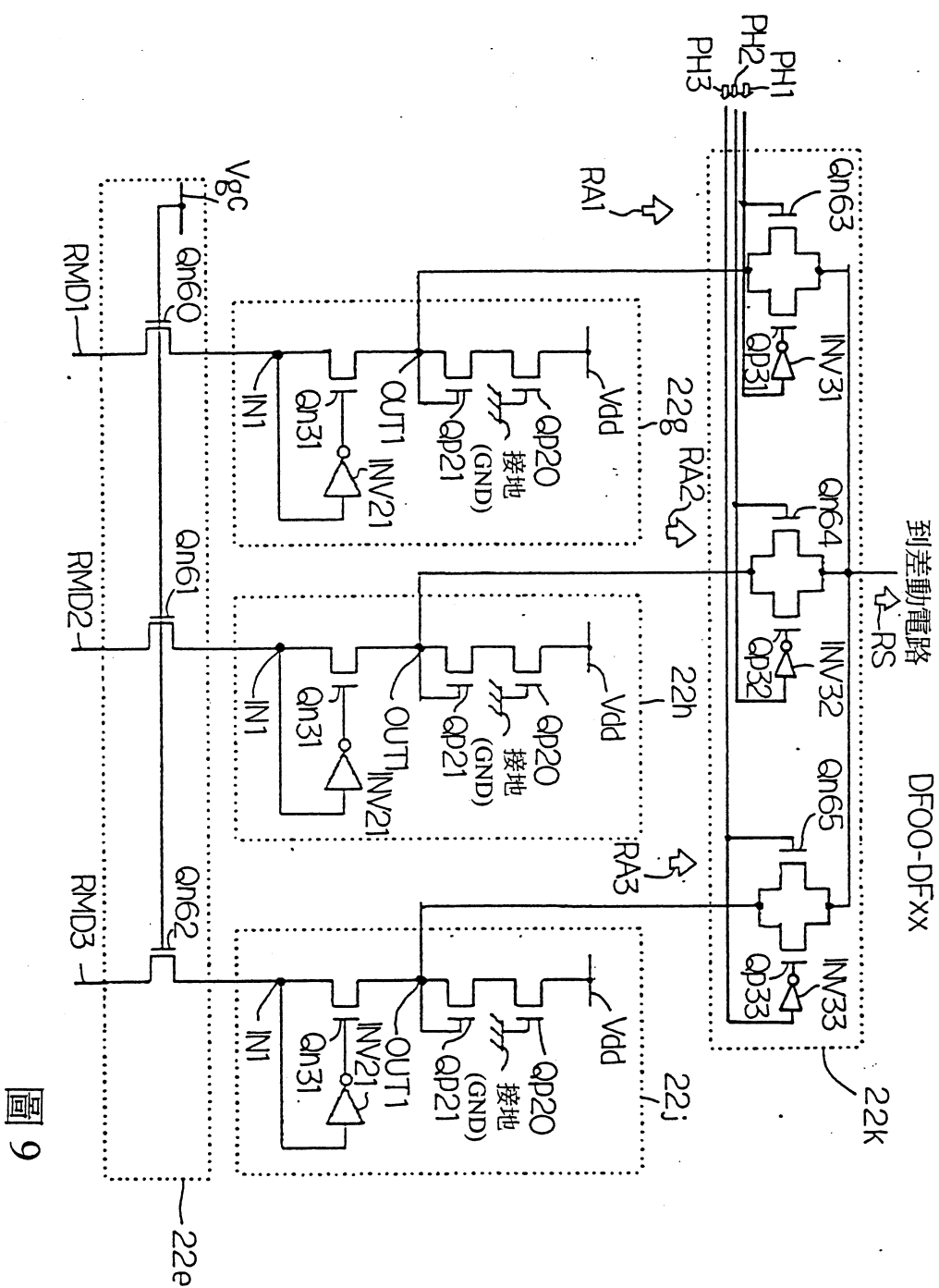


圖 9

圖式

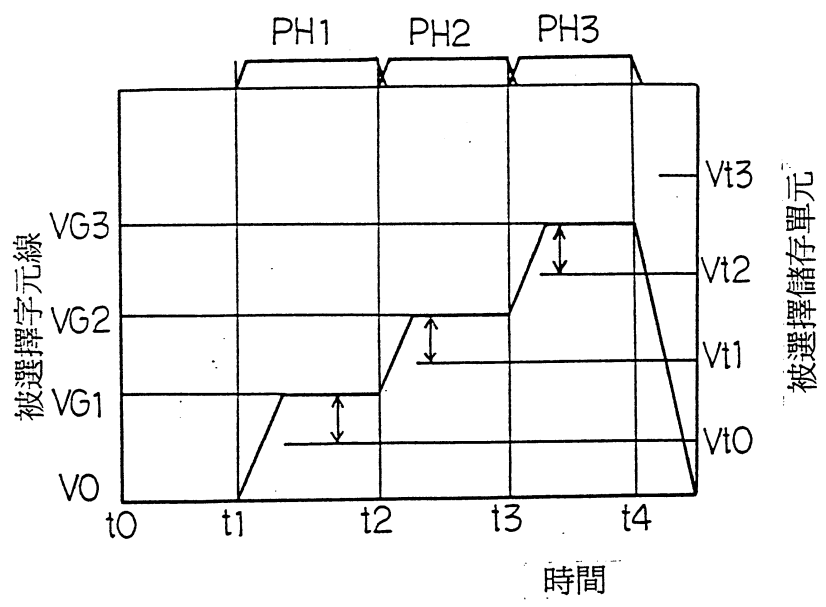


圖 10

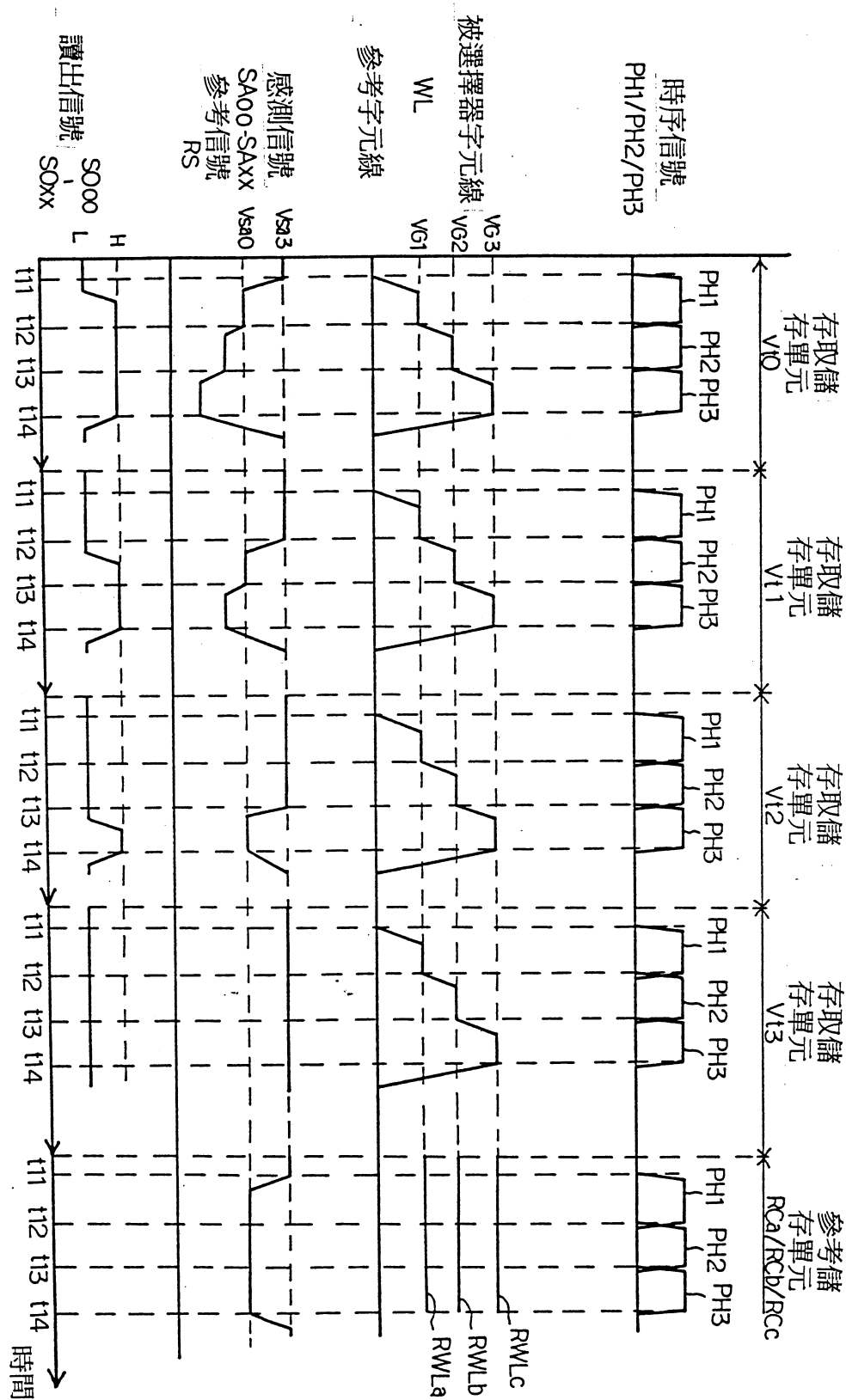


圖 11

圖式

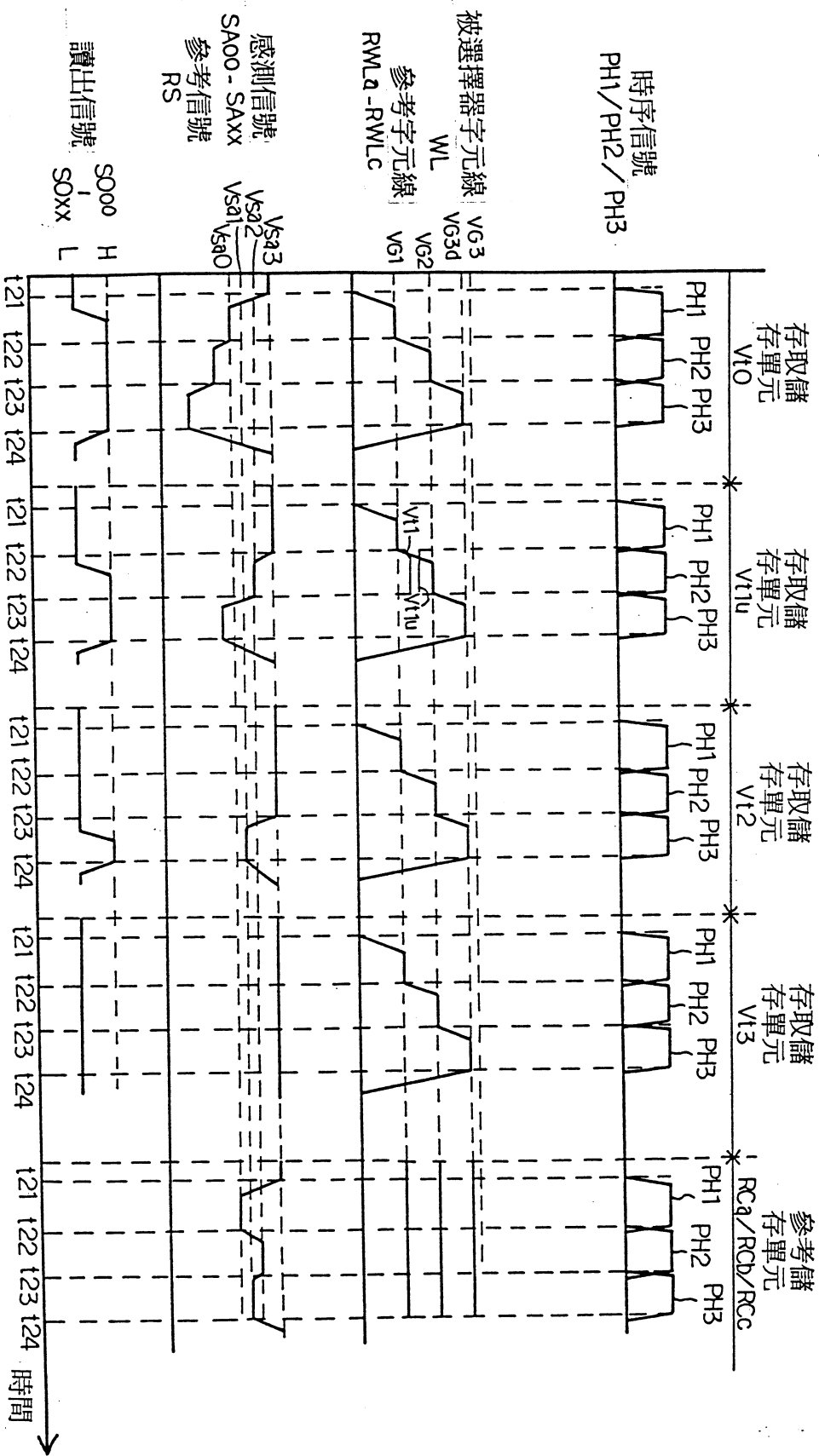


圖 12

圖式

圖式

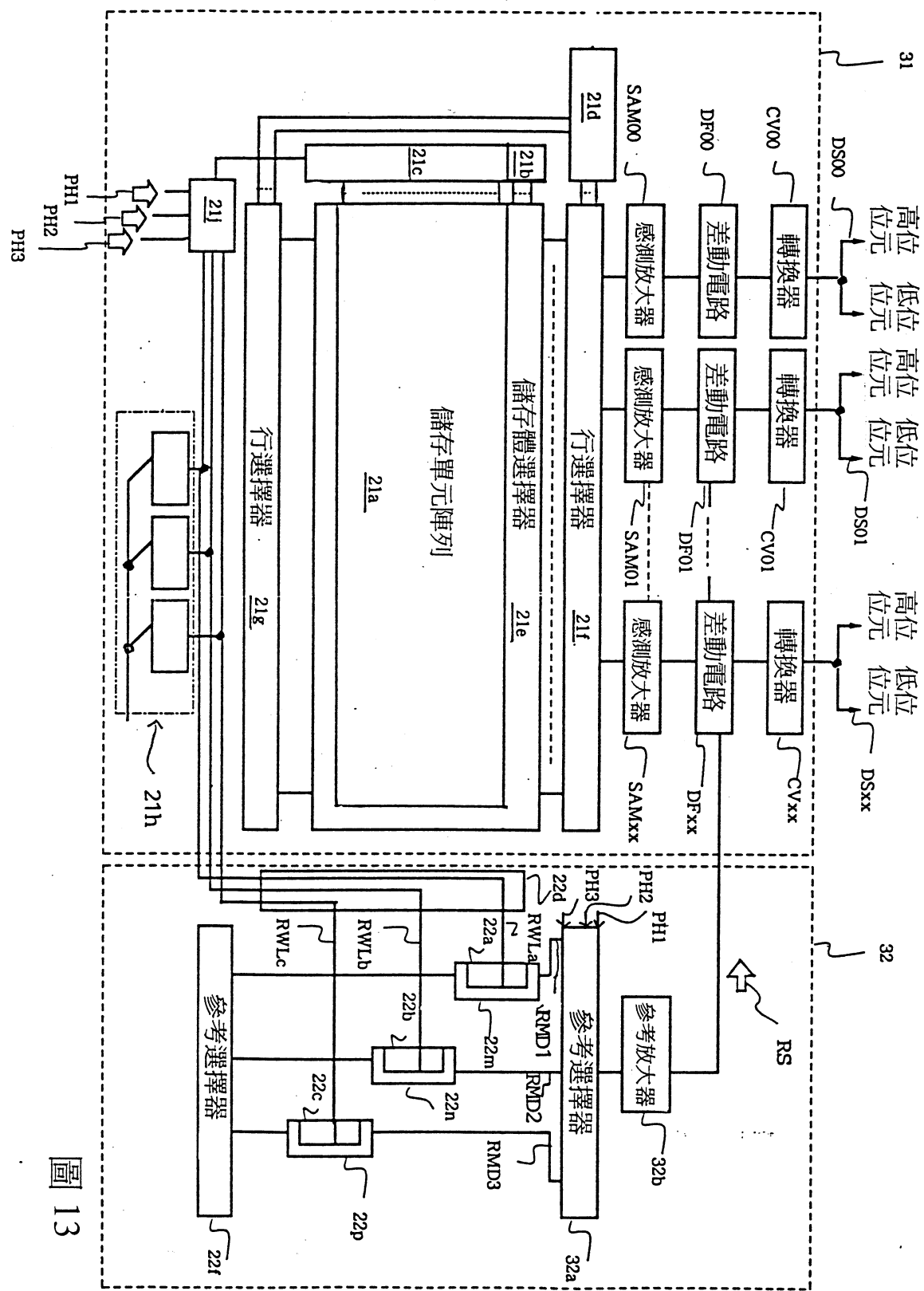


圖 13

圖式

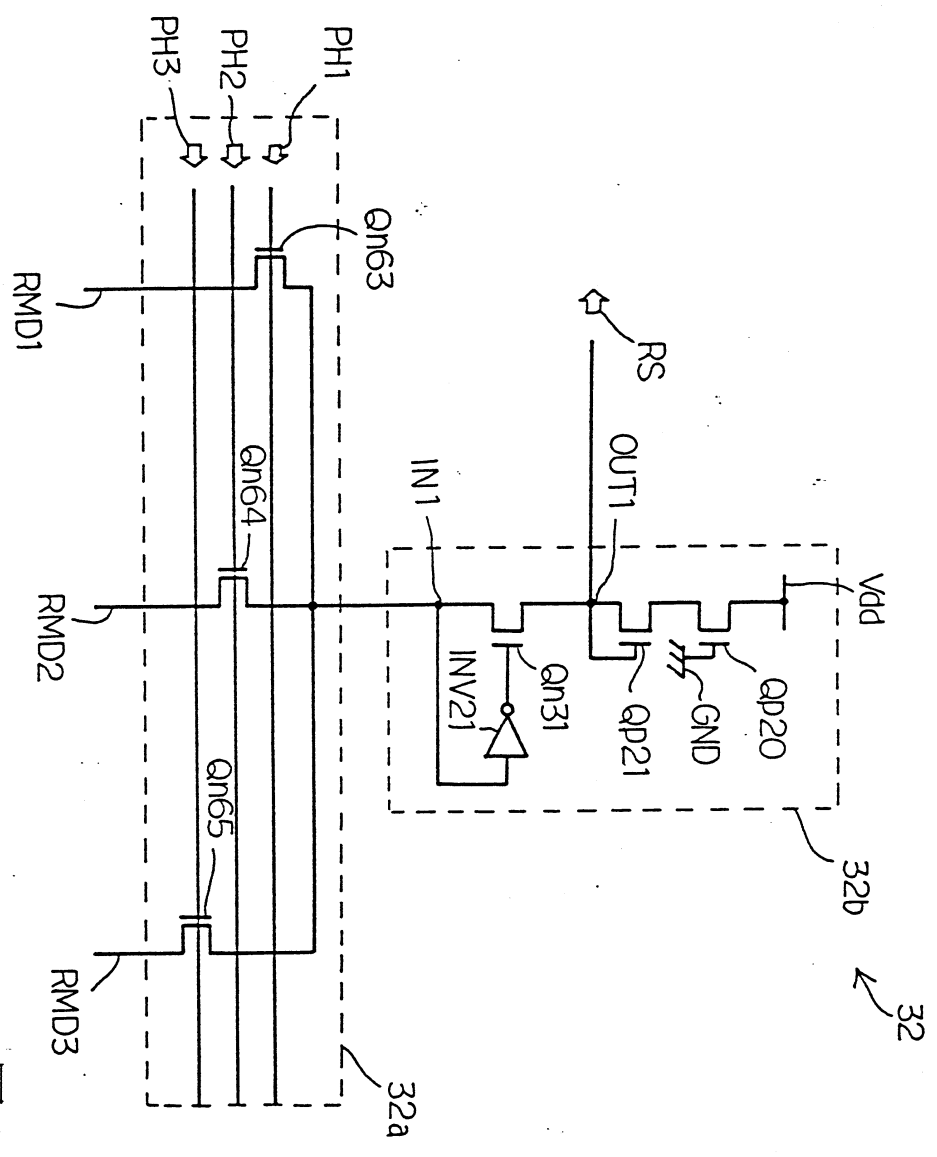


圖 14

圖式

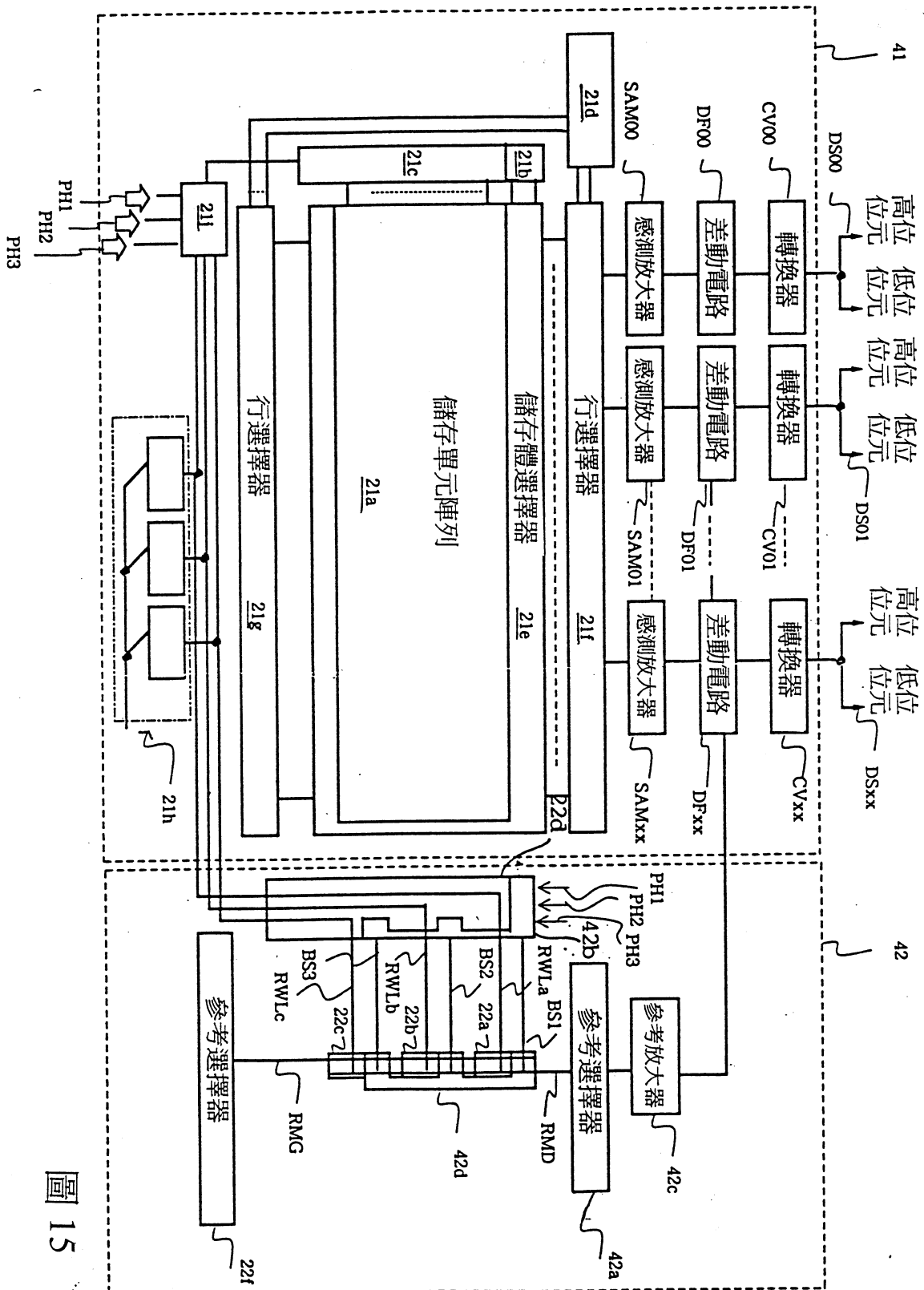


圖 15

圖式

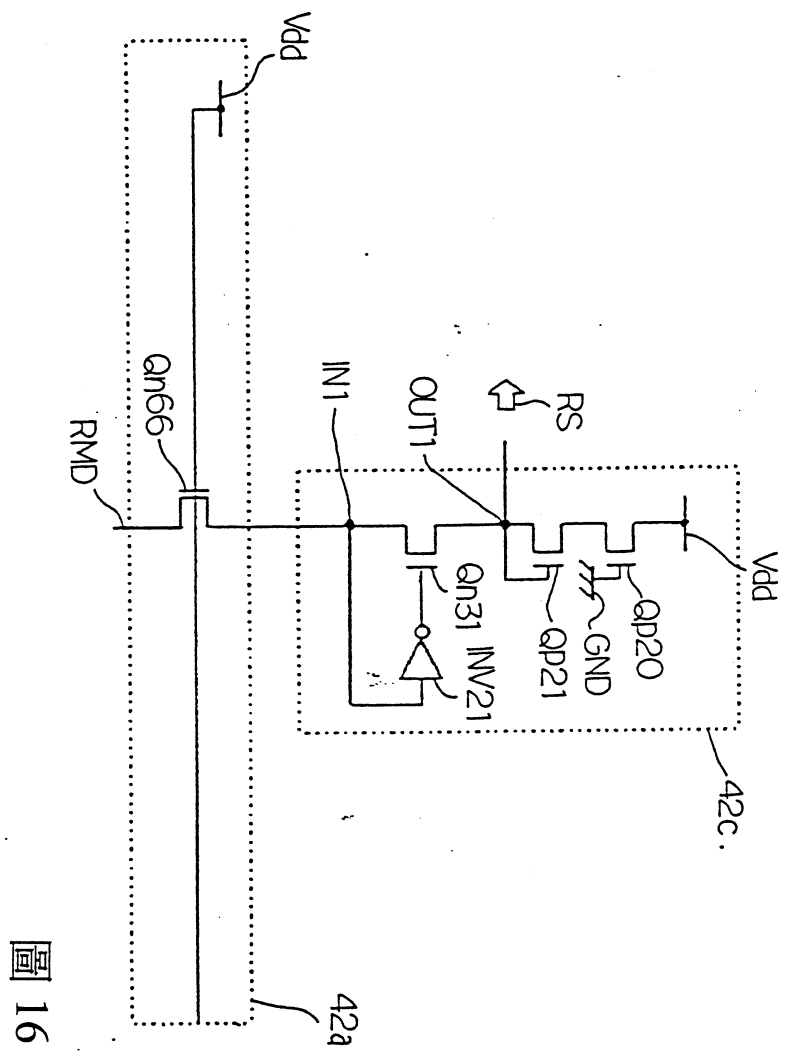


圖 16

圖式

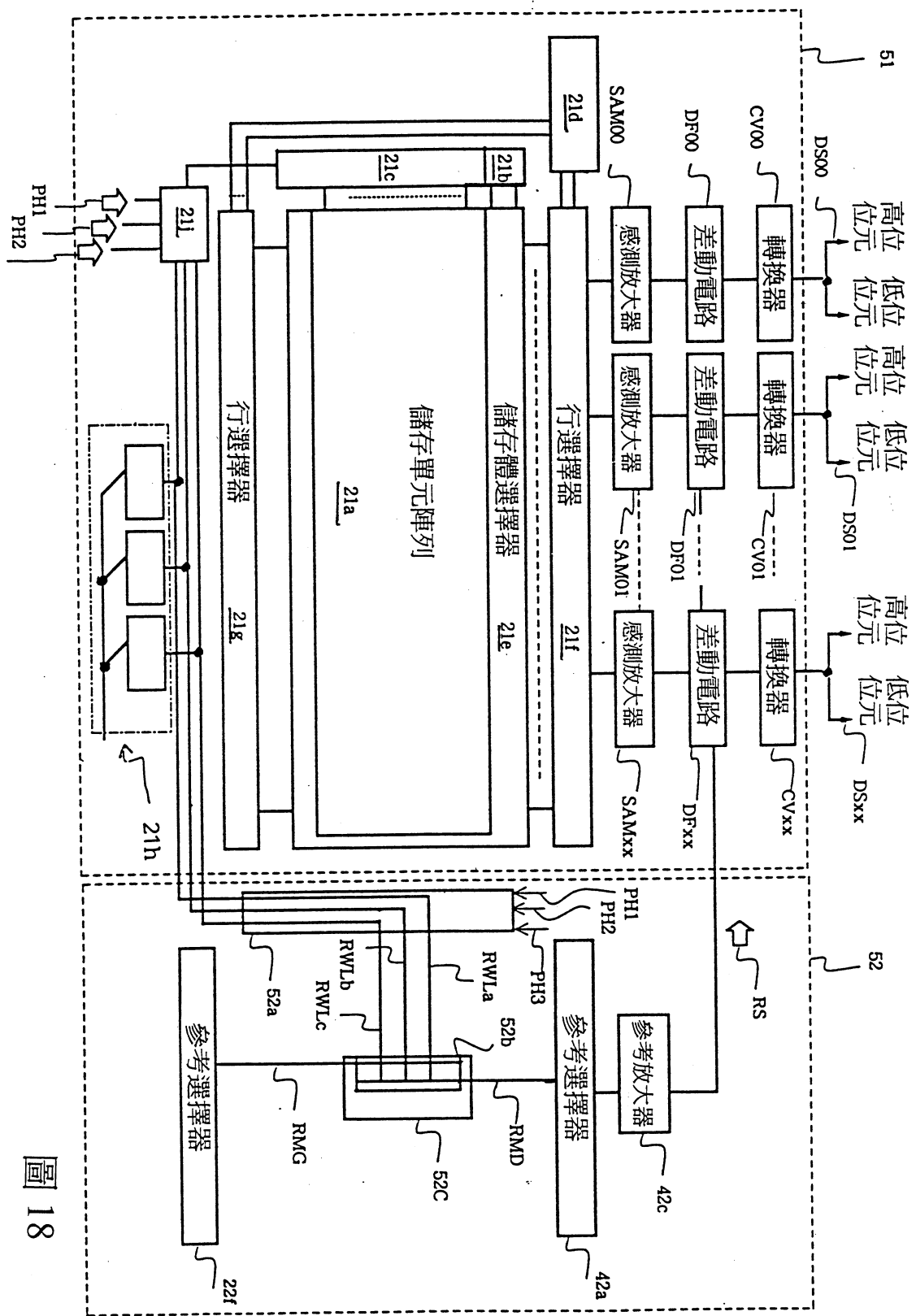


圖 18

圖式

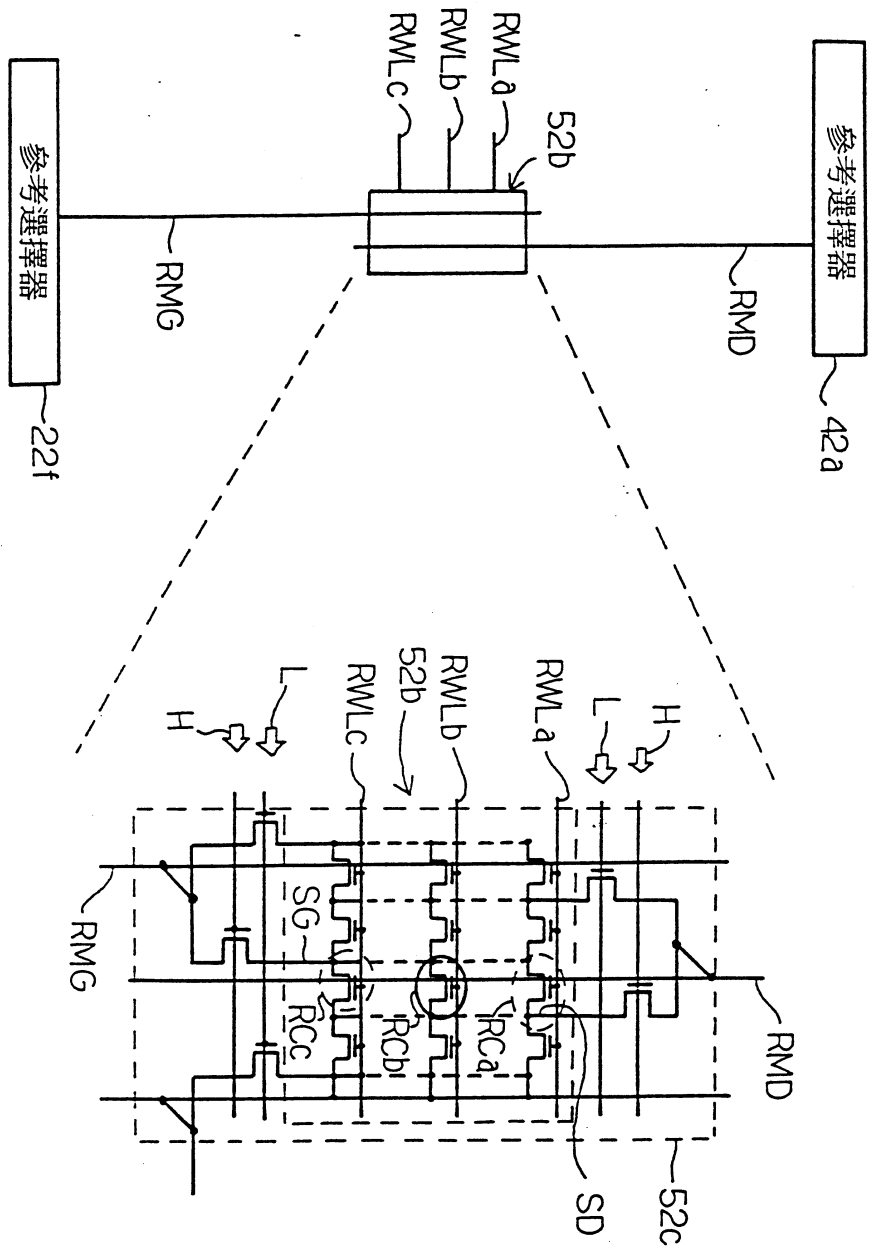


圖 19

圖 21

