



(12) 发明专利申请

(10) 申请公布号 CN 103560779 A

(43) 申请公布日 2014. 02. 05

(21) 申请号 201310151517. 6

(22) 申请日 2013. 04. 27

(30) 优先权数据

13/753, 746 2013. 01. 30 US

(71) 申请人 威盛电子股份有限公司

地址 中国台湾新北市

(72) 发明人 李永胜

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 钱大勇

(51) Int. Cl.

H03K 19/0175(2006. 01)

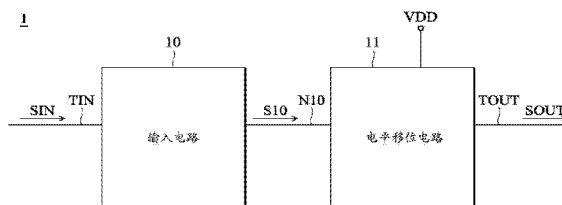
权利要求书2页 说明书4页 附图3页

(54) 发明名称

输入缓冲器

(57) 摘要

一种输入缓冲器,用以通过输入端接收输入信号且在输出端产生输出信号。此输入缓冲器包括输入电路以及电平移位电路。输入电路耦接输入端。输入电路接收输入信号以及根据输入信号来产生缓冲信号。电平移位电路耦接输入电路以及输出端。电平移位电路接收第一供应电压以及缓冲信号,且根据缓冲信号以及第一供应电压在输出端上产生输出信号。输入信号的第一高电平高于第一供电电压的电压电平。当输入信号处于第一高电平时,输入电路产生其电压电平介于输入信号的第一高电平与第一供电电压的电压电平之间的缓冲信号。



1. 一种输入缓冲器,用以通过一输入端接收一输入信号且在一输出端产生一输出信号,包括:

一输入电路,耦接该输入端,接收该输入信号以及根据该输入信号来产生一缓冲信号;以及

一电平移位电路,耦接该输入电路以及该输出端,接收一第一供应电压以及该缓冲信号,且根据该缓冲信号以及该第一供应电压在该输出端上产生该输出信号;

其中,该输入信号的一第一高电平高于该第一供电电压的电压电平;以及

其中,当该输入信号处于该第一高电平时,该输入电路产生其电压电平介于该输入信号的该第一高电平与该第一供电电压的电压电平之间的该缓冲信号。

2. 如权利要求 1 所述的输入缓冲器,其中,该输入电路包括:

一晶体管,具有接收该输入信号的控制电极、接收一第二供电电压的输入电极、以及耦接该电平移位电路的输出电极;

其中,该第二供电电压的电压电平介于该输入信号的该第一高电平与该第一供电电压的电压电平之间。

3. 如权利要求 2 所述的输入缓冲器,其中,当该输入信号处于该第一高电平时,该输入电路产生其电压电平为该第二供电电压的电压电平的该缓冲信号。

4. 如权利要求 1 所述的输入缓冲器,其中,该电平移位电路包括:

一反向器,当该输入信号处于一第一低电平时产生具有一第二高电平的该输出信号,且当该输入信号处于该第一高电平时产生具有一第二低电平的该输出信号;

其中,该输出信号的该第二高电平低于该输入信号的该第一高电平。

5. 如权利要求 1 所述的输入缓冲器,其中,该电平移位电路包括:

一第一晶体管,具有耦接该输入电路的控制电极、接收该第一供电电压的输入电极、以及耦接该输出端的输出电极;以及

一第二晶体管,具有耦接该输入电路的控制电极、耦接该输出端的输入电极、以及耦接一参考电压的输出电极。

6. 如权利要求 1 所述的输入缓冲器,其中,该输入电路包括:

一电容器,耦接于该输入端与该电平移位电路之间;

其中,当该输入信号由该第一高电平切换为一第一低电平时,该缓冲信号的电压电平通过该电容器而拉低。

7. 如权利要求 6 所述的输入缓冲器,其中,该电容器为该输入电路的一寄生电容。

8. 如权利要求 6 所述的输入缓冲器,其中,该电容器为一实体电容器元件。

9. 一种输入缓冲器,用以通过一输入端接收一输入信号且在一输出端产生一输出信号,包括:

一第一晶体管,具有接收该输入信号的控制电极、接收一第一供电电压的输入电极、以及输出一缓冲信号的输出电极;

一电平移位电路,耦接该第一晶体管的输出电极以及该输出端,接收一第二供应电压以及该缓冲信号,且根据该缓冲信号以及该第二供应电压在该输出端上产生该输出信号;

其中,该输入信号的一第一高电平高于该第一供电电压的电压电平以及该第二供电电压的电压电平,且该第一供电电压的电压电平介于该输入信号的该第一高电平与该第二供

电电压的电压电平之间。

10. 如权利要求 9 所述的输入缓冲器,其中,该电平移位电路包括:

一反向器,当该输入信号处于一第一低电平时产生具有一第二高电平的该输出信号,且当该输入信号处于该第一高电平时产生具有一第二低电平的该输出信号;

其中,该输出信号的该第二高电平低于该输入信号的该第一高电平。

11. 如权利要求 9 所述的输入缓冲器,其中,该电平移位电路包括:

一第二晶体管,具有耦接该第一晶体管的输出电极的控制电极、接收该第二供电电压的输入电极、以及耦接该输出端的输出电极;以及

一第三晶体管,具有耦接该第一晶体管的输出电极的控制电极、耦接该输出端的输入电极、以及耦接一参考电压的输出电极。

12. 如权利要求 11 所述的输入缓冲器,其中,该第二晶体管为 P 型晶体管,且该第三晶体管为 N 型晶体管。

13. 如权利要求 9 所述的输入缓冲器,还包括:

一电容器,耦接于该输入端与该电平移位电路之间;

其中,当该输入信号由该第一高电平切换为一第一低电平时,该缓冲信号的电压电平通过该电容器而拉低。

14. 如权利要求 13 所述的输入缓冲器,其中,该电容器为该输入电路的一寄生电容。

15. 如权利要求 13 所述的输入缓冲器,其中,该电容器为一实体电容器元件。

16. 如权利要求 9 所述的输入缓冲器,其中,该第一晶体管为 N 型晶体管。

输入缓冲器

技术领域

[0001] 本发明涉及一种输入缓冲器,特别是涉及一种低功率消耗的输入缓冲器。

背景技术

[0002] 在现今高阶的互补式金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)工艺(例如 28nm 工艺)中,与先前的工艺(例如 40nm 工艺)比较起来, MOS 晶体管的栅极氧化层崩溃电压(break-down voltage)较低。对于以高阶工艺来制造的元件而言, MOS 晶体管的栅极与源极/漏极之间的电压差(V_{gs} 或 V_{gd})需要维持低于 1.8 伏(V)。高电压元件无法以高阶工艺来制造。举例来说, 3.3V 元件无法以 28nm 工艺来制造。此外,在高阶的集成电路(integrated circuit, IC)中,期望使用较低的供应电压,例如 1V,以节省功率。然而,一些周边元件或其他集成电路可能仍操作在高电压下,例如 3.3V 或 2.5V。由周边元件或其他集成电路所产生的信号可能具有高电压电平。当设计来以低供应电压来工作的 MOS 晶体管接收到这些电压时, MOS 则无法适当的操作,且这些 MOS 晶体管可能会被高电压电平所损坏。因此,期望提供一种电路来做为输入缓冲器,用以在集成电路的内部电路接收这些电压之前将高电压为电平转换为低电压电平。然而,现有的输入缓冲电路却具有导致漏电流的路径,这增加了功率消耗,且对于便携式装置而言是格外关键的。

发明内容

[0003] 因此,期望提供一种输入缓冲器,当具有高电平的外部信号输入时,能避免漏电流的发生。

[0004] 本发明提供一种输入缓冲器,用以通过输入端接收输入信号且在输出端产生输出信号。此输入缓冲器包括输入电路以及电平移位电路。输入电路耦接输入端。输入电路接收输入信号以及根据输入信号来产生缓冲信号。电平移位电路耦接输入电路以及输出端。电平移位电路接收第一供应电压以及缓冲信号,且根据缓冲信号以及第一供应电压在输出端上产生输出信号。输入信号的第一高电平高于第一供电电压的电压电平。当输入信号处于第一高电平时,输入电路产生其电压电平介于输入信号的第一高电平与第一供电电压的电压电平之间的缓冲信号。

[0005] 本发明还提供一种输入缓冲器,用以通过输入端接收输入信号且在输出端产生输出信号。此输入缓冲器包括第一晶体管以及电平移位电路。第一晶体管具有接收输入信号的控制电极、接收第一供电电压的输入电极、以及输出缓冲信号的输出电极。电平移位电路耦接第一晶体管的输出电极以及输出端。电平移位电路接收第二供应电压以及缓冲信号,且根据缓冲信号以及第二供应电压在输出端上产生输出信号。输入信号的第一高电平高于第一供电电压的电压电平以及第二供电电压的电压电平。第一供电电压的电压电平介于输入信号的第一高电平与第二供电电压的电压电平之间。

附图说明

- [0006] 图 1 表示根据本发明一实施例的输入缓冲器。
- [0007] 图 2 表示根据本发明另一实施例的输入缓冲器。
- [0008] 图 3 表示主要信号的波形。
- [0009] 附图符号说明
- [0010] 1 ~ 输入缓冲器；
- [0011] 10 ~ 输入电路；
- [0012] 11 ~ 电平移位电路；
- [0013] C10 ~ 电容器；
- [0014] GND ~ 参考电压；
- [0015] M1...M3 ~ 晶体管；
- [0016] N10 ~ 节点；
- [0017] OVDD ~ 供应电压；
- [0018] S10 ~ 缓冲信号；
- [0019] SIN ~ 输入信号；
- [0020] SOUT ~ 输出信号；
- [0021] TIN ~ 输入端；
- [0022] TOUT ~ 输出端；
- [0023] VDD ~ 供应电压。

具体实施方式

[0024] 为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并结合附图详细说明如下。

[0025] 图 1 是表示根据本发明实施例的输入缓冲器。参阅图 1，输入缓冲器 1 具有输入端 TIN 以及输出端 TOUT。输入缓冲器 1 可通过输入端 TIN 接收输入信号 SIN，且根据输入信号 SIN 在输出端 TOUT 上产生输出信号 SOUT。输出信号 SOUT 可由具有低操作电压的一集成电路的内部电路所接收。在一实施例中，输入缓冲器 1 可合并并在集成电路内。输入信号 SIN 可处于高电平以及低电平，例如 3.3V 的高电平以及 0V 的低电平。在此实施例中，输入信号 SIN 可由集成电路的外部电路所产生，且此外部电路可以相异于输入缓冲器 1 的工艺来制造。输入缓冲器 1 包括输入电路 10 以及电平移位电路 11。输入电路 10 耦接输入端 TIN 以接收输入信号 SIN。输入电路 10 阻挡漏电流，且在节点 N10 上产生缓冲信号 S10。电平移位电路 11 还接收供应电压 VDD，换句话说，电平移位电路 11 是由供应电压 VDD 来供电。在此实施例中，输入信号 SIN 的高电平高于供应电压 VDD 的电压电平。举例来说，供应电压 VDD 的电压电平为 1V，低于输入信号 SIN 的 3.3V 高电平。电平移位电路 11 耦接节点 N10 以接收缓冲信号 S10。电平移位电路 11 对缓冲信号 S10 执行电平移位操作，以偏移或改变缓冲信号 S10 的电平，且根据此电平移位操作以及供应电压 VDD 而在输出端 TOUT 上产生输出信号 SOUT 给集成电路的内部电路。在此实施例中，这些内部电路的供应电压可与供应电压 VDD 相同，因此，所接收到的输出信号 SOUT 适合内部电路的操作。

[0026] 在此实施例中，当输入信号 SIN 由例如 0V 的低电平切换为例如 3.3V 的高电平时，

在节点 N10 上的缓冲信号 S10 的电平通过耦接在输入端 TIN 与节点 N10 之间的电容器的耦合效应而被拉高。电平移位电路 11 接着根据具有拉高电平的缓冲信号 S10 来产生具有低电平的输出信号 SOUT, 即输出信号 SOUT 与缓冲信号 S10 互为反向。此外, 当输入信号 SIN 处于高电平 3.3V 时, 输入电压 10 可产生其电压电平在输入信号 SIN 的高电平 3.3V 与供应电压 VDD 的电压电平 (1V) 之间的缓冲信号 S10, 且不论缓冲信号 S10 的实际电压电平为何, 电平移位电路 11 输出具有低电平的输出信号 SOUT。在一实施例中, 当输入信号 SIN 处于高电平 3.3V 时, 输入电路 10 产生其电压电平等于在输入信号 SIN 的高电平 3.3V 与供应电压 VDD 的电压电平 1V 之间的电平 1.8V 的缓冲信号 S10。

[0027] 当输入信号 SIN 由高电平 3.3V 切换为低电平 0V 时, 在节点 N10 上的缓冲信号 S10 的电平通过耦接在输入端 TIN 与节点 N10 之间的电容器的耦合效应而被至低电平。电平移位电路 11 接着根据供应电压 VDD 以及具有拉低电平的缓冲信号 S10 来产生具有高电平的输出信号 SOUT。之后, 缓冲信号 S10 维持在低电平且电平移位电路 10 输出具有高电平的输出信号 SOUT, 直到输入信号 SIN 再次由低电平 0V 切换为高电平 3.3。缓冲信号 S10 为低电平时的实际电压电平可根据上述电容器的电容值以及输入信号 SIN 与缓冲信号 S10 的高电平来决定。

[0028] 在一实施例中, 上述耦接在输入端 TIN 与节点 N10 之间的电容器可以是形成在输入电路 10 的寄生电容。在另一实施例中, 上述耦接在输入端 TIN 与节点 N10 之间的电容器可以是一个实体电容元件。

[0029] 根据图 1 的实施例, 输入缓冲器 1 具有高电压容忍度。当输入信号 SIN 具有高电平 3.3V 时, 输入缓冲器 1 可将输入信号 SIN 转换为具有其高电平为 1V 的输出信号 SOUT 给以高阶 CMOS 工艺 (例如 28nm 工艺) 来制造的后端元件或集成电路。此外, 由于耦接在输入端 TIN 与输入电路 10 的内节点 N10 之间的电容器的配置, 在供应电压 VDD 与输入端 TIN 之间则没有直接连通的漏电流路径。

[0030] 图 2 是表示输入电路 10 以及电平移位电路 11 的详细架构。图 3 是表示输入信号 SIN、缓冲信号 S10、以及输出信号 SOUT 的波形。参阅图 2, 输入电路 10 包括金属氧化物半导体 (Metal-Oxide-Semiconductor, MOS) 晶体管 M1。电平移位电路 11 包括由 MOS 晶体管 M2 与 M3 所组成的反向器。MOS 晶体管 M1-M3 中的每一个具有控制电极、输入电极、以及输出电极。在此实施例中, MOS 晶体管 M1 与 M3 是以 NMOS 晶体管来实现, 且一个 MNOS 晶体管的栅极、漏极、以及源极分别作为 MOS 晶体管 M1 与 M3 每一个的控制电极、输入电极、以及输出电极。此外, 在此实施例中, MOS 晶体管 M2 是以 PMOS 晶体管来实现, 且一个 PNOS 晶体管的栅极、源极、以及漏极分别作为 MOS 晶体管 M2 的控制电极、输入电极、以及输出电极。

[0031] NMOS 晶体管 M1 的栅极耦接输入端 TIN, 其漏极耦接用来对输入电路 10 进行供电的供应电压 0VDD, 且其源极耦接节点 N10。PMOS 晶体管 M2 的栅极耦接节点 N10, 其源极耦接供电电压 VDD, 且其漏极耦接输出端 TOUT。PMOS 晶体管 M3 的栅极耦接节点 N10, 其漏极耦接输出端 TOUT, 且其源极耦接参考电压 GND。在此实施例中, 参考电压 GND 提供具有电平 0V 的等效电压电平。参阅图 2, 输入电路 10 还包括电容器 C10。电容器 C10 作为前述耦接于输入端 TIN 与节点 N10 之间的电容器。在一实施例中, 电容器 C10 可以是 NMOS 晶体管 M1 的栅-源极寄生电容 (Cgs)。在另一实施例中, 电容器 C10 可以是一实体电容器元件。

[0032] 参阅图 2 与图 3, 当输入信号 SIN 由低电平 0V 切换为高电平 3.3V 时, NMOS 晶体管

M1 导通,且缓冲信号 S10 通过导通的 NMOS 晶体管 M1 而维持在由供应电压 OVDD 所决定的电平上,此外,在节点 N10 上的缓冲信号 S10 的电平通过电容器 C10 耦合效应而被拉高以导通 NMOS 晶体管 M3 并关闭 PMOS 晶体管 M2。如此一来,通过导通的 NMOS 晶体管 M3,输出信号 SOUT 根据参考电压 GND 而处于低电平 0V。在此实施例中,供应电压 OVDD 的电压电平介于输入信号 SIN 的高电平(例如 3.3V)与供应电压 VDD 的电压电平(例如 1V)之间,例如电平 1.8V,因此,在此时,缓冲信号 S10 处于电平 1.8V。根据具有电平 1.8V 的缓冲信号 S10,PMOS 晶体管 M2 维持关闭,且 NMOS 晶体管 M3 维持导通。因此,输出信号 SOUT 可维持在低电平 0V。

[0033] 当输入信号 SIN 由高电平 3.3V 切换为低电平 0V 时,虽然 NMOS 晶体管 M1 关闭,但在节点 N10 上的缓冲信号 S10 的电平通过电容器 C10 的耦合效应而被拉至低电平,以导通 PMOS 晶体管 M2 并关闭 NMOS 晶体管 M3。如此一来,通过导通的 PMOS 晶体管 M2,输出信号 SOUT 根据供应电压 VDD 而处于高电平 1V。之后,缓冲信号 S10 维持在低电平,直到输入信号 SIN 再次由低电平 0V 切换为高电平 3.3V。在此实施例中,当输入信号 SIN 由高电平 3.3V 切换为低电平 0V 时,缓冲信号 S10 被拉至约为 -0.2V 的电平,且接着维持在低电平 -0.2V 直到输入信号 SIN 再次由低电平 0V 切换为高电平 3.3V。缓冲信号 S10 的低电平的实际电压电平可藉由设计电容器 C10 的电容值以及供应电压 OVDD 来调整。供应电压 OVDD 可设计为介于输入信号 SIN 的高电平与供应电压 VDD 之间的任何值。

[0034] 根据上述图 2 的实施例,由于在输入电路 10 中电容器 C10 阻止了在供电电压 VDD 与输入端 TIN 之间的直接连接,因此在供电电压 VDD 与输入端 TIN 之间不具有漏电流路径,这可减少功率消耗。

[0035] 此外,在一实施例中,晶体管 M1-M3 可以高阶 CMOS 工艺(例如 28nm 工艺)来制造。当输入信号 SIN 处于高电平 3.3V 且在节点 N10 上的缓冲信号 S10 具有例如 1.8V 的电平时,介于 NMOS 晶体管 M1 的栅极与漏极之间的电压差(栅-漏极电压, V_{gd})等于 1.5V(3.3V-1.8V),其不大于由 28nm 工艺所规范的预设栅极氧化崩溃电压 1.8V,使得 NMOS 晶体管 M1 不会受到具有高电平 3.3V 的输入电压 SIN 所损坏。此外,根据上述,当输入信号 SIN 处于高电平 3.3V 时,缓冲信号 S10 处于 1.8V 的电平。因此,当输入信号 SIN 处于高电平 3.3V 时,在 PMOS 晶体管 M2 的栅极与漏极间的电压差(栅-漏极电压, V_{gd})等于 0.8V (1.8V-1V),且在 NMOS 晶体管 M3 的栅极与漏极间的电压差(栅-漏极电压, V_{gd})等于 1.8V (1.8V-0V)。晶体管 M2 与 M3 的栅-漏极电压都大于由 28nm 工艺所规范的预设栅极氧化崩溃电压 1.8V,使得晶体管 M2 与 M3 不会受到具有高电平 3.3V 的输入电压 SIN 所损坏。如此一来,本发明所提供的输入缓冲器 1 对于输入信号 SIN 具有高电压容忍度。

[0036] 综上所述,本发明揭示了一种输入缓冲器,其防止在高阶工艺中的漏电流以及栅极氧化层崩溃。藉由避开在供电电压与输入端之间的直接连通的漏电流路径,可消除漏电流且可减少功率消耗。此外,藉由设计供电电压,在元件中的电压差可小心地受到控制,且可防止栅极氧化层崩溃。

[0037] 本发明虽以较佳实施例揭示如上,然其并非用以限定本发明的范围,本领域的技术人员,在不脱离本发明的精神和范围的前提下,可做些许的更动与润饰,因此本发明的保护范围是以本发明的权利要求为准。

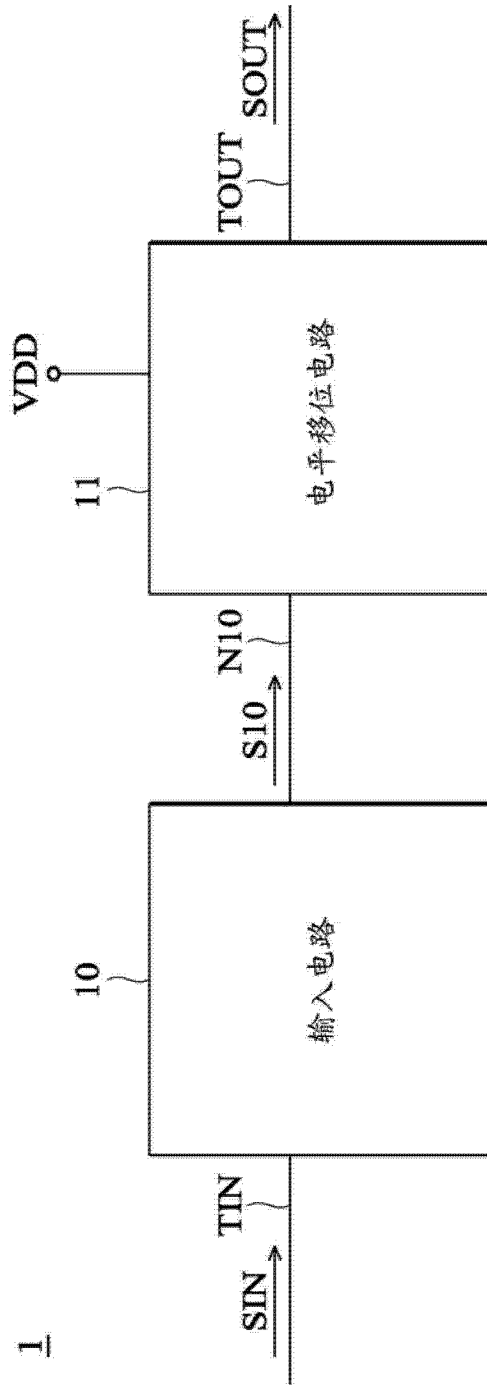


图 1

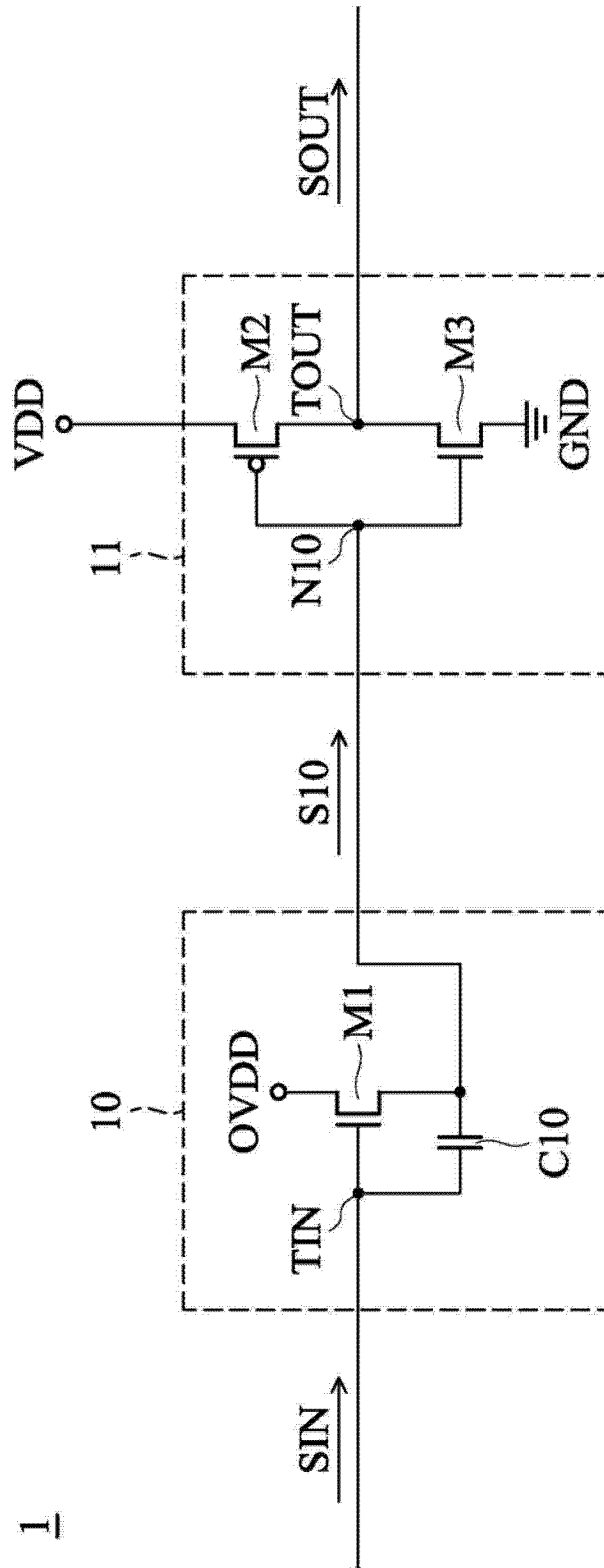


图 2

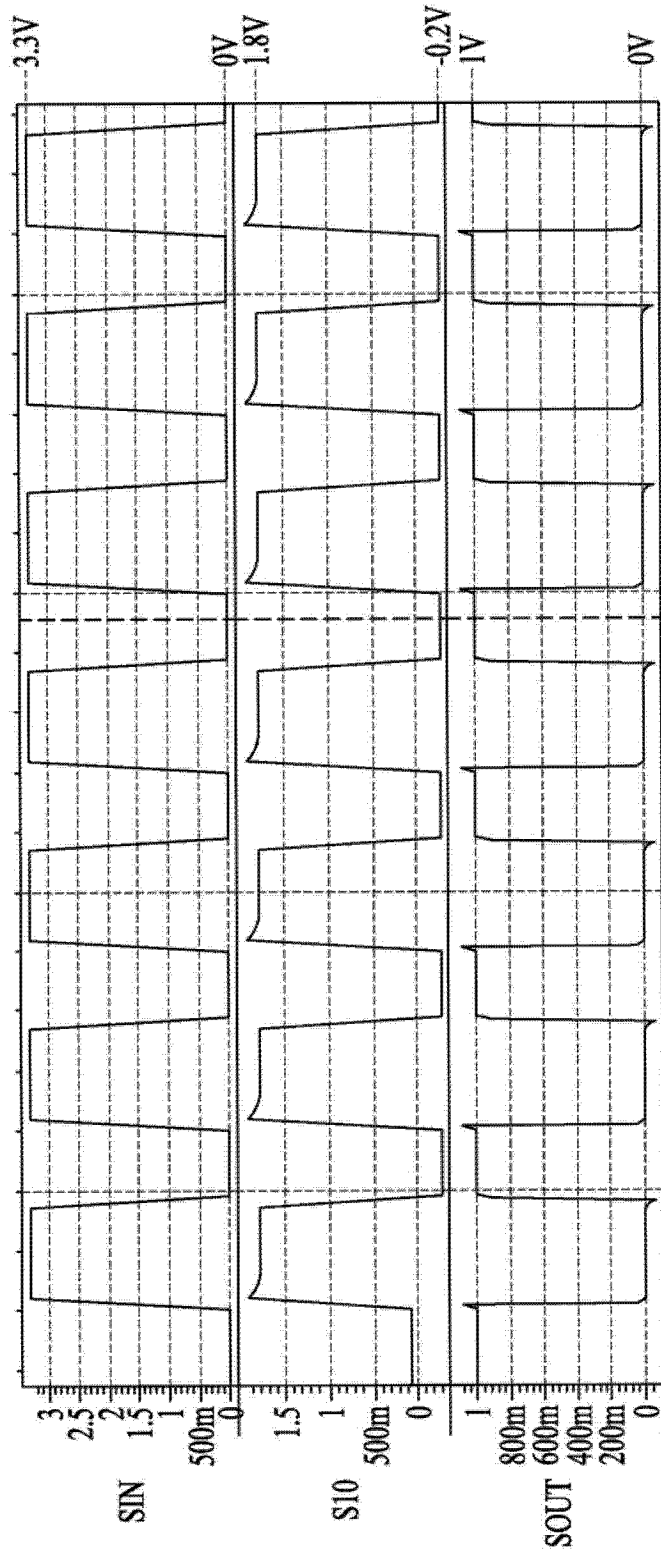


图 3