



(12) 发明专利

(10) 授权公告号 CN 108280039 B

(45) 授权公告日 2021. 02. 26

(21) 申请号 201810149824.3

G06F 13/42 (2006.01)

(22) 申请日 2018.02.13

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 106125577 A, 2016.11.16

申请公布号 CN 108280039 A

CN 104050114 A, 2014.09.17

CN 104412552 A, 2015.03.11

(43) 申请公布日 2018.07.13

CN 206993145 U, 2018.02.09

(73) 专利权人 龙迅半导体(合肥)股份有限公司

US 6025690 A, 2000.02.15

地址 230601 安徽省合肥市经开区芙蓉路

US 9143362 B2, 2015.09.22

268号创新创业园A座四层

审查员 邵娜娜

(72) 发明人 季翔宇 陈余 陶成

(74) 专利代理机构 北京集佳知识产权代理有限公司

11227

代理人 张忠魁 王宝筠

(51) Int. Cl.

G06F 13/40 (2006.01)

G06F 13/38 (2006.01)

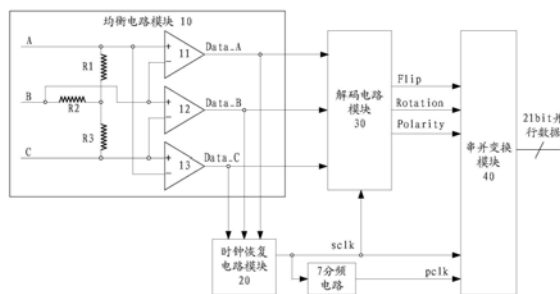
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种MIPI C-Phy RX端的输入信号解码电路

(57) 摘要

本申请提供了一种MIPI C-Phy RX端的输入信号解码电路,包括均衡电路模块、时钟恢复电路模块和解码电路模块。均衡电路模块与MIPI的TX端通过三条信号线相连接,用于对信号线上的信号进行采样,得到第一数据信号、第二数据信号和第三数据信号;时钟恢复电路用于根据第一数据信号、第二数据信号和第三数据信号解析出工作时钟信号;解码电路模块用于根据第一数据信号、第二数据信号、第三数据信号和工作时钟信号输出Flip信号、Rotation信号和Polarity信号,Flip信号、Rotation信号和Polarity信号用于输出到MIPI的串并转换电路得到21bit并行数据。通过上述的电路对TX端输出的信号进行变换,最终得到21bit并行数据,恢复出TX端数据从而使MIPI能够进行正常的通信。



1. 一种MIPI C-Phy RX端的输入信号解码电路,其特征在于,包括均衡电路模块、时钟恢复电路模块、解码电路模块和串并转换模块,其中:

所述均衡电路模块与MIPI的TX端通过三条信号线相连接,用于对所述信号线上的信号进行采样,得到第一数据信号、第二数据信号和第三数据信号;

所述时钟恢复电路模块用于根据所述第一数据信号、所述第二数据信号和所述第三数据信号解析出工作时钟信号;

所述解码电路模块用于根据所述第一数据信号、所述第二数据信号、所述第三数据信号和所述工作时钟信号输出Flip信号、Rotation信号和Polarity信号;

所述串并转换模块用于根据所述Flip信号、所述Rotation信号和所述Polarity信号输出21bit并行数据。

2. 如权利要求1所述的输入信号解码电路,其特征在于,所述均衡电路模块包括阻值相同的第一电阻、第二电阻和第三电阻,还包括第一运放电路、第二运放电路和第三运放电路,其中:

所述第一电阻的一端、所述第二电阻的一端、所述第三电阻的一端相连接,构成星形电路;

所述第一运放电路的正相输入端与所述三条信号线中的第一信号线、所述第一电阻的另一端、所述第三运放电路的反相输入端相连接,所述第一运放电路的反相输入端与所述三条信号线中的第二信号线相连接,所述第一运放电路的输出端用于输出所述第一数据信号;

所述第二运放电路的正相输入端与所述第二信号线、所述第二电阻的另一端、所述第一运放电路的反相输入端相连接,所述第二运放电路的反相输入端与所述三条信号线中的第三信号线相连接,所述第二运放电路的输出端用于输出所述第二数据信号;

所述第三运放电路的正相输入端与所述第三信号线、所述第三电阻、所述第二运放电路的反相输入端相连接,所述第三运放电路的输出端用于输出所述第三数据信号。

3. 如权利要求2所述的输入信号解码电路,其特征在于,所述第一电阻、所述第二电阻和所述第三电阻的阻值均为 $50\ \Omega$ 。

4. 如权利要求1所述的输入信号解码电路,其特征在于,所述解码电路模块包括采样电路、第一编码电路和第二编码电路,其中:

所述采样电路用于利用所述工作时钟信号分别对所述第一数据信号、所述第二数据信号和所述第三数据信号进行采样,得到3个当前时钟周期数据、3个上一时钟周期数据和3个上一时钟周期数据的反相数据;

所述第一编码电路用于对所述3个当前时钟周期数据、所述3个上一时钟周期数据和所述3个上一时钟周期数据的反相数据进行异或处理,得到所述当前时钟周期数据相对于所述上一时钟周期数据的变化方式;

所述第二编码电路用于对所述变化方式进行处理,得到所述Flip信号、所述Rotation信号和所述Polarity信号。

5. 如权利要求4所述的输入信号解码电路,其特征在于,所述变化方式包括顺时针方向旋转、逆时针方向旋转、极性翻转、顺时针方向旋转并极性翻转、逆时针方向旋转并极性翻转。

6. 如权利要求4所述的输入信号解码电路,其特征在于,所述采样电路包括依次串联的第一触发器、第二触发器和第一反相器、依次串联的第三触发器、第四触发器和第二反相器、依次串联的第五触发器、第六触发器和第三反相器,其中:

所述第一触发器用于接收所述第一数据信号,并根据所述工作时钟信号输出一个所述当前时钟周期数据,所述第二触发器和所述第一反相器依次输出一个所述上一时钟周期数据和一个所述反相数据;

所述第三触发器用于接收所述第二数据信号,并根据所述工作时钟信号输出一个所述当前时钟周期数据,所述第四触发器和所述第二反相器依次输出一个所述上一时钟周期数据和一个所述反相数据;

所述第五触发器用于接收所述第三数据信号,并根据所述工作时钟信号输出一个所述当前时钟周期数据,所述第六触发器和所述第三反相器依次输出一个所述上一时钟周期数据和一个所述反相数据。

一种MIPI C-Phy RX端的输入信号解码电路

技术领域

[0001] 本申请涉及移动通信技术领域,更具体地说,涉及一种MIPI C-Phy RX端的输入信号解码电路。

背景技术

[0002] MIPI(mobile industry processor interface)是移动行业处理器接口,是MIPI联盟发起的为移动设备应用的处理器制定的开放标准和规范。C-Phy是MIPI最新的一种接口协议,不同于MIPI之前的D-Phy、M-Phy使用两根线组成的差分信号传输方式,C-Phy采用三根线传输信号,三根线上的电压不同,得到不同的线上状态Wire State。TX端会根据需要传输的16bit真实数据通过查表映射转换层21bit数据,21bit包含7个3bit串行字符symbol。如果需要将该7个symbol传输至RX端,需要控制线上状态进行7次跳变。

[0003] 在RX端从与其相连接的信号线上接收到信号后,必须对其进行解码处理才能得到TX端输出的3bit串行字符,从而使MIPI进行正常的通信。

发明内容

[0004] 有鉴于此,本申请提供一种MIPI C-Phy RX端的输入信号解码电路,用于对MIPI的RX端接收到的输入信号进行解码处理,以得到TX端输出的3bit串行字符,从而进行正常的通信。

[0005] 为了实现上述目的,现提出的方案如下:

[0006] 一种MIPI C-Phy RX端的输入信号解码电路,包括均衡电路模块、时钟恢复电路模块、解码电路模块和串并转换模块,其中:

[0007] 所述均衡电路模块与MIPI的TX端通过三条信号线相连接,用于对所述信号线上的信号进行采样,得到第一数据信号、第二数据信号和第三数据信号;

[0008] 所述时钟恢复电路模块用于根据所述第一数据信号、所述第二数据信号和所述第三数据信号解析出工作时钟信号;

[0009] 所述解码电路模块用于根据所述第一数据信号、所述第二数据信号、所述第三数据信号和所述工作时钟信号输出Flip信号、Rotation信号和Polarity信号;

[0010] 所述串并转换模块用于根据所述Flip信号、所述Rotation信号和所述Polarity信号输出3bit串行字符。

[0011] 可选的,所述均衡电路模块包括阻值相同的第一电阻、第二电阻和第三电阻,还包括第一运放电路、第二运放电路和第三运放电路,其中:

[0012] 所述第一电阻的一端、所述第二电阻的一端、所述第三电阻的一端相连接,构成星形电路;

[0013] 所述第一运放电路的正相输入端与所述三条信号线中的第一信号线、所述第一电阻的另一端、所述第三运放电路的反相输入端相连接,所述第一运放电路的反相输入端与所述三条信号线中的第二信号线相连接,所述第一运放电路的输出端用于输出所述第一数

据信号；

[0014] 所述第二运放电路的正相输入端与所述第二信号线、所述第二电阻的另一端、所述第一运放电路的反相输入端相连接，所述第二运放电路的反相输入端与所述三条信号线中的第三信号线相连接，所述第二运放电路的输出端用于输出所述第二数据信号；

[0015] 所述第三运放电路的正相输入端与所述第三信号线、所述第三电阻、所述第二运放电路的反相输入端相连接，所述第三运放电路的输出端用于输出所述第三数据信号。

[0016] 可选的，所述第一电阻、所述第二电阻和所述第三电阻的阻值均为 $50\ \Omega$ 。

[0017] 可选的，所述解码电路模块包括采样电路、第一编码电路和第二编码电路，其中：

[0018] 所述采样电路用于利用所述工作时钟信号分别对所述第一数据信号、所述第二数据信号和所述第三数据信号进行采样，得到3个当前时钟周期数据、3个上一时钟周期数据和3个上一时钟周期数据的反相数据；

[0019] 所述第一编码电路用于对所述3个当前时钟周期数据、所述3个上一时钟周期数据和所述3个上一时钟周期数据的反相数据进行异或处理，得到所述当前时钟周期数据相对于所述上一时钟周期数据的变化方式；

[0020] 所述第二编码电路用于对所述变化方式进行处理，得到所述Flip信号、所述Rotation信号和所述Polarity信号。

[0021] 可选的，所述变化方式包括顺时针方向旋转、逆时针方向旋转、极性翻转、顺时针方向旋转并极性翻转、逆时针方向旋转并极性翻转。

[0022] 可选的，所述采样电路包括依次串联的第一触发器、第二触发器和第一反相器、依次串联的第三触发器、第四触发器和第二反相器、依次串联的第五触发器、第六触发器和第三反相器，其中：

[0023] 所述第一触发器用于接收所述第一数据信号，并根据所述工作时钟信号输出一个所述当前时钟周期数据，所述第二触发器和所述第一反相器依次输出一个所述上一时钟周期数据和一个所述反相数据；

[0024] 所述第三触发器用于接收所述第二数据信号，并根据所述工作时钟信号输出一个所述当前时钟周期数据，所述第四触发器和所述第二反相器依次输出一个所述上一时钟周期数据和一个所述反相数据；

[0025] 所述第五触发器用于接收所述第三数据信号，并根据所述工作时钟信号输出一个所述当前时钟周期数据，所述第六触发器和所述第三反相器依次输出一个所述上一时钟周期数据和一个所述反相数据。

[0026] 从上述的技术方案可以看出，本申请公开了一种MIPI C-Phy RX端的输入信号解码电路，包括均衡电路模块、时钟恢复电路模块和解码电路模块。均衡电路模块与MIPI的TX端通过三条信号线相连接，用于对信号线上的信号进行采样，得到第一数据信号、第二数据信号和第三数据信号；时钟恢复电路用于根据第一数据信号、第二数据信号和第三数据信号解析出工作时钟信号；解码电路模块用于根据第一数据信号、第二数据信号、第三数据信号和工作时钟信号输出Flip信号、Rotation信号和Polarity信号，Flip信号、Rotation信号和Polarity信号用于输出到MIPI的串并转换电路得到3bit串行字符。通过上述的电路对TX端输出的信号进行变换，最终得到3bit串行字符，恢复出TX端数据从而使MIPI能够进行正常的通信。

附图说明

[0027] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0028] 图1为本申请实施例提供的一种MIPI C-Phy RX端的输入信号解码电路的电路图;

[0029] 图2为本申请实施例的采样电路的电路图;

[0030] 图3为本申请实施例的第一编码电路的电路图;

[0031] 图4为本申请实施例的第二编码电路的电路图。

具体实施方式

[0032] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0033] 实施例

[0034] 图1为本申请实施例提供的一种MIPI C-Phy RX端的输入信号解码电路的电路图。

[0035] 如图1所示,本实施例输入信号解码电路通过3条信号线与TX端相连接,用于对TX端输出的信号进行解码,根据TX端输出的3bit串行字符进行转换,从而得到21bit并行数据。该电路具体包括均衡电路模块10、时钟恢复电路模块20、解码电路模块30和并串转换模块40。

[0036] 均衡电路模块与MIPI的TX端的三条信号线相连接,用于对信号线上的信号进行采样,从而得到第一数据信号Data_A、第二数据信号Data_B和第三数据信号Data_C。

[0037] C-Phy中并没有专用的时钟通道,鉴于时钟信息包含在信号线所传输的数据中,因此需要利用时钟恢复电路模块从中得到该工作时钟信号。该时钟恢复电路模块与均衡电路模块的输出端相连接,用于对上述第一数据信号 Data_A、第二数据信号Data_B和第三数据信号Data_C进行处理,从中得到工作时钟信号Seril_Clk(串行clk,sclk)。

[0038] 解码电路模块用于对第一数据信号Data_A、第二数据信号Data_B、第三数据信号Data_C和工作时钟信号输出Flip信号、Rotation信号和Polarity信号。

[0039] 串并转换模块用于对解码电路模块输出的Flip信号、Rotation信号和Polarity信号进行串并转换,得到并输出21bit并行数据。

[0040] 从上述技术方案可以看出,本实施例提供了一种MIPI C-Phy RX端的输入信号解码电路,包括均衡电路模块、时钟恢复电路模块和解码电路模块。均衡电路模块与MIPI的TX端通过三条信号线相连接,用于对信号线上的信号进行采样,得到第一数据信号、第二数据信号和第三数据信号;时钟恢复电路用于根据第一数据信号、第二数据信号和第三数据信号解析出工作时钟信号;解码电路模块用于根据第一数据信号、第二数据信号、第三数据信号和工作时钟信号输出Flip信号、Rotation信号和Polarity信号,Flip信号、Rotation信号和Polarity信号用于输出到MIPI的串并转换电路得到21bit并行数据。通过上述的电路对TX端输出的信号进行变换,最终得到21bit并行数据,恢复出TX端数据,从而使MIPI能够

进行正常的通信。

[0041] 本实施例中的均衡电路模块10包括第一电阻R1、第二电阻R2、第三电阻R3、第一运放电路11、第二运放电路12和第三运放电路。其中，第一电阻的一端、第二电阻的一端、第三电阻的一端相连接，三个电阻构成星形电路，每个电阻的阻值均为50Ω。

[0042] 第一运放电路的正相输入端与三条信号线中的第一信号线A、第一电阻的另一端、第三运放电路的反相输入端相连接，第一运放电路的反相输入端与三条信号线中的第二信号线B相连接，第一运放电路的输出端用于输出第一数据信号。

[0043] 第二运放电路的正相输入端与第二信号线B、第二电阻的另一端、第一运放电路的反相输入端相连接，第二运放电路的反相输入端与三条信号线中的第三信号线C相连接，第二运放电路的输出端用于输出第二数据信号。

[0044] 第三运放电路的正相输入端与第三信号线C、第三电阻的另一端、第二运放电路的反相输入端相连接，第三运放电路的输出端用于输出第三数据信号。

[0045] 本实施例中的解码电路模块包括采样电路31、第一编码电路和第二编码电路。

[0046] 该采样电路包括依次串联的第一触发器311、第二触发器312和第一反相器313、依次串联的第三触发器314、第四触发器315和第二反相器316、依次串联的第五触发器317、第六触发器318和第三反相器319，如图2所示。其用于利用工作时钟信号分别对第一数据信号、第二数据信号和第三数据信号进行采样，得到3个当前时钟周期数据A_d0、B_d0和C_d0，还得到3个上一时钟周期数据A_d1、B_d1和C_d1，且进一步得到3个反相数据A_d1_b、B_d1_b和C_d1_b。

[0047] 第一触发器用于接收第一数据信号，并根据工作时钟信号输出一个当前时钟周期数据A_d0，第二触发器和第一反相器依次输出一个上一时钟周期数据A_d1和一个反相数据A_d1_b；第三触发器用于接收第二数据信号，并根据工作时钟信号输出一个当前时钟周期数据B_d0，第四触发器和第二反相器依次输出一个上一时钟周期数据B_d1和一个反相数据B_d1_b；第五触发器用于接收第三数据信号，并根据工作时钟信号输出一个当前时钟周期数据C_d0，第六触发器和第三反相器依次输出一个上一时钟周期数据C_d1和一个反相数据C_d1_b。

[0048] 第一编码电路用于对3个当前时钟周期数据、3个上一时钟周期数据和3个反相数据进行异或处理，得到当前时钟周期数据相对于所述上一时钟周期数据的变化方式，具体电路如图3所示。变化方式包括顺时针方向旋转CW0、逆时针方向旋转CCW0、极性翻转FLIP0、顺时针方向旋转并极性翻转CW_POLO、逆时针方向旋转并极性翻转CCW_POLO。

[0049] 第二编码电路用于对所述变化方式进行处理，得到所述Flip信号、所述Rotation信号和所述Polarity信号，具体如图4所示。

[0050] 本说明书中的各个实施例均采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似的部分互相参见即可。

[0051] 本领域内的技术人员应明白，本申请实施例的实施例可提供为方法、装置、或计算机程序产品。因此，本申请实施例可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本申请实施例可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

[0052] 本申请实施例是参照根据本申请实施例的方法、终端设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理终端设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理终端设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0053] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理终端设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0054] 这些计算机程序指令也可装载到计算机或其他可编程数据处理终端设备上,使得在计算机或其他可编程终端设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程终端设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0055] 尽管已描述了本申请实施例的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例做出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本申请实施例范围的所有变更和修改。

[0056] 最后,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者终端设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者终端设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者终端设备中还存在另外的相同要素。

[0057] 以上对本申请所提供的技术方案进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;同时,对于本领域的一般技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

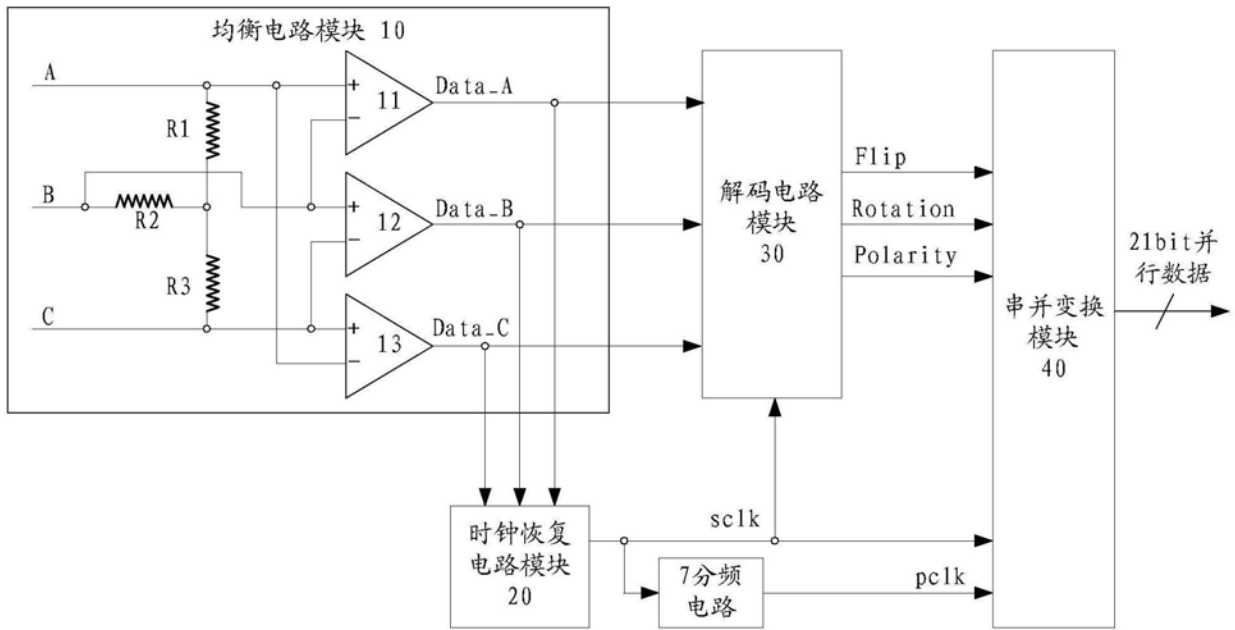


图1

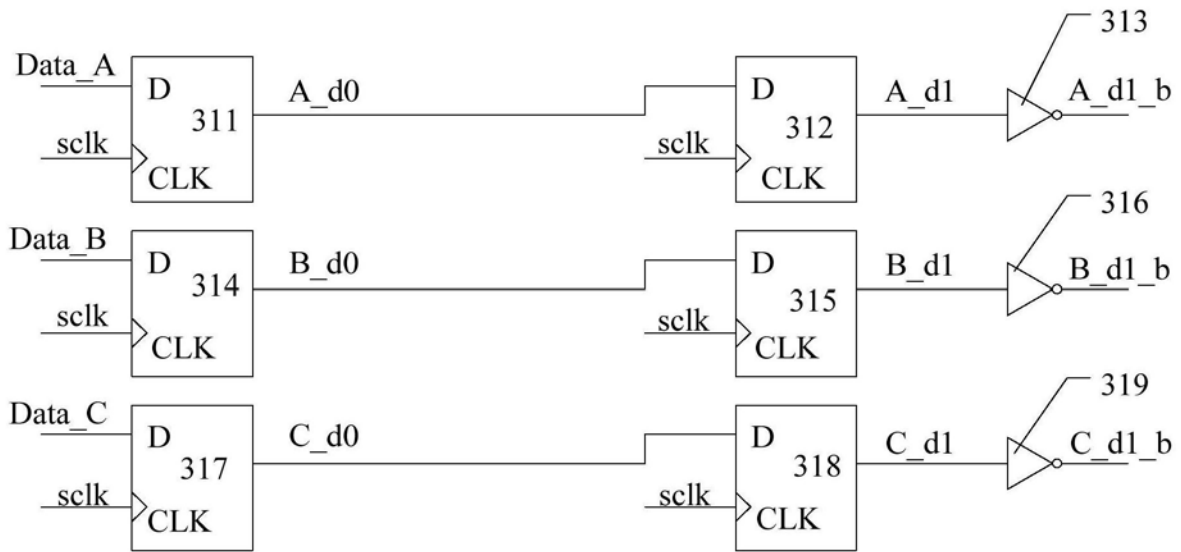


图2

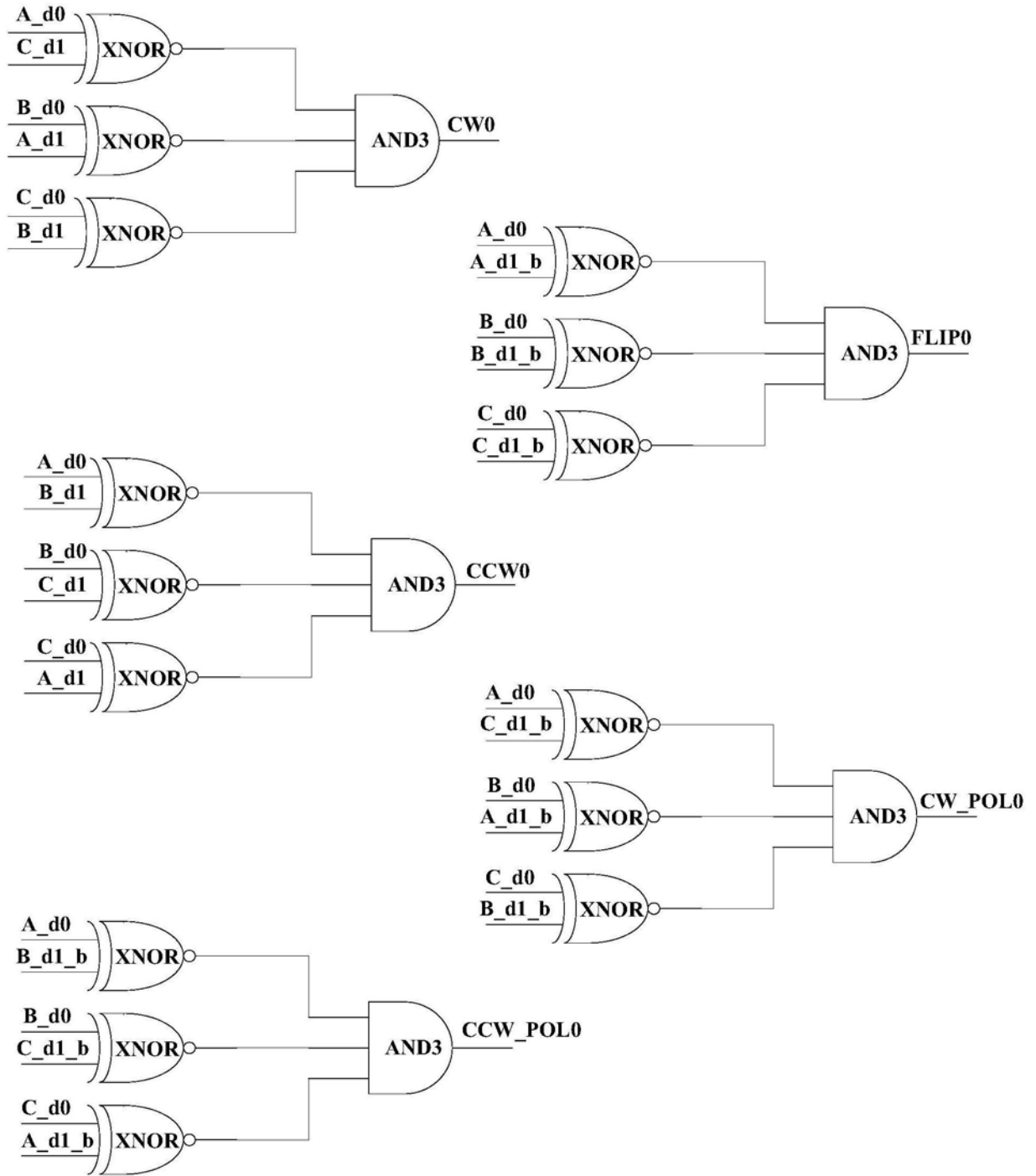


图3

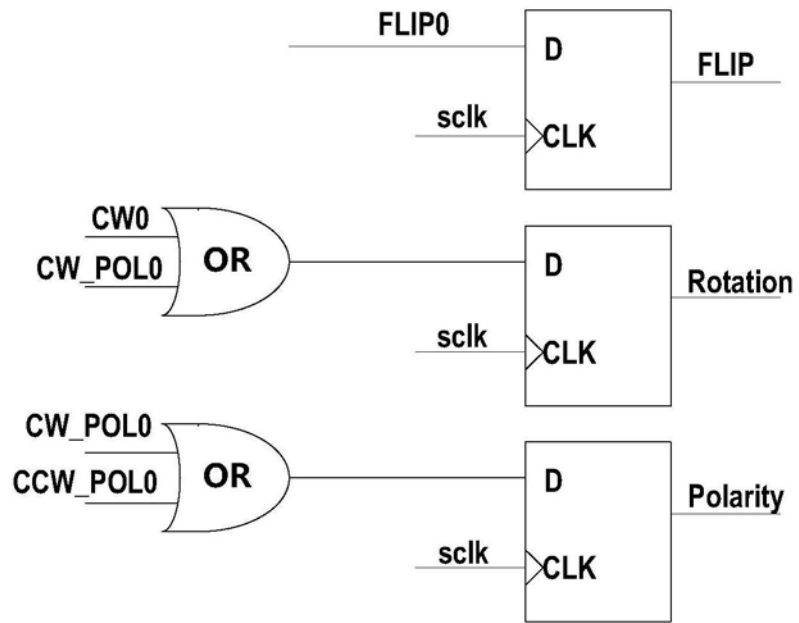


图4