

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(à n'utiliser que pour les
commandes de reproduction)

2 884 351

②¹ N° d'enregistrement national :

⑤¹ Int C⁸: H 01 L 27/146 (2006.01), H 01 L 21/266

A1

②② Date de dépôt : 11.04.05.

③③ Priorité :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

④3 Date de mise à la disposition du public de la demande : 13.10.06 Bulletin 06/41.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

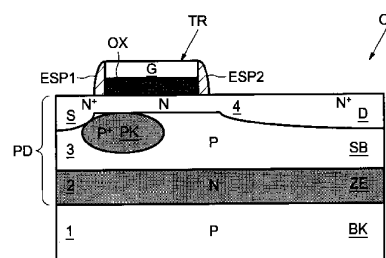
(72) Inventeur(s) : ROY FRANCOIS, TOURNIER ARNAUD et MARCELLIER YANN.

73 Titulaire(s) :

⑦④ Mandataire(s) : CASALONGA ET JOSSE.

54 PROCÉDE DE FABRICATION D'UN CIRCUIT INTEGRE COMPRENANT UNE PHOTODIODE ET CIRCUIT INTEGRE CORRESPONDANT.

57 Procédé de fabrication d'un circuit intégré (CI) comprenant la réalisation d'une photodiode (PD) comportant la formation d'un empilement de trois couches semi-conductrices et la formation d'une zone de stockage surdopée (PK) dans la deuxième couche de l'empilement, et la réalisation d'un transistor de lecture (TR) comportant la formation d'une grille (G) au-dessus de l'empilement. La formation de la zone de stockage (PK) comprend la réalisation d'un masque d'implantation (MS) au-dessus de la grille et de l'empilement et possédant une ouverture découvrant une partie de la grille et une partie de la surface supérieure de l'empilement située à côté de ladite partie découverte de la grille, et une première implantation oblique (IMP1) de dopants à travers ladite ouverture.



FR 2 884 351 - A1



**Procédé de fabrication d'un circuit intégré
comprenant une photodiode et circuit intégré correspondant.**

5 L'invention concerne la microélectronique, notamment les circuits intégrés comportant des photodiodes.

 Les capteurs d'images à base de composants semi-conducteurs tirent profit du principe de la conversion des photons en paires électrons/trous dans le silicium. Plus précisément, les charges créées
10 dans les zones photosensibles sont stockées dans la photodiode et sont ensuite lues grâce à un système électronique. Ce système électronique qui commande la photodiode, comporte notamment un transistor de lecture réalisant la conversion des charges stockées dans la photodiode en grandeur électrique.

15 L'invention s'applique avantageusement mais non limitativement aux capteurs d'images CMOS, et plus particulièrement aux capteurs VMIS (« Vth Modulation Image Sensor » en langue anglaise) qui sont des capteur d'images s'appuyant sur la modulation de la tension de seuil d'un transistor MOS. On pourra à ce sujet se référer à l'article de
20 Takashi Miida (T. Miida et al., « A 1.5 Mpixel Imager with Localized Hole-Modulation Method, ISSCC Dig. Tech. Pap., pp. 42-43, Feb. 2002).

 Ce type de transistor CMOS est constitué d'une photodiode enterrée et d'un transistor MOS légèrement modifié du fait que son substrat est un substrat flottant, c'est-à-dire qu'on ne peut accéder à son
25 potentiel par l'intermédiaire d'une électrode par exemple. Ce substrat flottant joue le rôle de zone de stockage de charges lors de l'intégration de celles-ci, c'est-à-dire lorsque la lumière incidente génère des paires électrons-trous dans les zones photosensibles.

Plus précisément, le stockage des charges peut se faire dans une zone particulière, fortement dopée et située sous la grille à l'intérieur du substrat flottant, cette zone surdopée étant appelée « pocket » selon une dénomination anglosaxonne couramment utilisée par l'homme du métier.

5 Les paramètres de cette zone particulière, comme par exemple son dopage, sa position relative par rapport à la source et à la grille, sont fondamentaux étant donné que cette zone de stockage est à la base de tous les modes de fonctionnement du pixel : l'intégration, la modulation et le rafraîchissement. Par conséquent, les performances du dispositif
10 découlent notamment des caractéristiques de cette zone particulière.

Plus particulièrement, la localisation de celle-ci vis-à-vis du canal côté source dans le cas d'un montage dit en suiveur (« source follower » en langue anglaise) est le catalyseur de l'amplification du signal lors de la phase de lecture.

15 Classiquement, l'implantation de la zone dite « pocket » est réalisée selon la technique du masquage. On réalise un masque sur l'empilement de couches semi-conductrices formant la photodiode, à l'exception d'une zone découverte où l'on réalise par une implantation standard la zone de stockage. Une fois celle-ci réalisée, on forme les
20 régions de grille puis de source et de drain.

Cependant, la technique du masquage présente l'inconvénient majeur d'une mauvaise maîtrise du positionnement relatif de cette zone de stockage par rapport à la source et au drain. En effet, la photolithographie responsable de l'ouverture du masque avant
25 l'implantation et la photolithographie responsable de la gravure de la grille présentent de nombreuses incertitudes. Par conséquent, il est impossible de contrôler la position relative de la zone de stockage vis-à-vis du canal du transistor et donc de maîtriser la localisation de celle-ci par rapport à la source.

Ces incertitudes technologiques entraînent un problème de reproductibilité des paramètres critiques de la photodiode, d'un pixel à l'autre. Plus précisément, étant donné que l'on ne maîtrise pas la localisation exacte de la zone de stockage sous la grille, les
5 performances peuvent varier d'un pixel à l'autre.

En outre, lors d'une réalisation classique de la zone de stockage, celle-ci est formée au début du processus de réalisation de la photodiode, ce qui implique un risque élevé de diffusion des atomes dopants de la zone de stockage lors des différents recuits des phases de réalisation de
10 la grille. L'invention vise à apporter une solution à ce problème et propose une solution différente pour réaliser la zone de stockage.

Selon un premier aspect de l'invention, il est proposé un procédé de fabrication d'un circuit intégré comprenant la réalisation d'une photodiode comportant la formation d'un empilement de trois couches
15 semi-conductrices et la formation d'une zone de stockage surdopée dans la deuxième couche de l'empilement, et la réalisation d'un transistor de lecture comportant la formation d'une grille au-dessus de l'empilement.

Selon une caractéristique générale de ce premier aspect de l'invention, la formation de la zone de stockage comprend la réalisation
20 d'un masque d'implantation au-dessus de la grille et de l'empilement. Ce masque possède une ouverture découvrant une partie de la grille et une partie de la surface supérieure de l'empilement situé à côté de ladite partie découverte de la grille. Puis, on réalise une première implantation oblique du dopant à travers ladite ouverture.

25 En d'autres termes, la zone de stockage (« pocket ») est réalisée en procédant à une implantation oblique après la formation de la grille du transistor de lecture. On contrôle alors l'implantation des atomes dopants selon un angle d'attaque, de façon à déposer les dopants sous la grille. Ainsi, la zone de stockage est auto alignée par rapport à la grille ce qui

permet d'avoir la même localisation de la zone de stockage au même endroit sous la grille, d'un pixel à l'autre.

Selon un mode de réalisation, on réalise une zone semi-conductrice d'électrode par exemple la zone de source par une deuxième
5 implantation verticale à côté de la partie de la grille n'ayant pas été masquée, ladite grille servant de masque pour la deuxième implantation.

Selon ce mode de réalisation, la zone de stockage est réalisée juste avant ladite zone semi-conductrice d'électrode ce qui permet de limiter les problèmes de diffusion présents dans les solutions antérieures.

10 De préférence, l'angle d'implantation des dopants pour la réalisation de la zone de stockage est supérieur à 25° par rapport à la verticale, de façon que la zone de stockage vienne au contact de ladite zone semi-conductrice d'électrode réalisée par la deuxième implantation.

L'angle d'implantation utilisé lors de la réalisation de la zone de
15 stockage est très supérieur aux angles d'implantation classiquement utilisés. Cette valeur d'angle permet de réaliser une zone de stockage à la fois située sous la grille et s'étendant en dehors de la grille de façon qu'elle puisse venir en contact de la zone de source. En réalisant la zone de source au plus près de la zone de stockage, on améliore le facteur de
20 conversion de la photodiode.

Selon un autre aspect de l'invention, il est proposé un circuit intégré comprenant dans et sur un substrat semi-conducteur un transistor de lecture et une photodiode comportant une couche semi-conductrice et une zone de stockage des charges plus fortement dopées que la couche
25 semi-conductrice.

Selon une caractéristique générale de cet autre aspect de l'invention, la zone de stockage s'étend partiellement sous la grille et partiellement à l'extérieur de la grille.

De préférence, une zone semi-conductrice d'électrode, par exemple la zone de source, située du côté de la grille où s'étend la zone de stockage vient au contact de ladite zone de stockage.

Selon un mode de mise en œuvre, pour un circuit intégré
5 comprenant une pluralité de transistors de lecture et de photodiode, chaque zone de stockage est située au même endroit sous la grille de chaque transistor.

L'invention propose également un capteur d'images comprenant au moins un pixel associé à un circuit intégré tel que défini ci-avant.

10 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée d'un mode de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur lesquels :

- la figure 1 illustre de façon schématique un capteur d'image selon l'invention, formé de plusieurs cellules équipées de photodiodes, selon l'invention,
15
- la figure 2 représente un mode de réalisation d'un circuit intégré selon l'invention,
- les figures 3 à 7 illustrent schématiquement les principales étapes d'un mode de mise en œuvre du procédé de fabrication selon l'invention.
20

Sur la figure 1, la référence CIM désigne d'une façon générale un capteur d'image formé d'une matrice de cellules (ou pixels) PX_i , comportant chacune une photodiode PD ainsi qu'un transistor de lecture TR, connectés à la photodiode PD. Chaque cellule PX_i peut comprendre
25 des moyens de commande complémentaires connectés au transistors de lecture TR, par exemple un transistor de remise à zéro, un transistor de sélection et un transistor suiveur.

La figure 2 illustre plus en détail la structure semi conductrice de la photodiode PD d'une cellule PX_i .

La référence CI désigne un circuit intégré selon un mode de réalisation de l'invention, comprenant la photodiode PD formée sur une couche 1 de substrat BK (« bulk » en langue anglaise), ici dopée P et constituant le support du circuit intégré. Le circuit intégré CI comprend
5 également le transistor de lecture TR d'une cellule PX_i .

La photodiode PD comprend un empilement de couches semi-conductrices réalisées au-dessus de la couche 1 de support.

La couche BK est surmontée d'une autre couche semi-conductrice 2 ici dopée N qui forme une zone enterrée ZE c'est-à-dire
10 une barrière pour les charges photo générées.

La zone enterrée ZE est surmontée d'une couche de substrat 3, qui est ici un substrat flottant SB c'est-à-dire une zone fermée dont on ne peut modifier ou accéder au potentiel à l'aide par exemple d'une électrode.

15 Le substrat flottant SB comprend une zone de stockage PK surdopée P+, (« pocket »). En effet, au lieu de stocker les charges photo générées dans l'ensemble du substrat SB, celles-ci sont stockées dans la zone de stockage PK localisée. De cette façon, on uniformise l'influence de chaque charge, c'est-à-dire que chaque charge peut générer la même
20 valeur de tension.

Le circuit intégré CI comprend une dernière couche 4, ici dopée N, de façon à réaliser la photodiode PD.

Cette dernière couche 4 dopée N permet de réaliser la source S et le drain D du transistor de lecture TR, les deux zones étant dopées N+.

25 Dans le cas d'un capteur d'images CMOS, un transistor de lecture est associé à un pixel du capteur.

Au-dessus de l'empilement de couches semi-conductrices se trouve la grille G du transistor de lecture TR qui est isolée de l'empilement de couches semi-conductrices par une couche d'oxyde OX.

En outre, le transistor de lecture TR comprend deux espaceurs ESP1 et ESP2 de chaque côté de la grille G.

La photodiode PD est donc ici formée de trois couches définissant deux jonctions PN (diode), à savoir une jonction supérieure formée par la
5 couche 4 dopée N et la couche 3 dopée P, formant le substrat SB, et une jonction inférieure formée de la couche 3 et de la couche 2 de la zone enterrée ZE.

La dernière couche 1 formant le substrat « bulk » BK sert de support et une polarité fixée et constante.

10 On se réfère à présent plus particulièrement aux figures 2 à 5, qui décrivent les principales étapes d'un mode de mise en œuvre du procédé selon l'invention.

Après avoir réalisé l'empilement de couches semi-conductrices 1 à 4 de façon classique, on réalise (figure 3) la grille G du transistor de
15 lecture TR reposant sur la couche semi-conductrice 4 dopée N.

Puis, on dépose (figure 4) une couche de résine sur la couche 4 et sur la grille G. On définit ensuite par insolation et gravure de la résine une ouverture OV. On a par conséquent réalisé un masque de résine MS sur la couche 4 et une partie de la grille G. Seule l'ouverture OV issue de
20 la gravure de la résine, subsiste sur l'autre partie de la grille et la partie de la couche 4 adjacente à la partie non recouverte de la grille telle que représentée sur la figure 4. L'épaisseur du masque MS de résine est déterminée en fonction de la profondeur de l'implantation voulue.

Une fois ce masque MS réalisé, on procède à une première
25 implantation oblique IMP1 tel que l'angle d'implantation des dopants forme un angle supérieur à 25° avec la verticale, de préférence 30°.

L'homme du métier saura adapter la valeur maximale acceptable pour l'angle d'implantation en fonction de la hauteur du masque de

résine, de façon que l'implantation de la zone de stockage sous la grille puisse avoir lieu.

En choisissant un tel angle, on va pouvoir réaliser une zone de stockage PK située à la fois sous la grille et s'étendant à l'extérieur de la grille vers la partie découverte du masque MS.

Les doses d'implantation utilisées pour l'implantation IMP1 sont de l'ordre de $1 \text{ à } 2.10^{12} \text{ at/cm}^2$.

La profondeur de l'implantation IMP1 est de préférence de l'ordre de $0,1 \text{ à } 0,15 \mu\text{m}$.

Les dopants utilisés peuvent être par exemple le bore ou encore l'indium qui a pour avantage d'avoir une faible diffusion. Plus généralement, le procédé de dopage peut utiliser tout gaz dopant électriquement actif de type P dans ce cas ou de type N dans le cas d'un transistor à canal P (ou PMOS).

Comme on peut le voir sur la figure 5, à l'issue de l'implantation IMP1, on obtient une zone de stockage PK située sous la grille en fonction de l'ouverture réalisée dans le masque MS, et à l'extérieur de la grille, dans ce cas du côté de la zone de réalisation de la source S du transistor.

Comme on peut le voir sur la figure 6, on réalise ensuite une deuxième implantation IMP2 après avoir masqué la grille G, de façon à obtenir les zones de source S et de drain D dopées N+. Comme on peut le voir, la zone de source S arrive juste au contact de la zone de stockage PK réalisée précédemment. Si l'angle de l'implantation IMP1 avait été plus faible, la zone de stockage PK aurait alors été moins étalée et aurait perturbé la zone de source S.

Puis, on réalise de façon classique et connue en soi (figure 7) les espaceurs ESP1 et ESP2 du transistor TR au-dessus de la couche 4 sous les flancs de la grille G. Il est alors possible de réaliser une troisième

implantation IMP3 de façon à doper plus profondément les zones de source et de drain S et D.

5 En ayant réalisé la zone de stockage juste avant la formation des zones de source et de drain, on limite la diffusion des dopants de la zone de stockage PK qui peuvent perturber la polarisation de la source S. En effet, cette diffusion est accentuée lorsque la zone de stockage est réalisée avant la grille car elle subit les différents recuits nécessaires pour la formation de la grille.

10 L'homme du métier saura facilement adapter le procédé dans le cas de la réalisation d'une zone de stockage venant au contact du drain du transistor.

REVENDICATIONS

1. Procédé de fabrication d'un circuit intégré (CI) comprenant la réalisation d'une photodiode (PD) comportant la formation d'un empilement de trois couches semi-conductrices et la formation d'une zone de stockage surdopée (PK) dans la deuxième couche de l'emplacement, et la réalisation d'un transistor de lecture (TR) comportant la formation d'une grille (G) au-dessus de l'empilement, caractérisé par le fait que la formation de la zone de stockage (PK) comprend la réalisation d'un masque d'implantation (MS) au-dessus de la grille et de l'empilement et possédant une ouverture découvrant une partie de la grille et une partie de la surface supérieure de l'empilement située à côté de ladite partie découverte de la grille, et une première implantation oblique (IMP1) de dopants à travers ladite ouverture.

2. Procédé selon la revendication 1, caractérisé par le fait qu'on réalise une zone semi-conductrice d'électrode, par exemple la zone de source (S), par une deuxième implantation verticale (IMP2) à côté de la partie de la grille n'ayant pas été masquée, ladite grille servant de masque pour la deuxième implantation.

3. Procédé selon la revendication 1, caractérisé par le fait que l'angle d'implantation des dopants pour la réalisation de la zone de stockage est supérieur à 25° par rapport à la verticale, de façon que la zone de stockage (PK) vienne au contact de ladite zone semi-conductrice d'électrode réalisée par la deuxième implantation.

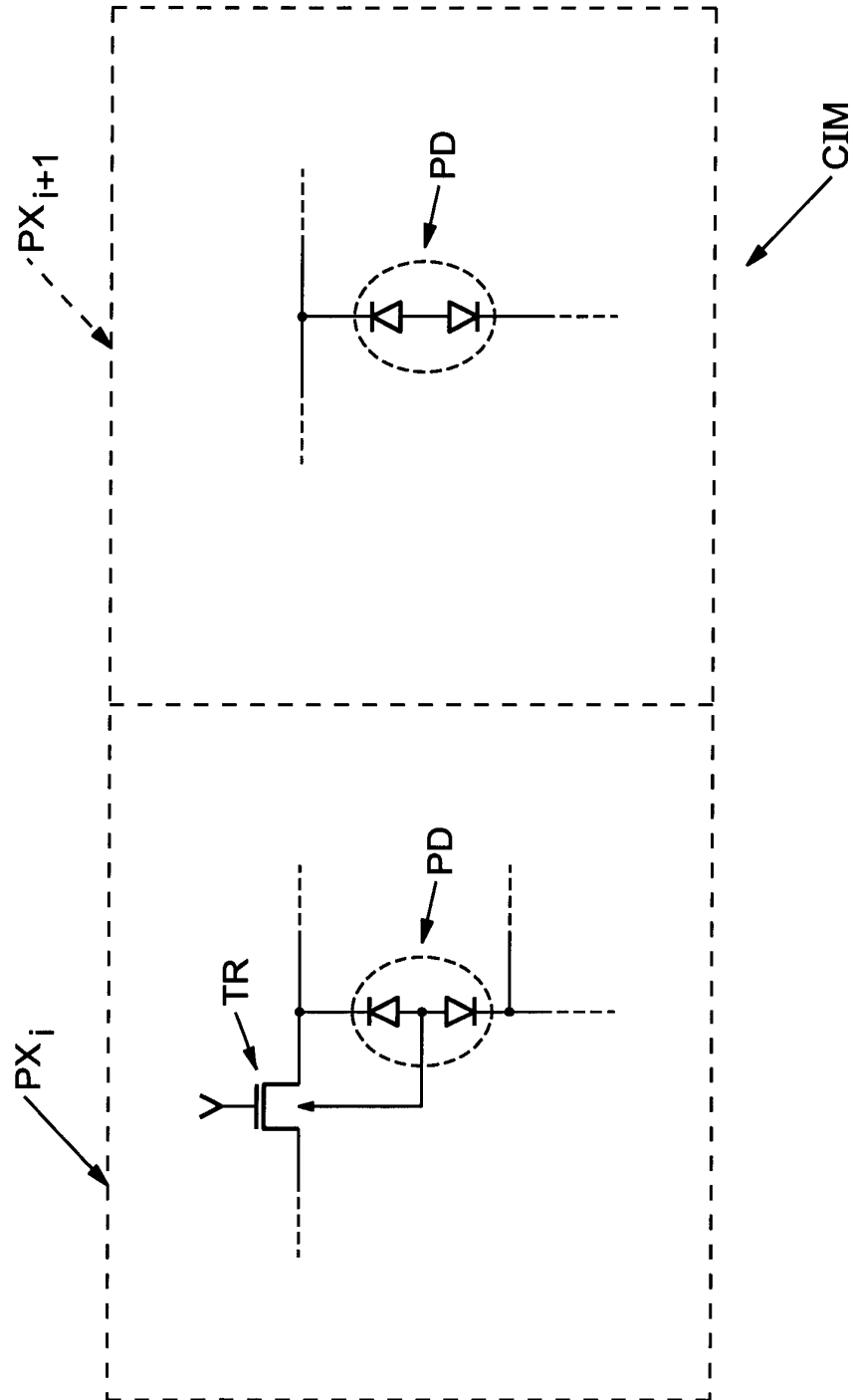
4. Circuit intégré comprenant dans et sur un substrat semi-conducteur un transistor de lecture (TR) et une photodiode (PD) comportant une couche semi-conductrice et une zone de stockage des charges plus fortement dopée que la couche semi-conductrice, caractérisé

par le fait que la zone de stockage (PK) s'étend partiellement sous la grille (G) et partiellement à l'extérieur de la grille (G).

5 5. Circuit selon la revendication 4, caractérisé par le fait qu'une zone semi-conductrice d'électrode, par exemple la zone de source (S), située du côté de la grille (G) où s'étend la zone de stockage (PK), vient au contact de ladite zone de stockage (PK).

10 6. Circuit selon la revendication 4 ou 5, comprenant une pluralité de transistors de lecture et de photodiodes, caractérisé par le fait que chaque zone de stockage (PK) est située au même endroit sous la grille de chaque transistor.

7. Capteur d'image caractérisé par le fait qu'il comprend au moins un pixel associé à un circuit intégré selon l'une quelconque des revendications 4 à 6.

FIG.1

2/4
FIG.2

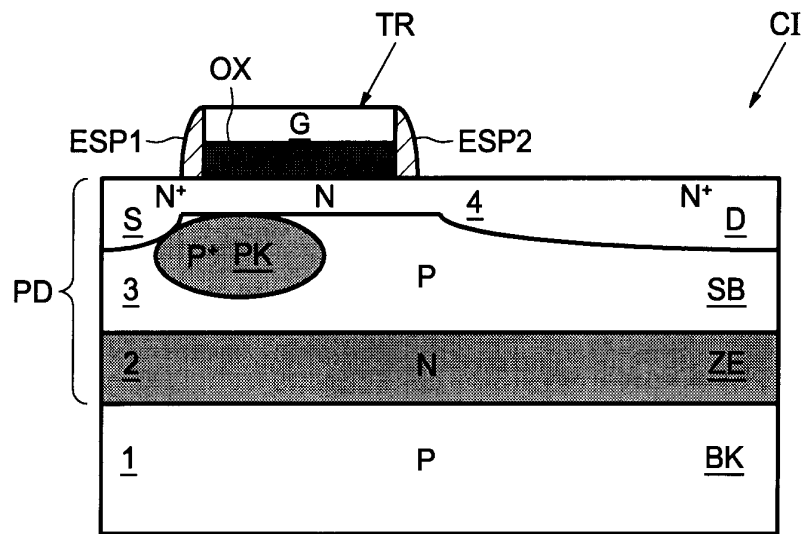
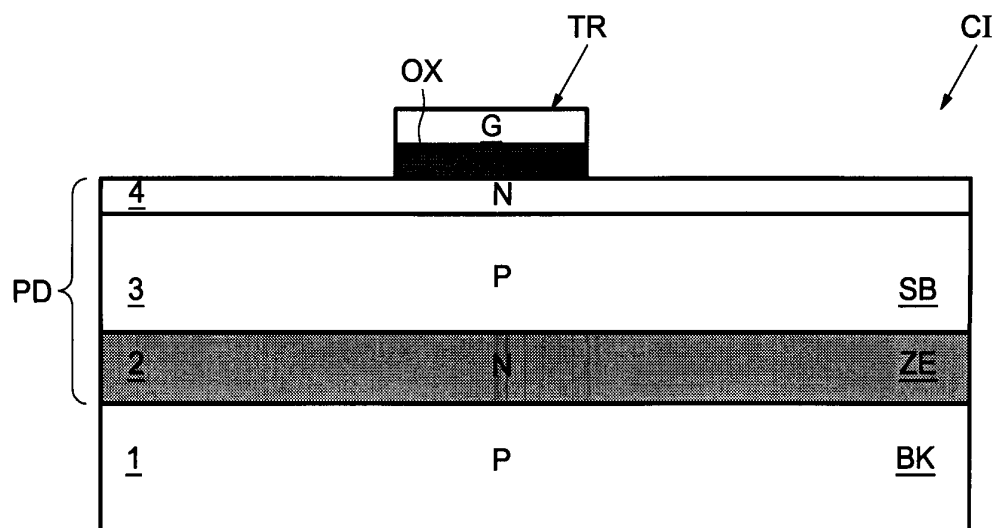


FIG.3



3/4
FIG.4

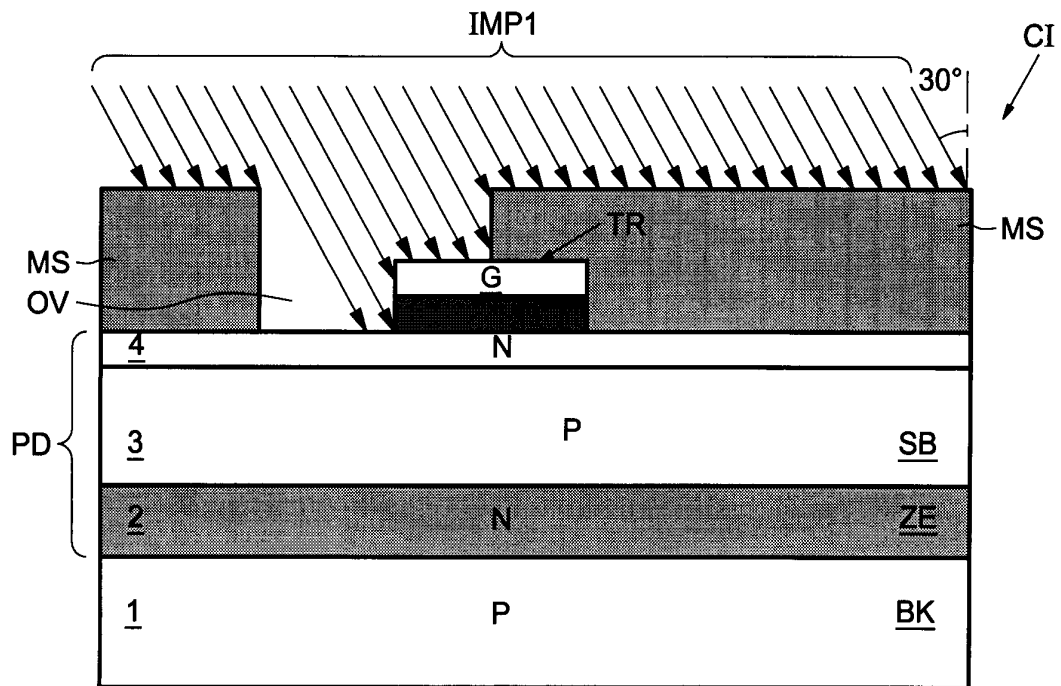
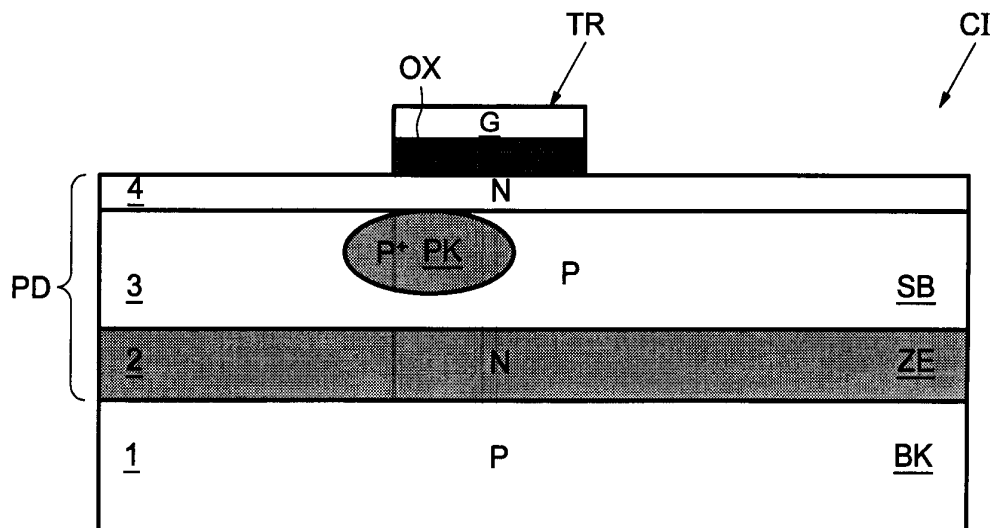


FIG.5



4/4
FIG.6

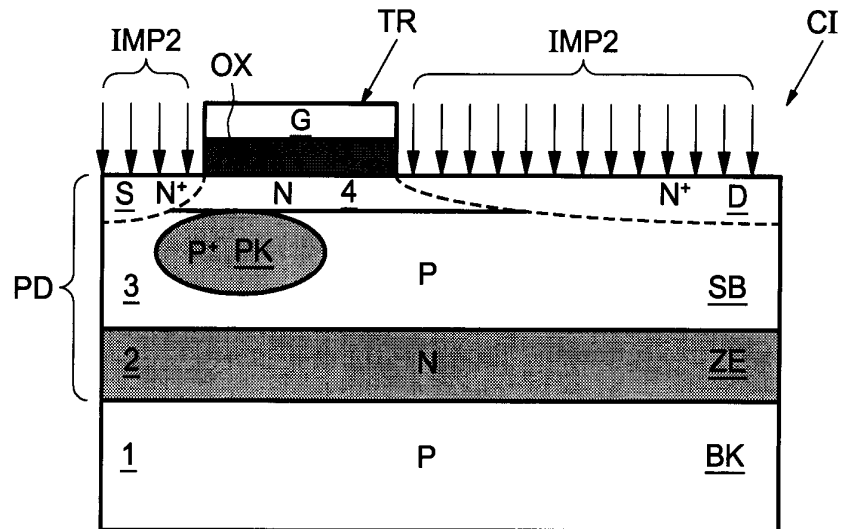
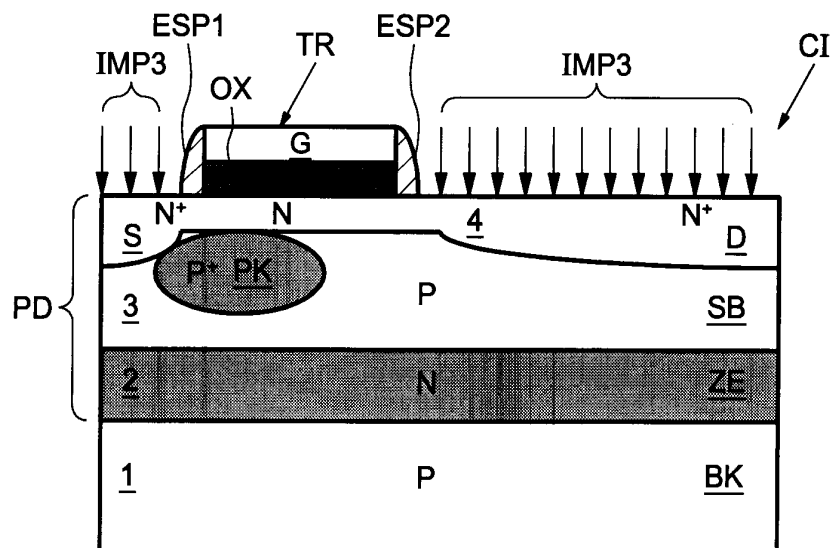


FIG.7





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 664993
FR 0503570

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2001/015468 A1 (MIIDA TAKASHI) 23 août 2001 (2001-08-23) * abrégé; figures 3,5 *	4,6,7	H01L27/146 H01L21/266
Y	-----	1-3	
X	US 2005/023553 A1 (RHODES HOWARD E) 3 février 2005 (2005-02-03) * alinéas [0066] - [0068], [0070]; figures 10-13 *	4,6,7	
Y	-----	1-3	
X	US 2004/017496 A1 (KOIZUMI TORU ET AL) 29 janvier 2004 (2004-01-29) * figures 6-10 *	4,6,7	
A	-----	1-3	
A	EP 1 517 375 A (FUJI PHOTO FILM CO., LTD) 23 mars 2005 (2005-03-23) * figure 1 *	1-3	

			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
26 janvier 2006		Voignier, V	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		 & : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0503570 FA 664993**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **26-01-2006**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2001015468 A1	23-08-2001	CN 1310478 A EP 1128437 A2	29-08-2001 29-08-2001
US 2005023553 A1	03-02-2005	US 2005098806 A1 WO 2005013370 A1	12-05-2005 10-02-2005
US 2004017496 A1	29-01-2004	AUCUN	
EP 1517375 A	23-03-2005	JP 2005093866 A US 2005064613 A1	07-04-2005 24-03-2005