

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92,120,947

※ 申請日期： 92.7.31 ※IPC 分類：H01L 21/02 (2006.01)

壹、發明名稱：(中文/英文)

減少在半導體裝置製造過程中圖案變形及光阻膜毒化之方法

METHOD FOR REDUCING PATTERN DEFORMATION AND
PHOTORESIST POISONING IN SEMICONDUCTOR DEVICE
FABRICATION

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 柯洛皮 丹尼爾 R COLLOPY, DANIEL R.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.

國 籍：(中文/英文) 美國 / US

參、發明人：(共 12 人)

姓 名：(中文/英文)

- | | |
|---------------|-----------------------|
| 1. 邦瑟 道格拉斯 J | BONSER, DOUGLAS J. |
| 2. 布萊特 馬里那 V | PLAT, MARINA V. |
| 3. 楊志宇 | YANG, CHIH YUH |
| 4. 貝爾 史考特 A | BELL, SCOTT A. |
| 5. 張大林 | CHAN, DARIN |
| 6. 菲雪 菲力普 A | FISHER, PHILIP A. |
| 7. 里昂 克里斯多夫 F | LYONS, CHRISTOPHER F. |
| 8. 張紹尊 | CHANG, MARK S. |

- | | |
|-------------------|--------------------------------|
| 9. 高培遠 | GAO, PEI-YUAN |
| 10. 懷特 馬林 I | WRIGHT, MARILYN I |
| 11. 尤路 | YOU, LU |
| 12. 達可辛那 馬西 新坎泰斯瓦 | DAKSHINA-MURTHY, SRIKANTESWARA |

住居所地址：(中文/英文)

1. 美國·德州 78735·奧斯汀·美格蒂那道 5336 號
5336 Magdalena Drive, Austin, TX 78735, U.S.A.
2. 美國·加州 95129·聖荷西·卡里達圈 4620 號
4620 Corrida Circle, San Jose, CA 95129, U.S.A.
3. 美國·加州 95129·聖荷西·小約翰道 1144 號
1144 Little John Way, San Jose, CA 95129, U.S.A.
4. 美國·加州 95128·聖荷西·火爐街 2313 號
2313 Stokes Street, San Jose, CA 95128, U.S.A.
5. 美國·加州 95008·太陽谷·坎貝爾·安東尼道 2054 號
2054 Anthony Drive, Campbell, Sunnyvale, CA 95008, U.S.A.
6. 美國·加州 94404·弗斯特市·切貝巷 730 號
730 Chebec Lane, Foster City, CA 94404, U.S.A.
7. 美國·加州 94539·弗蒙特·樂威克街 42681 號
42681 Lerwick Street, Fremont, CA 94539, U.S.A.
8. 美國·加州 94024·洛亞托斯·凡東大道 1881 號
1881 Famdon Avenue, Los Altos, CA 94024, U.S.A.
9. 美國·加州 95129·聖荷西·班托克巷 1083 號
1083 Bentoak Lane, San Jose, CA 95129, U.S.A.
10. 美國·德州 78749·奧斯汀·坦亞灣 7101 號
7101 Teya Court, Austin, TX 78749, U.S.A.
11. 美國·加州 95129·聖荷西·富萊爾道 5978 號
5978 Friar Way, San Jose, CA 95129, U.S.A.
12. 美國·德州 78759·奧斯汀·丘利米路·Apt.1423·10926 號
10926 Jollyville Road, Apt. 1423, Austin, TX 78759, U.S.A.

國籍：(中文/英文) 1. 加拿大/CA 2. 至 10. 美國/USA 11. 中國大陸/CN
12. 印度/IN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ V 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002 年 7 月 31 日 60/400,453 （主張優先權）
2. 美國 2002 年 12 月 30 日 10/334,392 （主張優先權）

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係有關於一種半導體製造過程，更詳而言之，係關於一種減少半導體裝置中圖案變形之方法。

【先前技術】

使用非晶形碳層作為硬質遮罩疊之一部份使 MOSFET 特徵結構圖案化已知有其好處，這是由於非晶形碳層之圖案化比常用之封蓋或保護物質如二氧化矽 (silicon oxide)，氮化矽 (silicon nitride) 和氮氧化矽 (silicon oxynitride) 更容易且有較高選擇性。第 1 圖顯示可用於形成 MOSFET 之包含非晶形碳之結構。該結構包含一半導體基體 2，具有界定 MOSFET 之源極/汲極區的場氧化物 (field oxide) 4。有一閘極絕緣物質層 6 如二氧化矽形成於基體上。有一閘極導電物質層 8 如雜摻多晶矽形成於基體上，並被圖案化以形成 MOSFET 之閘線。有一硬質遮罩疊包括一非晶形碳層 10 及一封蓋物質層 12 如氮氧化矽形成在閘極導電物質層 8 之上。用以將閘極圖案化之光阻膜遮罩 14 形成於氮氧化矽之封蓋物質層 12 上。在製造過程中，使用第一蝕刻將光阻膜遮罩圖案移轉到氮氧化矽層上，再使用第二蝕刻將氮氧化矽遮罩之圖案移轉到非晶形碳層上，使用第三蝕刻將氧化物從閘極導電物質層表面移除，並執行進一步的蝕刻，藉由使用氮氧化矽和非晶形碳圖案作為硬質遮罩蝕刻下面的閘極導電物質層。

第 1 圖結構的問題在於當多晶矽蝕刻時，非晶形碳與多晶矽閘極導電物質層相比具有較低的選擇性，造成在蝕

刻多晶矽時，同時也將非晶形碳蝕刻，因而使轉移圖案之劣化。針對此問題所提出的一個解決方法系將氮摻雜於非晶形碳中，增加其與多晶矽相比之選擇性。

惟，當裝置之大小變小時，氮摻雜方法會衍生出其它更為重要的問題。其中之一問題係來自非晶形碳之氮將光阻膜毒化的。毒化的形成係由於在沉積氮氧化矽時隨機發生的氮氧化矽封蓋層的小孔，小孔部分或全部地延伸於氮氧化矽層中，使來自非晶形碳之氮摻雜物能擴散至光阻膜。藉習知發展技術很難將毒化之光阻膜移除，所以毒化之光阻膜會降低光阻膜遮罩的品質。氮氧化矽封蓋膜變的越薄，則毒化問題越嚴重。

非晶形碳的第二個問題係蝕刻的非晶形碳從下層的多晶矽剝離。第 2a 圖和 2b 顯示此問題。第 2a 圖顯示圖案化非晶形碳條之上視圖。因為非晶形碳，多晶矽，和氮氧化矽的熱膨脹數不同，造成非晶形碳條受到壓縮力 16。當非晶形碳條的寬度相對於長度減少時，沿著條的長度之壓縮應力變的比橫過條的寬度之壓縮力明顯要大。只要氮氧化矽存在於非晶形碳條上，則壓縮力不會將條變形。但是，在普通的製程中，在圖案化非晶形碳後執行蝕刻將氧化物自多晶矽層移除，而該蝕刻通常移除大部分或全部在非晶形碳條上之氮氧化矽。在那時，非晶形碳條內部的壓縮力不再受到抑制，且非晶形碳自下層的多晶矽剝離並可能形成如第 2b 圖所示之彎曲圖案，使條變長而緩和壓縮力。該圖案會經過更進一步的蝕刻複製在多晶矽上，造成變形的

開道。該問題因為氮摻雜而更加的嚴重。

因此，需要一些方法來減少圖案變形及光阻膜毒化，同時維持想要的氮摻雜非晶形碳之蝕刻選擇性特性。

【發明內容】

本發明之一目的係減少在半導體裝置製造過程中圖案(pattern)的變形。

根據本發明之一較佳實施例，硬質遮罩疊(hardmask stack)包含交替的摻雜非晶形碳層和無摻雜非晶形碳層。無摻雜非晶形碳層係作為抑止摻雜非晶形碳層中壓縮應力影響用的緩衝層以防止剝離。提供上封蓋物質層給該疊。在封蓋物質層之下層最好係無摻雜非晶形碳層以減少光阻膜毒化(photoresist poisoning)。

根據本發明之第二較佳實施例，硬質遮罩疊包含交替的封蓋物質層和非晶形碳層之。該非晶形碳層可被摻雜或沒有被摻雜。封蓋物質層係作為抑止非晶形碳層中壓縮應力影響用的緩衝層以防止剝離。該疊的上層係由封蓋物質所組成。在封蓋層之下層最好係無摻雜非晶形碳層以減少光阻膜毒化。該硬質遮罩疊之最下層最好係非晶形碳層以促進利用灰化移除過程(ashing process)自底下物質移除該硬質遮罩疊。

【實施方式】

第 3a 圖和 3b 圖顯示根據本發明之第一較佳實施例在半導體裝置的製程中形成之結構。該結構包含一半導體基體 2，具有界定 MOSFET 之源極/汲極區的場氧化物(field oxide)4。有一閘極絕緣物質層 6 如二氧化矽和閘極導電物

質層 8 如雜摻多晶矽形成於該基體上，並將圖案化以形成 MOSFET 之閘極線和閘極絕緣物。在閘極導電物質層 8 之上形成一硬質遮罩疊包括一非晶形碳部分與下層之多晶矽形成接觸。非晶形碳部分具有間斷交替的摻雜非晶形碳層 22，含有摻雜物如氮，用以提高它相較於多晶矽之選擇性，以及無摻雜非晶形碳層 20，該無摻雜非晶形碳層 20 實質上不具有任何摻雜非晶形碳層 22 之提升蝕刻選擇性用之摻雜物。於硬質遮罩疊的非晶形碳部分上形成二氧化矽，氮化矽，或氮氧化矽之一封蓋物質層 12，以及將光阻膜遮罩(photoresist mask)14 形成於封蓋物質層 12 上，用以定義閘極線之圖案。硬質遮罩疊之總高度最好為約 500 埃。

第 3a 圖與第 1 圖結構不同之處在於將無摻雜非晶形碳層 20 與一層或一層以上之摻雜非晶形碳層 22 一起使用。無摻雜非晶形碳層 20 係作為用以抑止摻雜非晶形碳層 22 內之壓縮應力的緩衝層以防止剝離。根據本實施例，雖然可利用任何數量或順序之摻雜或無摻雜層，最好將無摻雜非晶形碳作為與封蓋層接觸之最上層以防止光阻膜毒化，並在最下層形成一無摻雜非晶形碳於底下之多晶矽上，俾以增加變形阻力。

第 3a 圖描述之非晶形碳部分的層係藉由獨立的製造步驟形成之間斷層。第 3a 圖之替代結構中，摻雜或無摻雜層可形成如第 3b 圖所示之不間斷層。這係藉由在單一不間斷的沉澱過程中改變摻雜源氣體流動率，於硬質遮罩疊的非晶形碳部分之中產生一具有想要坡度之摻雜物濃度分佈

(dopant profile)。

第 3a 圖和 3b 更進一步之結構可利用更多層的摻雜和無摻雜非晶形碳，並且可以將那些層以不同順序設置，例如，將摻雜非晶形碳形成於底下的多晶矽上。另外的實施例中，可使用替代之封蓋層如富矽氧化層(silicon rich oxide)，或富矽氮化層(silicon rich nitride)。在其他實施例中，該硬質遮罩結構可形成於將予以蝕刻之不同物質上，例如金屬線層，或可用於形成不同種類的圖案結構，例如一接點或互聯點。

第 4 圖顯示包含第一較佳實施例，上述提及之替代實施例，以及未實際說明之其它替代實施例之製造流程。一開始提供具有上層物質層的基體(步驟 30)。將硬質遮罩疊接著形成於該上層物質層上(步驟 32)。硬質遮罩疊包括有一非晶形碳部分接觸該物質層，而將封蓋層形成於非晶形碳部分上。非晶形碳部分包含有交替的摻雜非晶形碳層，具有提高與該物質層有關之蝕刻選擇性的摻雜物，以及實質上不含有任何摻雜物之非晶形碳。

接著形成一光阻膜遮罩於硬質遮罩上(步驟 34)。光阻膜遮罩可經由光阻膜修整過程加以修整。然後以光阻膜遮罩為最初之遮罩將硬質遮罩疊蝕刻，俾以形成用以將底下之物質圖案化之硬質遮罩(步驟 36)。

可以執行更進一步的製程如將物質上層圖案化並移除硬質遮罩。

第 5 圖顯示根據本發明之第二較佳實施例在半導體裝

置的製程中形成之結構。

第 5 圖之結構包含一半導體基體 2，具有界定 MOSFET 源極/汲極區的場氧化物(field oxide)4。在該基體上形成閘極絕緣物質層 6 如二氧化矽和閘極導電物質層 8 如雜摻多晶矽。閘極導電物質層 8 將被圖案化形成 MOSFET 之閘極線。在閘極導電物質層 8 之上形成一硬質遮罩疊(hardmask stack)，該硬質遮罩疊具有間斷交替的非晶形碳層 40 和一封蓋物質層 42 如二氧化矽，氮化矽和氮氧化矽。非晶形碳可為摻雜或非摻雜。在封蓋物質之上層形成一光阻膜遮罩 14 用以定義閘極線之圖案。硬質遮罩疊之總高度最好為約 500 埃。封蓋物質層之高度最好為約 20 至 50 埃。

第 5 圖與第 1 圖結構不同之處在於使用了複數層交替的非晶形碳和封蓋物質。封蓋物質層 42 係作為用以抑制非晶形碳層 40 內之壓縮應力的緩衝層以防止剝離。雖然通常將封蓋物質最上層蝕刻硬質遮罩時移除，但剩下的一層或多層封蓋物質會留下來抵止剝離。

最好硬質遮罩疊之最下層為非晶形碳，俾以藉灰化移除過程(ashing process)達成移除硬質遮罩，且將無摻雜非晶形碳作為最上層與封蓋層形成接觸以減少光阻膜毒化。但其他之實施例中，最下層可由封蓋物質組成，而最上層可為摻雜非晶形碳。在另外的實施例中，可使用替代之封蓋層如富矽氧化層，或富矽氮化層，而在同一硬質遮罩疊中可用不同的封蓋物質於不同層。在其他實施例中，該硬質遮罩結構可形成於將予以蝕刻之不同物質上，例如金屬

線層，或可用於形成不同種類的圖案結構，例如一接點或互聯點。

第 6 圖顯示包含第二較佳實施例，上述提及之替代實施例，以及未實際說明之其它替代實施例的製造流程。一開始提供一具有上層物質層的基體(步驟 50)。接著形成一硬質遮罩疊於該上層物質層上(步驟 52)。硬質遮罩疊包括有交替的封蓋物質層和非晶形碳層，包含至少一層第一上層封蓋物質，一層在第一上層封蓋物質之下的非晶形碳層，以及一層在非晶形碳層之下第二封蓋物質層。接著形成一光阻膜遮罩於硬質遮罩上(步驟 54)。光阻膜遮罩可經由光阻膜修整過程加以修整。然後以光阻膜遮罩為最初之遮罩將硬質遮罩疊蝕刻，俾以形成用以將底下之上層物質層圖案化之硬質遮罩(步驟 56)。

可以執行更進一步的製程如將底下之物質圖案化並移除硬質遮罩。

上述係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可在不違背本發明之精神及範疇下，對設備，操作環境，以及設定進行修飾與改變。本發明之權利保護範圍，應僅限制於後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖顯示在半導體裝置的製程中使用非晶形碳形成之結構；

第 2a 圖和第 2b 圖描述摻雜非晶形碳條之變形；

第 3a 圖和第 3b 圖顯示根據本發明之第一較佳實施例

在半導體裝置的製程中形成之結構；

第 4 圖顯示包含第一較佳實施例及替代實施例之製造流程；

第 5 圖顯示根據本發明之第二較佳實施例在半導體裝置的製程中形成之結構；以及

第 6 圖顯示包含第二較佳實施例及替代實施例之製造流程；

【主要元件符號說明】

2	半導體基體	4	場氧化物
6	閘極絕緣物質層	8	物質層、物質
10、40	非晶形碳層	122	封蓋物質層、封蓋層
14	光阻膜遮罩	16	壓縮力
20	無摻雜非晶形碳層	22	摻雜非晶形碳層
30、32、34、36、50、52、54、56	步驟		
42	封蓋物質層、封蓋物質		

伍、中文發明摘要：

一硬質遮罩疊包括交替之摻雜非晶形碳層(22)和無摻雜非晶形碳層(20)。無摻雜非晶形碳層(20)係作為抑止摻雜非晶形碳層(22)中壓縮應力影響用的緩衝層以防止剝離。該疊具有一上封蓋層(12)。在封蓋層(12)之下最好係無摻雜非晶形碳層以減少光阻膜毒化。一替代之硬質遮罩疊包含交替的封蓋物質層(42)和非晶形碳層(40)。該非晶形碳層(40)可被摻雜或沒有被摻雜。封蓋物質層(42)係作為抑止非晶形碳層(40)中壓縮應力影響用的緩衝層以防止剝離。該疊的上層係由封蓋物質(42)所組成。在封蓋物質層之下層最好係無摻雜非晶形碳層(40)以減少光阻膜毒化。該硬質遮罩疊之最下層最好係非晶形碳層(40)以促進利用灰化移除過程(ashing process)自底下物質(8)移除該硬質遮罩疊。

陸、英文發明摘要：

A hardmask stack is comprised of alternating layers of doped amorphous carbon (22) and undoped amorphous carbon (20). The undoped amorphous carbon layers (20) serve as buffer layers that constrain the effects of compressive stress within the doped amorphous carbon layers (22) to prevent delamination. The stack is provided with a top capping layer (12). The layer beneath the capping layer (12) is preferably undoped amorphous carbon to reduce photoresist poisoning. An alternative hardmask stack is comprised of alternating layers of capping material (42) and amorphous carbon (40). The amorphous carbon layers (40) may be doped or undoped. The capping material layers (42) serve as buffer layers that constrain the effects of compressive stress within the amorphous carbon layers (40) to prevent delamination. The top layer of the stack is formed of a capping material (42). The layer beneath the top layer is preferably undoped amorphous carbon (40) to reduce photoresist poisoning. The lowest layer of the hardmask stack is preferably amorphous carbon (40) to facilitate easy removal of the hardmask stack from underlying materials (8) by an ashing process.

拾、申請專利範圍：

1. 一種半導體裝置之製造方法，包括：

提供具有上層物質層(8)之基體；

在該上層物質層上形成硬質遮罩疊，該硬質遮罩疊包括非晶形碳部分與該物質層(8)形成接觸，以及形成於該非晶形碳部分上的封蓋層(12)，該非晶形碳部分包括交替之摻雜非晶形碳層(22)，具有用以提高相對於該上層物質層之蝕刻選擇性的摻雜物，以及實質上不具有該摻雜物之無摻雜非晶形碳層(20)；

在該硬質遮罩疊上形成一光阻膜遮罩(14)；以及

用該光阻膜遮罩(14)作為最初之蝕刻遮罩將該硬質遮罩疊蝕刻形成用以將該上層物質層圖案化之硬質遮罩。

2. 如申請專利範圍第1項之製造方法，復包括：

用該硬質遮罩將該上層物質層(8)圖案化；以及

藉灰化移除過程將該硬質遮罩移除。

3. 如申請專利範圍第1項之製造方法，其中，形成該光阻膜遮罩之步驟包括：

在該封蓋層上形成光阻圖案；以及

修整該光阻圖案。

4. 一種在半導體裝置製造過程中形成之結構，包括：

具有上層物質層(18)之基體；以及

形成於該上層物質層上之硬質遮罩疊，該硬質遮罩疊包括非晶形碳部分與該上層物質層形成接觸，以及形成

該於非晶形碳部分上的封蓋層，該非晶形碳部分包括交替之摻雜非晶形碳層(22)，具有用以提高相對於該物質之蝕刻選擇性的摻雜物，以及實質上不具有該摻雜物之無摻雜非晶形碳層(20)。

5. 如申請專利範圍第4項之結構，其中，該硬質遮罩的該非晶形碳部分包括：

形成於該上層物質層(8)上之最下層之無摻雜非晶形碳(20)；

與於該封蓋層(12)形成接觸之最上層之無摻雜非晶形碳(20)；以及

介於該最上層(20)和最下層(20)無摻雜非晶形碳之間之至少一層摻雜非晶形碳(22)。

6. 一種半導體裝置之製造方法，包括：

提供具有上層物質層(8)之基體；

在該上層物質層(8)上形成硬質遮罩疊，該硬質遮罩疊包括交替之封蓋物質層(42)及非晶形碳層(40)，包含至少上層封蓋物質層(42)和下層封蓋物質層(42)，以及至少一層形成於該上層和下層封蓋物質層(42)之間之非晶形碳層(40)；

在該硬質遮罩疊上形成光阻膜遮罩(14)；以及

用該光阻膜遮罩(14)作為最初之蝕刻遮罩將該硬質遮罩疊蝕刻形成用以將該上層物質層(8)圖案化之硬質遮罩。

7. 如申請專利範圍第6項之製造方法，其中該硬質遮罩疊復包括形成於該上層物質層(8)上之下層非晶形碳層

(40)，而該下層封蓋物質層(42)係形成於該下層非晶形碳層(40)上，而且，

其中該製造方法復包括：

用該硬質遮罩將該上層物質層(8)圖案化；以及

藉灰化移除過程將該硬質遮罩自該上層物質層(8)移除。

8. 如申請專利範圍第6項之製造方法，其中，該下層非晶形碳層(40)具有用以提高相對於該上層物質層(8)之蝕刻選擇性的摻雜物。

9. 一種在半導體裝置製造過程中形成之結構，包括：

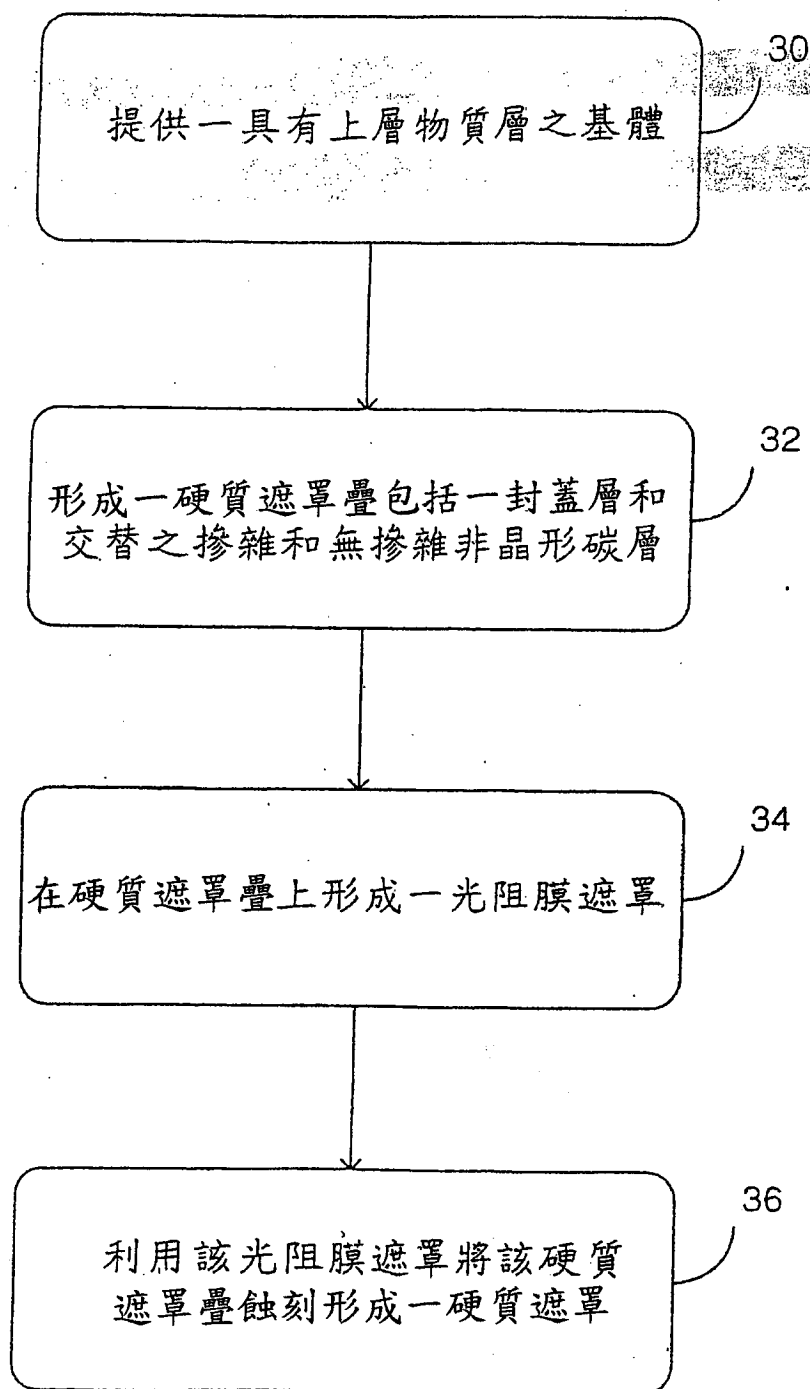
具有上層物質層(18)之基體；以及

形成於該上層物質層上之硬質遮罩疊，該硬質遮罩疊包括交替之封蓋物質層(42)及非晶形碳層(40)，包含至少上層封蓋物質層(42)和下層封蓋物質層(42)，以及至少一層形成於該上層和下層封蓋物質層(42)之間之非晶形碳層(40)。

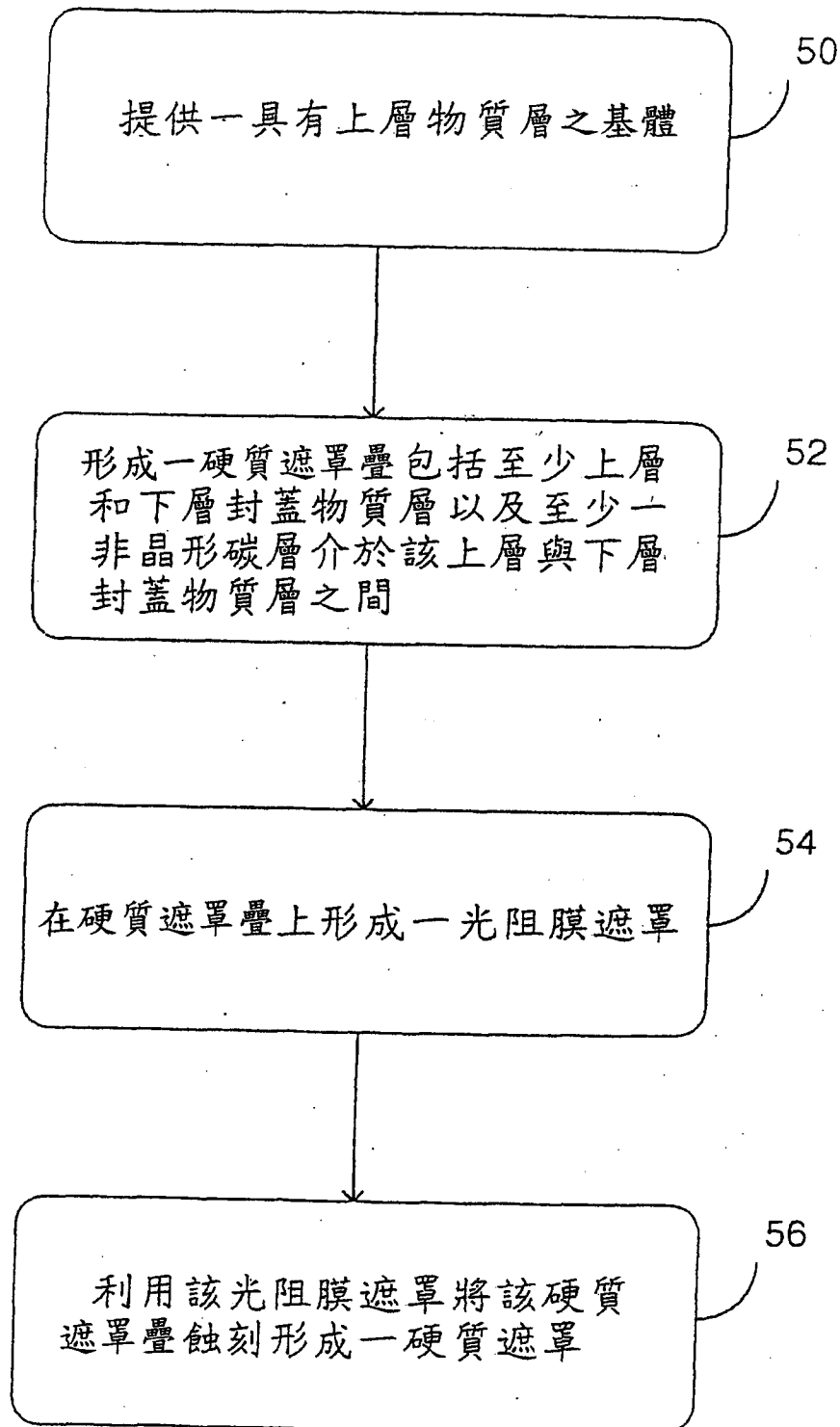
10. 如申請專利範圍第9項之結構，其中該硬質遮罩復包括形成於該上層物質層(8)上之下層非晶形碳層(40)，而該下層封蓋物質層(42)係形成於該下層非晶形碳層(40)上，而且，

其中該下層非晶形碳層(40)具有用以提高相對於該上層物質層(8)之蝕刻選擇性的摻雜物。

95 7 16



第 4 圖



第 6 圖

柒、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件代表符號簡單說明：

30、32、34、36 步驟

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：