

公告本

申請日期	91.7.22
案 號	9111659
類 別	Hybrid

A4
C4

(以上各欄由本局填註)

559864

發明專利說明書

一、發明 名稱	中 文	積體式射頻電路
	英 文	INTEGRATED RADIO FREQUENCY CIRCUITS
二、發明人	姓 名	(1)王鼎華 Ting-Wah Wong (2)鐘 L. 伍 Chong L. Woo
	國 籍	美 國 U.S.A.
三、申請人	住、居所	(1)美國加州庫朋迪諾市蒙可蘭恩路22350號 22350 McClellan Road, Cupertino, CA, U.S.A. (2)美國加州弗瑞蒙特·費茲塞門公有地3430號 3430 Fitzsimmons Common, Fremont, CA, U.S.A.
	姓 名 (名稱)	美商·可規劃矽解決方案公司 Programmable Silicon Solutions
	國 籍	美 國 U.S.A.
	住、居所 (事務所)	美國加州聖約瑟·東布洛高路97E號250室 97 E. Brokaw Road, Ste. 250, San Jose, CA, U.S.A.
	代 表 人 姓 名	王鼎華 Ting-Wah Wong

裝

訂

線

A6
B6

美國(地區) 申請專利, 申請日期: 2001,9,6 案號: 09/948,271, ☒有 ☐無主張優先權

有關微生物已寄存於： _____，寄存日期： _____，寄存號碼： _____

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（1）

發明背景

本發明係廣泛地關於射頻(射頻)積體電路，其包含用於諸如蜂巢式電話之射頻裝置及諸如藍芽之無線網路裝置及其他無線裝置及個人數位助理(PDA)等之主動元件和諸如電感器及電容器等之被動元件。

製造積體電路(IC)之技術慣例上依處理器之相容性和其他考量將IC分成許多種類。一般而言，射頻電路和邏輯電路不會製作在同一個IC上。射頻電路為牽涉濾波和檢波如蜂巢式電話信號之射頻信號的類比電路。相對地邏輯電路則一般包含構成數位積體電路裝置之電晶體和其他主動元件。因此，譬如雙極電晶體技術可利用於製造射頻電路而標準互補式金屬氧化物半導體(CMOS)製程可利用於製造邏輯電路。

記憶體電路還可說明另外的種類。一般而言，特殊製程可利用於關於記憶體電路之製造，基於諸如多閘電極等之特殊考量與特殊電壓供應之需要。

尚有另一種類為包含數位和類比兩種構件之所謂混合信號電路。這些信號亦被分別說明以至於包含射頻信號處理之裝置、射頻積體電路、混合信號電路、邏輯電路和記憶體電路可以被製造為許多分別製造積體電路晶片。

電子設備的成本與其可能之積體面積息息相關。越來越多設備以及設備的類型可以被整合在一個單一積體電路內並且由高度複製技術所製造，而有較低廉的價格。不幸地，由於不同類型積體電路之間的不相容，迄今尚無法實

五、發明說明（2）

現將射頻電路、混合信號電路、邏輯電路、以及記憶體電路全都於同一標準CMOS製程中製作。

在連接射頻電路與CMOS製程中產生的一個問題在於諸如電容器和電感器之被動元件可能受本身之基體而產生不利的影響。尤其，譬如基體和電路導體間可能發生耦合。此耦合現象可能導致降低感應電路之效能。因此，感應電路可由二極體或矽覆絕緣體(SOI)製作而非使用標準CMOS邏輯製程。因此，需要兩個或兩個以上的積體電路——一個用於邏輯、一個用於射頻電路、一個用於記憶體、以及一個用於混合信號。

克服此耦合問題已經有些成果。譬如，Silicon Wave Inc.已經設計出一種整合邏輯與射頻兩種組成於同一模之所謂矽覆絕緣體(SOI)二極體CMOS (BiCMOS ; Bipolar CMOS)整合電路。然而，使用矽覆絕緣體技術大幅增加製程的複雜度與成本。此外，美國大部分半導體製造廠以及世界上其他的半導體製造廠致力於MOS技術。此SOI製程基於現存高度昂貴的製造技術下係無法被普及製造的。

另外一個問題肇於整合射頻元件與其他設備勢必包含邏輯電路。這些邏輯電路可能包含處理器或其他在某些狀況下利用於控制整個射頻整合電路的設備。由於碰撞離子和其他包括在一些在邏輯中遭遇到的高切換速度等因素，邏輯電路可能產生對在晶片射頻元件上之操作有不利影響之雜訊。

因此，需要一種整合射頻電路和邏輯電路兩者於同一

五、發明說明（3）

晶片之方法。

圖式簡介

第1圖為可製造出相同於依據本發明實施例之整合電路的積體電路技術之各種系列的圖式；

5 第2圖為一個依據本發明實施例之蜂巢式電話的方塊圖式；

第3圖為一個依據本發明實施例之藍芽收發機的方塊圖；

10 第4圖為一個依據本發明實施例之感應電路元件的放大橫截面圖；

第5圖為一個依據本發明實施例之感應元件的放大上視圖；

第6圖為一個第4圖和第5圖所示之感應元件的等效電路；

15 第7圖為第5圖所示感應元件之實施例的透視圖；

第8A圖和第8B圖為可用於本發明之一個感應元件的兩種不同層的上視圖；

第9圖為利用於連接與本發明之另一種感應元件實施例的放大橫截面圖；

20 第10圖係第9圖所示感應元件的透視圖；

第11圖係第9圖所示實施例之第一層的上視圖；

第12圖係第9圖所示實施例之第二層的上視圖；

第13圖係第9圖所示實施例之第三層的上視圖；

第14圖為形成一個感應元件之三層組合結果的前視

五、發明說明（4）

圖；

第15圖係另外一種本發明實施例之上視圖；

第16圖為本發明之一種範例實施例的濃度與距離關係圖；

5 第17圖為習知技術實施例的放大橫截面圖；

第18圖為第17圖所示實施例之基體中的濃度與距離關係圖；

第19圖為依據本發明實施例之積體電路的放大橫截面圖；

10 第20圖為第19圖所示電路依據本發明之一種實施例的佈局；以及

第21圖為第19圖和第20圖中所示積體電路之一種實施例的方塊圖。

第22圖係本發明之另一種實施例的放大橫截面圖。

15 發明之詳細說明

參考第1圖，一個積體電路10可包括操作於超過100兆赫(MHz)之類比電路元件，諸如射頻元件12、混合信號元件14、及邏輯和記憶體元件16，全部整合於同一個積體電路內。藉由在射頻元件和基體間建立一個有效的逆偏二極體，諸如電感器、電容器、電晶體等之射頻電路元件與基體間之耦合作用可以被減少。此逆偏二極體可由三重井製程來製作，其中感應電路元件和電晶體設置在各個三重井上。

另外，在同一基體上諸如快閃記憶體和靜態隨機存取

五、發明說明（5）

記憶體(SRAM)可由相同的製程製造以用為製作諸如微處理機和數位信號處理器之邏輯電路。例如，讓渡予本案受讓人之第5,926,418號和第5,867,425號美國專利中所揭露之製程可利用來製作邏輯設備和快閃記憶體。

5 如第2圖所示一用於蜂巢式電話10a之射頻收發機包括一個天線18、一個射頻部段20、一個邏輯部段22、一個記憶體26、以及一個介面24。介面24提供可以顯示在顯示屏上以實施蜂巢式電話10a之功能的圖式使用者介面。邏輯電路22亦可包括用記憶體26操作之微處理機。在本發明之一
10 實施例中，記憶體26為一快閃記憶體。射頻部段20可包括一些包括感應電路之被動元件。

 依據本發明實施例，可用積體電路技術射設置射頻部段20以及天線18以製造一個包括元件18、20、22、24、及26之單一積體電路元件。其他實施例中，有些但並非所
15 有的類比和數位元件可被製造於同一積體電路晶片上。

 一般而言，互補式金氧半導體技術可利用於將所有第2圖所繪示之元件晶片設置在單一晶片上。然而在某些實例中，特定元件可能被分開於兩個或兩個以上之積體電路。然而，設計者可以基於設計之考量而非製程和技術上
20 之不相容，任意地設置特定元件於特定積體電路上。再者，對於射頻部段20所包括之射頻元件的不必要信號耦合問題可藉由在利用於設置所有電話10a之元件的共同基體中建構一個有效逆偏二極體來避免。

 同樣地，一個用於譬如藍芽規格之無線網路的積體無

五、發明說明（6）

線電收發機 10b 可依相同原則製造。藍芽收發機 10b 包含一個耦合之一個無線電 30 之天線 28。無線電 30 耦合至一個連結基帶控制器或連結控制器 32。一個中央處理器 34 與一介面 36 及一記憶體 38 耦合。本發明之一些實施例
5 中，記憶體 38 可為一快閃記憶體。在一實施例中，所有的元件可被整合於單一晶片內。

第四圖顯示一個用於連接與射頻部段 20 或第 2 圖和第 3 圖所示之具體實施例無線電 30 或任何其他使用感應元件之積體電路的積體射頻(射頻)元件 40。此例中，三重井由
10 一個 P 型井 46、一個深的 N 型井 44、以及一個 P 型基體 42 界定在基體 42 上。P 型井 46 為一在深的 N 型井 44 中之井或盆狀物。

建構兩個逆偏 pn 接面，一個由 P 型井 46 和 N 型井 44 並置，而另一個由基體 42 和 N 型井 44 並置。兩個 pn
15 接面皆可 N 型井 44 上之電壓 V_B 所偏壓。譬如，若 P 型井 46 和 P 型基體 42 接地，增加 N 型井 44 上之偏壓會增加每個接面的偏壓。在一些實施例中，若 N 型井 44 被偏壓，P 型井 46 產生漂移作用。

空乏區由接面偏壓形成，因而增加 P 型井 46 和 N 型
20 井 44 之間以及 N 型井 44 和 P 型井基體 42 之間跨越 pn 接面之空乏電容。這些空乏電容可藉增加跨 pn 接面偏壓而減少。接面偏壓越高，接面電容減少越多。減少總電容會減少射頻電路與基體之電容耦合以及感應元 40 之自我共振頻率。逆偏接面減少介於基體 42 和形成於基體 42 上諸如

五、發明說明（7）

感應元件 50 之射頻積體電路元件之間的雜訊或其他不必要信號之耦合。

層體 54 慣例上由氧化物所製作。當然，本發明可實施相當於其中有諸如感應元件 50 之被動元件積設於所欲金屬層的多層金屬製程。

在一實施例，一個三重井防護環 55 會包圍 N 型井 44。防護環 55 承受偏壓電位 V_B 之接觸。

製造三重井之技術係熟知的。譬如，第 5,926,418 號和第 5,867,425 號美國專利(讓渡予本發明之受讓人)提供一個製造三重井之範例說明。此三重井製程相同地可應用於製造快閃記憶體設備。藉由使用三重井製程，快閃記憶體和邏輯系列元件諸如處理器和數位信號處理器可被積設於同一積體電路。

在一本發明之具體實施例中，N 型井 44 可由高能埋設法設置一個深的 N 型井來製作。此 N 型井一般平行延伸於基體 42 之表面。之後，被埋設之 N 型井可排列為連接與每個深的 N 型井之側邊且向上延伸至基體 42 之表面。N 型井的電阻率越低，產生之結構的防護越佳。一般而言，電阻率可藉由 N 型井 44 之摻雜濃度之增加來降低。

下一個參照第 5 圖，感應元件 50 可為覆於基體 42 上之一平面螺旋狀層體，譬如一頂上氧化層 54。慣例地，感應元件 50 藉由圖案化與沉澱技術製作。然而，任何製作感應元件 50 之技術可被利用。產生結果之結構可為包括多數諸如部段 58a 和 58b 之直型部段的螺旋狀淺帶。有利

五、發明說明（9）

所描述之一多層非平面積體電感器設計，亦可用作如感應元件 50 (第 5 圖)。連續三個傳導層一、二、三係如第 9 圖所示一個覆著一個向上增加。這三層組合成如第 14 圖所示之螺旋線圈。第一層以一種形狀如第 11 圖所示之傳導材料所構成，第二層以一種形狀如第 12 圖所示之傳導材料所構成，而第三層以一種形狀如第 13 圖所示之傳導材料所構成。此三層之淨結果為第 14 圖所示線圈。第 10 圖所示角線圈具有一串設置與基體平面垂直的多重迴路。

再一次參照第 9 圖，一層體 304 覆於一鈍化晶元上。層體 304 可由諸如鈦-鎢(TiW)等之傳導材料所製作，以形成一個障壁層並提供銅製隨後濺鍍層 306 之附著力。一個初級光電阻層 406 以及一個二級光電阻層 408 界定中間的傳導材料。層體 414 可為一濺鍍導體，而層體 420 為第三電鍍金屬層，而材料 416 可為光電阻。

第 6 圖圖式感應元件 50(第 5 圖)之等效電路，其包括由全部或部分螺旋形電感元件 50 產生之電感器 62a。此感應元件 50 亦可由用於製作螺旋形感應元件 50 之材料自然電阻所產生之電阻來表示。一電容器 64 由介於感應元件 50 (或任何 RF 元件諸如電晶體和電容器)和基體 42 之間之電容器，特別是中間的電介質層 54 所產生的。一額外之電阻器 66a 可由用於形成 P 型井 45 之材料所產生。

P 型井 46 和 N 型井 44 產生之 pn 接面效應相當於二極體 66b，而 N 型井 44 和 P 型基體 42 產生之 pn 接面效應相當於二極體 66c。電容 67b 和二極體 66c 減少自基體 42

五、發明說明（10）

返回電感器 50 之耦合現象。

與二極體 66c 相向之逆偏二極體 66b，減少感應元件 50 之電容耦合對基體 42 之損失。藉由二極體 66c 之產生，製造出一個有效極大電阻以減少元件 50 (和任何其他 RF 5 電路)基體信號之干擾。尤其，感應元件 50 可為一高度調頻元件，其可能受雜訊和其他基體 42 出現之不期望信號發生不利的影響。這些信號可能由於同一積體電路內有許多其他各種元件之組構而出現在基體 42。這些不期望之信號藉著逆偏二極體 66c 與靈敏的感應元件 50 隔絕。

10 因此，種種不同電路型式，包括射頻電路元件、混合信號電路元件、邏輯元件、以及包括快閃記憶體元件之記憶體元件，皆可被積設為同一基體 42 之同一積體電路。因此，可製造更高密度之整合、且其更具效率並花費更少之之射頻設備諸如藍芽收發機和蜂巢式電話無線區域網路 15 等。

三重井之優勢更可藉由將一個三重井之通道與一個位在如用於感應元件 50 下之深 N 型井的單井之通道比較而更明瞭。在 N 型井之實施例中，深 N 型井造成之阻抗可由 R_w 所表示。從感應元件 50 至基體之總阻抗 Z 則可由方程 20 式：

$$Z = R_w + \frac{1}{j\omega C_w}$$

來表示，其中 C 是介於感應元件 50 和基體間之間的氧化物以及基體之電容所產生，而 ω 為頻率。相同的，串聯之

五、發明說明 (11)

總電容 C_w ，由以下式子表示：

$$\frac{1}{C_w} = \frac{1}{C_{ox}} + \frac{1}{C_{sub}}$$

其中 C_{ox} 是介於感應元件 50 和基體間之電介質產生之電容，而 C_{sub} 係介於感應元件 50 和基體之電容。

5 對照三重井之總阻抗 Z_T 表示為以下式子(指示如 64)：

$$Z_T = R_j + \frac{1}{j\omega C_T}$$

其中 R_j 係 N 型井之阻抗 66a，P 基體和嵌入式 P 型井及 C_T 為三重井之阻抗(指示如第 6 圖之 64)。

相同的，三重井產生之串聯電容 C_T 如下所示：

10

$$\frac{1}{C_T} = \frac{1}{C_{ox}} + \frac{1}{C_j} + \frac{1}{C_{sub}}$$

其中 C_{ox} 感應元件 50 和基體之間之氧化物所產生的電容 64， C_j 為 P 井和 N 井間之接面所產生之電容 67a，而 C_{sub} 係介於 N 型井和基體間之電容 67b。

由於自接面 Z_j 產生之電容遠大於比沒有接面之電
 15 容，三重井之影響相較於單深 N 井大大地增加電容。再者，
 三重井產生之電容可被 N 型井偏壓調整使得其小於深 N 型
 井產生之電容。因此，三重井中產生之耦合相當少。由於
 三重井之總電容遠大於深 N 型井之阻抗，且三重井之電容
 較小，對基體有較少之電容的和電阻的耦合，且相較於只
 20 使用一個深 N 型井，使用三重井對從基體到射頻電路之雜
 訊具更佳之隔絕。

五、發明說明（12）

藉由在一些實施例中減少總電容也可改善自生共振頻率。自生共振頻率之比率係 $1/LC$ ，因此電容越低，自生共振頻率越高或者電感器 50 之高頻率效能越佳。減少電容耦合亦改善電感器 50 之品質因數。

5 即使已描述過使用三重井之說明實施例，其他實施例中其他額外的井可被聯結以形成串聯之一個或一個以上額外之二極體。

參考第 15 圖，依據本發明之一實施例，每個電感器 50a、50b、及 50c 可分別被構置在各自之三重井上，此三重井之周圍由防護環 55a、55b 或 55c 所界定。每個狀如螺旋之電感器 50，可在中央連接至較低金屬層，且可在外部連接至一平坦螺旋界定之金屬層。

電晶體組 80 可被它們本身之個別防護環 55d 和 55e 所圍繞。換句話說，每個電晶體 80 可分別被構置在各自之三重井上，此三重井之周圍由防護環 55d 或 55e 所界定。因此，電晶體組 80 與來自下面基體之雜訊隔絕。

一些電容器組 82 可被積設於基體之上，做為金屬對金屬堆疊電容器。電容器組 82 客被積設於場效電晶體 86 之上。因此，可包括一個高於其他金屬板之金屬板的電容器組 82 可藉場效電晶體 86 而與基體隔絕。在一些實施例中，可以不需包括位於電容器 82 之下的三重井。相同地，在一具體實施例中，由於電阻器 88 積設於基體之上，沒有三重井會被供予電阻器阻 88 做為井。

因此，在一些本發明之具體實施例中，每個電感器會

五、發明說明（13）

被積設在其自身的三重井之上，且可包括一個或一個以上電晶體，每個分別在其自身三重井內。使用個別的三重井可改善分離電路元件之電氣效能。

譬如，電壓控制振盪器(VCO)可被形成為其中具有電
5 晶體、變容器、以及電感器分別被設置，電晶體、變容器、以及電感器又分別在其各自三重井之上或之內。在一些具體實施例中，電阻器和電容器可被形成在沒有三重景在底下之基體上。

一假設的從表面到基體 42 之摻雜剖面圖如第 4 圖所
10 示，經過 P 型井 46、N 型井 44、然後下至下面的基體 42 之延伸如第 16 圖所示。此實施例中，P 型井 46 (具有約 1.5 微米之例示深度)具有一個非倒退的或對稱的剖面圖，以及一個例示峰值濃度 10^{17} atoms/cm³。N 型井 44 (此實施例中具有自 1.5 微米到 2.5 微米之深度及例示峰值濃度 10^{18}
15 atoms/cm³)具有一對稱摻雜剖面圖。最後 P 型基體向下延伸至 N 型井 44 下 (且具有一例示峰值摻雜濃度 10^{16} atoms/cm³)。

藉由將基體 42 摻雜濃度最小化而(事實上在一實施例中使其為如傳統背景摻雜)最後結果產品之電容和高頻率
20 效能可獲得改善。尤其，基體 42 之摻雜濃度越高，電阻越低且低頻率效能越佳。相反地在此例中，較高的頻率效能會被降低。因此，藉由減少基體中之摻雜濃度，可改善高頻率效能。尤其，基體 42 區域直接地毗連、取界、或臨接 N 型井 44 之摻雜可少於基體 42 區域直接地毗連、取界、

五、發明說明（14）

或臨接 P 型井 46。

在一些例子中，越低的頻率效能亦可僅藉變更施於 p 型井 46 之偏壓 (V_A) 而被改善。換句話說，施加越高的偏壓電位於 P 型井 46，高頻率效能越佳。

5 P 型井 46 之摻雜程度可恰好防止 P 型井 46 衝穿至 N 型井 44 接面。僅三層會被用於一實施例中。

依據習知技術之一實施例示於第 17 圖和第 18 圖，一些層級 135、121、119、117 及 110 用於在 BiCMOS 設備中供以絕緣。見頒予魯司等人之第 5,268,312 號美國專利。
10 在魯司之案中，使用五個分離區域且需要一個接地保護 117。藉增加接地保護 117 之摻雜濃度，電阻值被最小化，因而改善低頻率效能。然而，由於設備特性就此被固定，高頻時便鮮少甚至沒有什麼可以用來改善效能。另外，區域 135 和 121 中需要倒退摻雜輪廓。分離層阻需被供以達
15 成此倒退輪廓。

依據本發明之具體實施例不需要這樣的倒退輪廓。

另外，在 CMOS 結構所不需要的一晶膜 135 揭露於第 4 圖。

參考第 19 圖，一個積體電路 200 包括邏輯部段 201 和射頻部段 203。邏輯部段 201 可包括如電晶體 205 之固有
20 邏輯電晶體，其可用於提供固有邏輯功能，諸如以處理器或控制器為例。

在一實施例中，邏輯部段 201 可用於控制一個具有射頻應用之積體電路 200。邏輯部段 201 內部可形成一個包括一個 P 型井 46a、N 型井 44a、以及一基體 42 之一個三

五、發明說明（15）

重井。指示為 V_{B1} 之一偏壓電位可被施於 N 型井 44a，一偏壓電位 V_A 可被施於 P 型井 46a。

三重井 201 之佈置可有效避免從邏輯部段 201 至基體 42 之剩餘部分，尤其是射頻部段 203，之雜訊注入(由箭頭 A 所指示)。譬如，此雜訊可由電晶體 205 在邏輯部段 201 內轉換時所產生。

同樣地，射頻部段 203 可包括至少一個佈置在 P 型井 46 之上的電感器 50。P 型井 46 為一個包括 N 型井 44 和基體 42 之三重井的一部分。如前述且以箭頭 B 指示，三重井有效地防止雜訊遷移至或從電感器 50 或射頻部段 203 中之其他元件。

在具體實施例中，N 型井 44 受到一偏壓 V_{B2} 。相同地 P 型井 4 受到一偏壓 V_A 。

一個獨立電壓供應器可用於邏輯部段 201 和射頻部段 203。此可減少這些部段之間發生串音的可能性。尤其令人滿意的，其可連接 V_{B1} 和 V_{B2} 至積體電路 200 上之個別針腳，而使得個別電源供應器可用於減少串音。然而 V_{B1} 和 V_{B2} 並不需要有相同之電壓值。另外，一些三重井可利用於一些射頻元件。在一些例子中這些射頻元件可用不同的偏壓電壓 V_{B2} ，或者也可以用相同的偏壓電壓 V_{B2} 。然而，在一些實施例中，令人滿意地在同一積體電路 200 上使用個別的電壓 V_{B1} 和 V_{B2} 於邏輯和射頻元件。

在一些實施例中，P 型井 46 對 P 型井 46a 之比例可合意地使用較輕的摻雜。較輕的摻雜可有效減少來自感應元

五、發明說明 (16)

件 50 之渦流。一具體實施例中，標準摻雜程度可用於 P 型井 46a。譬如 P 型井 46 之摻雜程度約可為 10^{15} (atoms/cm³)，而 P 型井 46a 之摻雜程度約可為 10^{16} to 10^{17} (atoms/cm³)。

5 一些實施例中，邏輯電路可使用包括 N 通道和 P 通道之電晶體的金屬氧化物半導體 (CMOS) 技術。當然，P 通道電晶體通常不包括於三重井內而 N 通道電晶體包括於。然而，導致雜訊之衝擊游離大致上在 N 通道電晶體之狀況下大於在 P 通道電晶體之狀況下。因此，在此描述之技術
10 中，可有效地減少基體 42 中之雜訊注射，即使實施例中只有 N 通道電晶體設置於三重井內。射頻電路通常使用 N 通道技術，因而三重井之使用可為有效的。

 現在轉向第 20 圖，整合一射頻部段 203、一快閃記憶體 204、一混合信號部段 206、一隨機存取記憶體(RAM)
15 208、以及一邏輯部段 201 於一晶片上之一積體電路 200 之一例示性佈局。在一些例子中，部段 201 到部段 208 中每個部段可使用偏壓電壓且可被容納於各個三重井中。一些例子中，在個別元件中之任何部段 201 至 208 可在其自身三重井內。

20 混合信號部段 206 可包括諸如數位至類比及類比至數位轉換等。射頻部段 203 可包括舉例諸如一頻率產生器、一鎖相迴路(PLL 設備)、一電壓控制振盪器(VCO)、一混合器、一功率放大器、一低雜訊放大器(LNA)及時鐘等。在某些實施例中可合意地將混合信號部段 206 與射頻

五、發明說明（17）

部段 203 隔開。

當然，第 20 圖所示佈局僅僅只是一個例示性的佈局，尚有其他變化佈局可為人所利用。譬如在一些例子中，可以合意地完全將射頻部段 203 和邏輯部段 201 分開。

5 下一個轉到第 21 圖，說明一個依據本發明具體實施例之射頻積體電路 200 的方塊圖。在此實施例中，一基帶控制器 224 可耦合至一接收器 216、一發射機 218、一電壓控制振盪器 220、以及一頻率合成器 222。基帶控制器 22
10 可包括邏輯電路且可由前述邏輯元件來施行。基帶控制器 224 可越過一匯流排 226 而被耦合與快閃記憶體 204、RAM 記憶體 208、以及一橋接器 228。

橋接器 228 可經由一匯流排 230 耦合至一個輸入/輸出設備 232、一組計數器和計時器 234、以及一中斷控制器 236。積體電路 200 可包括種種其他包括鎖相迴路 212 及例
15 如用來實施 JTAG 程序之測試電路 214 等元件。因此，積體電路 200 可實用地利用一些設備，這些設備可包括邏輯、射頻、或混合信號元件。可積設這些元件而使這些型式之元件即使在以橋接各式諸如邏輯部段 201、快閃部段 204 等之部段以為耦合時，在積體電路上完全地被分開。
20 藉由在三重井內設置射頻部段 203 元件和邏輯部段 201 元件，感測射頻元件可與譬如肇於衝擊游離及高切換率之邏輯元件所放射出之雜訊隔離。

參考第 22 圖，梯級電路 310 包括一個耦合至形成在三重井內之共閘電晶體 314 的第一級電晶體 312。三重井包

五、發明說明（18）

括 P 型井 320、N 型井 318、以及 P 型基體 316。電晶體 314 之汲極 336 耦合至輸出節點 330 而源極 334 經由線路 332 耦合至電晶體 312 之汲極 336。每個電晶體 312 或 314 之閘極 322 耦合至閘極節點 328。接點 332 連接至基體 316 內形成之接點擴散區。線路 332 可被耦合至接地。電晶體 314 之井 318 和 320 可經過電晶體 324 耦合至偏壓節點 326。

使用施於梯級電路 310 之共閘電晶體 314 的三重井減少輸出分流電容，以達到較高輸出頻寬。井 320 可為一位於輕摻雜 N 型井 318 內之輕摻雜 P 型井。共閘極電晶體 314 置於三重井內，藉由從共閘極級之輸出汲極節點 330 增加兩個串聯電容器至基體節點以減少輸出分流電容。兩串聯電容器由兩個三重井之 P-N 接面所形成，即 P 型井 320 和 N 型井 318 間之接面以及 N 型井 318 和基體 316 間之接面。三重井之輕摻雜性質使得減少結果 P-N 接面電容獲得更多的改善。此外，井 318 和 320 經由高單位電阻器 324 偏壓以保持汲極節點 330 和基體 316 間之絕緣。

因此，梯級電路 310 可形成於任何亦包括積體電感器和電容器之積體電路，譬如形成射頻電路。因此，輸出電容被減少，而增加有效輸出頻寬。

儘管本發明已經由一些實施例所描述，但仍然可從此技術之領域中察覺許多修正和變化。後附之專利申請範圍欲涵蓋所有該等落於本發明之真實精神及範圍內的修正與變化。

五、發明說明（19）

元件標號對照表

12……射頻元件	50……感應元件
14……混合信號元件	50a……電感器
16……記憶體元件	50b……電感器
18……天線	50c……電感器
20……射頻部段	55a……防護環
22……邏輯部段	55b……防護環
24……介面	55c……防護環
26……記憶體	55d……防護環
28……天線	55e……防護環
30……無線電	58a……部段
32……連結基帶控制器 / 連結控制器	58b……部段
34……中央處理器	60……等效電路
36……介面	62a……電感器
38……記憶體	62b……電阻器
40……積體射頻(射頻)元 件	64……電容器
42……P型基體	66a……電阻器
44……N型井	66b……二極體
44a……N型井	66c……二極體
46……P型井	67a……電容
46a……P型井	67b……電容
48……感應元件	70……矩形部份
	72……圓形部份
	80……電晶體組

五、發明說明（20）

82……電容器組	214……測試電路
86……場效電晶體	216……接收器
88……電阻器	218……發射機
A ₁ -A ₁₀ ……導線	220……電壓控制振盪器
A ₁ '-A ₁₀ '……導線	222……頻率合成器
CON1……連接結構體	224……基帶控制器
B ₁ -B ₁₀ ……導線	226……匯流排
CON2……連接結構體	228……橋接器
110……層級	230……匯流排
117……層級/接地保護	232……輸入/輸出
119……層級	234……計數器和計時器
121……層級	236……中斷控制器
130……半導體層	304……層體
133……隔離區	306……銅製隨後濺鍍層
135……層級	310……梯級電路
200……積體電路	312……第一級電晶體
201……邏輯部段	314……共閘電晶體
203……射頻部段	316……P型基體
204……快閃記憶體	318……N型井
206……混合信號部段	320……P型井
208……隨機存取記憶體 (RAM)	322……閘極
210……邏輯部段	324……電晶體
212……鎖相迴路	326……偏壓節點
	328……閘極節點

五、發明說明（ 21 ）

330……汲極節點

332……線路

334……源極

336……汲極

406……初級光電阻層

408……二級光電阻層

414……層體

416……材料

420……層體

四、中文發明摘要（發明之名稱： 積體式射頻電路)

一射頻電路(310)可被形成於產生兩逆偏壓接面之三重井(316、318、320)之上。藉由調整跨接面之偏壓，跨接面之電容可減少，而減少自射頻電路(310)至基體(316)間之電容耦合，改善電感器之自共振頻率，並減少自底部基體至主動電路與諸如電容器和電感器等之被動元件的非期望信號與雜訊之耦合作用。因此，諸如無線電、蜂巢式電話、以及如藍芽收發機之收發機等之射頻裝置、邏輯裝置、以及快閃記憶體和SRAM記憶體裝置可利用CMOS製程而全被形成在同一積體電路晶粒上。

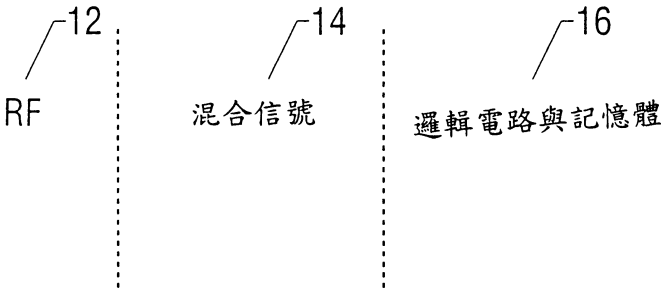
英文發明摘要（發明之名稱： Integrated Radio Frequency Circuits)

An RF circuit (310) may be formed over a triple well (316 , 318 , 320) that creates two reverse biased junction. By adjusting the bias across the junctions, the capacitance across the junctions can be reduced, reducing the capacitive coupling from the RF circuit (310) to the substrate (316), improving the self-resonance frequency of inductors and reducing the coupling of unwanted signals and noise from the underlying substrate to the active circuits and passive components such as the capacitors and inductors. As a result, radio frequency devices, such as radios, cellular telephones and transceivers such as Bluetooth transceivers, logic devices and Flash and SRAM memory devices may all be formed in the same integrated circuit die using CMOS fabrication processes.

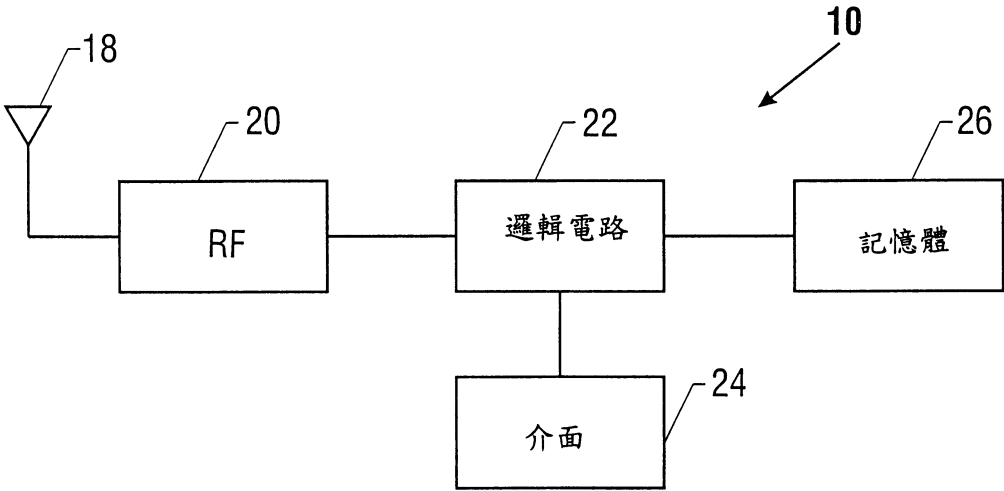
裝

訂

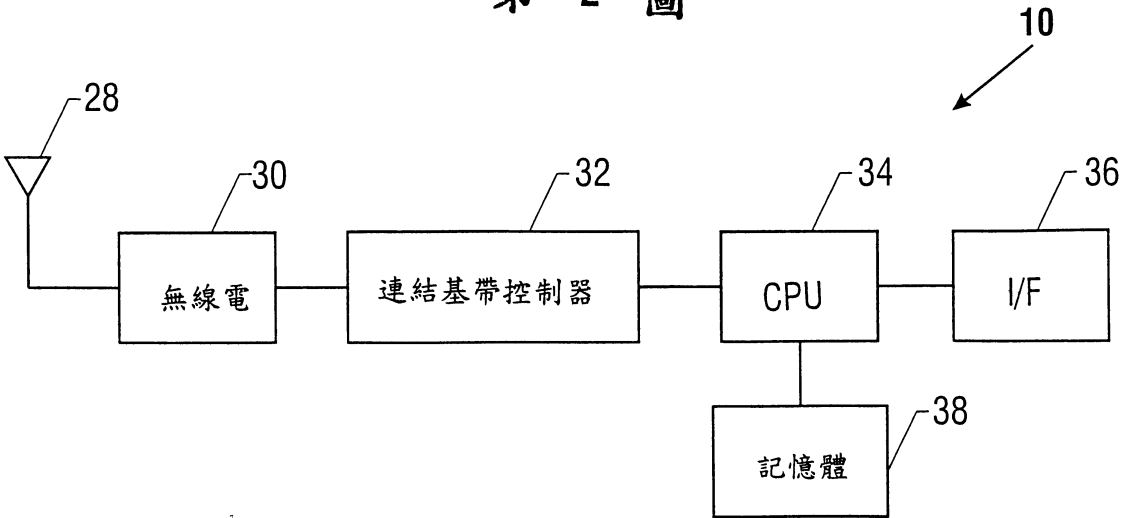
線



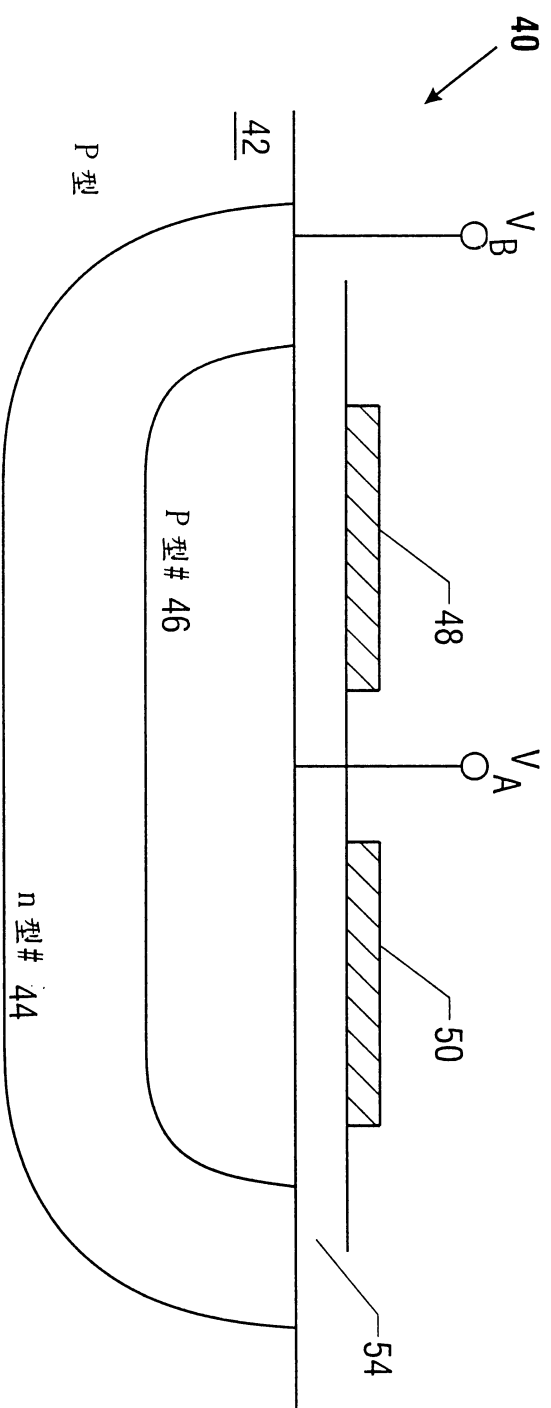
第 1 圖



第 2 圖

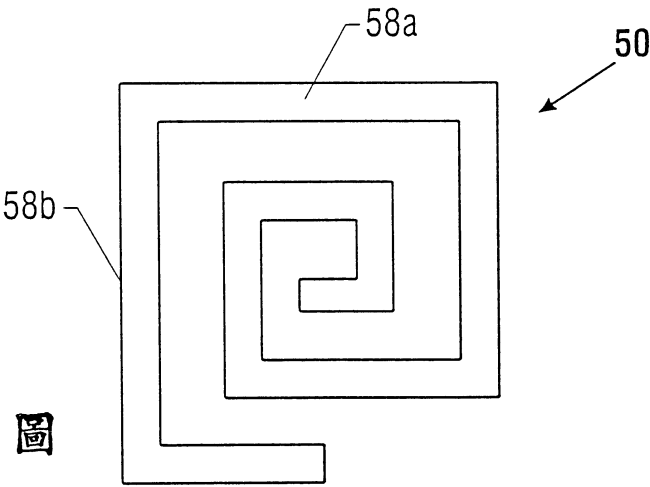


第 3 圖

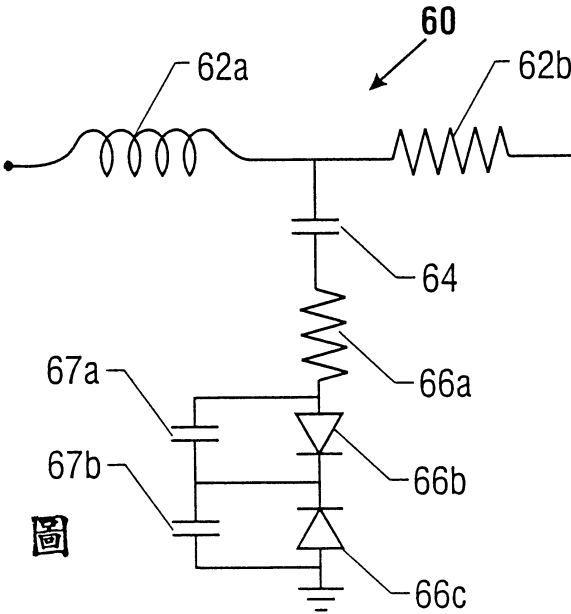


第 4 圖

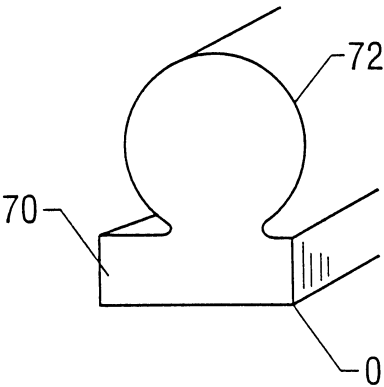
第 5 圖



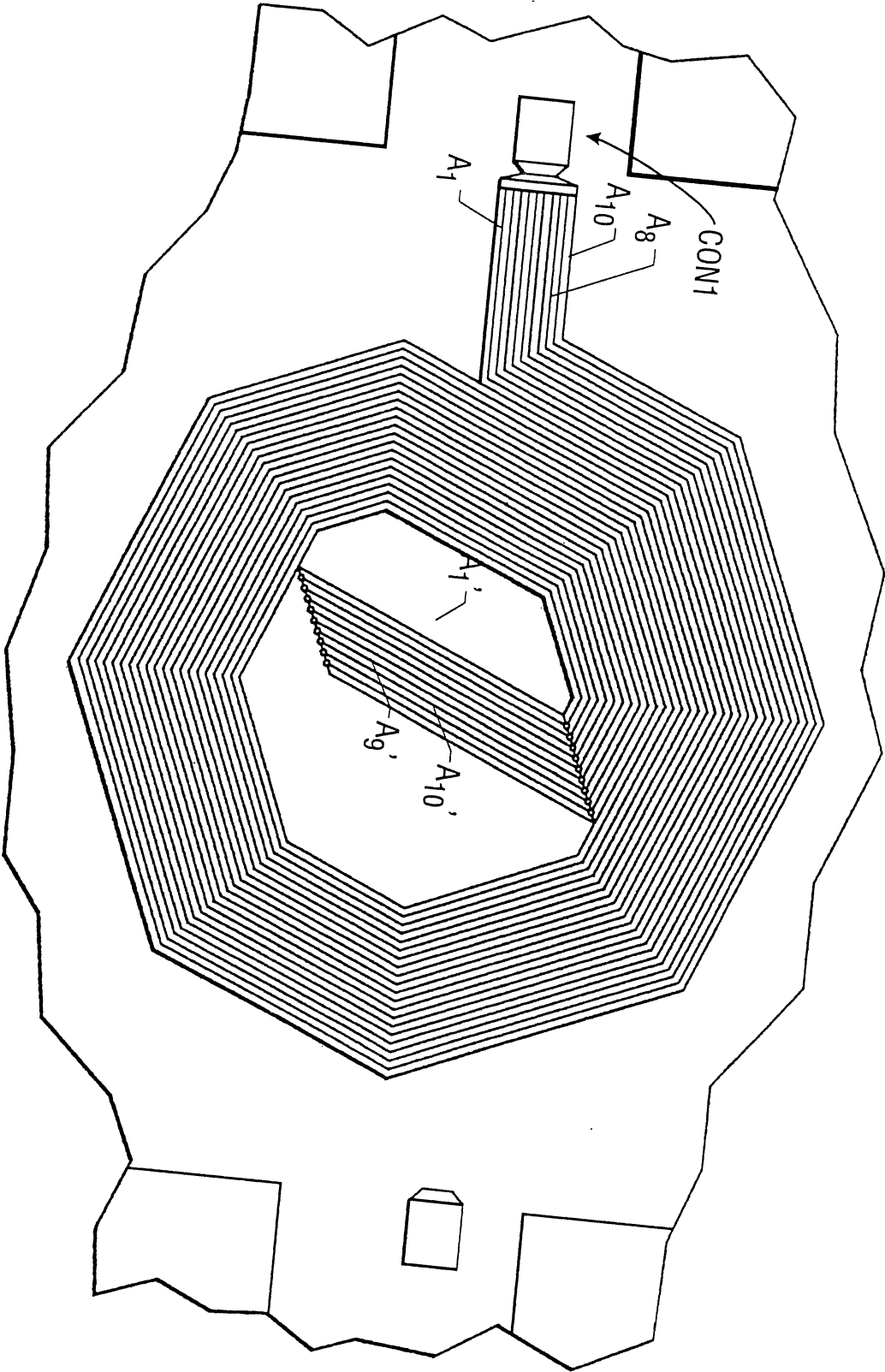
第 6 圖

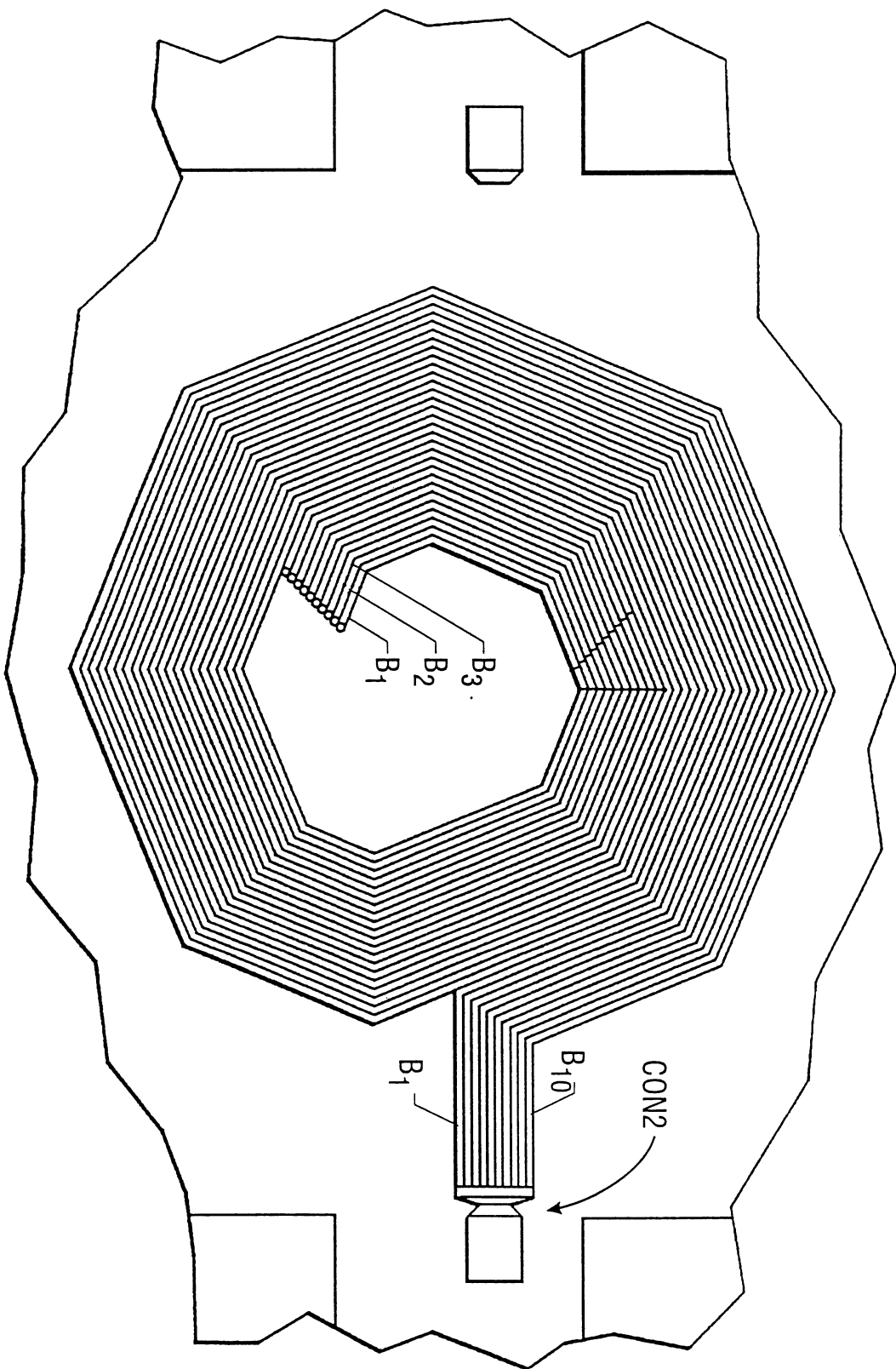


第 7 圖

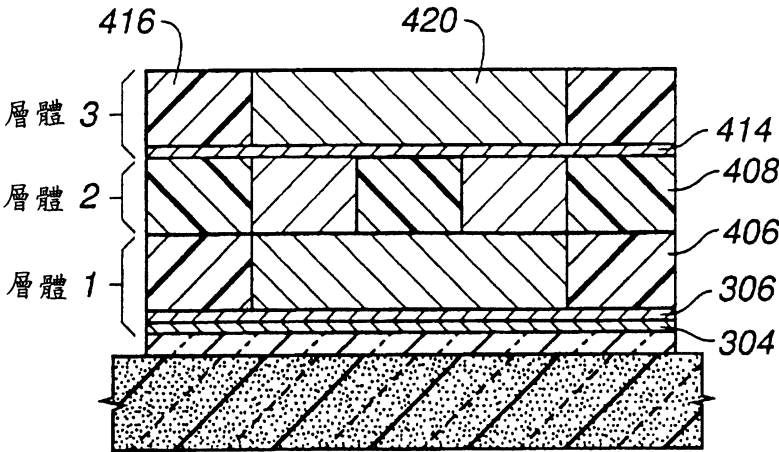


第 8A 圖

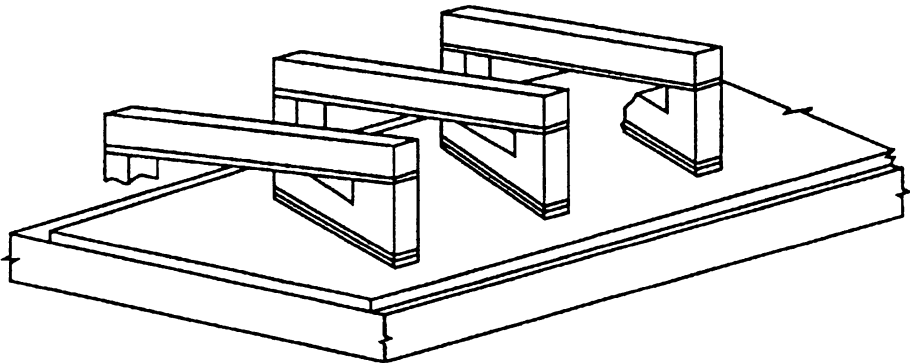




第 8B 圖



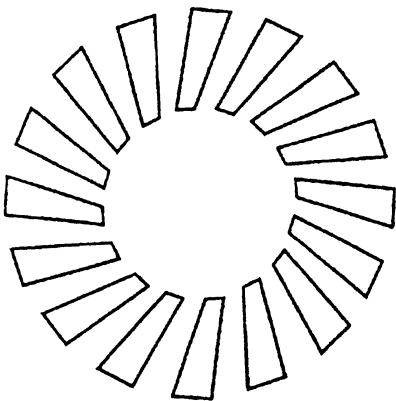
第 9 圖



450

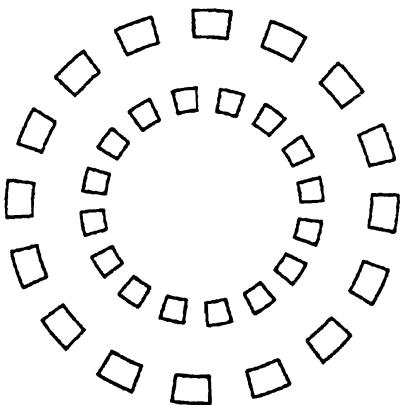
第 10 圖

7/14



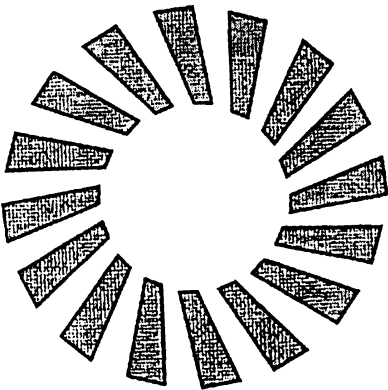
層體 1

第 11 圖



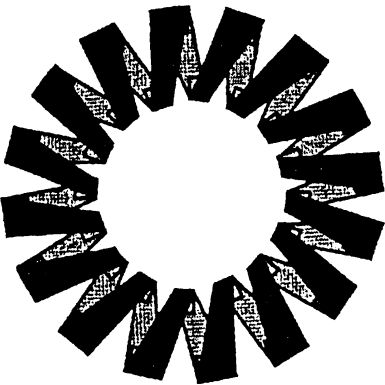
層體 2

第 12 圖



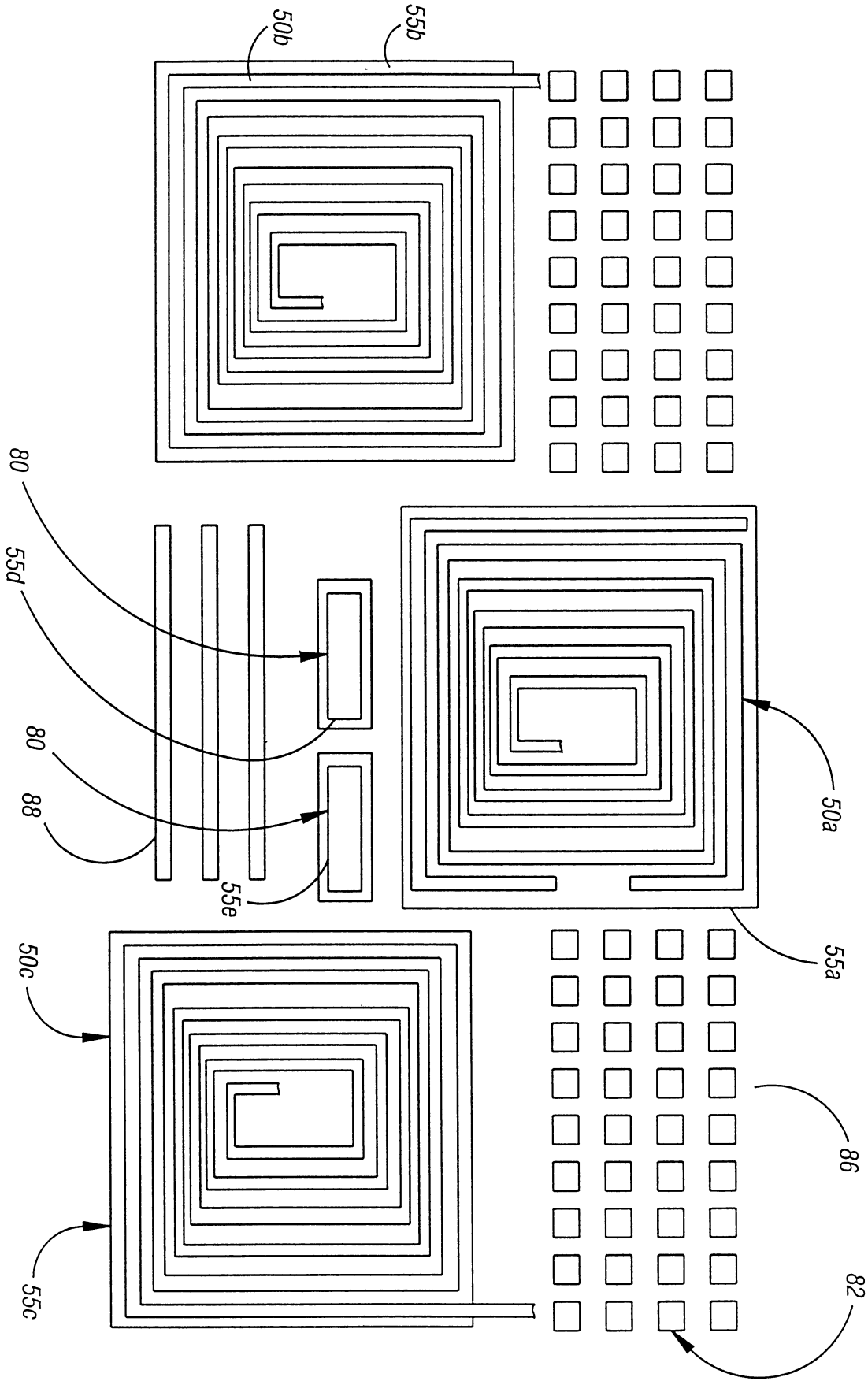
層體 3

第 13 圖

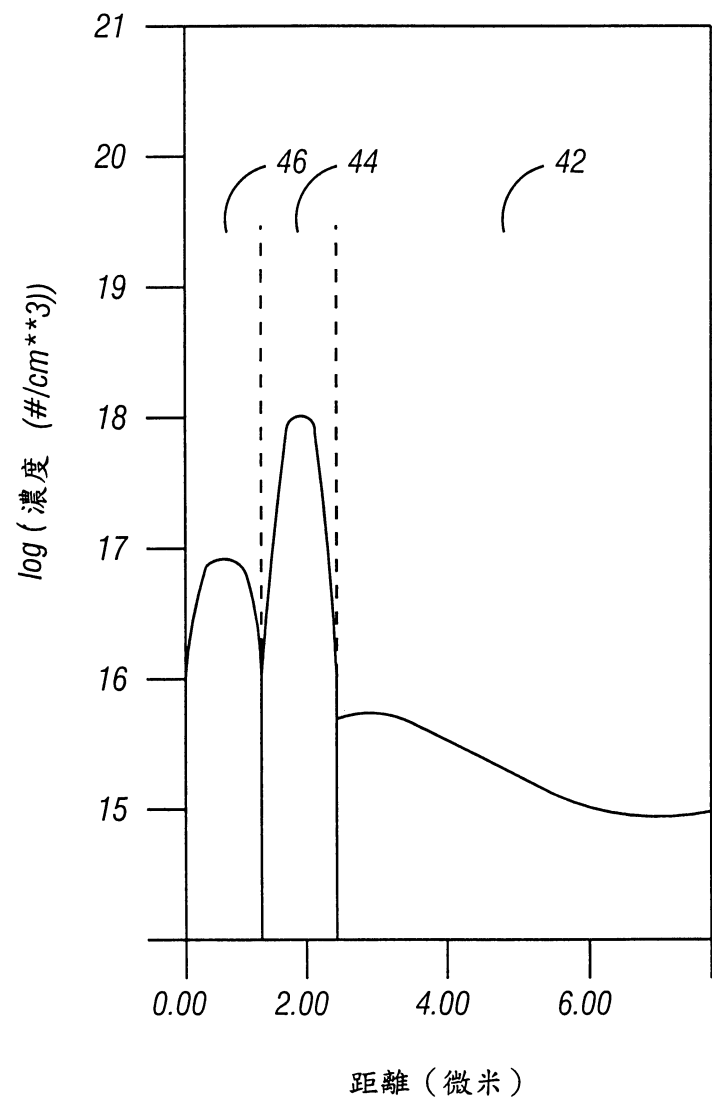


層體 1,2 & 3

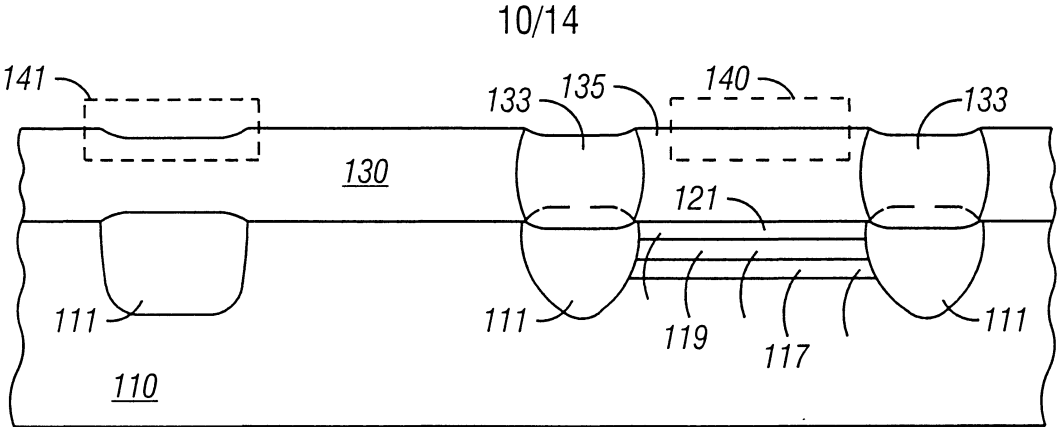
第 14 圖



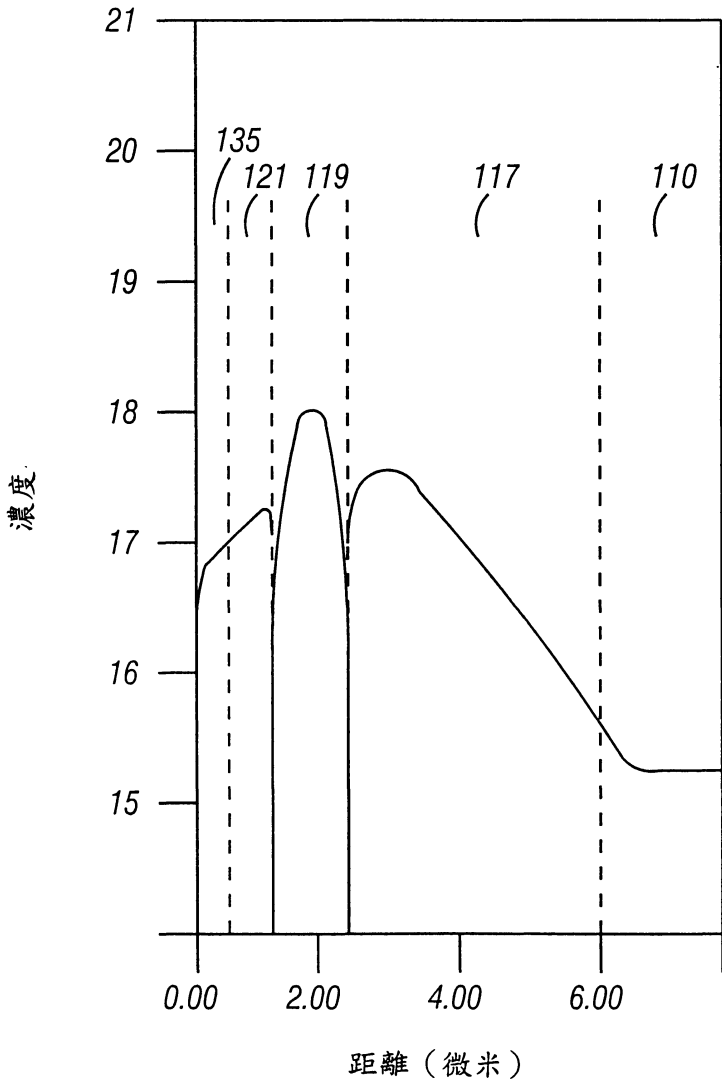
第 15 圖



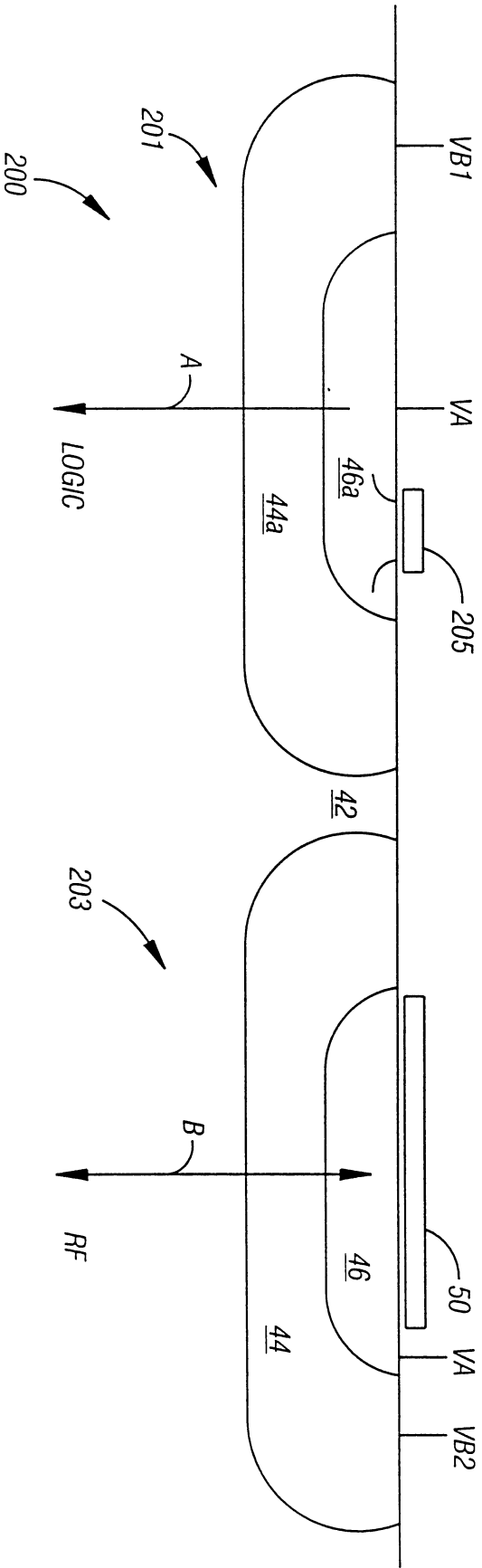
第 16 圖



第 17 圖 習知技術

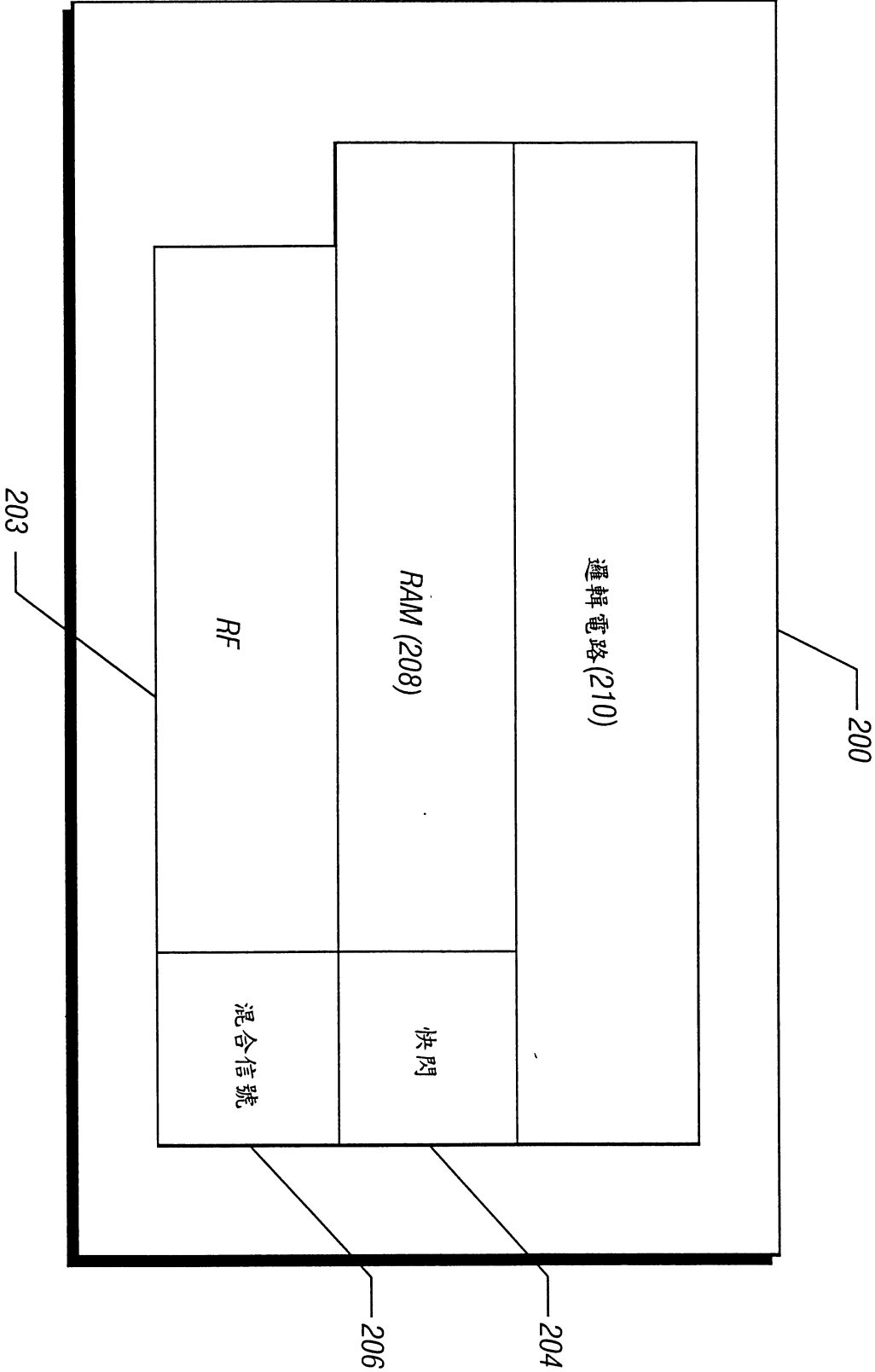


第 18 圖 習知技術

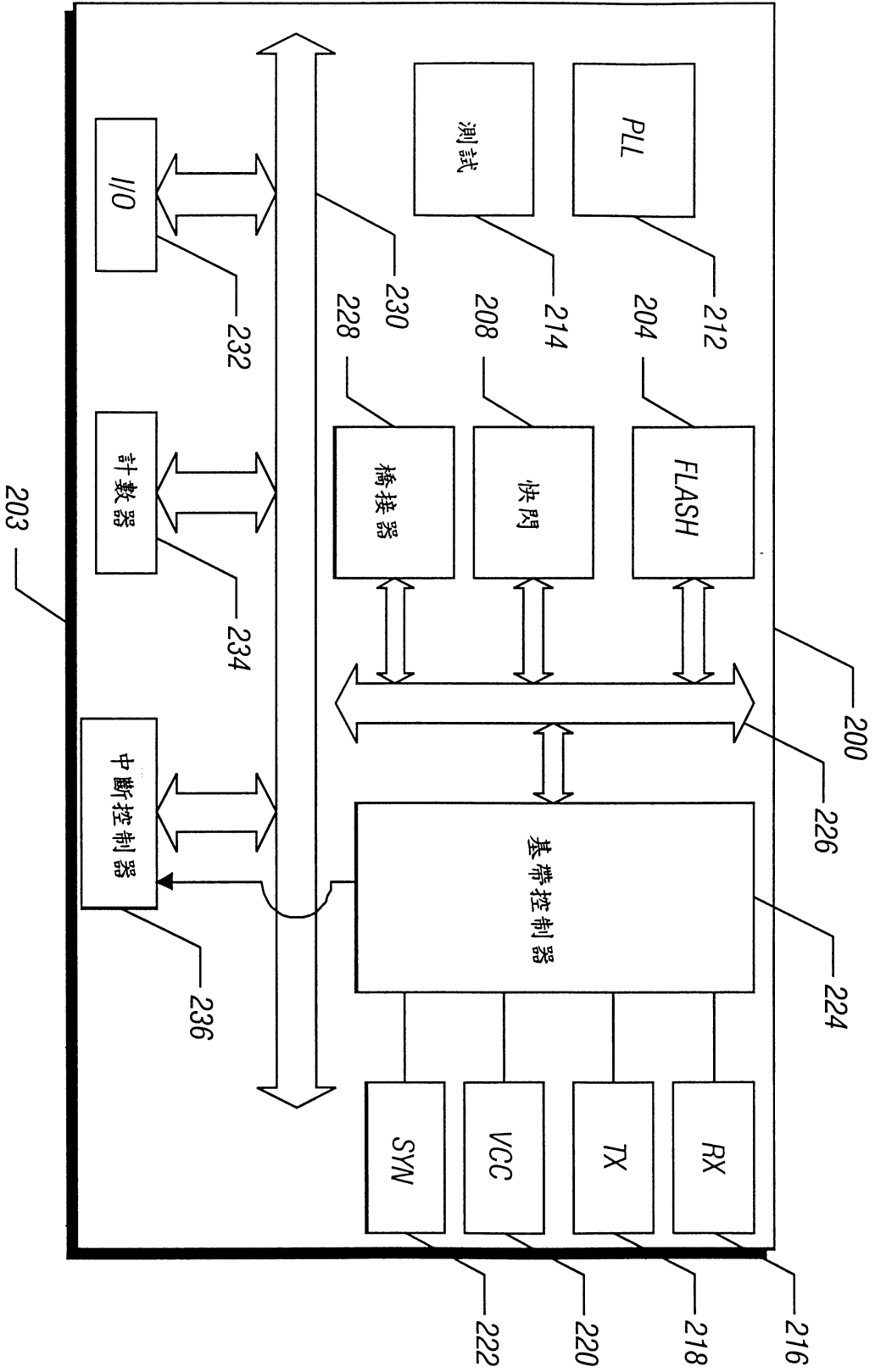


11/14

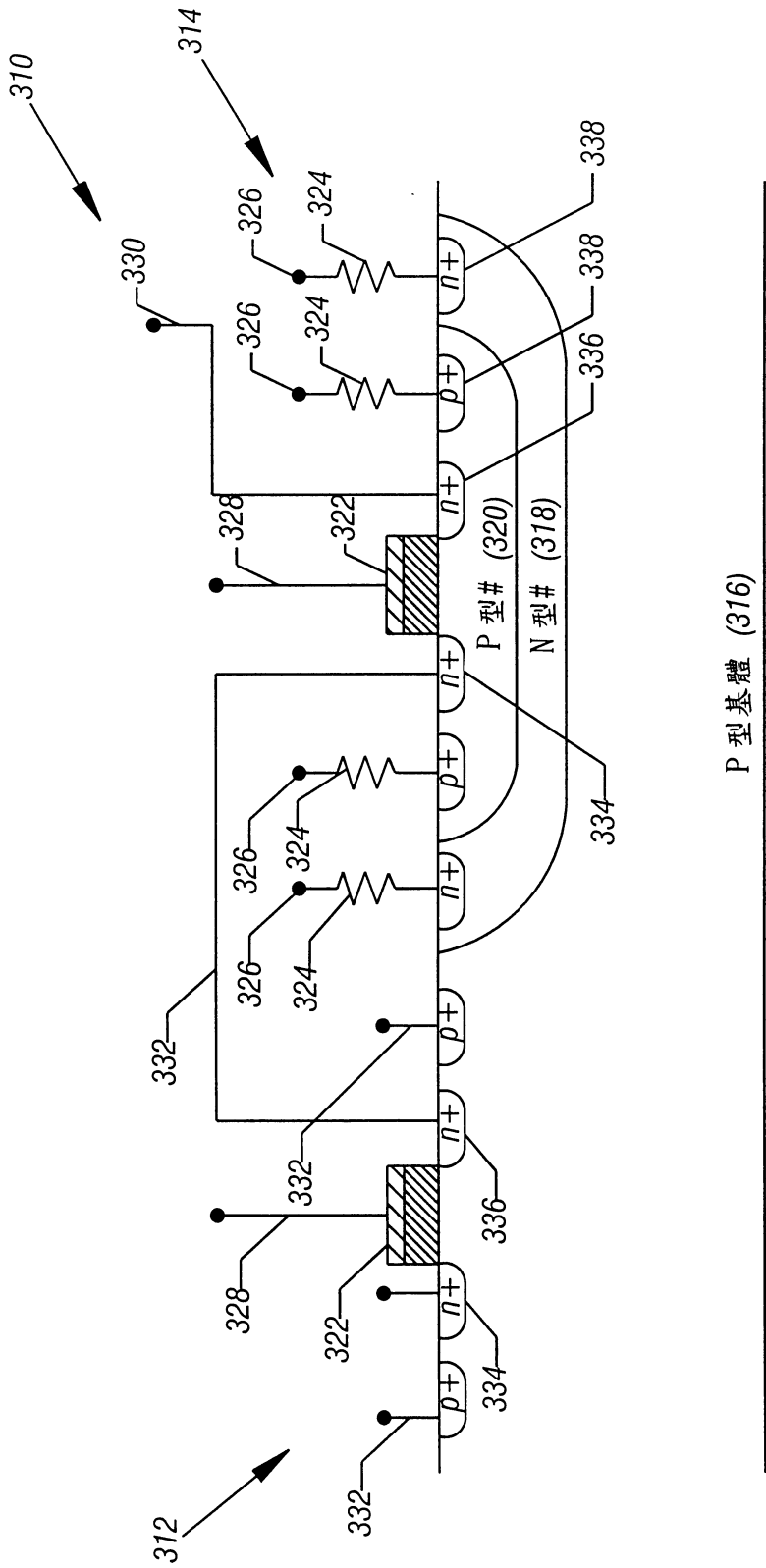
第 19 圖



第 20 圖



第 21 圖



第 22 圖

五、發明說明（8）

地，元件 50 沉積於三重井 40 之 P 型井上。適當的電氣連接可經過許多層體以電氣耦合感應元件 50 之終端與該積體電路。

也可使用另一種如第 7 圖所描述之非平面設計，譬如 Koullias 之第 5,545,916 號美國專利。如第 5 圖所示螺旋感應元件 50，可具有如第 7 圖所指示包括矩形部份 70 和圓形部份 72 之非平面的橫截面。每個線跡元件 58a 和 58b 被配置而使材料之厚度利於最內側邊”O”。因此，第 7 圖所示線跡起始於螺旋感應元件 50 之左側（如第 5 圖所示）。此材料加在近於可使電流在較高頻率時流過的一個邊緣”O”。

如另外之例子，螺旋感應元件 50 可具有一非矩形結構諸如多層體多元件之多邊形設計等，例如示於第 8 圖且於第 5,559,360 號美國專利所提出者。參考第 8 圖，具有導線 A_1 至 A_{10} 之層體具有一個標示為連接結構體 CON1 之第一終端 A。一組有十條連結導線， A_1 、 A_2 、 A_{10} 示於螺旋中心。示於第 8B 圖之第二層的導線 B_1 至 B_{10} ，於中心與 A_1 至 A_{10} 依相反的順序相連。螺旋感應元件之輸出視為第 8B 圖中所示的一個使 B 層中所有元件平行排列連接之平行連接體。藉由使用排置於基體的多重平行傳導元件（替換一個單一元件傳導路徑），電阻可減少而自感增加。減少的電阻和增加的自感可獲得一個改善的品質因數 (Q)。

如第 9 圖至第 14 圖所示、如第 6,008,102 號美國專利

六、申請專利範圍

第91116259號申請案申請專利範圍修正本 92.9.12.

1. 一種對三重井之一井偏壓之方法，包含：
形成一梯級電路之共閘極電晶體覆於一基體內之三重井上；及
5 透過一電阻器對該三重井之一井偏壓。
2. 如申請專利範圍第1項之方法，其包括形成一積體電感器於一個三重井上。
3. 如申請專利範圍第1項之方法，其包括在該基體內形成之一個N型井內形成一個P型井。
- 10 4. 如申請專利範圍第3項之方法，其包括透過電阻器對該等N型井和P型井偏壓。
5. 如申請專利範圍第1項之方法，其包括耦合該共閘極電晶體之源極與其他電晶體之源極。
6. 如申請專利範圍第5項之方法，其包括自該共閘極電晶體之汲極取得該梯級電路之輸出。
- 15 7. 如申請專利範圍第4項之方法，其包括偏壓前述區域以將該梯級電路之輸出與基體隔離。
8. 如申請專利範圍第7項之方法，其包括利用該三重井減少輸出分流電容。
- 20 9. 一種積體電路結構，包含：
一個基體；
一形成於該基體之上的梯級電路；以及
一形成於該梯級電路下之該基體內之三重井。
10. 如申請專利範圍第9項之積體電路結構，其中該梯級

六、申請專利範圍

電路包括 一形成於該三重井之上的共閘極電晶體。

11. 如申請專利範圍第10項之積體電路結構，其中該三重井各包括一於形成於基體內之一個N型井中形成的P型井。
- 5 12. 如申請專利範圍第11項之積體電路結構，其包括耦合至該等井之電阻器，該等電阻器被耦合至偏壓電位。
13. 如申請專利範圍第12項之積體電路結構，其包括一耦合至該共閘極電晶體之源極的電晶體。
14. 如申請專利範圍第13項之積體電路結構，其包括一耦
10 合至該共閘極電晶體之汲極的輸出節點。
15. 如申請專利範圍第14項之積體電路結構，其中該等井被偏壓以隔離該輸出節點與該基體。