

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-214362

(P2007-214362A)

(43) 公開日 平成19年8月23日(2007.8.23)

(51) Int. Cl.	F I	テマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 0 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 Y	5 F 1 4 0
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 E	5 F 1 5 2
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 C	
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	

審査請求 未請求 請求項の数 11 O L (全 17 頁)

(21) 出願番号 特願2006-32676 (P2006-32676)
 (22) 出願日 平成18年2月9日(2006.2.9)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 岩元 勇人
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 片桐 孝浩
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 Fターム(参考) 5F048 AA04 AC03 BA01 BB05 BB08
 BB11 BC01 BC05 BC15 BC18
 BC19 BD00 BE03 BG13 DA19
 DA23 DA25 DA27 DA30
 最終頁に続く

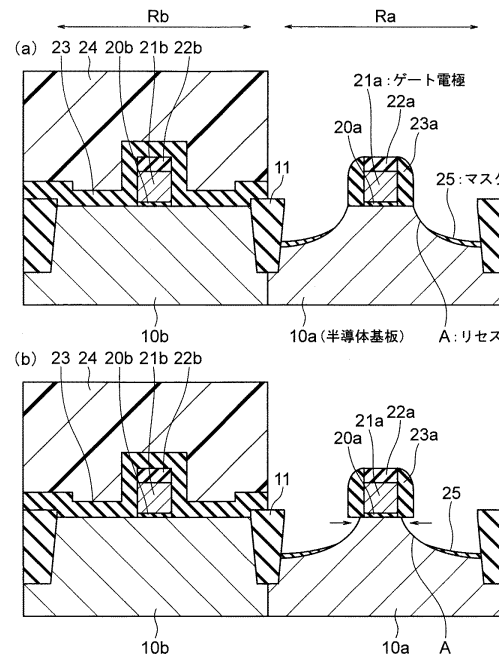
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】リセスを形成する際に、できるだけ深くならないようにして、チャンネル形成領域側に広げて形成でき、SiGe膜のエピタキシャル成長時の異常成長やトランジスタの素子分離特性の悪化を抑制できる半導体装置の製造方法を提供する。

【解決手段】半導体基板(10a)の表面にゲート絶縁膜20aを介してゲート電極21aを形成し、ゲート電極21aの両側部において半導体基板(10a)にリセスAを形成し、次に、リセスAの内壁面において、リセスAの側面より底面に高い選択性をもって異方的にマスク25を形成し、次に、マスク25でリセスAの底面を保護しながらエッチングを行い、リセスAをゲート電極21a側に拡張し、次に、マスク25を除去し、リセスAに導電体を埋め込んで、ゲート電極21aの両側部に一對のソース・ドレイン領域を形成する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

半導体基板の表面にゲート絶縁膜を介してゲート電極を形成する工程と、
 前記ゲート電極の両側部において前記半導体基板にリセスを形成する工程と、
 前記リセスの内壁面において、前記リセスの側面より底面に高い選択性をもって異方的にマスクを形成する工程と、
 前記マスクで前記リセスの底面を保護しながらエッチングを行い、前記リセスを前記ゲート電極側に拡張する工程と、
 前記マスクを除去する工程と、
 前記リセスに導電体を埋め込んで、前記ゲート電極の両側部に一对のソース・ドレイン領域を形成する工程と
 を有する
 半導体装置の製造方法。

10

【請求項 2】

前記マスクを形成する工程において、前記マスクとして前記リセスの底面に異方的に酸化シリコン膜を形成する
 請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記マスクを形成する工程において、 O_2 イオン種によるプラズマ酸化を行って前記マスクを形成する
 請求項 2 に記載の半導体装置の製造方法。

20

【請求項 4】

前記導電層を形成する工程において、エピタキシャル成長により前記リセスの内壁面に SiGe 膜を形成する
 請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

前記マスクを除去する工程が、前記マスクの表面をアンモニア及びフッ化水素を含むエッチングガスで処理する第 1 処理と、前記第 1 処理で形成された生成物を分解及び蒸発させる第 2 処理とを含む
 請求項 2 に記載の半導体装置の製造方法。

30

【請求項 6】

前記エッチング処理において前記第 1 処理で形成され、前記第 2 処理で分解及び蒸発される前記生成物が、 $(NH_4)_2SiF_6$ 錯体である
 請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 処理が $900 \sim 1100$ の温度を印加する熱処理である
 請求項 5 に記載の半導体装置の製造方法。

【請求項 8】

前記マスクを除去する工程において、ウェットエッチングにより前記マスクを除去する
 請求項 1 に記載の半導体装置の製造方法。

40

【請求項 9】

前記マスクを除去する工程において、前記リセスの内壁面に形成された自然酸化膜を同時に除去する
 請求項 1 に記載の半導体装置の製造方法。

【請求項 10】

前記マスクを形成する工程において、前記マスクとして前記リセスの底面に異方的に窒化シリコン膜または炭化シリコン膜を形成する
 請求項 1 に記載の半導体装置の製造方法。

【請求項 11】

前記ゲート電極を形成する工程と、前記リセスを形成する工程の間に、前記ゲート電極

50

の両側部に、酸化シリコン膜及び/又は窒化シリコン膜からなるサイドウォール絶縁膜を形成する工程をさらに有する

請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、特に、電界効果トランジスタのソース・ドレイン領域にリセスを形成してSiGe膜を埋め込む半導体装置の製造方法に関するものである。

【背景技術】

10

【0002】

半導体装置の基本的な素子であるMISFET(金属絶縁膜半導体電界効果トランジスタ)は、半導体装置の小型化及び高集積化を進めるにつれてますます微細化されている。

【0003】

しかし、微細化が進むにつれてMISFETの能力向上が従来のスケーリングだけで達成するのが難しいため、例えば特許文献1などに記載されているように、ゲート長方向(ゲート電極の延伸方向と垂直な方向)に引っ張りまたは圧縮の応力を発生する応力膜を使用して応力を印加することにより、電流駆動能力を高めてMISFETの能力向上を図る技術が90nm世代以降注目されている。

20

【0004】

上記においては、ソース・ドレイン領域の形成後にNチャネルMISFET(以降NTrとも称する)とPチャネルMISFET(以降PTrとも称する)で膜応力の異なる絶縁膜を形成しており、NTrにおいては引っ張り応力を、PTrには圧縮応力を与えて能力向上を図っている。

【0005】

例えば非特許文献1に記載されているように、PTrのソース・ドレイン領域となる領域にリセスを形成し、圧縮応力を与える応力膜としてSiGe膜をエピタキシャル成長により形成する方法が知られている。

【0006】

30

図11は、上記のようにして形成された半導体装置の断面図である。

例えば、半導体基板のn型半導体領域110aとp型半導体領域110bにおける活性領域を区分するように、STI(shallow trench isolation)型の素子分離絶縁膜111が形成されている。

上記のn型半導体領域110aにはPチャネルMISFET(PTr)が形成されており、p型半導体領域110bにはNチャネルMISFET(NTr)が形成されている。

【0007】

まず、PTrについて説明する。

上記のn型半導体領域110aの活性領域上にゲート絶縁膜120aが形成され、その上層にゲート電極121aが形成され、その上層にキャップ絶縁膜122aが形成されており、ゲート電極121aの両側部にサイドウォール絶縁膜123aが形成されている。

40

さらに、ゲート電極121aの両側部におけるn型半導体領域110aの表面のソース・ドレイン領域となる領域においてリセスAが形成されており、リセスA内にSiGe膜126が埋め込まれて一対のソース・ドレイン領域が形成されている。

【0008】

次に、NTrについて説明する。

上記のp型半導体領域110bの活性領域上にゲート絶縁膜120bが形成され、その上層にゲート電極121bが形成され、その上層にキャップ絶縁膜122bが形成されており、ゲート電極121bの両側部にサイドウォール絶縁膜123bが形成されている。

さらに、ゲート電極121bの両側部におけるp型半導体領域110b中に一対のソー

50

ス・ドレイン領域 130 が形成されている。

【0009】

上記の半導体装置の製造方法について説明する。

まず、図 12 (a) に示すように、半導体基板の n 型半導体領域 110 a と p 型半導体領域 110 b における活性領域を区分するように S T I 型の素子分離絶縁膜 111 を形成する。

上記の n 型半導体領域 110 a が P T r 形成領域 R a となり、p 型半導体領域 110 b が N T r 形成領域 R b となる。

次に、例えば、上記の P T r 形成領域 R a と N T r 形成領域 R b において、活性領域における n 型半導体領域 110 a と p 型半導体領域 110 b 上に、ゲート絶縁膜 (120 a , 120 b)、ゲート電極 (121 a , 121 b) 及びキャップ絶縁膜 (122 a , 122 b) を形成する。

10

【0010】

次に、図 12 (b) に示すように、P T r 形成領域 R a と N T r 形成領域 R b において酸化シリコン膜 123 を堆積する。

【0011】

次に、図 13 (a) に示すように、例えば、P T r 形成領域 R a を開口して N T r 形成領域 R b にレジスト膜 124 をパターン形成し、P T r 形成領域 R a において、酸化シリコン膜 123 を全面にエッチバックしてサイドウォール絶縁膜 123 a を形成する。

【0012】

次に、図 13 (b) に示すように、例えば、P T r 形成領域 R a において、サイドウォール絶縁膜 123 a 及びキャップ絶縁膜 122 a をマスクとして、活性領域における n 型半導体領域 110 a の表面にウェットエッチングを施し、P T r のソース・ドレイン領域となる領域においてリセス A を形成する。

20

【0013】

次に、レジスト膜 124 を除去し、さらにリセス A の表面の自然酸化膜を除去した後、図 14 (a) に示すように、シリコンが露出しているリセス A の表面に、S i G e を選択的にエピタキシャル成長させ、S i G e 膜 126 を形成する。

【0014】

次に、図 14 (b) に示すように、例えば、N T r 形成領域 R b を開口して P T r 形成領域 R a にレジスト膜 127 をパターン形成し、N T r 形成領域 R b において酸化シリコン膜 123 を全面にエッチバックしてサイドウォール絶縁膜 123 b を形成する。

30

【0015】

次に、図 15 に示すように、N T r 形成領域 R b において、サイドウォール絶縁膜 123 b 及びキャップ絶縁膜 122 b をマスクとして n 型の導電性不純物をイオン注入し、ソース・ドレイン領域 130 を形成する。

以上で、図 11 に示す半導体装置が形成される。

【0016】

このようにして形成された P T r は、ソース・ドレイン部分が S i G e 膜で形成されていて、圧縮応力の歪みが生じ、P T r 電流駆動能力が向上する。

40

なお、N T r においても、ソース・ドレイン部分に S i C を用いることで、上記と逆の歪みが発生し、電流駆動能力が向上する。

【0017】

ここで、S i G e 膜によるチャネル形成領域へのストレス印加は、S i G e 層がチャネル形成領域に近く、S i G e 膜の体積が大きいほど効果的である。このため、リセスを形成する際に、できるだけチャネル形成領域側に広げて形成することが重要となる。

しかし、上記のリセス形成はウェットエッチングにより等方的に進行するので、リセスをチャネル形成領域に広げるためにエッチング時間を延ばすほど、リセスが深くなり、最終的に形成される S i G e 膜の膜厚が厚くなっていくことになる。

【0018】

50

しかし、SiGe膜の成長工程においては、SiGe膜の膜厚を厚くするに従って異常成長が発生しやすくなるという問題がある。異常成長は、条件によっては、例えば数10nm程度の膜厚で発生することもある。

また、リセスの形成において、基板下方向もエッチングされて削れてしまうと、トランジスタの素子分離特性が悪化する方向に作用する。

このため、リセスを形成する際に、できるだけ深くないようにして、チャネル形成領域側に広げて形成することが重要となる。

【特許文献1】特開2005-57301号公報

【非特許文献1】P. Bai et al, "A 65nm Logic Technology Featuring 35nm Gate Lengths, Enhanced Channel Strain, 8 Cu Interconnect, Low-k ILD and 0.57 μm^2 SRAM Cell", International Electron Devices Meeting, pp 657-660, 2004. 10

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明は上記の問題に鑑みてなされたものであり、リセスを形成する際に、できるだけ深くないようにして、チャネル形成領域側に広げてリセスを形成できる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0020】

上記の課題を解決するため、本発明の半導体装置の製造方法は、半導体基板の表面にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の両側部において前記半導体基板にリセスを形成する工程と、前記リセスの内壁面において、前記リセスの側面より底面に高い選択性をもって異方的にマスクを形成する工程と、前記マスクで前記リセスの底面を保護しながらエッチングを行い、前記リセスを前記ゲート電極側に拡張する工程と、前記マスクを除去する工程と、前記リセスに導電体を埋め込んで、前記ゲート電極の両側部に一对のソース・ドレイン領域を形成する工程とを有する。 20

【0021】

上記の本発明の半導体装置の製造方法は、半導体基板の表面にゲート絶縁膜を介してゲート電極を形成し、ゲート電極の両側部において半導体基板にリセスを形成する。

次に、リセスの内壁面において、リセスの側面より底面に高い選択性をもって異方的にマスクを形成する。 30

次に、マスクでリセスの底面を保護しながらエッチングを行い、リセスをゲート電極側に拡張する。

次に、マスクを除去し、リセスに導電体を埋め込んで、ゲート電極の両側部に一对のソース・ドレイン領域を形成する。

【発明の効果】

【0022】

本発明の半導体装置の製造方法によれば、リセスを形成する際に、できるだけ深くないようにして、チャネル形成領域側に広げてリセスを形成でき、SiGe膜のエピタキシャル成長時の異常成長やトランジスタの素子分離特性の悪化を抑制できる。 40

【発明を実施するための最良の形態】

【0023】

以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して説明する。

【0024】

第1実施形態

図1は、本実施形態に係る半導体装置の断面図である。

例えば、半導体基板のn型半導体領域10aとp型半導体領域10bにおける活性領域を区分するように、STI (shallow trench isolation) 型の素子分離絶縁膜11が形成されている。

上記の n 型半導体領域 10 a には P チャネル M I S F E T (P T r) が形成されており、p 型半導体領域 10 b には N チャネル M I S F E T (N T r) が形成されている。

【0025】

まず、P T r について説明する。

例えば、上記の n 型半導体領域 10 a の活性領域上にゲート絶縁膜 20 a が形成され、その上層にゲート電極 21 a が形成され、その上層にキャップ絶縁膜 22 a が形成されている。

また、ゲート電極 21 a の両側部に、サイドウォール絶縁膜 23 a が形成されている。

【0026】

例えば、サイドウォール絶縁膜 23 a は、T E O S (tetra-ethyl-ortho-silicate) を原料ガスとする減圧 C V D (chemical vapor deposition) 法による酸化シリコン膜 (T E O S 膜) あるいはプラズマ C V D 法による N S G (non-doped silicate glass) である酸化シリコン膜 (N S G 膜) などで形成されている。あるいは、例えば 650 以下の成膜温度の低温 C V D 法などによる窒化シリコン膜 (低温 S i N 膜) で形成されていてもよく、酸化シリコン膜と窒化シリコン膜との積層体で形成されていてもよい。

また、ゲート絶縁膜 20 a は例えば酸化シリコンで形成されており、あるいは、ハフニウムやアルミニウムを含んだ金属酸化膜などで形成されていてもよい。

また、ゲート電極 21 a は例えばポリシリコンで形成されており、あるいは、金属材料を含んだ電極でもよい。

また、キャップ絶縁膜 22 a は窒化シリコンなどで形成されており、素子分離絶縁膜 11 は N S G 膜などで形成されている。

【0027】

さらに、ゲート電極 21 a の両側部における n 型半導体領域 10 a の表面のソース・ドレイン領域となる領域においてリセス A が形成されており、リセス A 内に S i G e 膜 26 が埋め込まれて一対のソース・ドレイン領域が形成されている。

また、S i G e 膜 26 のチャンネル形成領域側における n 型半導体領域 10 a の表層部分には、不図示のエクステンション領域が形成されている。

上記のようにして、P T r が構成されている。

【0028】

上記の P T r において、S i G e 膜 26 は P T r のチャンネル形成領域に圧縮応力を印加する応力膜であり、電流駆動能力が高められて能力が向上した P T r となっている。

【0029】

次に、N T r について説明する。

上記の p 型半導体領域 10 b の活性領域上にゲート絶縁膜 20 b が形成され、その上層にゲート電極 21 b が形成され、その上層にキャップ絶縁膜 22 b が形成されている。

また、ゲート電極 21 b の両側部にサイドウォール絶縁膜 23 b が形成されている。

ゲート絶縁膜 20 b、ゲート電極 21 b、キャップ絶縁膜 22 b、サイドウォール絶縁膜 23 b は、例えば、それぞれ P T r の対応する部材と同じ材料で形成されている。

【0030】

さらに、ゲート電極 21 b の両側部における p 型半導体領域 10 b 中に一対のソース・ドレイン領域 30 が形成されている。

また、ソース・ドレイン領域 30 のチャンネル形成領域側における p 型半導体領域 10 b の表層部分には、不図示のエクステンション領域が形成されている。

上記のようにして、N T r が構成されている。

【0031】

さらに、上記の N T r を被覆して、例えば窒化シリコンからなり、N T r に引っ張りの応力を印加する応力膜 31 が形成されている。

上記の応力膜 31 が形成されているので、電流駆動能力が高められて能力が向上した N T r となっている。

【0032】

次に、上記の半導体装置の製造方法について説明する。

まず、図2(a)に示すように、例えば、半導体基板のn型半導体領域10aとp型半導体領域10bにおける活性領域を区分するように、NSG膜からなるSTI型の素子分離絶縁膜11を形成する。

上記のn型半導体領域10aがPTr形成領域Raとなり、p型半導体領域10bがNTr形成領域Rbとなる。

【0033】

次に、例えば、上記のPTr形成領域RaとNTr形成領域Rbにおいて、活性領域におけるn型半導体領域10aとp型半導体領域10b上に、例えば熱酸化法などによりゲート絶縁膜(20a, 20b)を形成する。

【0034】

次に、例えば、PTr形成領域RaとNTr形成領域Rbにおいて、ゲート絶縁膜(20a, 20b)の上層に、CVD法によりポリシリコンなどの導電膜を堆積し、さらに成膜温度650以下の低温CVD法により窒化シリコンなどを堆積し、ゲート電極のパターンにエッチング加工して、ポリシリコンなどからなるゲート電極(21a, 21b)と低温SiN膜などからなるキャップ絶縁膜(22a, 22b)を形成する。キャップ絶縁膜(22a, 22b)は、ゲート電極となる導電膜をエッチングする際のマスクとなり、ハードマスクとも称せられる。

【0035】

次に、例えば、PTr形成領域Raにおいて、ゲート電極21a及びキャップ絶縁膜22aをマスクとしてp型の導電性不純物をn型半導体領域10aの活性領域における表層部分にイオン注入することで、不図示のエクステンション領域を形成する。

また、例えば、NTr形成領域Rbにおいて、ゲート電極21b及びキャップ絶縁膜22bをマスクとしてn型の導電性不純物をp型半導体領域10bの活性領域における表層部分にイオン注入することで、不図示のエクステンション領域を形成する。

【0036】

次に、図2(b)に示すように、例えば、PTr形成領域RaとNTr形成領域Rbにおいて、TEOSを原料ガスとする減圧CVD法などにより酸化シリコン膜(TEOS膜)23を堆積する。

【0037】

次に、図3(a)に示すように、例えば、PTr形成領域Raを開口してNTr形成領域Rbにレジスト膜24をパターン形成し、PTr形成領域Raにおいて、例えば、TEOS膜23を全面にエッチバックして、TEOS膜であるサイドウォール絶縁膜23aを形成する。

サイドウォール絶縁膜23aとしては、上記のようにNSG膜や窒化シリコン膜などで形成してもよく、あるいは、TEOS膜、NSG膜、窒化シリコン膜などから選択された材料の積層体として形成してもよい。

【0038】

次に、図3(b)に示すように、例えば、PTr形成領域Raにおいて、サイドウォール絶縁膜23a及びキャップ絶縁膜22aをマスクとして、活性領域におけるn型半導体領域10aの表面にエッチングを施し、PTrのソース・ドレイン領域となる領域においてリセスAを形成する。

【0039】

上記のリセスのエッチングは、例えば以下の条件により、50nm程度除去するように行う。

- ・処理圧力：20mTorr
- ・処理温度：60
- ・ソースパワー：500W、バイアスパワー：50W
- ・CF₄/O₂流量：40/10sccm

【0040】

10

20

30

40

50

次に、図4(a)に示すように、例えば、リセスAの側面より底面に高い選択性をもって異方的にマスク25を形成する。

ここでは、 O_2 イオン種を種とした異方性のアッシング処理により、リセス底面のみアッシング酸化を行い、酸化シリコン膜を形成する。ここで用いるアッシング酸化は、ホロカソード型構造のアッシング装置で行うことが望ましい。ホロカソード型構造では、放電インピーダンスが小さいため、大きな電流が流れる。すなわち、プラズマ密度が非常に高く、基板表面には多量の O_2 イオンが入射することになる。主反応種がイオンであるため、直進性が高く、リセスの側壁はあまり酸化されず底部のみが積極的に酸化される。

【0041】

上記のマスク形成のための異方性アッシングの条件は、以下のように行う。

10

- ・ O_2 流量：100 sccm
- ・ RF パワー：200 W
- ・ 圧力：0.1 Torr
- ・ 処理時間：2～3分

【0042】

なお、平行平板型等のRIE装置でも O_2 イオンを主とした酸化処理は可能であるが、イオン密度が小さいためホロカソード型処理の方が有効である。

【0043】

あるいは、上記のマスク25を形成する工程において、指向性の強いスパッタリング法などにより、リセスAの底面に異方的に窒化シリコン膜または炭化シリコン膜を形成して、マスク25としてもよい。

20

【0044】

次に、図4(b)に示すように、例えば、マスク25でリセスAの底面を保護しながらエッチングを行い、リセスAをゲート電極21a側に拡張する。

ここでは、例えば、リセスAのゲート電極21a側の端部が、ゲート電極21aの直下に到達しない程度に、できるだけチャンネル形成領域側に近づくようにしてエッチングする。

リセスAの底部には上記のマスク25が存在するため、基板下方向のエッチングは抑制され、横方向のエッチングが促進される。

【0045】

30

上記のリセスAをゲート電極21a側に拡張するエッチングとしては、以下の条件の等方的エッチングを行う。

- ・ 処理圧力：20 mTorr
- ・ 処理温度：60
- ・ ソースパワー：500 W、バイアスパワー：50 W
- ・ CF_4 / O_2 流量：40 / 10 sccm

【0046】

次に、図5(a)に示すように、例えばアッシング処理によりレジスト膜24を除去する。

【0047】

40

次に、リセスA部分に選択的にSiGe膜をエピタキシャル成長させるが、SiGe膜成長領域の表面はSiであることが必要であるため、SiGe膜成長の前処理として、図5(b)に示すように、リセスAの底面に存在しているマスク25及びリセスA側壁に存在する自然酸化膜やダメージ層を除去する。

一般的には、DHF処理により熱酸化膜相当1～3nmのウェットエッチング処理を行うが、より高選択比でリセス酸化膜を除去するには、以下のようなドライクリーニング技術を用いる。

【0048】

上記マスク25除去のエッチング処理は、例えば、まず、第1処理として、リセスAの内壁面に露出しているマスク25の表面をアンモニア及びフッ化水素を含むエッチングガ

50

スで処理する。次に、第 2 処理として、第 1 処理で形成された生成物を分解及び蒸発させる。

【 0 0 4 9 】

上記の第 1 処理について説明する。

例えば、リセス A の内壁面を、 NH_3 、 HF 、 Ar からなる混合ガス雰囲気中でケミカルエッチングする。

具体的には、エッチング装置のケミカルエッチング室にウェーハを搬送し、ウェーハ用ステージにウェーハを載置した後に、以下のガス雰囲気をつくり、マスク 25 及び自然酸化膜を化学反応させてリセス A の内壁面に Si を含む錯体の層を形成させる。

【 0 0 5 0 】

上記の第 1 処理の条件は以下のようにする。

- ・チャンパー内圧力：10～30 m Torr、例えば 20 m Torr
- ・ HF 流量：10～50 sccm、40 m Torr
- ・ NH_3 流量：10～50 sccm、40 m Torr
- ・ Ar 流量：50～100 sccm、80 m Torr
- ・基板温度：20～40、例えば 35

10

【 0 0 5 1 】

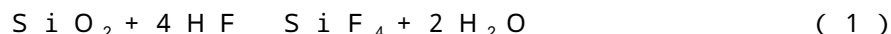
上記の混合ガス雰囲気での化学反応は、以下のように説明される。

ケミカルエッチング室に、気相で $\text{HF} / \text{NH}_3 / \text{Ar}$ が供給されると、露出している自然酸化膜（酸化シリコン）の表面に、ガスがラングミュア吸着される。同時に次の化学式 (1) 及び (2) で示されるような化学反応が進行する。

20

【 0 0 5 2 】

[化 1]



【 0 0 5 3 】

つまり、 HF で一旦、 SiF_4 と H_2O が生成した後に、 NH_3 と HF と SiF_4 の化学反応により、酸化シリコンからなる自然酸化膜の表面に、 $(\text{NH}_4)_2\text{SiF}_6$ の錯体の層が形成されるものである。

この反応は、ラングミュア吸着による分子数層レベルのガス吸着に支配されており、吸着ガス分子の被覆率が飽和すると自己停止する。

30

【 0 0 5 4 】

次に上記の第 2 処理について説明する。

上記の $(\text{NH}_4)_2\text{SiF}_6$ の錯体の層が形成されたウェーハを直ちに加熱チャンパーに搬送して、加熱用ステージに載置した後に、ヒーター加熱を開始して、 $(\text{NH}_4)_2\text{SiF}_6$ の錯体を SiF_4 などに分解して蒸発させる。

【 0 0 5 5 】

上記の第 2 処理の条件は以下のようにする。

- ・チャンパー内圧力：500～700 m Torr、例えば 675 m Torr
- ・温度：100～200、例えば 175

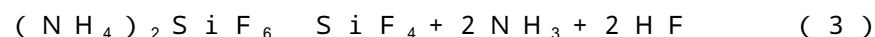
40

【 0 0 5 6 】

この反応は次の化学式 (3) で説明される。リセス A の内壁面に形成された $(\text{NH}_4)_2\text{SiF}_6$ の錯体の層 27c は、基板温度が上記の温度に加熱されると、 SiF_4 、 NH_3 、 HF などに分解して蒸発し、ガスとしてドライポンプにより排気される。

【 0 0 5 7 】

[化 2]



【 0 0 5 8 】

上記のケミカルエッチングでは、熱酸化膜（自然酸化膜）と TEOS 膜のエッチング選択比が従来の DHF 薬液を用いたエッチングの場合と逆転する。

50

DHF薬液の場合は、熱酸化膜のエッチング量を1とした時のTEOS膜のエッチング量は5～7程度であるのに対し、上記の本実施形態のガス反応によるケミカルエッチング反応を行った場合は、熱酸化膜のエッチング量を1とした時にTEOS膜のエッチング量は0.5～1.0程度になる。

NSG膜についても同様であり、DHF薬液の場合は、熱酸化膜の7倍程度のエッチングレートであるが、上記のケミカルエッチングでは熱酸化膜と同等のエッチングレートとなる。

さらに、低温SiN膜についても同様であり、上記のケミカルエッチングでは熱酸化膜と同等のエッチングレートとすることができる。

【0059】

また、DHF処理により、上記のマスク25及び自然酸化膜を除去してもよい。

あるいは、マスク25が酸化シリコン以外の材料で形成されている場合には、上記以外のエッチング条件でマスクを除去し、さらに上記のようなエッチングにより自然酸化膜を除去するようにしてもよい。

【0060】

次に、図6(a)に示すように、シリコンが露出しているリセスAの表面に、SiGe膜を選択的にエピタキシャル成長させ、例えばホウ素をドーブしたSiGe膜26を形成する。

【0061】

上記のSiGe膜26の形成の条件は以下のようにする。

- ・処理温度：700
- ・処理圧力：10 Torr
- ・DCS / GeH₄ / HCl = 50 / 100 / 20 sccm

【0062】

上記のSiGe膜26はそのままソース・ドレイン領域となり、Ptrが構成される。

また、SiGe膜26はPtrのチャンネル形成領域に圧縮応力を印加する応力膜であり、電流駆動能力が高められてPtrの能力が向上する。

【0063】

次に、図6(b)に示すように、例えば、NTr形成領域Rbを開口してPtr形成領域にレジスト膜27をパターン形成し、NTr形成領域Rbにおいて、例えば、TEOS膜23を全面にエッチバックして、TEOS膜であるサイドウォール絶縁膜23bを形成する。

【0064】

次に、図7(a)に示すように、例えば、NTr形成領域Rbにおいて、サイドウォール絶縁膜23b及びキャップ絶縁膜22bをマスクとして、n型の導電性不純物をp型半導体領域10bの活性領域における表層部分にイオン注入することで、ソース・ドレイン領域30を形成する。これにより、NTrが形成される。

【0065】

次に、例えば、NTr形成領域Rbにおいて、CVD法によりNTrを被覆して窒化シリコンを堆積させ、応力膜31を形成する。以上で図1に示す構成とすることができる。

上記の応力膜31はNTrのチャンネル形成領域に引っ張り応力を印加する応力膜であり、電流駆動能力が高められてNTrの能力が向上する。

あるいは、Ptrと同様にして、NTrにおいてもリセスを形成し、リセス内にソース・ドレインとしてSiC膜を選択的にエピタキシャル成長させ、SiC膜によりチャンネル形成領域に引っ張り応力を印加してトランジスタ特性を向上させることができる。

【0066】

上記のSiC膜の形成条件は、例えば以下のようにする。

- ・処理温度：700
- ・処理圧力：10 Torr
- ・SiH₄ / SiH₃CH₃ / HCl / AsH₃ = 30 / 50 / 20 / 10 sccm

10

20

30

40

50

【0067】

上記の本実施形態に係る半導体装置の製造方法によれば、PTr駆動能力を高めるために、ソース・ドレイン領域にリセスを形成して応力膜としてSiGe膜を形成する方法において、リセスを形成する際に、できるだけ深くならないようにして、チャンネル形成領域側に広げて形成でき、SiGe膜のエピタキシャル成長時の異常成長やトランジスタの素子分離特性の悪化を抑制できる。

【0068】

第2実施形態

図8は、本実施形態に係る半導体装置の断面図である。

実質的に第1実施形態の半導体装置と同様であるが、PTrのソース・ドレインとしてリセスAに埋め込まれているSiGe膜26が、ノンドープSiGe膜28とホウ素ドープSiGe膜29の積層体で形成されていることが異なる。

【0069】

上記の本実施形態の半導体装置の製造方法について説明する。

まず、図9(a)に示すリセスA内壁表面のマスク25、自然酸化膜及びダメージ層の除去工程までは、第1実施形態と同様にして行う。

次に、図9(b)に示すように、シリコンが露出しているリセスAの表面に、SiGe膜を選択的にエピタキシャル成長させ、リセスAの一部を埋め込むような膜厚で、ノンドープSiGe膜28を形成する。

次に、図10(a)に示すように、ノンドープSiGe膜28の上層に、リセスAを埋め込むようにして、ホウ素ドープノンドープSiGe膜29を形成する。

【0070】

以降の工程は、第1実施形態と同様にして、図10(b)に示すように、NTr形成領域Rbにおいてサイドウォール絶縁膜23bを形成し、ソース・ドレイン領域30を形成して、NTrとする。

【0071】

上記の本実施形態に係る半導体装置の製造方法によれば、PTr駆動能力を高めるために、ソース・ドレイン領域にリセスを形成して応力膜としてSiGe膜を形成する方法において、リセスを形成する際に、できるだけ深くならないようにして、チャンネル形成領域側に広げて形成でき、SiGe膜のエピタキシャル成長時の異常成長やトランジスタの素子分離特性の悪化を抑制できる。

【0072】

本発明は上記の説明に限定されない。

例えば、実施形態においてはPTrのソース・ドレインとしてSiGe膜を埋め込んでいるが、その他の導電性の応力膜を埋め込むことも可能であり、例えばNTrに適用する場合にはSiC膜を形成することができる。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

【0073】

本発明の半導体装置の製造方法は、リセスを形成する際に、できるだけ深くならないようにして、チャンネル形成領域側に広げて形成でき、SiGe膜のエピタキシャル成長時の異常成長やトランジスタの素子分離特性の悪化を抑制できる。

【図面の簡単な説明】

【0074】

【図1】図1は本発明の第1実施形態に係る半導体装置の断面図である。

【図2】図2(a)及び図2(b)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図3】図3(a)及び図3(b)は本発明の第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図4】図4(a)及び図4(b)は本発明の第1実施形態に係る半導体装置の製造方法

の製造工程を示す断面図である。

【図 5】図 5 (a) 及び図 5 (b) は本発明の第 1 実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 6】図 6 (a) 及び図 6 (b) は本発明の第 1 実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 7】図 7 (a) 及び図 7 (b) は本発明の第 1 実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 8】図 8 は本発明の第 2 実施形態に係る半導体装置の断面図である。

【図 9】図 9 (a) 及び図 9 (b) は本発明の第 2 実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

10

【図 10】図 10 (a) 及び図 10 (b) は本発明の第 2 実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 11】図 11 は従来例に係る半導体装置の断面図である。

【図 12】図 12 (a) 及び図 12 (b) は従来例に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 13】図 13 (a) 及び図 13 (b) は従来例に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 14】図 14 (a) 及び図 14 (b) は従来例に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 15】図 15 は従来例の問題点を説明する模式図である。

20

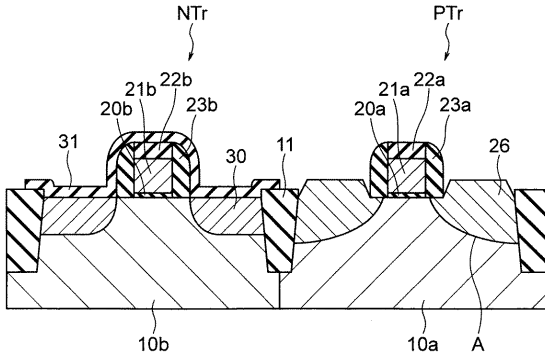
【符号の説明】

【 0 0 7 5 】

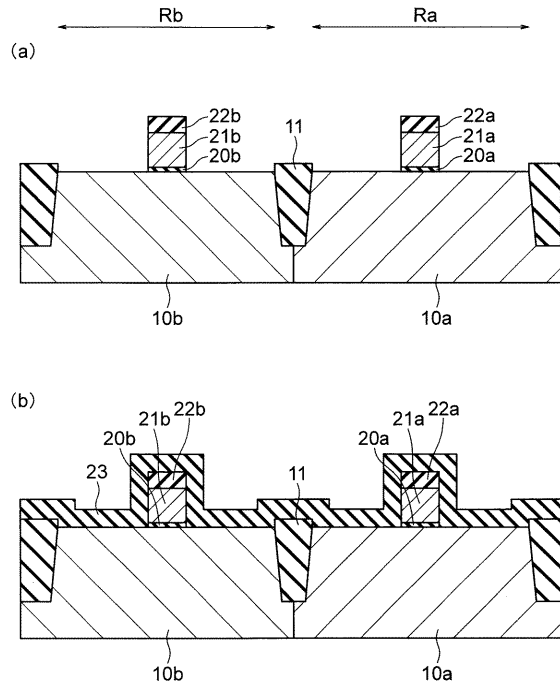
1 0 a ... n 型半導体領域、1 0 b ... p 型半導体領域、1 1 ... 素子分離絶縁膜、2 0 a , 2 0 b ... ゲート絶縁膜、2 1 a , 2 1 b ... ゲート電極、2 2 a , 2 2 b ... キャップ絶縁膜、2 3 a , 2 3 b ... サイドウォール絶縁膜、2 4 ... レジスト膜、2 5 ... マスク、2 6 ... SiGe 膜、2 7 ... レジスト膜、2 8 ... ノンドープ SiGe 膜、2 9 ... ホウ素ドープ SiGe 膜、3 0 ... ソース・ドレイン領域、3 1 ... 応力膜、1 1 0 a ... n 型半導体領域、1 1 0 b ... p 型半導体領域、1 1 1 ... 素子分離絶縁膜、1 2 0 a , 1 2 0 b ... ゲート絶縁膜、1 2 1 a , 1 2 1 b ... ゲート電極、1 2 2 a , 1 2 2 b ... キャップ絶縁膜、1 2 3 a , 1 2 3 b ... サイドウォール絶縁膜、1 2 4 ... レジスト膜、1 2 6 ... SiGe 膜、1 2 7 ... レジスト膜、1 3 0 ... ソース・ドレイン領域、A ... リセス

30

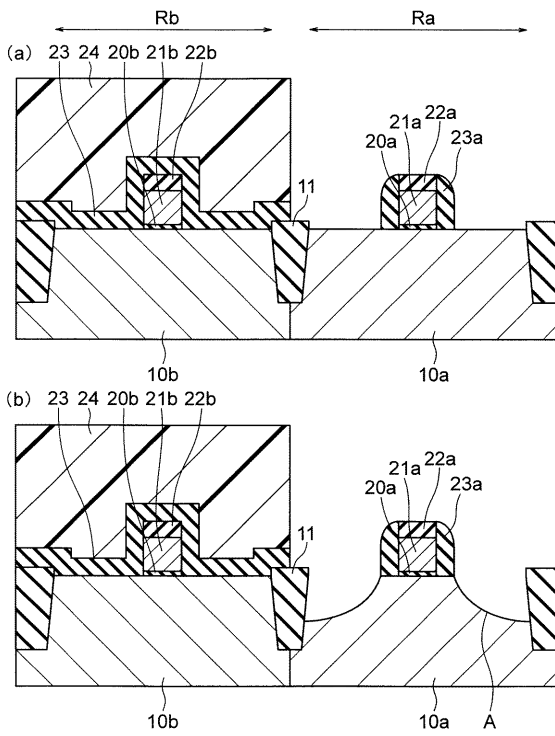
【 図 1 】



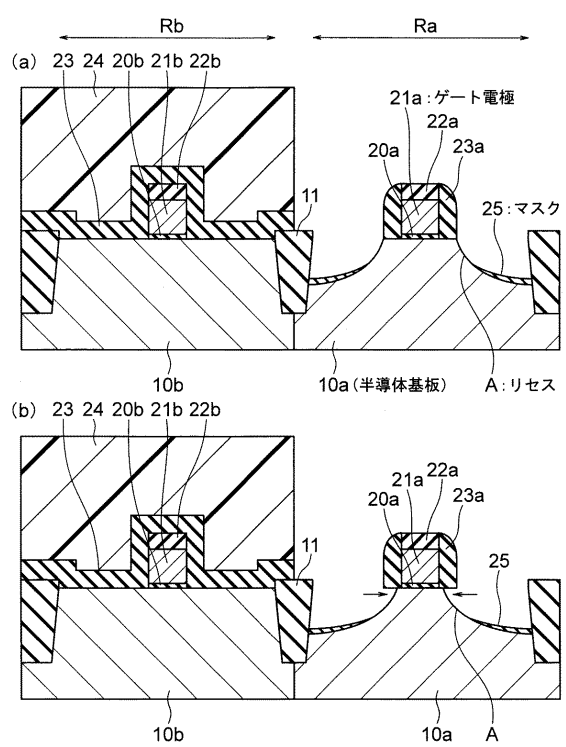
【 図 2 】



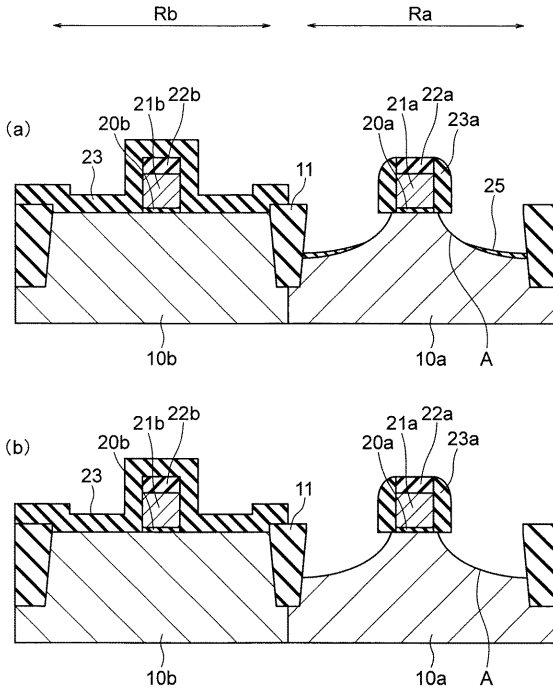
【 図 3 】



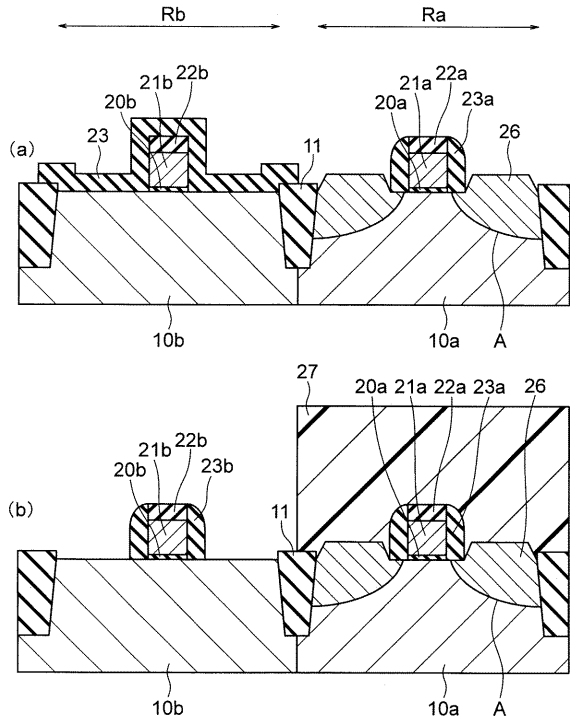
【 図 4 】



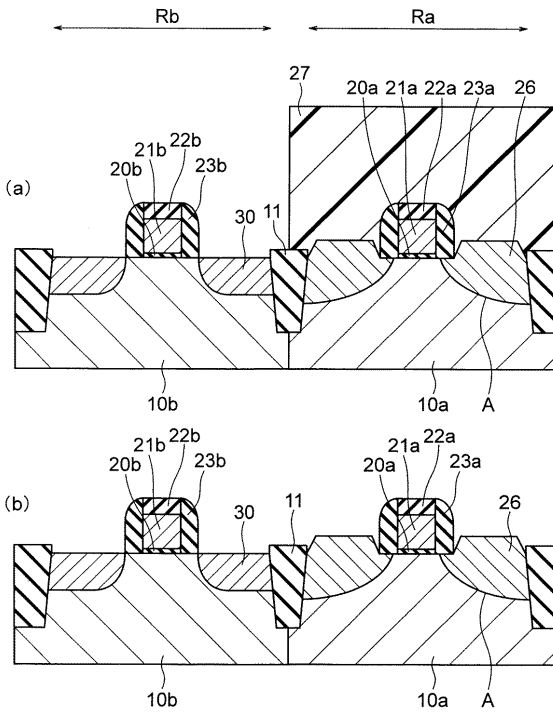
【 図 5 】



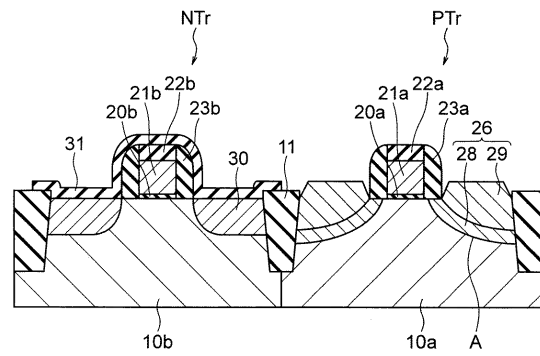
【 図 6 】



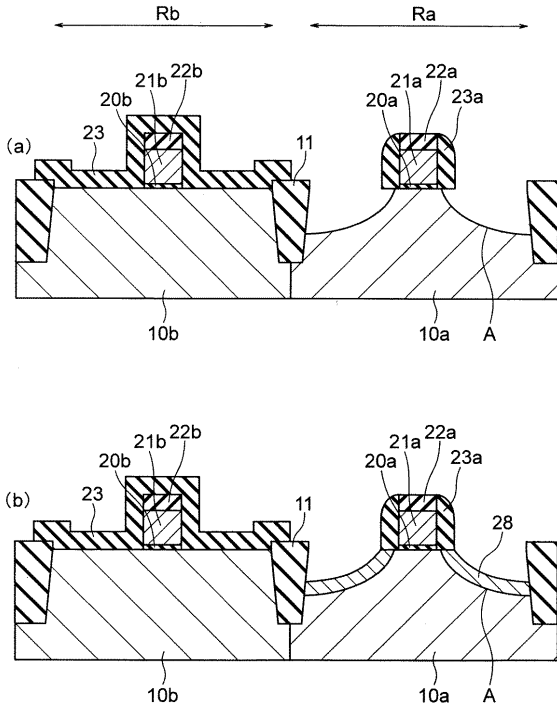
【 図 7 】



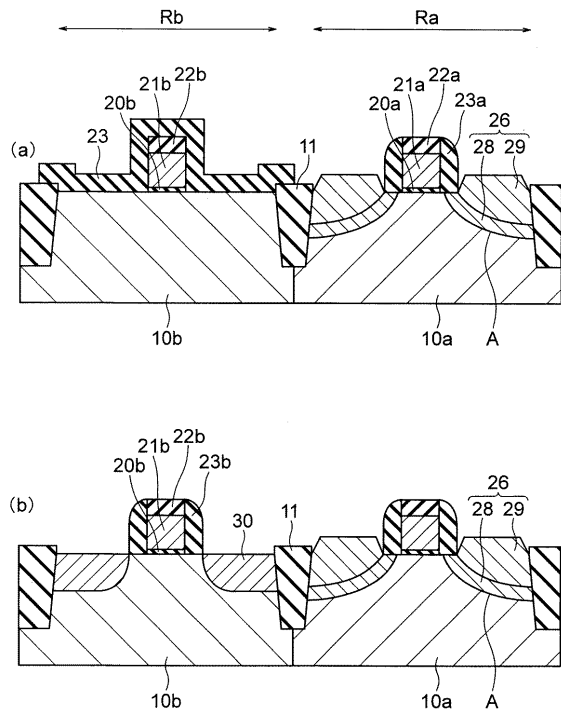
【 図 8 】



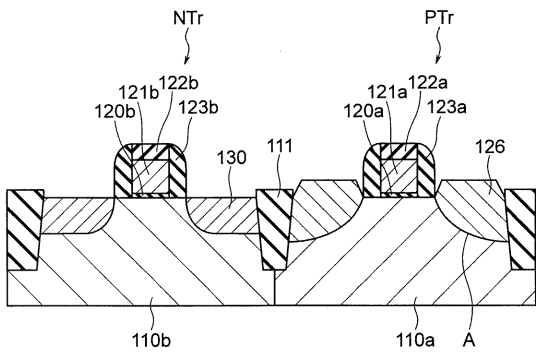
【 図 9 】



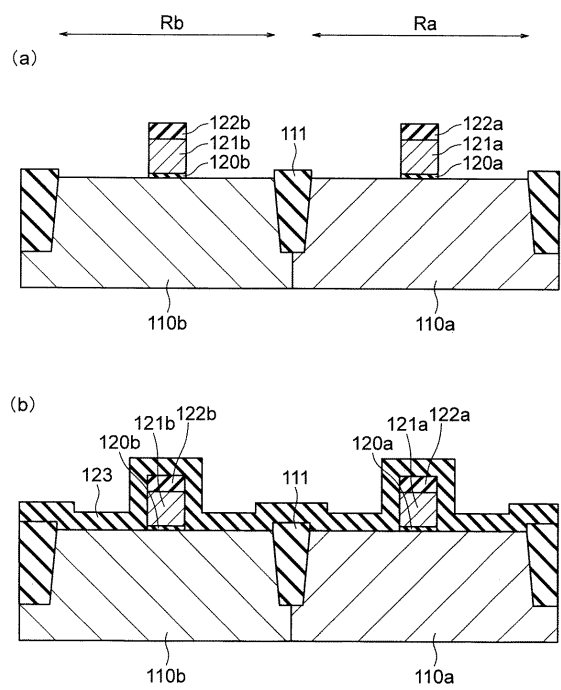
【 図 10 】



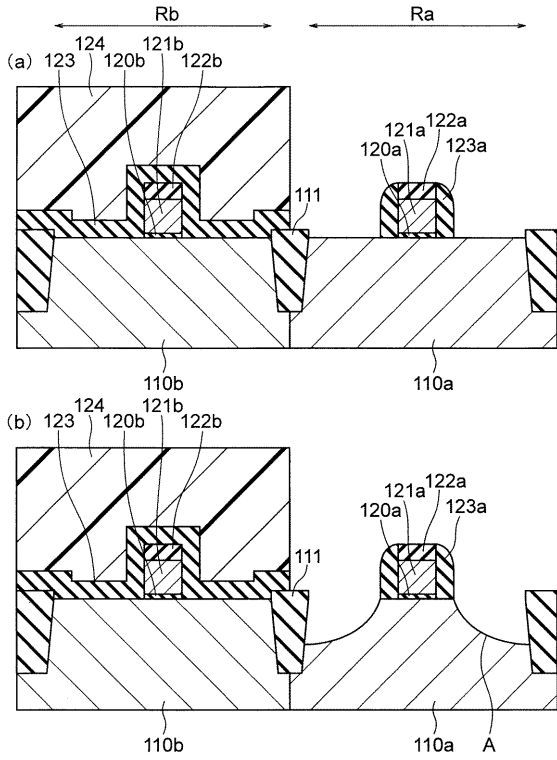
【 図 11 】



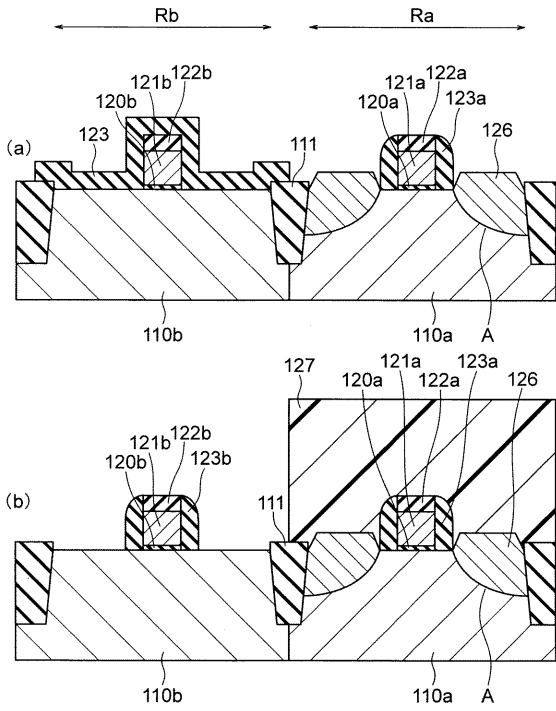
【 図 12 】



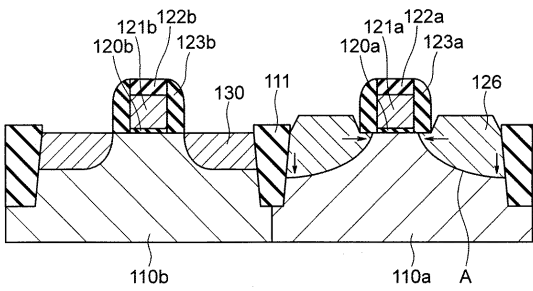
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

F ターム(参考) 5F140 AA05 AB03 AC28 BA01 BD11 BE07 BF04 BF08 BG08 BG09
BG12 BG14 BG22 BG52 BG53 BH06 BH14 BH27 BK08 BK09
BK12 BK13 BK18 CB04 CC08 CC12 CE14
5F152 LL02 LM02 LM04 MM04 NN03 NQ03 NQ04