(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/76

(45) 공고일자 2004년02월21일
(11) 등록번호 10-0419754
(24) 등록일자 2004년02월10일

(21) 출원번호 10-1999-0067942
(22) 출원일자 1999년12월31일

(65) 공개번호 10-2001-0066342
(43) 공개일자 2001년07월11일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 윤영식
경기도이천시고담동고담기숙사102-1308

이근일
경기도성남시분당구금곡동청솔마을한라아파트310/1601

김형균
경기도이천시고담동고담기숙사102-1205

(74) 대리인 이후동
이정훈

심사관 : 이금욱

(54) 반도체소자의 소자분리막 형성방법

요약

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로,
패드질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 소자분리영역에 트렌치를 형성하고 상기 트렌치 표면에 희생산화막을 형성한 다음, 이를 제거하고 상기 트렌치에 측벽 산화막을 형성한 다음, 라이너 산화막을 형성하고 상기 트렌치를 매립하는 HDP 산화막을 형성한 다음, 이를 평탄화시키고 상기 패드질화막을 제거한 다음, 상기 측벽 산화막을 제거하고 웰 임플란트 베리어 산화막을 형성하는 공정으로 소자의 특성 열화를 방지하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 기술이다.

대표도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명의 제1실시예에 따른 반도체소자의 소자분리막 형성방법을 도시한 단면도.
도 2 는 본 발명의 제2실시예에 따른 반도체소자의 소자분리막 형성방법을 도시한 단면도.
도 3 은 HF 식각시간에 따른 소자의 특성 변화를 도시한 그래프.
<도면의 주요부분에 대한 부호의 설명>

11,21 : 반도체기판 13,23 : 트렌치
15,25 : 트렌치 측벽 산화막 17,27 : HDP 산화막
29 : 웰 임플란트 베리어 산화막
ⓐ : 트렌치 측벽 산화막 제거부분

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 특히 트렌치형 소자분리막의 트렌치 측벽에 산화막이 노출되어 유발되는 특성 열화를 방지하기 위 하여 노출된 산화막을 제거하거나 게이트산화막을 이와 유사한 특성을 갖도록 형성하여 반도체소자의 특성 및 신뢰성을 향상시키는 기술에 관한 것이다.
고집적화라는 관점에서 소자의 집적도를 높이기 위해서는 각각의 소자 디맨젼 (dimension) 을 축소하는 것과, 소자간에 존재하는 분리영역 (isolation region) 의 폭과 면적을 축소하는 것이 필요하며, 이 축소정도가 셀의 크기를 좌우한다는 점에서 소자분리기술이 메모리 셀 사이즈 (memory cell size) 를 결정하는 기술이라고 할 수 있다.
소자분리절연막을 제조하는 종래기술로는 절연물 분리방식의 로코스 (LOCOS : LOCal Oxidation of Silicon, 이하에서 LOCOS 라 함) 방법, 실리콘기판상부에 산화막, 다결정실리콘층, 질화막순으로 적층한 구조의 피.비.엘. (Poly - Buffed LOCOS, 이하에서 PBL 이라 함) 방법, 기판에 홈을 형성한 후에 절연물질로 매립하는 트렌치 (trench) 방법 등이 있다.
그러나, 상기 LOCOS 방법으로 소자분리산화막을 미세화할 때 공정상 또는 전기적인 문제가 발생한다. 그중의 하나는, 소자분리절연막만으로는 전기적으로 소자를 완전히 분리할 수 없다는 것이다.
그리고, 상기 PBL 을 사용하는 경우, 필드산화시에 산소의 측면확산에 의하여 버즈빅이 발생한다. 즉, 활성영역이 작아져 활성영역을 효과적으로 활용하지 못하며, 필드산화막의 두께가 두껍기 때문에 단차가 형성되어 후속공정에 어려움을 준다. 그리고, 기판상부의 다결정실리콘층으로 인하여 필드산화시 기판내부로 형성되는 소자분리절연막이 타기법에 비하여 상대적으로 작기 때문에 타기법에 비해 신 뢰성을 약화시킬 수 있다.
이상에서 설명한 LOCOS 방법과 PBL 방법은 반도체기판 상부로 볼록한 소자분리절연막을 형성하여 단차를 갖게 됨으로써 후속공정을 어렵게 하는 단점이 있다.
이러한 단점을 해결하기 위하여, 반도체기판을 식각하여 트렌치를 형성하고 상기 트렌치를 매립한 다음, CMP 방법을 이용하여 상부면을 평탄화시키고 후속공정을 평탄화시킴으로써 후속공정을 용이하게 실시할 수 있도록 하였다.
도시되지않았으나, 종래기술에 따른 반도체소자의 소자분리막 형성방법을 설명하면 다음과 같다.
먼저, 반도체기판 상부에 베리어막으로 사용되는 질화막의 응력을 완화시키기 위해 패드산화막을 형성시킨 다음 그 상부에 질화막을 증착한다.
그리고. 상기 질화막 증착후 소자분리 영역을 형성하기 위해 마스크 공정을 진행하고 상기 질화막을 식각하고 실리콘 서브스트레이트를 트렌치 에치한 후 포토레지스트를 제거한다.
이어서, 트렌치 에치 데미지를 보상하기 위하여 디파인된 영역을 질화막 베리어를 이용하여 일반적인 산화막 제조방법으로 희생산화막을 1100℃ 이상의 고온에서 150 200 Å 정도의 두께로 형성시킨다.
그리고, 트렌치가 형성된 비활성영역에 인터페이스 차지 트랩 (interface chargy trap) 을 위해 1100 ℃ 온도에서 산화막을 형성한다.
그 다음, 상기 트렌치를 고밀도 플라즈마 (high density plasma, 이하에서 HDP 라 함) 산화막을 증착하여 완전히 매립한 후 이를 CMP (chemical mechanical polishing) 하여 평탄화식각하되, 상기 질화막을 스톱 레이어 (stop layer) 로 이용하여 톱(top) 쪽 HDP 산화막을 식각한다.
그리고, 상기 질화막을 제거하고, 순수한 물과의 혼합비가 50 : 1 의 인산 용액으로 반도체기판의 산화막을 120 초 동안 식각한다. 그리고, 800 ℃에서 습식방법으로 웰 임플란트 산화막을 형성한다.
이때, 상기 트렌치 측벽의 산화막이 일부 제거되지않고 남아 게이트산화막의 특성이 저하될 수 있으며 그로인하여 반도체소자의 전기적 특성이 열화된다.
또한, 상기 희생산화막과 인터페이스 차지 트랩용 산화막 형성시 1100 ℃ 고온에서 공정이 진행되므로 실리콘 기판내에 디스로케이션 (dislocation)을 유발한다.
상기한 바와같이 종래기술에 따른 반도체소자의 소자분리막 형성방법은, 트렌치 측벽에 구비되는 산화막과 게이트산화막의 다른 특성과, 고온 산화공정시 유발되는 기판 내부의 디스로케이션으로 인하여 반도체소자의 특성 및 신뢰성이 저하되고 그에 따른 반도체소자의 고집적화를 어렵게 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기위하여, 노출된 트렌치 측벽과 게이트산화막의 특성이 유사하거나

비교할 수 없도록 트렌치 측벽에 산화막을 형성하거나 노출된 산화막을 제거함으로써 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 반도체소자의 소자분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 소자분리막 형성방법은,
패드질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 소자분리영역에 트렌치를 형성하는 공정과,
상기 트렌치 표면에 희생산화막을 형성하고 이를 제거하는 공정과,
상기 트렌치에 측벽 산화막을 형성하고 라이너 산화막을 형성하는 공정과,
상기 트렌치를 매립하는 HDP 산화막을 형성하고 이를 평탄화시키는 공정과,
상기 패드질화막을 제거하고 상기 측벽 산화막을 제거한 다음, 웰 임플란트 베리어 산화막을 형성하는 공정을 포함하는 것을 제1특징으로한다.
또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 소자분리막 형성방법은,
패드질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 소자분리영역에 트렌치를 형성하는 공정과,
상기 트렌치 표면에 희생산화막을 형성하고 이를 제거하는 공정과,
상기 트렌치에 측벽 산화막을 형성하고 어닐링후 라이너 산화막을 형성하는 공정과,
상기 트렌치를 매립하는 HDP 산화막을 형성하고 이를 평탄화시키는 공정과,
상기 패드질화막을 제거하고 웰 임플란트 베리어 산화막을 형성하되, 상기 측벽 산화막과 같은 조건으로 두께만 달리하여 형성한 다음, 어닐링하는 공정을 포 함하는 것을 제2특징으로한다.
이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.
도 1 및 도 2 는 본 발명의 제1,2실시예에 따른 반도체소자의 소자분리막 형성방법을 도시한 단면도이다.
도 3 은 본 발명에 따른 반도체소자의 GOI 특성과 CCST 결과를 도시한 그래프도이다.
상기 도 1 은, 반도체기판(11) 상부에 베리어막으로 사용되는 질화막의 응력을 완화시키기 위해 패드산화막을 형성시킨 다음 그 상부에 질화막을 증착한다.
그리고. 상기 질화막 증착후 소자분리 영역을 형성하기 위해 마스크 공정으로 상기 질화막, 패드산화막 및 일정두께의 반도체기판을 식각하여 트렌치(13)를 형성한다.
이어서, 상기 트렌치 식각공정시 입은 반도체기판의 데미지를 보상하기 위하여 디파인된 영역을 질화막 베리어로 하여 희생산화막을 1100℃ 이상의 고온에서 건식방법으로 130 170 Å 두께만큼 형성시킨다.
그리고, 이를 순수와의 혼합비가 50 : 1 인 HF 용액에 230 270 초 동안 담구어 제거한다.
그 다음, 750 850 ℃ 정도의 온도에서 습식방법으로 측벽 산화막(15)을 130 170 Å 두께 형성한다.
그리고, 라이너 산화막(도시안됨)을 130 170 Å 정도 증착하고 상기 트렌치(13)를 HDP 산화막(17)으로 매립한다.
그리고, CMP 공정으로 상기 HDP 산화막(17)을 CMP 방법으로 평탄화식각한다.
그리고, 상기 질화막을 제거하고, 순수와의 혼합비가 50 : 1 인 HF 용액이나 100 : 1 의 BOE 용액에 130 170 초 동안 담구어 반도체기판 및 트렌치 측벽에 노출된 산화막(15)을 제거한다.
참고로, 도 3 의 (a) 는 상기 트렌치(13)의 측벽 산화막(15) 형성시 공정 온도 및 HF 디핑 (dipping) 시간을 각각 1100℃와 120초, 1100℃와 150초, 800℃와 150초 로 하여 실시하였을 때 GOI 패스 레이트 (pass rate)를 비교한 것을 도시한다. 이때, 상기 산화막(15)을 800℃와 150초 동안 성장시켰을 때 상기 GOI 패스 레이트가 95 퍼센트 이상으로 가장 좋았음을 도시한다.
그리고, 도 3 의 (b) 는 식각시간에 따른 CCST 결과를 도시한 그래프로서, HF 용액에 150 초 동안 디핑한 산화막이 더 양호한 특성을 갖는 것을 도시한다.
상기 도 2 는, 반도체기판(21) 상부에 베리어막으로 사용되는 질화막의 응력을 완화시키기 위해 패드산화막을 형성시킨 다음 그 상부에 질화막을 증착한다.
그리고. 상기 질화막 증착후 소자분리 영역을 형성하기 위해 마스크 공정으로 상기 질화막, 패드산화막 및 일정두께의 반도체기판(21)을 식각하여 트렌치(23)를 형성한다.
이어서, 상기 트렌치 식각공정시 입은 반도체기판의 데미지를 보상하기 위하여 디파인된 영역을 질화막 베리어로 하여 희생산화막을 1100℃ 이상의 고온에서 건식방법으로 130 170 Å 두께만큼 형성시킨다.
그리고, 이를 순수와의 혼합비가 50 : 1 인 HF 용액에 230 270 초 동안 담구어 제거한다.
그 다음, 730 770 ℃ 정도의 온도에서 습식방법으로 측벽 산화막(25)을 130 170 Å 두께 형성한다.
연속적으로 850 950 ℃ 정도의 온도에서 50 70 분 동안 어닐링하여 알카리성 이온들을 제거한다.
그 다음, 라이너 산화막(도시안됨)을 130 170 Å 정도 증착하고 상기 트렌치(23)를 HDP 산화막(27)으로 매립한다.
그리고, CMP 공정으로 상기 HDP 산화막(27)을 CMP 방법으로 평탄화식각한다.
그리고, 웰 임플란트 베리어 (well implant barrier) 산화막(29)을 형성하되, 상기 트렌치 측벽 산화막과 730 750 ℃에서 습식공정으로 40 60 Å 두께 증착하고, 연속적으로 850 950 ℃ 정도의 온도에서 50 70 분 동안 어닐링하여 알카리성 이온들을 제거한다.
따라서, 후속 공정에서 HF를 이용한 잔존 산화막 제거공정시 시간을 짧게 하여도 상기 측벽 산화막(25)과 웰 임플란트 베리어 산화막(29)의 특성이 같아 소자의 특성 열화 현상이 유발되지 않는다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 소자분리막 형성방법은, 반도체기판 표면으로 노출된 트렌치 측벽 산화막을 완전히 제거하거나 후속공정으로 형성되는 웰 임플란트 베리어 산화막과 같은 특성을 갖는 산화막으로 형성함으로써 소자의 특성 열화를 방지하여 반도체소자의 특성 및 신뢰성을 향상시키 는 효과를 제공한다.

(57) 청구의 범위

청구항 1.

패드질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 소자분리영역에 트렌치를 형성하는 공정과,
상기 트렌치 표면에 희생산화막을 형성하고 이를 제거하는 공정과,
상기 트렌치에 750 850 ℃ 온도에서 습식방법으로 측벽 산화막을 형성하고 연속적으로 850 950 ℃ 의 온도에서 50 70 분 동안 어닐링하는 공정과,
전체표면상부에 라이너 산화막을 형성하는 공정과,
상기 트렌치를 매립하는 HDP 산화막을 형성하고 이를 평탄화시키는 공정과,
상기 패드질화막을 제거하고 상기 트렌치 측벽 상측으로 노출된 부분의 측벽 산화막을 제거한 다음, 웰 임플란트 베리어 산화막을 형성하는 공정을 포함하는 반도체소자의 소자분리막 형성방법.

청구항 2.

제 1 항에 있어서,
상기 측벽 산화막은 130 170 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

청구항 3.

제 1 항에 있어서,
상기 측벽 산화막 제거공정은 순수와의 혼합비가 50 : 1 인 HF 용액에 130 170 초 동안 담구어 제거하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 4.

제 1 항에 있어서,
상기 측벽 산화막 제거공정은 순수와의 혼합비가 100 : 1 인 BOE 용액에 130 170 초 동안 담구어 제거하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 5.

제 1 항에 있어서,
상기 웰 임플란트 베리어 산화막은 상기 측벽 산화막의 형성 조건으로 두께만 달리하여 형성하고 어닐링공정을 실시하여 형성하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 6.

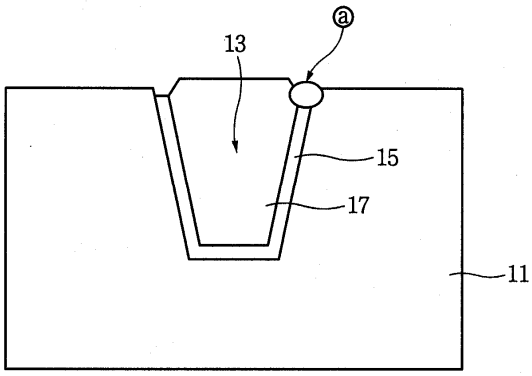
제 1 항에 있어서,
상기 웰 임플란트 베리어 산화막은 40 60 Å 의 두께로 형성하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 7.

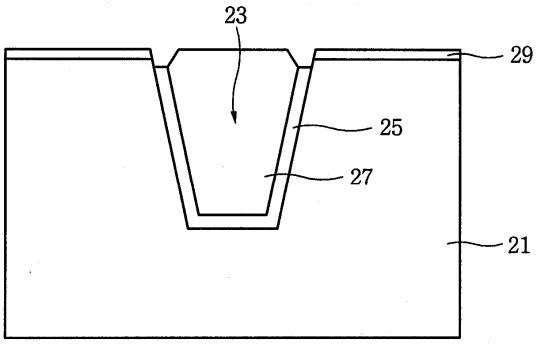
패드질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 소자분리영역에 트렌치를 형성하는 공정과,
상기 트렌치 표면에 희생산화막을 형성하고 이를 제거하는 공정과,
상기 트렌치에 730 770 ℃ 의 온도에서 습식방법으로 130 170 Å 두께의 측벽 산화막을 형성하고 연속적으로 850 950 ℃ 의 온도에서 50 70 분 동안 어닐링하는 공정과,
전체표면상부에 라이너 산화막을 형성하는 공정과,
상기 트렌치를 매립하는 HDP 산화막을 형성하고 이를 평탄화시키는 공정과,
상기 패드질화막을 제거하고 상기 트렌치 측벽 상측으로 노출된 부분의 측벽 산화막을 제거하는 공정과,
상기 반도체기판의 표면에 웰 임플란트 베리어 산화막을 형성하되, 상기 측벽 산화막의 형성조건으로 40 60 Å 의 두께만큼 형성하는 공정을 포함하는 반도체소자의 소자분리막 형성방법.

도면

도면1

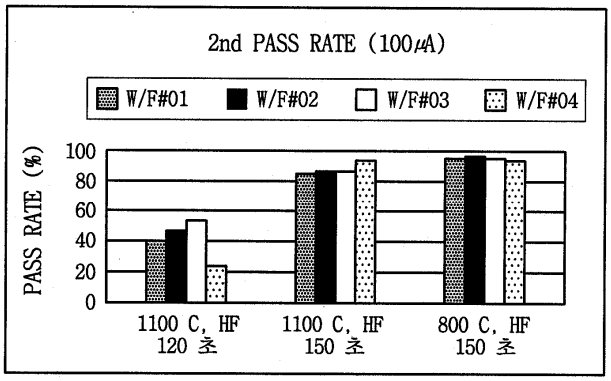


도면2

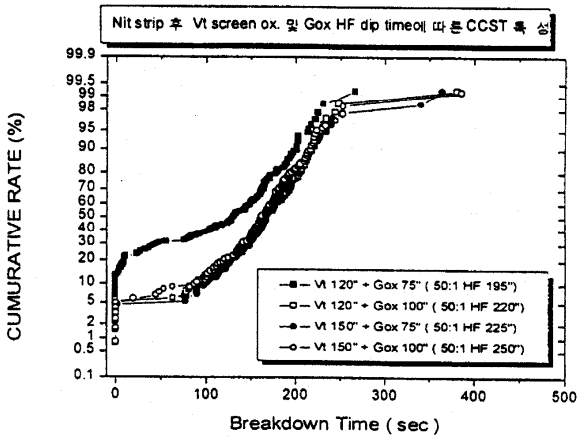


도면3

(a)


2nd PASS RATE (100㎂)
W/F#01
W/F#02
W/F#03
W/F#04
PASS RATE (%)
100
80
60
40
20
0
1100 C, HF 120 초
1100 C, HF 150 초
800 C, HF 150 초

(b)


Nit strip 후 Vt screen ox. 및 Gox HF dip time에 따른 CCST 특 성
CUMURATIVE RATE (%)
99.9
99.5
99
98
95
90
80
70
60
50
40
30
20
10
5
2
1
0.5
0.1
0
100
200
300
400
500
Breakdown Time (sec)
Vt 120" + Gox 75" (50:1 HF 195")
Vt 120" + Gox 100" (50:1 HF 220")
Vt 150" + Gox 75" (50:1 HF 225")
Vt 150" + Gox 100" (50:1 HF 250")