(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月24日(24.11.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/244837 A1

(51) 国際特許分類:
H01L 21/265 (2006.01) *H01L 21/268* (2006.01)

(21) 国際出願番号： PCT/JP2022/020813

(22) 国際出願日： 2022年5月19日(19.05.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-086027 2021年5月21日(21.05.2021) JP

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:長谷川 和彦(**HASEGAWA, Kazuhiko**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 大森 暢彦(**OMORI, Nobuhiko**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

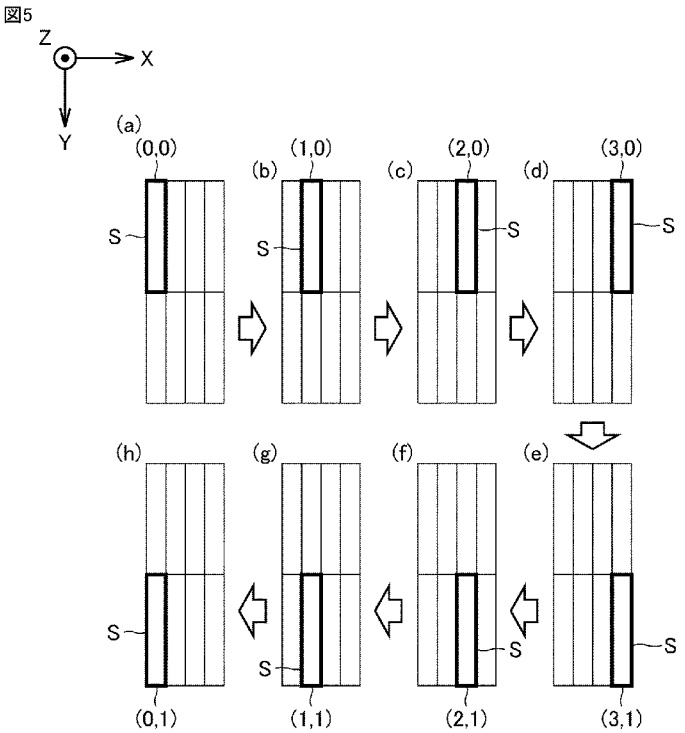
(74) 代理人:弁理士法人深見特許事務所(**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND LASER ANNEALING DEVICE

(54) 発明の名称： 半導体装置の製造方法およびレーザアニール装置

図5



(57) **Abstract:** This semiconductor device manufacturing method comprises: a step for preparing a semiconductor substrate (1) which has a first surface extending in a first direction (X) and in a second direction (Y) perpendicular to the first direction (X), and in which a first impurity region is formed; and a first annealing step for annealing the first impurity region by irradiating the first surface with a laser beam emitted from an optical system. A first width in the first direction (X) of a beam spot formed on the first surface by the laser beam is smaller than a second width of the beam spot in the

WO 2022/244837 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

second direction (Y). The first surface has a plurality of regions that are arranged in at least one among the first direction (X) and the second direction (Y) and that each have a first width in the first direction (X) and a second width in the second direction. In the first annealing step, an irradiation step for forming a beam spot in one region among the plurality of regions is performed multiple times. A first step for scanning the first surface only the first width in the first direction (X) with respect to the optical system, and a second step for, after completing the first step, scanning the first surface only the second width in the second direction (Y) with respect to the optical system are performed between the irradiation steps performed multiple times.

(57) 要約：半導体装置の製造方法は、第１方向（Ｘ）および第１方向（Ｘ）と直交する第２方向（Ｙ）に沿って延びている第１面を有し、第１不純物領域が形成されている半導体基板（１）を準備する工程と、光学系から出射されたレーザ光を第１面に照射して、第１不純物領域をアニールする第１アニール工程とを備える。レーザ光が第１面に形成するビームスポットの第１方向（Ｘ）の第１幅は、ビームスポットの第２方向（Ｙ）の第２幅よりも狭い。第１面は、第１方向（Ｘ）および第２方向（Ｙ）の少なくともいずれかに並んで配置されており、かつ第１方向（Ｘ）に第１幅を有しかつ第２方向に第２幅を有する複数の領域を有している。第１アニール工程では、複数の領域のうちの１つの領域にビームスポットを形成する照射工程が複数回行われる。複数回の照射工程の各々の間に、光学系に対して第１面を第１方向（Ｘ）に第１幅だけ走査する第１工程と、第１工程完了後に光学系に対して第１面を第２方向（Ｙ）に第２幅だけ走査する第２工程が行われる。

明　細　書

発明の名称 ： 半導体装置の製造方法およびレーザアニール装置

技術分野

[0001] 本開示は、半導体装置の製造方法およびレーザアニール装置に関する。

背景技術

[0002] 従来、半導体装置の製造方法において、半導体基板に形成された不純物領域を活性化することを目的に、レーザ光を半導体基板に照射して不純物領域をアニールする、レーザアニール処理が行われている。

[0003] レーザアニール処理では、半導体基板が複数の照射エリアに区分され、レーザ光のビームスポットが各照射領域上に順次形成される。この際、十分にアニールされていない不純物領域が形成されることを防止するために、一般的に、隣り合う複数の照射領域間にはオーバーラップ率が設定され、オーバーラップ率が設定された隣り合う２つ照射領域には、レーザ光が連続して照射される。

[0004] 国際公開第２０１９／２４４６６５号（特許文献１）には、入射順序が連続する２つの照射領域は互いに重複部分を有さないが、入射順序が連続しない２つの照射領域が互いに重複部分を有するように、複数の照射領域の照射順序および配置を設定する技術が開示されている。複数の照射領域の各々にレーザ光を順次照射する工程を１つのレーザアニール工程とすると、各重複部分は当該１つのレーザアニール工程内で形成されている。言い換えると、特許文献１では、各重複部分を形成するための第１回目のレーザ光の照射と第２回目のレーザ光の照射との時間差は、オーバーラップ率が設定された隣り合う２つ照射領域にレーザ光が連続して照射される場合のそれと比べて長いが、複数の照射領域の各々にレーザ光を１回ずつ順次照射するのに要する時間よりも短く設定されている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第２０１９／２４４６６５号

発明の概要

発明が解決しようとする課題

[0006] 従来の技術では、複数の照射領域の各々が重複部分を有しており、各重複部分を形成するための２回の照射の上記時間差が比較的短い。そのため、従来の技術では、１回目のレーザ光の照射により加熱された状態にある半導体基板が、２回目のレーザ光の照射により再加熱されることにより、半導体基板の温度が比較的高くなりやすい。

[0007] 半導体基板が高温になると、レーザアニール工程前に半導体基板上に形成された構造体を変質させるおそれある。このような構造体の一例として、レーザアニール工程前に半導体基板のうちレーザ光の照射面とは反対側の面上に形成され、かつレーザアニール工程後に除去される保護膜が挙げられる。

[0008] 本開示の主たる目的は、十分にアニールされていない不純物領域が形成されることを防止しながらも、従来の技術と比べて半導体基板の温度上昇を抑制できる、半導体装置の製造方法、および当該製造方法を実現するためのレーザアニール装置を提供することにある。

課題を解決するための手段

[0009] 本開示に係る半導体装置の製造方法は、第１方向および第１方向と直交する第２方向に沿って延びている第１面を有し、第１面に複数の素子形成領域が配置されており、かつ複数の素子形成領域の各々に第１不純物領域が形成されている半導体基板を準備する工程と、レーザ光を複数の素子形成領域の各々に順次照射して、第１不純物領域をアニールする第１アニール工程とを備える。レーザ光が第１面に形成するビームスポットの第１方向の第１幅は、ビームスポットの第２方向の第２幅よりも狭い。第１アニール工程では、ビームスポットが第１面に対して相対的に走査されながら照射が行われ、第１方向におけるビームスポットの相対的な移動距離が第１幅とされ、第２方向におけるビームスポットの相対的な移動距離が第２幅とされる。

[0010] 本開示に係るレーザアニール装置は、第１方向および第１方向と直交する

第２方向に沿って延びている第１面を有し、第１不純物領域が形成されている半導体基板を保持する保持部と、保持部に保持された半導体基板の第１面にレーザ光を照射し、第１方向および第２方向の少なくともいずれかに並んで配置された第１面の複数の領域のうちの１つの領域にビームスポットを形成する光学系と、半導体基板および光学系の一方を他方に対して走査する走査部とを備える。光学系は、第１方向の第１幅が第２方向の第２幅よりも狭いビームスポットを第１面に形成するように設けられている。走査部は、光学系が１つのビームスポットを形成した後、光学系に対して第１面を第１方向に第１幅だけ走査し、光学系に対して前記第１面を前記第１方向に前記第１幅だけ走査した後光学系に対して第１面を第２方向に第２幅だけ走査する。

発明の効果

[0011] 本開示によれば、十分にアニールされていない不純物領域が形成されることを防止しながらも、従来の技術と比べて半導体基板の温度上昇を抑制できる、半導体装置の製造方法、および当該製造方法を実現するためのレーザアニール装置を提供できる。

図面の簡単な説明

[0012] [図1]実施の形態１に係る半導体装置の一例を示す部分断面図である。

[図2]実施の形態１に係る半導体装置の製造方法の一例を示すフローチャートである。

[図3]実施の形態１に係る半導体装置の製造方法において、レーザ光のビームスポットの形状、および第１方向および第２方向の各々に沿ったレーザ光の強度分布の各一例を示す図である。

[図4]図２に示される第１レーザアニール工程での、ビームスポットの走査経路を説明するための図である。

[図5]図６に示されるビームスポットの走査経路をより具体的に説明するための図である。

[図6]実施の形態１に係るレーザアニール装置の一例を示すブロック図である

。

[図7]図６に示されるレーザアニール装置の第１レーザ発振器および第２レーザ発信機の各々から出力されたパルスレーザ光、および両者が結合光学系にて結合されたレーザ光の各々の強度波形の一例を説明するための図である。

[図8]実施の形態２に係る半導体装置の製造方法の一例を示すフローチャートである。

[図9]実施の形態３に係る半導体装置の製造方法の一例を示すフローチャートである。

[図10]実施の形態４に係る半導体装置の製造方法の一例を示すフローチャートである。

[図11]実施の形態５に係る半導体装置の製造方法の一例を示すフローチャートである。

発明を実施するための形態

[0013] 以下、図面を参照して、本開示の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

[0014] 実施の形態１.

実施の形態１に係る半導体装置１０１は、後述する半導体装置１０１の製造方法によって半導体基板１上に形成された複数のチップが個片化（ダイシング）されたものである。図１に示されるように、半導体装置１０１は、一例として、逆導通型ＩＧＢＴ（ＲＣ－ＩＧＢＴ：Ｒｅｖｅｒｓｅ Ｃｏｎｄｕｃｔｉｎｇ Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）であり、トレンチゲート型のＩＧＢＴと、このＩＧＢＴと逆並列に接続されたＦＷＤ（Ｆｒｅｅ Ｗｈｅｅｌｉｎｇ Ｄｉｏｄｅ）とが１つの半導体基板１に内蔵されて一体化されたものである。

[0015] 半導体基板１は、第１面１Ａと、第１面１Ａとは反対側に位置する第２面１Ｂとを有している。以下では、第１方向Ｘおよび第２方向Ｙの各々と直交する半導体基板１の厚み方向において、第１面１Ａが向いている向きを下方

、第２面１Ｂが向いている向きを上方とする。第１面１Ａは、半導体基板１の下面である。第２面１Ｂは、半導体基板１の上面である。

[0016] 図１に示される半導体装置１０１は、ＩＧＢＴの動作領域となるＩＧＢＴ領域１０１Ａと、ＦＷＤの動作領域となるＦＷＤ領域１０１Ｂとを含む。ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂは、同一の半導体基板１上の活性領域に互いに並列に配置されている。活性領域は、オン状態のときに電流が流れる領域である。

[0017] ＩＧＢＴ１０１Ａは、ｎ－型ドリフト層２、ｐ型ベース層３、ｐ＋型コンタクト層４、ｎ＋型エミッタ層５、ゲート絶縁膜６、ゲート電極７、ｎ型バッファ層８、ｐ型コレクタ層９、層間絶縁膜１０、バリアメタル１１、プラグ１２、エミッタ電極１３Ａ、およびコレクタ電極１４Ａを備えている。

[0018] ｐ型ベース層３は、ｎ－型ドリフト層２の上面に配置されている。ｐ＋型コンタクト層４およびｎ＋型エミッタ層５の各々は、ｐ型ベース層３の上面に配置されている。ｎ＋型エミッタ層５は、ｐ＋型コンタクト層４を囲うように配置されている。ｎ型バッファ層８は、ｎ－型ドリフト層２の下面に配置されている。ｐ型コレクタ層９は、ｎ－型ドリフト層２の下面に配置されている。

[0019] ＩＧＢＴ領域１０１Ａには、複数のトレンチＴが形成されている。ＩＧＢＴ領域１０１Ａにおいて、複数のトレンチＴの各々は、ｎ＋型エミッタ層５の上面からｎ＋型エミッタ層５およびｐ型ベース層３を貫通して、ｎ－型ドリフト層２に達している。ゲート絶縁膜６およびゲート電極７は、トレンチＴの内部に埋め込まれている。ゲート絶縁膜６は、トレンチＴの内壁面に沿うように配置されている。ゲート電極７は、ゲート絶縁膜６を介してｐ型ベース層３に対向している。複数のトレンチＴの各々は、平面視において、例えばＩＧＢＴ領域１０１ＡとＦＷＤ領域１０１Ｂとが並ぶ方向（図１の横方向）に間隔を空けて配置されている。複数のトレンチＴの各々は、例えばＩＧＢＴ領域１０１ＡとＦＷＤ領域１０１Ｂとが並ぶ方向と直交する方向（図１の奥行き方向）に延びている。複数のトレンチＴは、例えば平面視におい

てストライプ状に配置されている。

[0020] なお、ｎ＋型エミッタ層５は、隣り合うトレンチＴ間（メサ領域）の各々に配置されているが、これに限られない。ｎ＋型エミッタ層５は、隣り合うトレンチＴ間（メサ領域）の少なくとも１つのメサ領域に配置されていればよい。ｎ＋型エミッタ層５が配置されていないメサ領域が存在してもよい。また、複数のｎ＋型エミッタ層５が、トレンチＴがストライプ状に延びる方向（図１の奥行き方向）において、予め定められた間隔を空けて配置されていてもよい。

[0021] 層間絶縁膜１０は、ゲート電極７の上面を覆っている。層間絶縁膜１０は、層間絶縁膜１０下に配置されているゲート電極７と、層間絶縁膜１０上に配置されているエミッタ電極１３Ａとを電気的に絶縁するように設けられている。層間絶縁膜１０には、コンタクトホールが形成されており、コンタクトホールにおいてｐ＋型コンタクト層４とｎ＋型エミッタ層５が露出している。

[0022] バリアメタル１１は、層間絶縁膜１０およびコンタクトホールの表面を覆うように配置されている。バリアメタル１１は、コンタクトホールにおいて露出しているｐ＋型コンタクト層４およびｎ＋型エミッタ層５の上面と接触している。プラグ１２は、コンタクトホールにおいてバリアメタル１１上に埋め込まれている。

[0023] エミッタ電極１３Ａは、バリアメタル１１およびプラグ１２の上に配置されている。エミッタ電極１３Ａには、一般的にアルミニウム合金が使用される。エミッタ電極１３Ａは、バリアメタル１１およびプラグ１２を介して、ｎ＋型エミッタ層５およびｐ＋型コンタクト層４の各々と接合している。コレクタ電極１４Ａは、ｐ型コレクタ層９と接合している。

[0024] 半導体装置１０１のＦＷＤ領域１０１Ｂは、ｎ－型ドリフト層２、ｐ型アノード層１５、ｐ＋型アノード層１６、ゲート絶縁膜６、ダミーゲート電極１７、ｎ型バッファ層８、ｎ＋型カソード層１８、電極１３Ｂ、およびカソード電極１４Ｂを備えている。

[0025] ｐ型アノード層１５は、ｎ－型ドリフト層２の上面に配置されている。ｐ＋型アノード層１６は、ｐ型アノード層１５の上面に配置されている。ｎ型バッファ層８は、ｎ－型ドリフト層２の下面に配置されている。ｎ＋型カソード層１８は、ｎ型バッファ層８の下面に配置されている。

[0026] ＦＷＤ領域１０１Ｂの各々には、複数のトレンチＴが形成されている。ＦＷＤ領域１０１Ｂにおいて、複数のトレンチＴの各々は、ｐ＋型アノード層１６の上面からｐ＋型アノード層１６およびｐ型アノード層１５を貫通して、ｎ－型ドリフト層２に達している。ゲート絶縁膜６およびダミーゲート電極１７は、トレンチＴの内部に埋め込まれている。

[0027] ＦＷＤ領域１０１Ｂは、ＩＧＢＴ領域１０１Ａと共通して、ｎ－型ドリフト層２、ゲート絶縁膜６、およびｎ型バッファ層８を含む。

[0028] ダミーゲート電極１７の上面は、層間絶縁膜１０により覆われている。ダミーゲート電極１７は、層間絶縁膜１０によって、層間絶縁膜１０上に配置された電極１３Ｂと電気的に絶縁されている。電極１３Ｂは、エミッタ電極１３Ａと一体に設けられている。言い換えると、単一の部材としての第２電極１３がＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの両領域に渡って形成されており、第２電極１３の一部がエミッタ電極１３Ａを構成し、第２電極１３の残部が電極１３Ｂを構成している。なお、ダミーゲート電極１７は、電極１３Ｂと電気的に接続されていてもよい。カソード電極１４Ｂは、ｎ＋型カソード層１８と接合されている。カソード電極１４Ｂは、コレクタ電極１４Ａと一体に設けられている。言い換えると、単一の部材としての第１電極１４がＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの両領域に渡って形成されており、第１電極１４の一部がコレクタ電極１４Ａを構成し、第１電極１４の残部がカソード電極１４Ｂを構成している。

[0029] ｎ－型ドリフト層２、ｐ型ベース層３、ｐ＋型コンタクト層４、ｎ＋型エミッタ層５、ゲート絶縁膜６、ゲート電極７、ｎ型バッファ層８、およびｐ型コレクタ層９は、半導体基板１の第１面１Ａと第２面１Ｂとの間に配置されている。コレクタ電極１４Ａは、第１面１Ａ上に配置されている。層間絶

縁膜１０、バリアメタル１１、プラグ１２、およびエミッタ電極１３Ａは、第２面１Ｂ上に配置されている。

[0030] 半導体装置１０１は、活性領域を囲むように配置されたエッジ終端領域に設けられたガードリングなどの耐圧構造を備えていてもよい。

[0031] ＜半導体装置の製造方法＞

図２に示されるように、半導体装置１０１の製造方法は、第１不純物領域が形成されている半導体基板１を準備する工程（Ｓ１０）と、レーザ光を上記第１面に照射して上記第１不純物領域をアニールする第１アニール工程（Ｓ２０）とを備える。本実施の形態１において、第１不純物領域は、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域を含む。

[0032] 工程（Ｓ１０）では、第１アニール工程（Ｓ２０）においてレーザアニール処理が施される対象物として、ｐ型コレクタ層９およびｎ＋型カソード層１８が形成されている半導体基板１が準備される。この半導体基板１は、例えば以下の工程（Ｓ１）～工程（Ｓ４）が順に実施されることにより、製造される。

[0033] 工程（Ｓ１）では、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、半導体基板１の第２面１Ｂ側に素子構造が形成される。

[0034] 工程（Ｓ１）では、まず、半導体基板１が準備される。半導体基板１は、第３面と、第３面とは反対側に位置する第２面１Ｂとを有している。第３面および第２面１Ｂの各々は、第１方向Ｘおよび第１方向Ｘと直交する第２方向Ｙに沿って延びている。半導体基板１を構成する材料は、任意の半導体材料であればよく、例えばシリコン（Ｓｉ）または炭化ケイ素（ＳｉＣ）である。半導体基板１の導電型はｎ－型である。

[0035] 工程（Ｓ１）では、次に、半導体基板１の上面（第２面１Ｂ）に、ｐ型ベース層３、ｐ型アノード層１５、ｐ＋型コンタクト層４、およびｎ＋型エミッタ層５が形成される。ｐ型ベース層３、ｐ＋型コンタクト層４、およびｎ＋型エミッタ層５の各々は、フォトリソグラフィ法により形成されたマスク

パターンを用いたイオン注入法により形成される。例えば、フォトリソグラフィ法を用いたマスクパターンを形成する工程、マスクパターンを用いたイオン注入工程、およびマスクパターンの除去工程を１組とする工程が異なる条件で繰り返し行われる。ｐ型ベース層３およびｐ型アノード層１５は、例えば１つのイオン注入工程により形成される。言い換えると、ｐ型ベース層３およびｐ型アノード層１５は、ｐ型ベース層３およびｐ型アノード層１５の一方が他方を兼ねるように形成される。ｐ＋型コンタクト層４、およびｎ＋型エミッタ層５は、ＩＧＢＴ領域１０１Ａにおいてｐ型ベース層３の内部に選択的に形成される。

[0036] 工程（Ｓ１）では、次に、エッジ終端領域において、第２面１Ｂを覆うフィールド酸化膜が形成される。フィールド酸化膜は、例えば半導体基板１の第２面１Ｂを熱酸化することにより、形成される。次に、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、複数のトレンチＴが形成される。上述のように、複数のトレンチＴは、例えば平面視においてストライプ状に形成される。

[0037] 工程（Ｓ１）では、次に、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、複数のトレンチＴの内部にゲート絶縁膜６が形成される。ゲート絶縁膜６は、各トレンチＴの内壁面に沿うように形成される。ゲート絶縁膜６は、例えば各トレンチＴの内壁面を熱酸化することにより形成される。

[0038] 工程（Ｓ１）では、次に、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、複数のトレンチＴの内部にゲート電極７およびダミーゲート電極１７が形成される。例えば、複数のトレンチＴの各々の内部を埋め込むように、ゲート絶縁膜６上にポリシリコン膜が形成された後、第２面１Ｂ上のポリシリコン膜がエッチバッグ処理により除去される。これにより、各トレンチＴの内部に残されたポリシリコン膜が、ゲート電極７およびダミーゲート電極１７の各々とされる。

[0039] このようにして、ｎ－型ドリフト層２、ｐ型ベース層３、ｐ＋型コンタク

ト層４、ｎ＋型エミッタ層５、ゲート絶縁膜６、およびゲート電極７により構成されたトレンチゲート構造のＭＯＳゲートが形成される。なお、ゲート電極７を形成した後に、ｐ＋型コンタクト層４、およびｎ＋型エミッタ層５が形成されてもよい。

[0040] 工程（Ｓ１）では、次に、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、層間絶縁膜１０、バリアメタル１１、プラグ１２、および第２電極１３が形成される。層間絶縁膜１０は、第２面１Ｂ上に形成される。層間絶縁膜１０には複数のコンタクトホールが形成される。各コンタクトホールは、第２面１Ｂに直交する方向において層間絶縁膜１０を貫通する。各コンタクトホールにおいて、ｐ＋型コンタクト層４とｎ＋型エミッタ層５が露出する。バリアメタル１１は、ｐ＋型コンタクト層４およびｎ＋型エミッタ層５のうち各コンタクトホールから露出している上面、各コンタクトホールの内壁面、および層間絶縁膜１０の上面上に形成される。プラグ１２は、各コンタクトホールの内部を埋め込むように、バリアメタル１１上に形成される。第２電極１３は、バリアメタル１１およびプラグ１２上に形成される。このようにして、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、半導体基板１の第２面１Ｂ側に素子構造が形成される。

[0041] 次に、第２面１Ｂ上に保護膜が形成される（工程（Ｓ２））。保護膜は、第２面１Ｂ上に形成された第２電極１３等の構造体を保護するために、当該構造体を覆うように形成される。保護膜を構成する材料は、例えばポリイミド、レジスト、および酸化ケイ素からなる群から選択される少なくとも１つを含む。保護膜は、フィルムまたはテープ状の部材であってもよい。保護膜は、塗布膜であってもよい。ここでは、保護膜に変形および変質等が生じない温度を、保護膜の耐熱温度とよぶ。保護膜の耐熱温度は、本工程（Ｓ２）よりも後工程における保護膜の到達温度よりも高い。保護膜の耐熱温度は、例えば保護膜を構成する材料のガラス転移温度（Ｔｇ）未満である。

[0042] 次に、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、半導体基板１を第３面側から研削（バックグラインド）し、半導体基板１を

薄化する（工程（Ｓ３））。本工程（Ｓ３）により、半導体基板１の厚みは、半導体装置１０１における半導体基板１の厚みとされる。半導体基板１において第２面１Ｂとは反対側には、第１面１Ａが形成される。

[0043] 次に、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々において、半導体基板１の第１面１Ａ側に、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域が形成される（工程（Ｓ４））。

[0044] 本工程（Ｓ４）では、例えば、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域が順に形成される。各不純物領域は、例えば、フォトリソグラフィ法を用いたマスクパターンを形成する工程、マスクパターンを用いたイオン注入工程、およびマスクパターンの除去工程を１組とする工程が異なる条件で繰り返し行われることにより、形成される。

[0045] まず、ＩＧＢＴ領域１０１ＡおよびＦＷＤ領域１０１Ｂの各々の第１面１Ａを露出させるマスクパターンを用いて、ｎ型バッファ層８を形成するためのｎ型のイオンが半導体基板１に注入される。ｎ型のイオンは、例えばリン（Ｐ）である。次に、ＩＧＢＴ領域１０１Ａの第１面１Ａを露出させるマスクパターンを用いて、ｐ型コレクタ層９を形成するためのｐ型のイオンが半導体基板１に注入される。ｐ型のイオンは、例えばホウ素（Ｂ）である。次に、ＦＷＤ領域１０１Ｂの第１面１Ａを露出させるマスクパターンを用いて、ｎ＋型カソード層１８を形成するためのｎ型のイオンが半導体基板１に注入される。ｎ型のイオンは、例えばＰである。

[0046] このようにして、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域が形成された半導体基板１が準備される。

[0047] 次に、準備された半導体基板１に対し、第１アニール工程（Ｓ２０）が実施される。本工程（Ｓ２０）では、レーザ光が、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソ

ード層１８となるべき不純物領域の各々に照射される。これにより、各素子形成領域において、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域の各々がアニールされて、各不純物領域中の不純物が活性化する。本工程（Ｓ２０）を実行するためのレーザアニール装置の一例は、後述する。

[0048] 図３に示されるように、工程（Ｓ２０）において第１面１Ａに照射されるレーザ光のビームスポットＳの第１方向Ｘの幅（第１幅）は、ビームスポットＳの第２方向Ｙの幅（第２幅）よりも狭い。言い換えると、ビームスポットＳは、第１方向Ｘが短手方向となり第２方向Ｙが長手方向となる長尺形状を有している。ビームスポットＳの形状は、任意の長尺形状であればよいが、例えば長方形状である。

[0049] 図３に示されるように、工程（Ｓ２０）において第１面１Ａに照射されるレーザ光の第１方向Ｘのビームプロファイル Ｐ１およびレーザ光Ｌの第２方向Ｙのビームプロファイル Ｐ２は、それぞれトップフラット形状を有している。図３に示されるビームスポットＳは、ビームホモジナイザにて整形されたレーザ光を第１面１Ａに対して照射することにより、形成され得る。

[0050] 第１面１Ａは、第１方向Ｘおよび第２方向Ｙの各々に並んで配置されており、かつ第１方向Ｘに第１幅を有しかつ第２方向Ｙに第２幅を有する複数の被照射領域を有している。言い換えると、第１面１Ａは、ビームスポットと同一の寸法を有する複数の被照射領域に区分される。複数の被照射領域は、第１群の被照射領域、第２群の被照射領域、および第３群の被照射領域とを含む。第１群の被照射領域、第２群の被照射領域、および第３群の被照射領域の各々は、第１方向Ｘに並んで配置されている複数の被照射領域を含み、かつ第２方向Ｙに順に並んで配置されている。

[0051] なお、複数の被照射領域の各々は、上述した半導体基板１の複数の素子形成領域の各々と対応付けられていてもよいし、対応付けられていなくてもよい。各被照射領域は、１つの素子形成領域、およびこれを囲むように配置されているダイシング領域（ダイシングライン）の内周領域と重なる領域とさ

れてもよい。各被照射領域は、複数の素子形成領域、およびこれらを囲むように格子状に配置されているダイシング領域（ダイシングライン）の一部と重なる領域とされてもよい。

[0052] 本工程（Ｓ２０）では、上記複数の被照射領域のうちの１つの被照射領域にビームスポットを形成する照射工程が複数回行われ、複数回の照射工程の各々の間に、レーザ光を出射する光学系に対して第１面を第１方向Ｘに第１幅だけ走査する第１工程、光学系に対して第１面を第２方向Ｙに第２幅だけ走査する第２工程、または光学系に対して第１面を第１方向Ｘとは逆方向に第１幅だけ走査する第３工程が行われる。

[0053] 図４は、第１面１Ａに対してビームスポットが走査される経路を説明するための図である。図４では、被照射領域の図示は省略されている。

[0054] 図４に示されるように、工程（Ｓ２０）では、最初に、複数の被照射領域のうち、第２方向Ｙの一方端部（図４の紙面に向かって上端）に位置し、第１方向Ｘに並んで配置されている第１群の被照射領域に対して、上記照射工程が順次行われる。具体的には、まず、第１群の被照射領域のうち、第１面１Ａの第１方向Ｘの一方端部（図４の紙面に向かって左端）に位置する１つの被照射領域に対し、上記照射工程が行われる。その後、上記第１工程と上記照射工程とが繰り返し行われる。この走査経路は、図４中の線分６１に沿ったものとなる。最後の照射工程は、第１群の被照射領域のうち、第１面１Ａの第１方向Ｘの他方端部（図４の紙面に向かって右端）に位置する１つの被照射領域に対して行われる。

[0055] 次に、第２工程が行われる。この走査経路は、図４中の線分６２に沿ったものとなる。

次に、複数の被照射領域のうち、第１群の被照射領域と第２方向Ｙに並んでおり、第１方向Ｘに並んで配置されている第２群の被照射領域に対して、上記照射工程が順次行われる。具体的には、まず、第２群の被照射領域のうち、第１面１Ａの第１方向Ｘの他方端部（図４の紙面に向かって右端）に位置する１つの被照射領域に対し、上記照射工程が行われる。その後、上記第

３工程と上記照射工程とが繰り返し行われる。この走査経路は、図４中の線分６３に沿ったものとなる。最後の照射工程では、第２群の被照射領域のうち、第１面１Ａの第１方向Ｘの一方端部（図４の紙面に向かって左端）に位置する１つの被照射領域に対して行われる。

[0056] 次に、第２工程が行われる。この走査経路は、図４中の線分６４に沿ったものとなる。

次に、複数の被照射領域のうち、第２群の被照射領域と第２方向Ｙに並んでおり、第１方向Ｘに並んで配置されている第３群の被照射領域に対して、上記照射工程が順次行われる。具体的には、まず、第３群の被照射領域のうち、第１面１Ａの第１方向Ｘの一方端部（図４の紙面に向かって左端）に位置する１つの被照射領域に対し、上記照射工程が行われる。その後、上記第１工程と上記照射工程とが繰り返し行われる。この走査経路は、図４中の線分６５に沿ったものとなる。最後の照射工程では、第３群の被照射領域のうち、第１面１Ａの第１方向Ｘの他方端部（図４の紙面に向かって右端）に位置する１つの被照射領域に対して行われる。第３群の被照射領域のうちの少なくとも一部の被照射領域は、第２群の被照射領域の各々と接している。

[0057] 図５（ａ）～（ｈ）は、走査経路をより詳細に説明するための図である。図５（ａ）～（ｈ）では、複数の被照射領域のうち、第１方向Ｘに４列、第２方向Ｙに２列並んで配置される被照射領域の各々および各座標と、１つの被照射領域上に形成されるビームスポットＳとが図示されている。

[0058] 図５（ａ）に示されるように、８つの被照射領域のうち、座標（０，０）の被照射領域に対して上記照射工程が行われる。これにより、座標（０，０）の被照射領域上にビームスポットＳが形成される。次に、第１工程が行われる。

[0059] 次に、図５（ｂ）に示されるように、８つの被照射領域のうち、座標（１，０）の被照射領域に対して上記照射工程が行われる。これにより、座標（１，０）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、直前にビームスポットＳが形成された座標（０，０）の被照射領

域と重ならず、接するように形成される。ビームスポットＳは、その長辺が直前にビームスポットＳが形成された座標（０，０）の被照射領域の長辺と接するように形成される。次に、第１工程が行われる。

[0060] 次に、図５（ｃ）に示されるように、８つの被照射領域のうち、座標（２，０）の被照射領域に対して上記照射工程が行われる。これにより、座標（２，０）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、直前にビームスポットＳが形成された座標（１，０）の被照射領域と重ならず、接するように形成される。ビームスポットＳは、その長辺が直前にビームスポットＳが形成された座標（１，０）の被照射領域の長辺と接するように形成される。次に、第１工程が行われる。

[0061] 次に、図５（ｄ）に示されるように、８つの被照射領域のうち、座標（３，０）の被照射領域に対して上記照射工程が行われる。これにより、座標（３，０）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、直前にビームスポットＳが形成された座標（２，０）の被照射領域と重ならず、接するように形成される。ビームスポットＳは、その長辺が直前にビームスポットＳが形成された座標（２，０）の被照射領域の長辺と接するように形成される。

[0062] 次に、第２工程が行われる。ここで、第２工程に代えて、少なくとも１回の第１工程、第２工程が行われ、少なくとも１回の第３工程が、順に行われてもよい。言い換えると、ビームスポットは、第２方向Ｙに走査される際に、第１方向Ｘにおいて第１面１Ａの端部よりも外側に走査されてもよい。

[0063] 次に、図５（ｅ）に示されるように、８つの被照射領域のうち、座標（３，１）の被照射領域に対して上記照射工程が行われる。これにより、座標（３，１）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、直前にビームスポットＳが形成された座標（３，０）の被照射領域と重ならず、接するように形成される。ビームスポットＳは、その短辺が直前にビームスポットＳが形成された座標（３，０）の被照射領域の短辺と接するように形成される。次に、第３工程が行われる。

[0064] 次に、図５（ｆ）に示されるように、８つの被照射領域のうち、座標（２，１）の被照射領域に対して上記照射工程が行われる。これにより、座標（２，１）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、先にビームスポットＳが形成された座標（２，０）の被照射領域、および直前にビームスポットＳが形成された座標（３，１）の被照射領域の各々と重ならず、接するように形成される。ビームスポットＳは、その長辺が直前にビームスポットＳが形成された座標（３，１）の被照射領域の長辺と接するとともに、その短辺が先にビームスポットＳが形成された座標（２，０）の被照射領域の短辺と接するように形成される。次に、第３工程が行われる。

[0065] 次に、図５（ｇ）に示されるように、８つの被照射領域のうち、座標（１，１）の被照射領域に対して上記照射工程が行われる。これにより、座標（１，１）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、先にビームスポットＳが形成された座標（１，０）の被照射領域、および直前にビームスポットＳが形成された座標（２，１）の被照射領域の各々と重ならず、接するように形成される。ビームスポットＳは、その長辺が直前にビームスポットＳが形成された座標（２，１）の被照射領域の長辺と接するとともに、その短辺が先にビームスポットＳが形成された座標（１，０）の被照射領域の短辺と接するように形成される。次に、第３工程が行われる。

[0066] 次に、図５（ｈ）に示されるように、８つの被照射領域のうち、座標（０，１）の被照射領域に対して上記照射工程が行われる。これにより、座標（０，１）の被照射領域上にビームスポットＳが形成される。このビームスポットＳは、先にビームスポットＳが形成された座標（０，０）の被照射領域、および直前にビームスポットＳが形成された座標（１，１）の被照射領域の各々と重ならず、接するように形成される。ビームスポットＳは、その長辺が直前にビームスポットＳが形成された座標（１，１）の被照射領域の長辺と接するとともに、その短辺が先にビームスポットＳが形成された座標（

０，０）の被照射領域の短辺と接するように形成される。

[0067] 本実施の形態に係る半導体装置の製造方法では、上記第１アニール工程（Ｓ２０）が２回繰り返し行われる。２回目の第１アニール工程（Ｓ２０）での上記走査経路は、１回目の第１アニール工程（Ｓ２０）での上記走査経路と同じである。２回目の第１アニール工程（Ｓ２０）は、１回目の第１アニール工程（Ｓ２０）が終了した後、連続して行われる。１回目および２回目の各第１アニール工程（Ｓ２０）でのレーザ光の強度は、例えば、１回目の第１アニール工程（Ｓ２０）でのレーザ光の強度と同等に設定される。

[0068] 次に、保護膜が除去される（工程（Ｓ３０））。保護膜を除去する方法は、例えばドライエッチング法およびウェットエッチング法の少なくともいずれかである。

[0069] 次に、第１面１Ａ上に、第１電極１４が形成される（工程（Ｓ４０））。次に、半導体基板１の複数の素子形成領域の各々が個片化（ダイシング）されることにより、複数の半導体装置１０１が得られる。

[0070] 上記工程（Ｓ２０）では、図６に示されるレーザアニール装置２００が用いられる。レーザアニール装置２００は、光学系３０、保持部３１、走査部３２、および制御部３３を主に備える。光学系３０は、第１レーザ発振器４０、第２レーザ発振器４１、複数のミラー４２、結合光学系４３、ビームホモジナイザ４４、および集光レンズ４５を主に備える。

[0071] 第１レーザ発振器４０および第２レーザ発振器４１の各々は、パルスレーザ光を出力する。第１レーザ発振器４０から出力されたパルスレーザを第１のパルスレーザ光とよび、第２レーザ発振器４１から出力されたパルスレーザを第２のパルスレーザ光とよぶ。第２レーザ発振器４１は、第１レーザ発振器４０が第１のパルスレーザ光を出力してから予め定められた遅延時間が経過した後、第２のパルスレーザ光を出力する。第１のパルスレーザ光は、ミラー４２を経て、結合光学系４３に入射する。第２のパルスレーザ光は、ミラー４２を経て、結合光学系４３に入射する。

[0072] 結合光学系４３は、第１のパルスレーザ光と第２のパルスレーザ光とを１

つのレーザ光に結合する。例えば、第１のパルスレーザ光は結合光学系４３にて反射し、第２のパルスレーザ光は結合光学系４３を透過する。結合光学系４３にて反射した第１のパルスレーザ光は、結合光学系４３を透過した第２のパルスレーザ光と結合される。

[0073] 結合光学系４３にて結合されたレーザ光は、ミラー４２を経て、ビームホモジナイザ４４に入射する。ビームホモジナイザ４４は、第１面１Ａにおけるレーザ光のビームスポットの形状およびビームプロファイルを整形する。ビームホモジナイザ４４にて整形されたレーザ光は、集光レンズ４５にて集光された後、レーザ光Ｌとして第１面１Ａに照射される。

[0074] 保持部３１は、半導体基板１を保持する。保持部３１は、例えば半導体基板１の第１面１Ａを水平に保持する。第１方向Ｘおよび第２方向Ｙの各々は、水平方向に沿った方向とされる。半導体基板１は、例えば第２面１Ｂ上に形成された保護膜が保持部３１の上面と接するように、保持部３１上に配置される。

[0075] 走査部３２は、保持部３１に保持された半導体基板１を、第１方向Ｘおよび第２方向Ｙの各々に移動させる。走査部３２は、第１方向Ｘおよび第２方向Ｙの各々に移動可能なＸＹステージである。

[0076] 制御部３３は、第１レーザ発振器４０および第２レーザ発振器４１の各々が出力するパルスレーザ光の強度、後述する遅延時間、および走査部３２による半導体基板１の移動距離を制御する。制御部３３は、保持部３１に取り付けられたエンコーダからの信号を読み取って、半導体基板１の位置情報を取得する。半導体基板１の位置情報に基づいて、第１レーザ発振器４０および第２レーザ発振器４１の各々からパルスレーザ光を１ショット出力させて、光学系３０から目標とする被照射領域にレーザ光を照射させる。これにより、当該領域に上記ビームスポットが形成される。

[0077] 図７は、第１のパルスレーザ光、第２のパルスレーザ光、およびこれらが結合光学系４３にて結合されたレーザ光の各々の強度が時間経過に伴い変化することを説明するための図である。図７の横軸は、時間を示し、縦軸は強

度を示している。図７において、波形２０１は第１のパルスレーザ光の強度波形を示し、波形２０２は第２のパルスレーザ光の強度波形を示し、波形２１０は光学系３０から照射されるレーザ光の強度波形を示す。

[0078] 図７に示されるように、レーザ光は、第１パルスレーザ光と、第１パルスレーザ光が第１レーザ発振器４０から出力されてから遅延時間ｔｄが経過した後に出力された第２のパルスレーザ光とが結合されることにより生成されている。レーザ光を上記のように生成することで、レーザ光の強度を強度Ｐ２以下に抑えながらも、レーザ光の強度が強度Ｐ１以上となる時間ｔｅを十分に確保できる。

[0079] 強度Ｐ１は、ｎ型バッファ層８となるべき不純物領域、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域の各々の不純物を活性化するために必要な強度である。強度Ｐ２は、第２面１Ｂ上に形成された保護膜が変質し得る強度である。

[0080] 遅延時間ｔｄは、制御部３３からのトリガ信号の出力タイミングを調整することによって任意に設定することができる。また、時間ｔｅは、遅延時間ｔｄ、第１のパルスレーザ光および第２のパルスレーザ光の各強度等を変更することによって、任意の値に調整することができる。

[0081] 本実施の形態では、レーザ光の波形２１０には第１ピークと第２ピークとが表れる。このうち、相対的に早い時間に表れる第１ピークの強度ＰＰ１が、相対的に遅い時間に表れる第２ピークの強度ＰＰ２以下となるように、遅延時間Ｔｄ、および第１のパルスレーザ光および第２のパルスレーザ光の各強度が設定されている。

[0082] 第１のパルスレーザ光および第２のパルスレーザ光の各々は、可視光である。第１のパルスレーザ光および第２のパルスレーザ光の各々の波長は４００ｎｍ以上６００ｎｍ未満に設定される。第１のパルスレーザ光および第２のパルスレーザ光の各々は、例えば、Ｎｄ：ＹＬＦレーザの第２高調波、Ｎｄ：ＹＡＧレーザの第２高調波、またはＮｄ：ＹＶＯ４レーザの第２高調波である。好ましくは、第１のパルスレーザ光および第２のパルスレーザ光の

各々のパルス半値幅は１００ｎｓ以上５μｓ未満である。パルス半値幅が１００ｎｓよりも小さくなると、半導体基板１の第１面１Ａから深さ１μｍ程度の領域まで熱が十分に届かず、当該領域に存在する不純物を十分に活性化できない可能性がある。また、パルス半値幅が５μｓ以上になると、半導体基板１の第２面１Ｂにまで熱が伝達し、第２面１Ｂ上の構造体に対して熱によるダメージを与える可能性がある。

[0083] 遅延時間ｔｄは第１のパルスレーザ光および第２のパルスレーザ光の各々のパルス半値幅にも依存するが、好ましくは、遅延時間ｔｄは、２００ｎｓ以上であり、かつ第１ピーク値ＰＰ１が第２ピーク値ＰＰ２以下となるように、第１のパルスレーザ光および第２のパルスレーザ光の各々のパルス半値幅及び強度比に応じて設定される。

[0084] 好ましくは、第１のパルスレーザ光および第２のパルスレーザ光の各々において、パルスの繰り返し周波数は、ｋＨｚオーダから１０ｋＨｚオーダの間に設定される。パルスの繰り返し周波数が高くなりすぎると、パルスの発生間隔が短くなり、半導体基板の冷却時間が十分に確保できず、当該半導体基板に蓄熱が生じ、当該半導体基板が溶融する可能性がある。また、パルスの繰り返し周波数が低すぎると活性化処理時間が長くなる。

[0085] ＜効果＞

実施の形態１に係る半導体装置の製造方法では、第１アニール工程（Ｓ２０）において、複数回の照射工程の各々の間に、光学系３０に対して第１面１Ａを第１方向Ｘに第１幅だけ走査する第１工程、または光学系３０に対して第１面１Ａを第２方向Ｙに第２幅だけ走査する第２工程が行われる。

[0086] つまり、複数の照射工程の各々により第１面１Ａ上に形成されるビームスポットＳは、複数の被照射領域の各々の全面上に、互いに重なることなく順次形成される。言い換えると、第１アニール工程（２０）において、各被照射領域へのレーザ光の照射回数は、１回となる。そのため、本実施の形態に係る半導体装置の製造方法では、レーザ光のビームプロファイルが本実施の形態に係る半導体装置の製造方法と同等であって、かつ複数の被照射領域の

全面上にビームスポットを順次形成する１つのアニール工程内において各ビームスポットが互いに重なるように形成される従来技術と比べて、半導体基板１の温度上昇が抑制される。

[0087] 具体的には、第１アニール工程（Ｓ２０）では、複数の照射工程の各々において、上記第１不純物領域を十分に活性化し得る強度のレーザ光が第１面１Ａの各被照射領域に照射される。そのため、各照射工程において、照射面である第１面１Ａが加熱されるとともに、第１面１Ａ側にて生じた熱が第１面１Ａから深さ方向に伝導して第２面１Ｂに達し、被照射領域の深さ方向の全体の温度が上昇する。

[0088] 従来技術のように、１つのアニール工程内において各ビームスポットが互いに重なるように形成されると、蓄熱量が相対的に多くなり、非照射面の温度が高温になる。その結果、非照射面上に形成されている保護膜などの構造体が変質するおそれがある。仮に保護膜が変質すると、保護膜を除去する工程（Ｓ３０）において除去されずに残渣物が生じるおそれがある。

[0089] これに対し、本実施の形態に係る半導体装置の製造方法では、１つのアニール工程内において各ビームスポットが互いに重ならない。そのため、レーザ光の照射条件が同等であれば、本実施の形態での蓄熱量は従来技術での蓄熱量と比べて相対的に少なくなるため、非照射面である第２面１Ｂの温度が相対的に低温となり、第２面１Ｂ上に形成されている保護膜などの構造体が変質しにくい。その結果、例えば保護膜を除去する工程（Ｓ３０）において、残渣物が生じにくい。

[0090] また、第１アニール工程（Ｓ２０）が２回繰り返し行われるため、第１アニール工程（Ｓ２０）が１回のみ行われる場合と比べて、上記第１不純物領域を十分に活性化できる。なお、１回目の第１アニール工程（Ｓ２０）にてレーザ光が照射された１つの被照射領域に、２回目の第１アニール工程（Ｓ２０）にてレーザ光が照射されるまでの時間は、従来技術においてビームスポットの重複部分を形成するための１回目の照射と２回目の照射との間の時間と比べて、長い。そのため、実施の形態１に係る半導体装置の製造方法に

よれば、２回目の第１アニール工程（Ｓ２０）での第２面１Ｂの到達温度も、従来の技術での非照射面の到達温度と比べて低く抑えられ得る。

[0091] 実施の形態２．

図８に示されるように、実施の形態２に係る半導体装置の製造方法は、実施の形態１に係る半導体装置の製造方法と基本的に同様の構成を備えるが、２回目の第１アニール工程（Ｓ２０）でのレーザ光の強度が１回目の第１アニール工程（Ｓ２０）でのレーザ光の強度よりも低く設定される点で、実施の形態１に係る半導体装置の製造方法とは異なる。

[0092] １回目の第１アニール工程（Ｓ２０）により、半導体基板１がアモルファスとなると、半導体基板１はレーザ光を吸収しやすくなるため、２回目の第１アニール工程（Ｓ１０）でのレーザ光の強度が１回目の第１アニール工程（Ｓ２０）と比べて低くても、第１不純物領域を十分に活性化できる。さらに、２回目の第１アニール工程（Ｓ１０）でのレーザ光の強度が１回目の第１アニール工程（Ｓ２０）と比べて低いため、両者が同等される場合と比べて、２回目の第１アニール工程（Ｓ２０）時にも、第２面１Ｂの到達温度が相対的に低温となり、第２面１Ｂ上に形成されている保護膜などの構造体が変質しにくい。

[0093] 実施の形態２に係る半導体装置の製造方法によっても、半導体装置１００が製造され得る。

[0094] 実施の形態３．

図９に示されるように、実施の形態３に係る半導体装置の製造方法は、実施の形態１に係る半導体装置の製造方法と基本的に同様の構成を備えるが、第１アニール工程（Ｓ２０）が３回繰り返し行われる点で、実施の形態１に係る半導体装置の製造方法とは異なる。以下では、実施の形態１と異なる点を主に説明する。

[0095] ３回目の第１アニール工程（Ｓ２０）でのレーザ光の強度Ｅ３は、例えば１回目および２回目の各第１アニール工程（Ｓ２０）でのレーザ光の強度Ｅ１，Ｅ２と同等に設定される。

[0096] このようにすれば、第１アニール工程（Ｓ２０）を２回繰り返したのみでは第１不純物領域を十分に活性化することが困難である場合にも、３回目の第１アニール工程（Ｓ２０）が行われることにより、第１不純物領域を十分に活性化できる。

[0097] 実施の形態３に係る半導体装置の製造方法は、第１アニール工程（Ｓ２０）が３回繰り返し行われる点を除き、実施の形態２に係る半導体装置の製造方法と同等の構成を備えていてもよい。つまり、３回目の第１アニール工程（Ｓ２０）でのレーザ光の強度は、例えば１回目の第１アニール工程（Ｓ２０）でのレーザ光の強度と比べて低く、２回目の各第１アニール工程（Ｓ２０）でのレーザ光の強度と同等またはそれよりも低く設定されてもよい。このようにすれば、実施の形態２と同様の効果を奏することができる。

[0098] 実施の形態３に係る半導体装置の製造方法によっても、半導体装置１００が製造され得る。

[0099] 実施の形態４．

実施の形態４に係る半導体装置の製造方法は、実施の形態１に係る半導体装置の製造方法と基本的に同様の構成を備えるが、図１０に示されるように、第１不純物領域をアニールする第１アニール工程（Ｓ２０）に加えて、第２不純物領域をアニールする第２アニール工程（Ｓ５０）を備える点で、実施の形態１に係る半導体装置の製造方法とは異なる。以下では、実施の形態１と異なる点を主に説明する。

[0100] 本実施の形態４において、第１不純物領域は、ｎ型バッファ層８となるべき不純物領域を含む。第２不純物領域は、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域を含む。

[0101] 図１０に示されるように、実施の形態４に係る半導体装置の製造方法では、工程（Ｓ３）後に、ｎ型バッファ層８となるべき第１不純物領域が形成される（工程（Ｓ５））。工程（Ｓ５）は、実施の形態１におけるｎ型バッファ層８となるべき不純物領域を形成する工程と同様に行われる。これにより、ｎ型バッファ層８となるべき第１不純物領域が形成された半導体基板１が

準備される。

[0102] 次に、第１不純物領域に対し第１アニール工程（Ｓ２０）が行われる。第１アニール工程（Ｓ２０）は、実施の形態１における第１アニール工程（Ｓ２０）と同様に行われる。これにより、第１不純物領域が活性化される。

[0103] 第１アニール工程（Ｓ２０）後に、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域が形成される（工程（Ｓ６））。

[0104] 本工程（Ｓ６）は、実施の形態１におけるｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき不純物領域を形成する工程と同様に行われる。これにより、ｐ型コレクタ層９となるべき不純物領域、およびｎ＋型カソード層１８となるべき第２不純物領域が半導体基板１に形成される。

[0105] 次に、光学系３０から出射されたレーザ光を第１面１Ａに照射して、第２不純物領域をアニールする第２アニール工程（Ｓ５０）が行われる。第２アニール工程（Ｓ５０）は、第１アニール工程（Ｓ２０）と同様に行われる。第２アニール工程（Ｓ５０）においても、図３に示されるレーザアニール装置２００が用いられる。第２アニール工程（Ｓ５０）においても、図４および図５に示される走査が行われる。

[0106] 第２アニール工程（Ｓ５０）は、例えば２回繰り返し行われる。２回目の第２アニール工程（Ｓ５０）でのレーザ光の強度Ｅ５は、例えば１回目の第２アニール工程（Ｓ５０）でのレーザ光の強度Ｅ４と同等に設定される。

[0107] 第２アニール工程（Ｓ５０）が終了後、保護膜を除去する工程（Ｓ３０）および第１電極１４を形成する工程（Ｓ４０）が行われる。

[0108] このように、実施の形態４では、第１面１Ａ側に形成される複数の不純物領域のうちの第１不純物領域に対する第１アニール工程（Ｓ２０）と、第２不純物領域に対する第２アニール工程（Ｓ５０）とが、それぞれ別工程として行われる。このような実施の形態４に係る半導体装置の製造方法によっても、半導体装置１００が製造され得る。

[0109] 実施の形態４において、第２アニール工程（Ｓ５０）は、３回以上繰り返し行われてもよい。３回目の第２アニール工程（Ｓ５０）でのレーザ光の強度は、例えば１回目の第２アニール工程（Ｓ５０）でのレーザ光の強度と比べて低く、２回目の各第２アニール工程（Ｓ５０）でのレーザ光の強度と同等またはそれよりも低く設定されてもよい。

[0110] 実施の形態４において、第１アニール工程（Ｓ２０）は、実施の形態２または３における第１アニール工程（Ｓ２０）と同様に行われてもよい。

[0111] また、実施の形態１または実施の形態４に係る半導体装置の製造方法において、第１アニール工程（Ｓ２０）および第２アニール工程（Ｓ５０）の各々は、１回のみ行われてもよい。

[0112] 実施の形態５．

図１１に示されるように、実施の形態５に係る半導体装置の製造方法は、実施の形態１に係る半導体装置の製造方法と基本的に同様の構成を備えるが、２回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ２が１回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ１と異なる点で、実施の形態１に係る半導体装置の製造方法とは異なる。以下では、実施の形態１と異なる点を主に説明する。

[0113] １回目の第１アニール工程（Ｓ２０）に用いられるレーザ光は、第１レーザ発振器４０から出力された第１パルスレーザ光と、第１パルスレーザ光が第１レーザ発振器４０から出力されてから遅延時間ｔｄ１が経過した後に第２レーザ発振器から出力された第２のパルスレーザ光とが結合されることにより生成される。２回目の第１アニール工程（Ｓ２０）に用いられるレーザ光は、第１レーザ発振器４０から出力された第１パルスレーザ光と、第１パルスレーザ光が第１レーザ発振器４０から出力されてから遅延時間ｔｄ２が経過した後に第２レーザ発振器から出力された第２のパルスレーザ光とが結合されることにより生成される。本実施の形態では、２回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ２は、１回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ１と異なる。

[0114] ２回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ２は、１回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ１よりも長くてもよい。

[0115] レーザ光の遅延時間が短いほど不純物領域を活性化しやすくなる場合、好ましくは、２回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ２は１回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ１よりも長い。

[0116] ２回目の第１アニール工程（Ｓ２０）でのレーザ光の強度は、１回目の第１アニール工程（Ｓ２０）でのレーザ光の強度以下である。２回目の第１アニール工程（Ｓ２０）でのレーザ光の強度は、１回目の第１アニール工程（Ｓ２０）でのレーザ光の強度と同等であってもよい。

[0117] 例えば、１回目及び２回目の各第１アニール工程（Ｓ２０）でのレーザ光の強度が互いに等しく、さらにレーザ光の遅延時間が短いほど不純物領域を活性化しやすくなる場合、２回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ２が１回目の第１アニール工程（Ｓ２０）でのレーザ光の遅延時間ｔｄ１よりも長くても、第１不純物領域は十分に活性化され得る。これは、１回目の第１アニール工程（Ｓ２０）により、半導体基板１がアモルファスとなると、半導体基板１はレーザ光を吸収しやすくなるためである。さらに上記の場合、１回目及び２回目の各第１アニール工程（Ｓ２０）でのレーザ光の強度及び遅延時間のそれぞれが同等である場合と比べて、２回目の第１アニール工程（Ｓ２０）時に、第２面１Ｂの到達温度が相対的に低温となり、第２面１Ｂ上に形成されている保護膜などの構造体が変質しにくい。

[0118] なお、本実施の形態においても、２回目の第１アニール工程（Ｓ２０）でのレーザ光の強度は、１回目の第１アニール工程（Ｓ２０）でのレーザ光の強度よりも低くてもよい。

[0119] 以上のように本開示の実施の形態について説明を行なったが、上述の実施の形態を様々に変形することも可能である。また、本開示の範囲は上述の実

施の形態に限定されるものではない。本開示の範囲は、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むことが意図される。

符号の説明

[0120] １　半導体基板、１Ａ　第１面、１Ｂ　第２面、２　ｎ－型ドリフト層、３　ｐ型ベース層、４　ｐ＋型コンタクト層、５　ｎ＋型エミッタ層、６　ゲート絶縁膜、７　ゲート電極、８　ｎ型バッファ層、９　ｐ型コレクタ層、１０　層間絶縁膜、１１　バリアメタル、１２　プラグ、１３　第２電極、１３Ａ　エミッタ電極、１３Ｂ　電極、１４　第１電極、１４Ａ　コレクタ電極、１４Ｂ　カソード電極、１５　ｐ型アノード層、１６　ｐ＋型アノード層、１７　ダミーゲート電極、１８　ｎ＋型カソード層、３０　光学系、３１　保持部、３２　走査部、３３　制御部、４０　第１レーザ発振器、４１　第２レーザ発振器、４２　ミラー、４３　結合光学系、４４　ビームホモジナイザ、４５　集光レンズ、１０１　半導体装置、１０１Ａ　ＩＧＢＴ領域、１０１Ｂ　ＦＷＤ領域、２００　レーザアニール装置。

請求の範囲

[請求項1] 第１方向および前記第１方向と直交する第２方向に沿って延びている第１面を有し、第１不純物領域が形成されている半導体基板を準備する工程と、

光学系から出射されたレーザ光を前記第１面に照射して、前記第１不純物領域をアニールする第１アニール工程とを備え、

前記レーザ光が前記第１面に形成するビームスポットの前記第１方向の第１幅は、前記ビームスポットの前記第２方向の第２幅よりも狭く、

前記第１面は、前記第１方向および前記第２方向の少なくともいずれかに並んで配置されており、かつ前記第１方向に前記第１幅を有しかつ前記第２方向に前記第２幅を有する複数の領域を有し、

前記第１アニール工程では、

前記複数の領域のうちの１つの領域に前記ビームスポットを形成する照射工程が複数回行われ、

前記複数回の照射工程の各々の間に、前記光学系に対して前記第１面を前記第１方向に前記第１幅だけ走査する第１工程と、前記第１工程完了後に前記光学系に対して前記第１面を前記第２方向に前記第２幅だけ走査する第２工程が行われる、半導体装置の製造方法。

[請求項2] 前記複数の領域は、前記第１方向に並んで配置されている第１群の領域と、前記第１方向に並んで配置されており、かつ前記第２方向に前記第１群の領域と並んで配置されている第２群の領域とを含み、

前記複数回の照射工程は、前記第１群の領域のうちの１つの領域に前記ビームスポットを形成する第１群の照射工程と、前記第２群の領域のうちの１つの領域に前記ビームスポットを形成する第２群の照射工程とを含み、

前記第１アニール工程では、前記第１群の照射工程の各々が前記第１工程を挟んで繰り返し行われ、前記ビームスポットが前記第１群の

領域のうち前記第１方向の第１端から第２端まで順次形成され、

その後、前記第２工程が行われ、

その後、前記第２群の照射工程の各々が前記光学系に対して前記第１面を前記第１方向とは逆方向に前記第１幅だけ走査する第３工程を挟んで行われ、前記ビームスポットが前記第２群の領域のうち前記第１方向の第３端から第４端まで順次形成される、請求項１に記載の半導体装置の製造方法。

[請求項3] 前記第１アニール工程では、前記複数回の照射工程のうちの１つの前記照射工程にて形成される前記ビームスポットが、直前に行われた前記照射工程にて前記ビームスポットが形成された領域と接するように形成される、請求項１または２に記載の半導体装置の製造方法。

[請求項4] 前記第１アニール工程が２回繰り返し行われ、

２回目の前記第１アニール工程での前記レーザ光の強度は、１回目の前記第１アニール工程での前記レーザ光の強度以下である、請求項２または請求項３に記載の半導体装置の製造方法。

[請求項5] 前記第１アニール工程が３回繰り返し行われ、

３回目の前記第１アニール工程での前記レーザ光の強度は、前記２回目の第１アニール工程での前記レーザ光の強度以下である、請求項４に記載の半導体装置の製造方法。

[請求項6] 前記第１アニール工程が２回繰り返し行われ、

２回目の前記第１アニール工程での前記レーザ光の遅延時間は、１回目の前記第１アニール工程での前記レーザ光の遅延時間とは異なる、請求項２または請求項３に記載の半導体装置の製造方法。

[請求項7] 前記準備する工程では、第２不純物領域がさらに形成されている前記半導体基板が準備され、

前記レーザ光を前記第２不純物領域に照射して、前記第２不純物領域をアニールする第２アニール工程をさらに備え、

前記第２アニール工程では、

前記複数回の照射工程と、

前記複数回の照射工程の各々の間に、前記第１工程、または前記第２工程が行われ、

前記第２アニール工程が複数回繰り返し行われ、

２回目の前記第２アニール工程での前記レーザ光の強度は、１回目の前記第２アニール工程での前記レーザ光の強度以下である、請求項１～６のいずれか１項に記載の半導体装置の製造方法。

[請求項8] 前記準備する工程では、前記第１面とは反対側に位置する第２面を有する前記半導体基板が準備され、

前記準備する工程後、前記第１アニール工程前に、前記第２面上を保護する保護膜を形成する工程と、

前記第１不純物領域をアニールした後に、前記保護膜を除去する工程とをさらに備え、

前記第１アニール工程での前記保護膜の到達温度は、前記保護膜の耐熱温度未満である、請求項１～７のいずれか１項に記載の半導体装置の製造方法。

[請求項9] 第１方向および前記第１方向と直交する第２方向に沿って延びている第１面を有し、第１不純物領域が形成されている半導体基板を保持する保持部と、

前記保持部に保持された前記半導体基板の前記第１面にレーザ光を照射し、前記第１方向および前記第２方向の少なくともいずれかに並んで配置された前記第１面の複数の領域のうちの１つの領域にビームスポットを形成する光学系と、

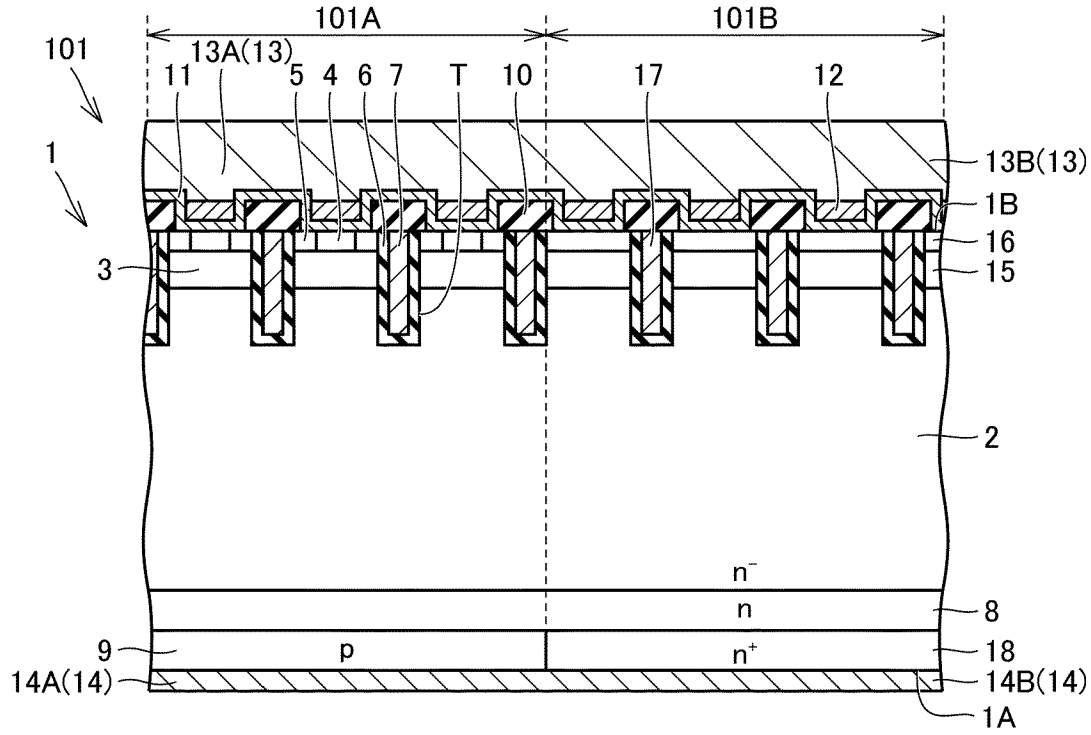
前記半導体基板および前記光学系の一方を他方に対して走査する走査部とを備え、

前記光学系は、前記第１方向の第１幅が前記第２方向の第２幅よりも狭い前記ビームスポットを前記第１面に形成するように設けられており、

前記走査部は、前記光学系が１つの前記ビームスポットを形成した後前記光学系に対して前記第１面を前記第１方向に前記第１幅だけ走査し、前記光学系に対して前記第１面を前記第１方向に前記第１幅だけ走査した後前記第１面を前記光学系に対して前記第１面を前記第２方向に前記第２幅だけ走査する、レーザアニール装置。

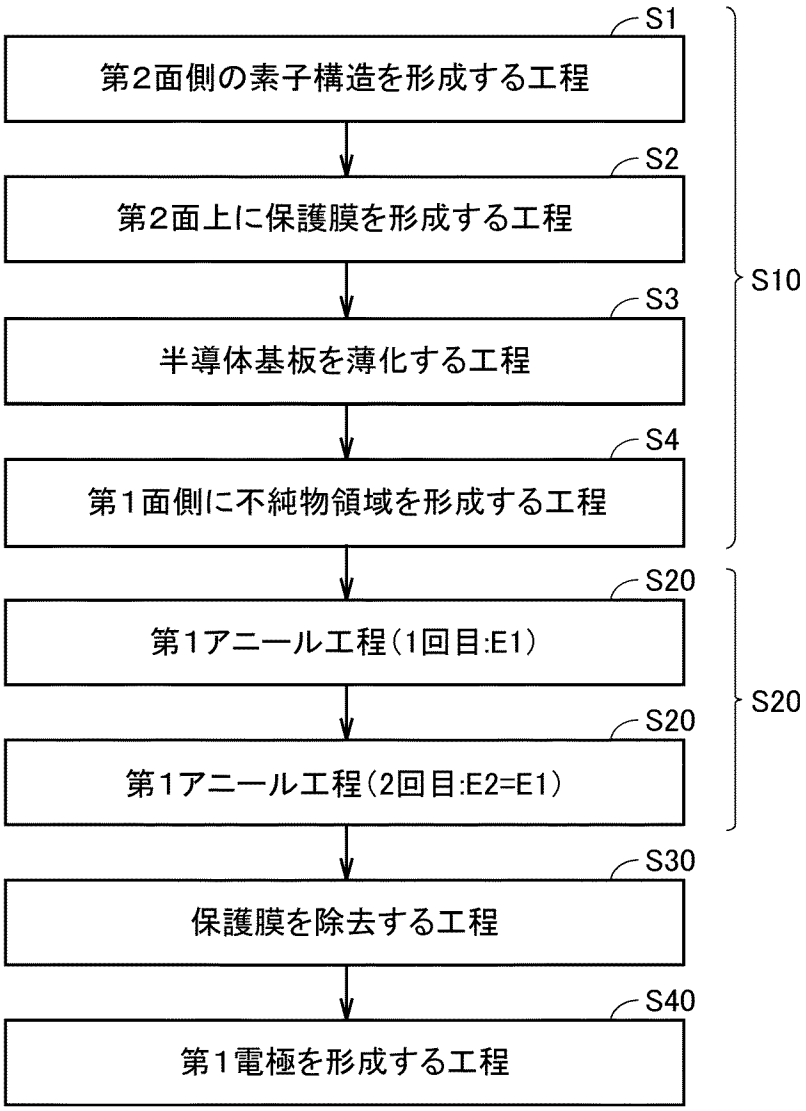
[図1]

図1


101A
101B
101
13A(13)
11
5
4
6
7
T
10
17
12
1
13B(13)
1B
16
15
3
2
n⁻
n
8
9
p
n⁺
18
14A(14)
14B(14)
1A

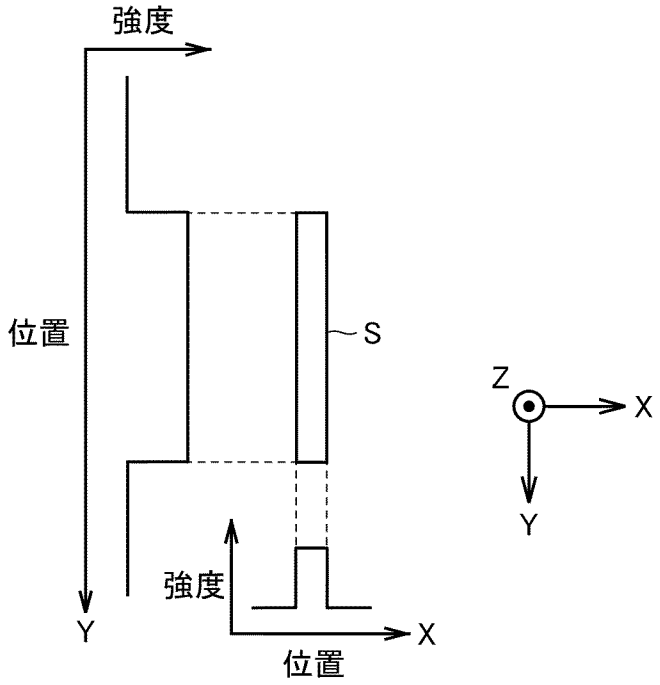
[図2]

図2


S1
第2面側の素子構造を形成する工程
S2
第2面上に保護膜を形成する工程
S3
半導体基板を薄化する工程
S4
第1面側に不純物領域を形成する工程
S10
S20
第1アニール工程(1回目:E1)
S20
第1アニール工程(2回目:E2=E1)
S20
S30
保護膜を除去する工程
S40
第1電極を形成する工程

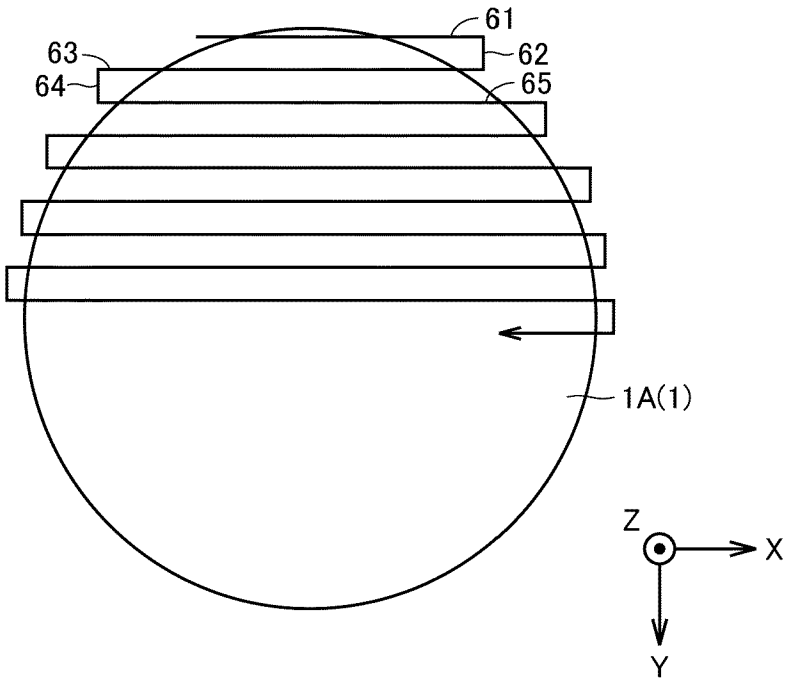
[図3]

図3



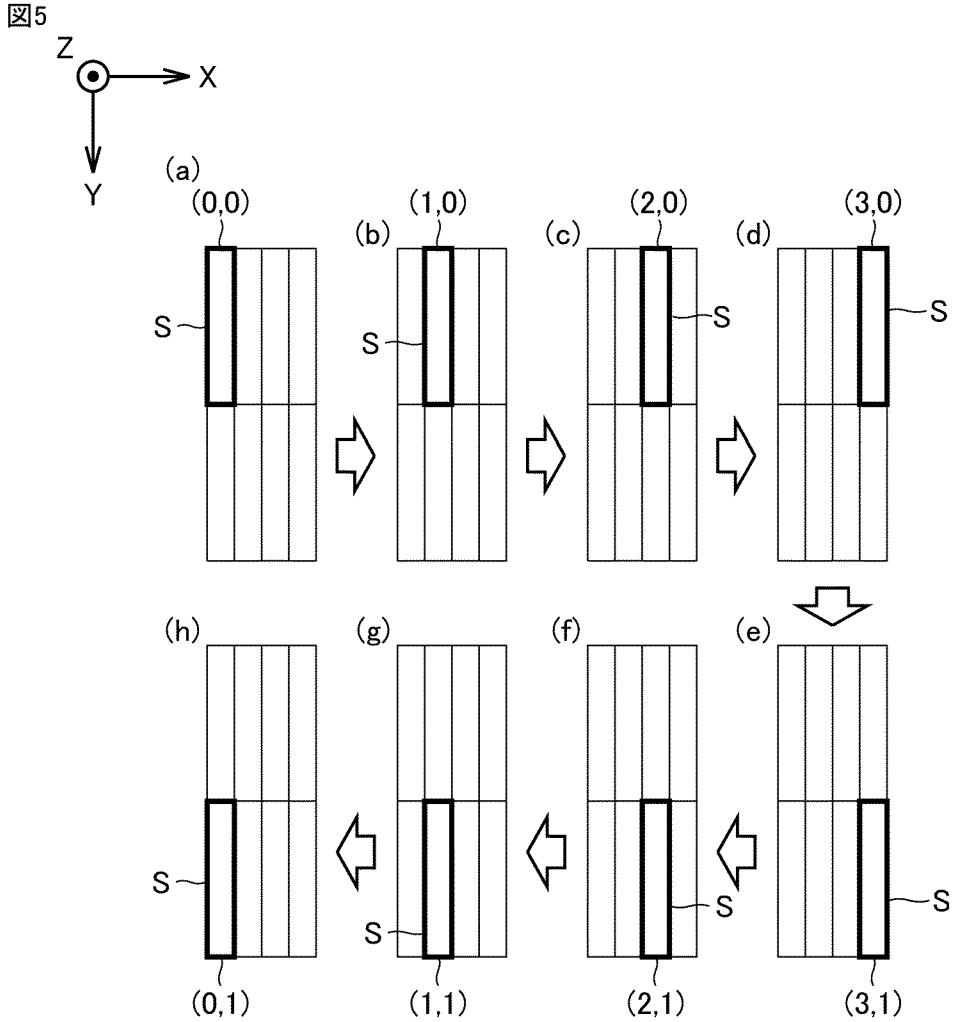
[図4]

図4



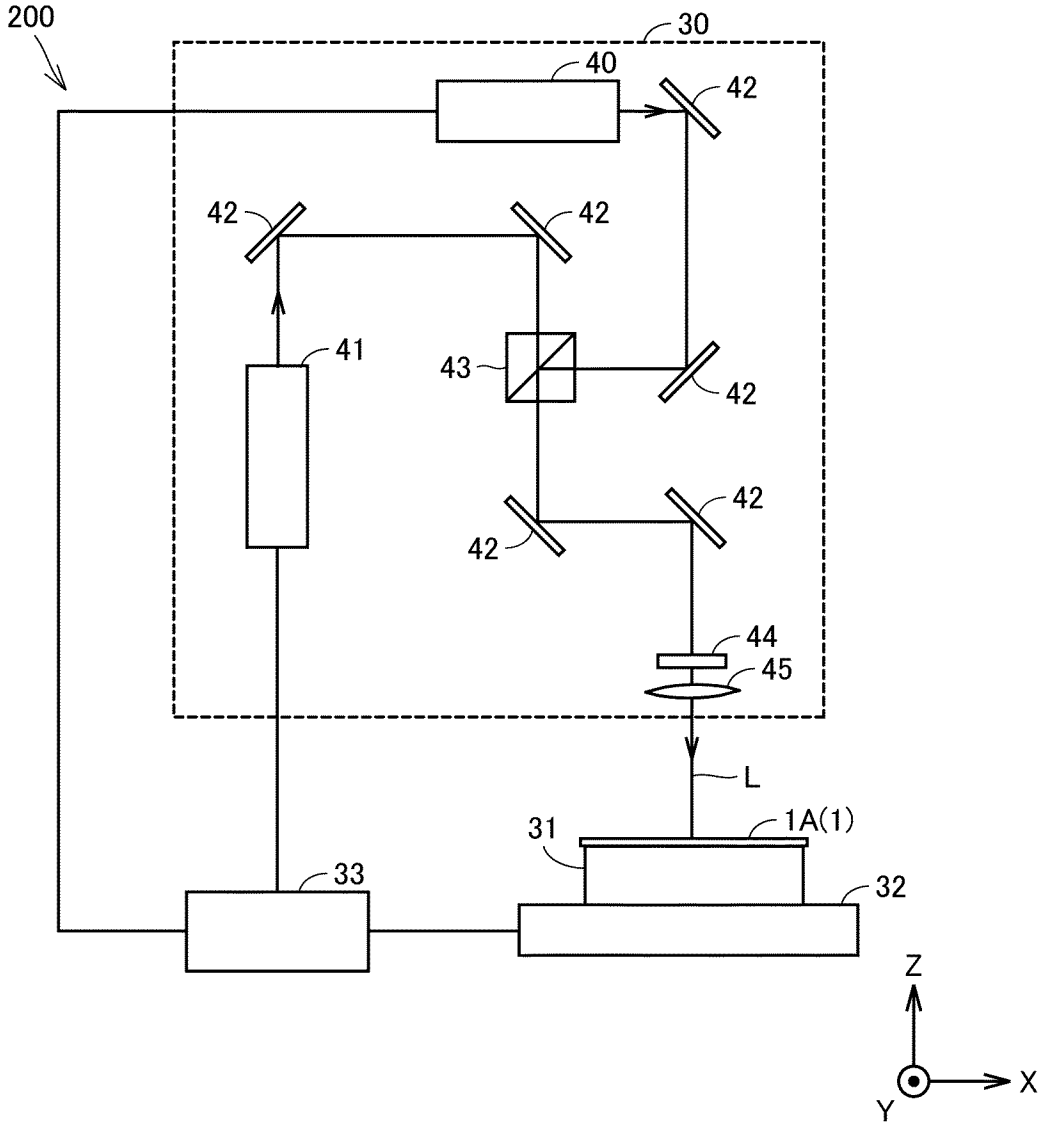
[図5]

図5



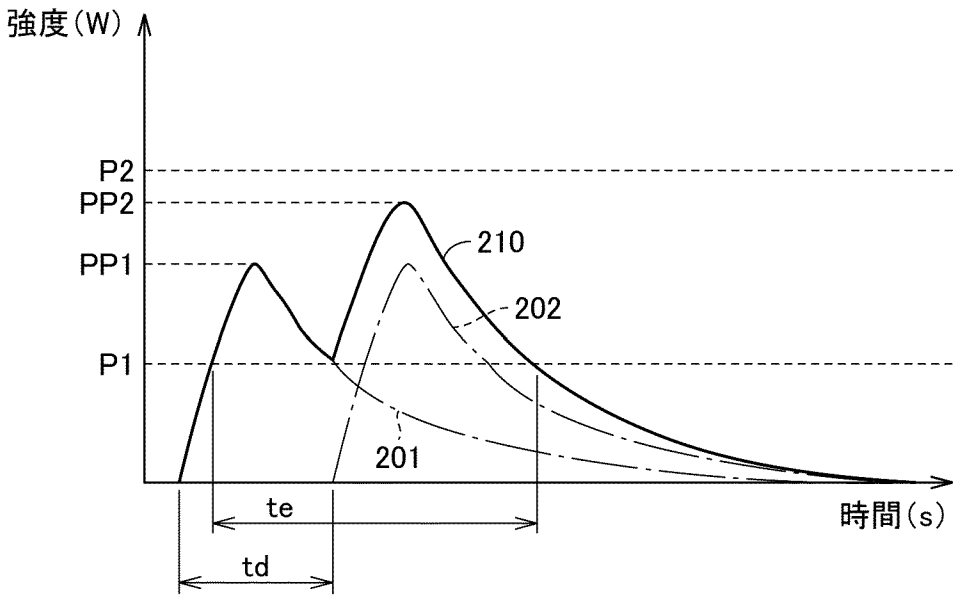
[図6]

図6


200
30
40
42
42
42
41
43
42
42
42
44
45
L
31
1A(1)
33
32
Z
X
Y

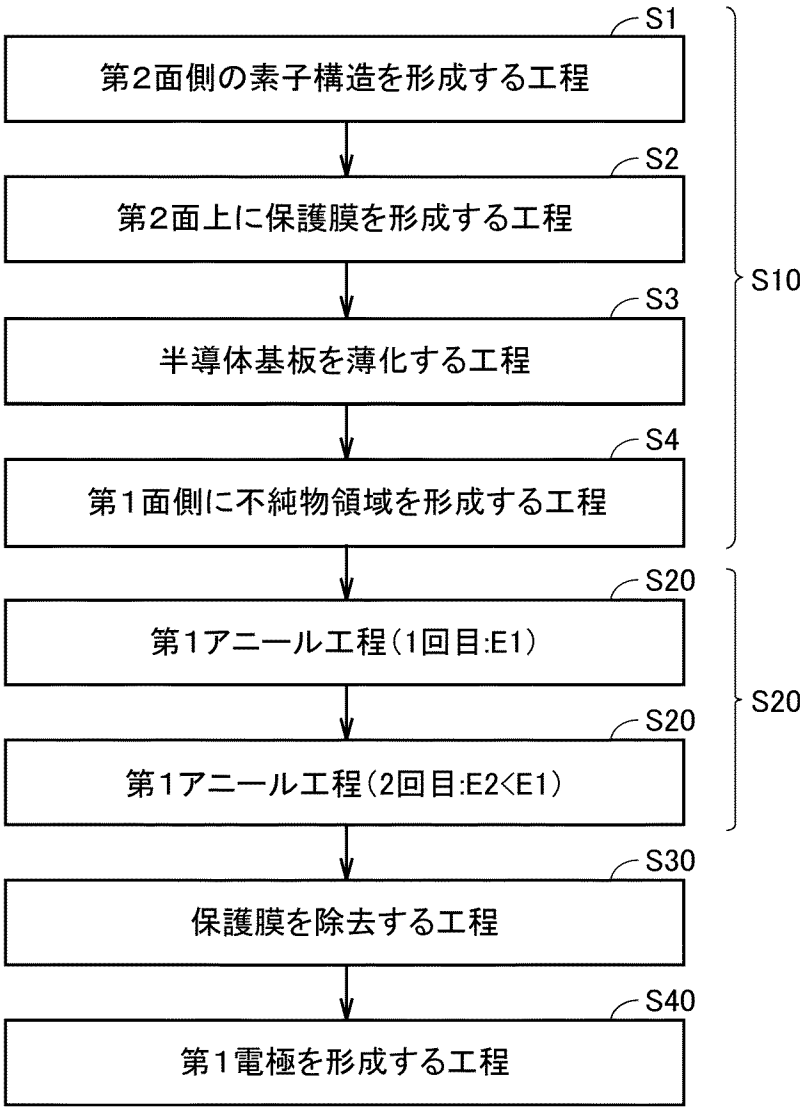
[図7]

図7


強度(W)
P2
PP2
PP1
P1
210
202
201
te
td
時間(s)

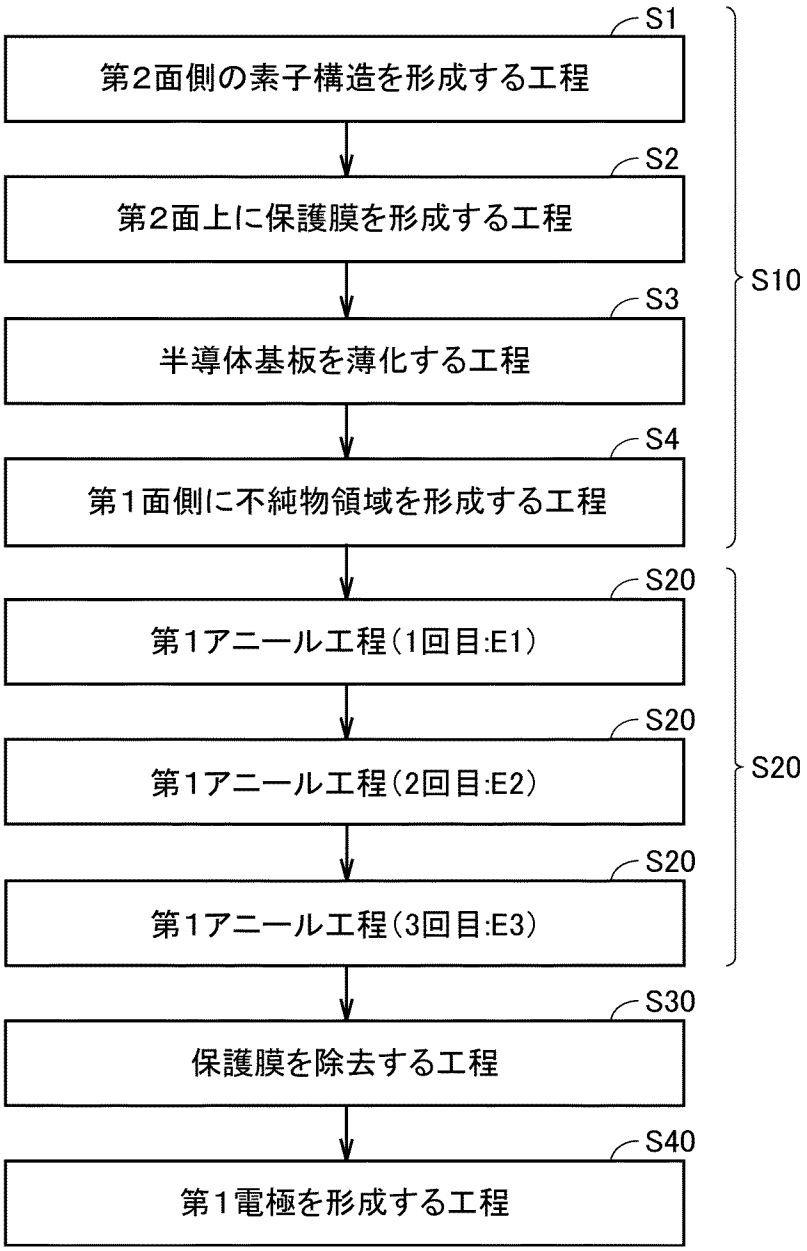
[図8]

図8


S1
第2面側の素子構造を形成する工程
S2
第2面上に保護膜を形成する工程
S3
半導体基板を薄化する工程
S4
第1面側に不純物領域を形成する工程
S10
S20
第1アニール工程(1回目:E1)
S20
第1アニール工程(2回目:E2<E1)
S20
S30
保護膜を除去する工程
S40
第1電極を形成する工程

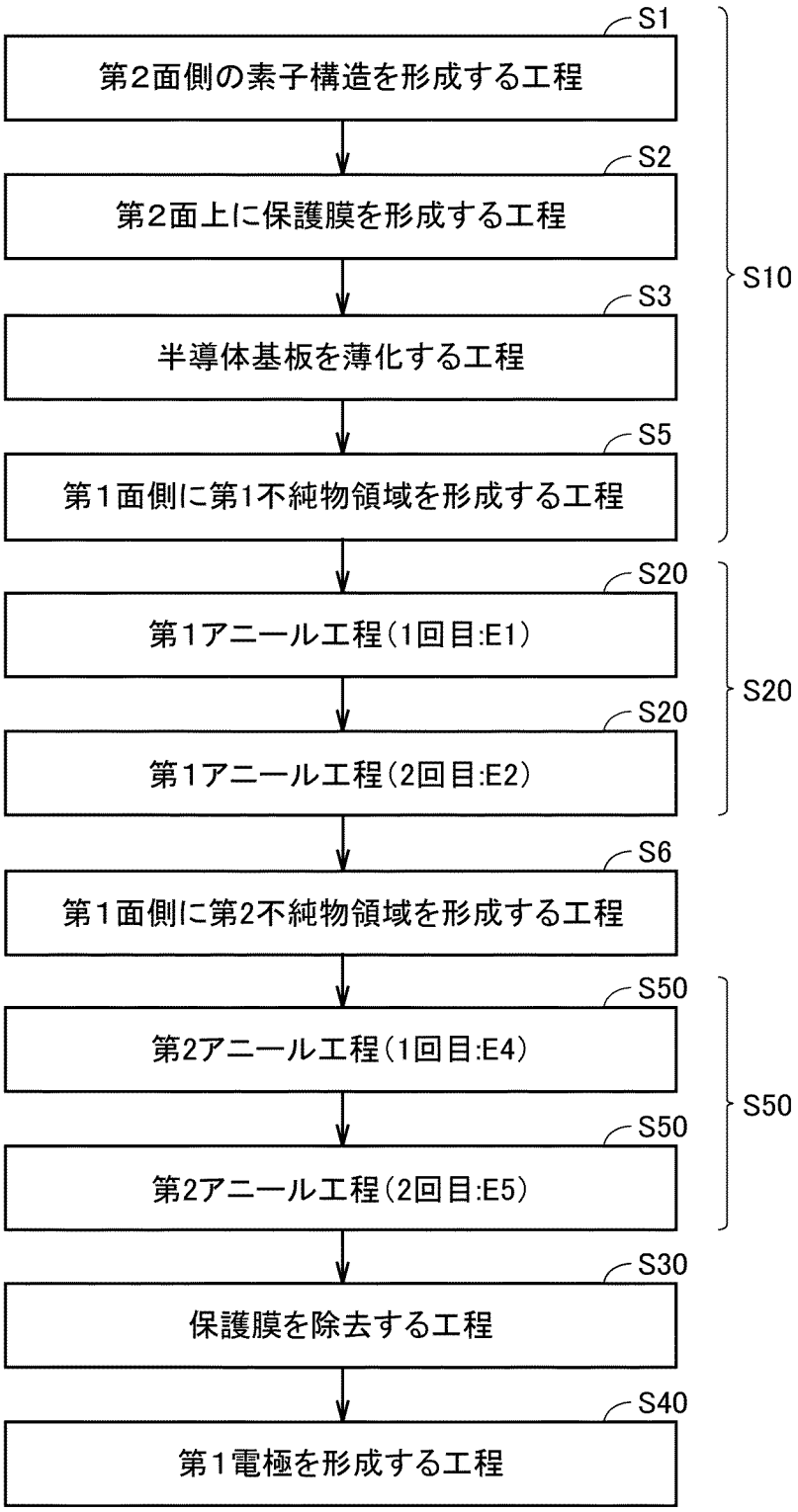
[図9]

図9


S1
第2面側の素子構造を形成する工程
S2
第2面上に保護膜を形成する工程
S3
半導体基板を薄化する工程
S4
第1面側に不純物領域を形成する工程
S10
S20
第1アニール工程(1回目:E1)
S20
第1アニール工程(2回目:E2)
S20
第1アニール工程(3回目:E3)
S20
S30
保護膜を除去する工程
S40
第1電極を形成する工程

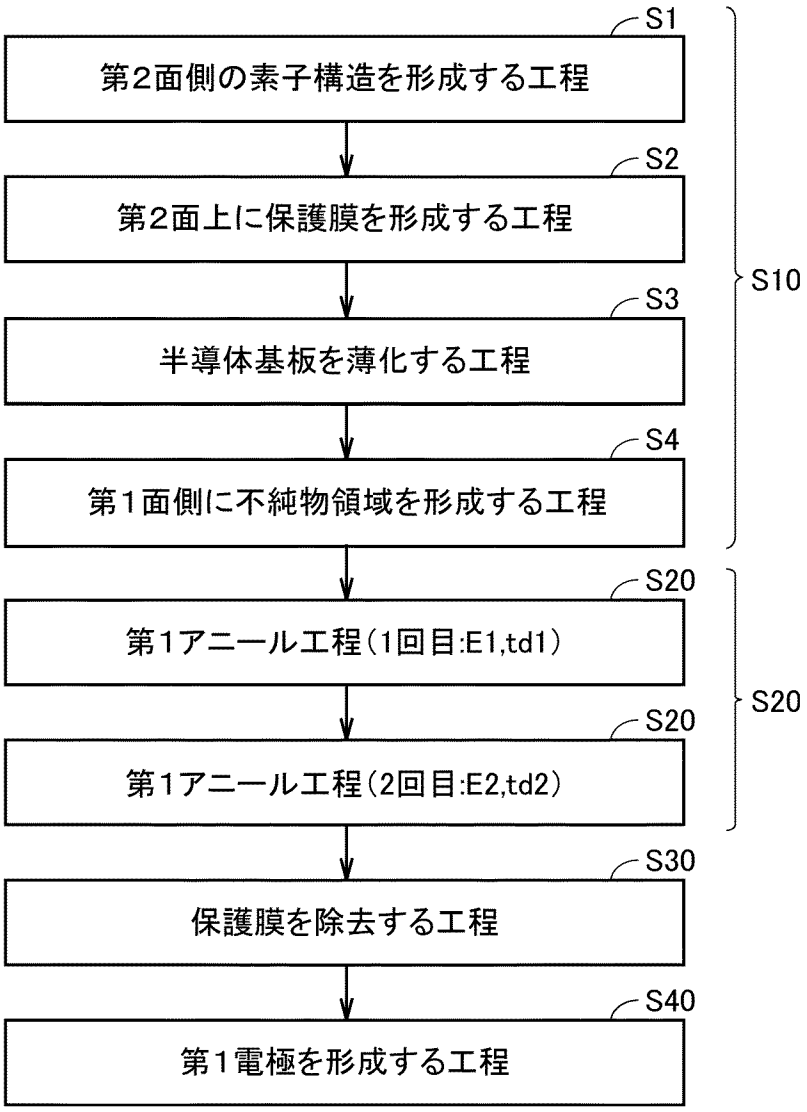
[図10]

図10


S1
第2面側の素子構造を形成する工程
S2
第2面上に保護膜を形成する工程
S3
半導体基板を薄化する工程
S5
第1面側に第1不純物領域を形成する工程
S10
S20
第1アニール工程(1回目:E1)
S20
第1アニール工程(2回目:E2)
S20
S6
第1面側に第2不純物領域を形成する工程
S50
第2アニール工程(1回目:E4)
S50
第2アニール工程(2回目:E5)
S50
S30
保護膜を除去する工程
S40
第1電極を形成する工程

[図11]

図11


S1
第2面側の素子構造を形成する工程
S2
第2面上に保護膜を形成する工程
S3
半導体基板を薄化する工程
S4
第1面側に不純物領域を形成する工程
S10
S20
第1アニール工程(1回目:E1,td1)
S20
第1アニール工程(2回目:E2,td2)
S20
S30
保護膜を除去する工程
S40
第1電極を形成する工程

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/020813

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/265(2006.01)i; ***H01L 21/268***(2006.01)i
FI: H01L21/268 T; H01L21/265 602C; H01L21/268 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/265; H01L21/268

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2019/116826 A1 (SUMITOMO HEAVY INDUSTRIES, LTD.) 20 June 2019 (2019-06-20) paragraphs [0011]-[0075], fig. 1, 8-14	1-7, 9
Y		8
X	JP 2012-044046 A (SUMITOMO HEAVY INDUSTRIES, LTD.) 01 March 2012 (2012-03-01) paragraphs [0016]-[0048], [0052], [0053], fig. 6, 7	1-7, 9
Y		8
Y	WO 2019/244665 A1 (SUMITOMO HEAVY INDUSTRIES, LTD.) 26 December 2019 (2019-12-26) paragraphs [0014]-[0016], [0072], fig. 1, 2, 19	8
A		1-7, 9
A	JP 2012-134228 A (SUMITOMO HEAVY INDUSTRIES, LTD.) 12 July 2012 (2012-07-12)	1-9
A	JP 2001-044136 A (SUMITOMO HEAVY INDUSTRIES, LTD.) 16 February 2001 (2001-02-16)	1-9

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 July 2022	**26 July 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/020813

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-045820 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 February 2003 (2003-02-14)	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/020813

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2019/116826 A1	20 June 2019	US 2020/0312664 A1 paragraphs [0025]-[0090], fig. 1, 8-14 EP 3726564 A1 KR 10-2020-0066717 A CN 111433892 A	
JP 2012-044046 A	01 March 2012	(Family: none)	
WO 2019/244665 A1	26 December 2019	US 2021/0111026 A1 paragraphs [0014], [0015], [0072], fig. 1, 2, 19	
JP 2012-134228 A	12 July 2012	(Family: none)	
JP 2001-044136 A	16 February 2001	(Family: none)	
JP 2003-045820 A	14 February 2003	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/020813

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/265(2006.01)i; H01L 21/268(2006.01)i
FI: H01L21/268 T; H01L21/265 602C; H01L21/268 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/265; H01L21/268

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2019/116826 A1 (住友重機械工業株式会社) 20.06.2019 (2019-06-20) 段落[0011]-[0075],第1,8-14図	1-7,9
Y		8
X	JP 2012-044046 A (住友重機械工業株式会社) 01.03.2012 (2012-03-01) 段落[0016]-[0048],[0052]-[0053],第6-7図	1-7,9
Y		8
Y	WO 2019/244665 A1 (住友重機械工業株式会社) 26.12.2019 (2019-12-26) 段落[0014]-[0016],[0072],第1-2,19図	8
A		1-7,9
A	JP 2012-134228 A (住友重機械工業株式会社) 12.07.2012 (2012-07-12)	1-9
A	JP 2001-044136 A (住友重機械工業株式会社) 16.02.2001 (2001-02-16)	1-9
A	JP 2003-045820 A (株式会社半導体エネルギー研究所) 14.02.2003 (2003-02-14)	1-9

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
13.07.2022	26.07.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
桑原　清 50 9375

電話番号 03-3581-1101 内線 3559

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/020813

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/116826 A1	20.06.2019	US 2020/0312664 A1 段落[0025]-[0090],第1,8-14図 EP 3726564 A1 KR 10-2020-0066717 A CN 111433892 A	
JP 2012-044046 A	01.03.2012	（ファミリーなし）	
WO 2019/244665 A1	26.12.2019	US 2021/0111026 A1 段落[0014]-[0015],[0072],第1-2,19図	
JP 2012-134228 A	12.07.2012	（ファミリーなし）	
JP 2001-044136 A	16.02.2001	（ファミリーなし）	
JP 2003-045820 A	14.02.2003	（ファミリーなし）	