



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0127630
(43) 공개일자 2015년11월17일

- (51) 국제특허분류(Int. C1.)
H05K 1/11 (2006.01) **G01R 31/28** (2006.01)
H05K 1/02 (2006.01) **H05K 3/34** (2006.01)
- (52) CPC특허분류
H05K 1/111 (2013.01)
G01R 31/2818 (2013.01)
- (21) 출원번호 10-2015-7026527
- (22) 출원일자(국제) 2014년02월25일
심사청구일자 없음
- (85) 번역문제출일자 2015년09월24일
- (86) 국제출원번호 PCT/US2014/018372
- (87) 국제공개번호 WO 2014/134059
국제공개일자 2014년09월04일
- (30) 우선권주장
13/783,168 2013년03월01일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
김, 진관
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
강, 귀원
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔드남

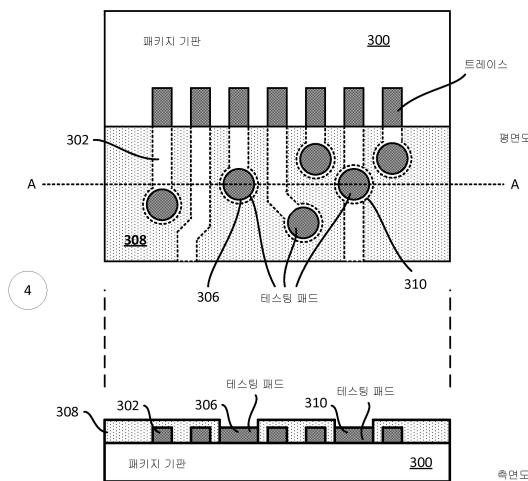
전체 청구항 수 : 총 34 항

(54) 발명의 명칭 **최적 피치 트레이스들 상에 테스팅 패드들을 갖는 패키지 기판**

(57) 요 약

일부 구현들은, 몇몇 트레이스들을, 몇몇 트레이스들을 커버하는 솔더 레지스트 층, 및 몇몇 트레이스들로부터의 트레이스에 커플링된 테스팅 패드를 포함하는 기판을 제공한다. 테스팅 패드는, 기판에 칩이 커플링될 때, 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 상기 솔더 레지스트 층을 갖지 않는다. 일부 구현들에서, 몇몇 트레이스들은 100미크론(μm) 또는 그 미만인 피치를 갖는다. 일부 구현들에서, 기판은 패키지 기판이다. 일부 구현들에서, 패키지 기판은 열적 압착 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 테스팅 패드는 칩이 기판에 커플링될 때 칩의 본딩 컴포넌트와 직접 접속을 갖지 않는다. 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다.

대 표 도 - 도4d



(52) CPC특허분류

H05K 1/0268 (2013.01)

H05K 3/3452 (2013.01)

H05K 2201/10674 (2013.01)

명세서

청구범위

청구항 1

기판으로서,

복수의 트레이스들;

상기 복수의 트레이스들을 커버하는 솔더 레지스트 층; 및

상기 복수의 트레이스들로부터의 트레이스에 커플링된 테스팅 패드를 포함하고,

상기 테스팅 패드는, 상기 기판에 칩이 커플링될 때, 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 상기 솔더 레지스트 층을 갖지 않는(free),

기판.

청구항 2

제 1 항에 있어서,

상기 복수의 트레이스들은 100미크론(μm) 또는 그 미만인 피치를 갖는,

기판.

청구항 3

제 1 항에 있어서,

상기 기판은 패키지 기판인,

기판.

청구항 4

제 1 항에 있어서,

상기 패키지 기판은, 최적 피치 플립 칩(fine pitch flip chip)이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판인,

기판.

청구항 5

제 1 항에 있어서,

상기 최적 피치 플립 칩은 적어도 열-압착 칩(thermo-compression chip) 및/또는 매스 리플로우 칩(mass reflow chip) 중 하나인,

기판.

청구항 6

제 1 항에 있어서,

상기 테스팅 패드는, 상기 칩이 상기 기판에 커플링될 때, 상기 칩의 본딩 커먼트와 직접 접속하지 않는(free),

기판.

청구항 7

제 6 항에 있어서,
상기 본딩 컴포넌트는 솔더 볼의 하나인,
기판.

청구항 8

제 1 항에 있어서,
상기 테스팅 패드는 상기 기판의 적어도 일부를 가로지르는 비아 패드인,
기판.

청구항 9

제 1 항에 있어서,
상기 테스팅 패드는, 상기 테스팅 패드에 커플링된 트레이스의 폭보다 더 큰 폭을 갖는,
기판.

청구항 10

제 1 항에 있어서,
상기 테스팅 패드는 상기 기판의 테스팅 동안 테스팅 디바이스의 편에 커플링하도록 구성되는,
기판.

청구항 11

제 1 항에 있어서,
상기 기판은, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기구, 고정 위치 단말, 태블릿 컴퓨터, 및/또는 랩탑 컴퓨터 중 적어도 하나에 통합되는,
기판.

청구항 12

기판으로서,
복수의 트레이스들;
상기 복수의 트레이스들을 커버하는 솔더 레지스트 층; 및
상기 기판을 테스팅하기 위한 수단을 포함하고,
상기 테스팅하기 위한 수단은 상기 복수의 트레이스들로부터의 트레이스에 커플링되고,
상기 테스팅하기 위한 수단은 상기 기판에 칩이 커플링될 때 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 상기 솔더 레지스트 층을 갖지 않는(free),
기판.

청구항 13

제 12 항에 있어서,
상기 복수의 트레이스들은 100미크론들(μm) 또는 그 미만인 피치를 갖는,
기판.

청구항 14

제 12 항에 있어서,
상기 기판은 패키지 기판인,
기판.

청구항 15

제 12 항에 있어서,
상기 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판인,
기판.

청구항 16

제 12 항에 있어서,
상기 최적 피치 플립 칩은 적어도 열-압착 칩(thermo-compression chip) 및/또는 매스 리플로우 칩(mass reflow chip) 중 하나인,
기판.

청구항 17

제 12 항에 있어서,
상기 테스팅하기 위한 수단은, 상기 칩이 상기 기판에 커플링될 때, 상기 칩의 본딩 컴포넌트와 직접 접속하지 않는(free),
기판.

청구항 18

제 17 항에 있어서,
상기 본딩 컴포넌트는 솔더 볼 중 하나인,
기판.

청구항 19

제 12 항에 있어서,
상기 테스팅하기 위한 수단은 상기 기판의 적어도 일부를 가로지르는 비아 패드인,
기판.

청구항 20

제 12 항에 있어서,
상기 테스팅하기 위한 수단은, 상기 테스팅하기 위한 수단이 커플링된 트레이스의 폭보다 더 큰 폭을 갖는,
기판.

청구항 21

제 12 항에 있어서,
상기 테스팅하기 위한 수단은, 상기 기판의 테스팅 동안 테스팅 디바이스의 펈에 커플링하도록 구성되는,
기판.

청구항 22

제 12 항에 있어서,

상기 기판은, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기구, 고정 위치 단말, 태블릿 컴퓨터, 및/또는 랩톱 컴퓨터 중 적어도 하나에 통합되는,

기판.

청구항 23

기판을 제공하기 위한 방법으로서,

복수의 트레이스들을 포함하는 기판을 제공하는 단계;

상기 복수의 트레이스들을 커버하는 솔더 레지스트 층을 제공하는 단계; 및

적어도 하나의 테스팅 패드를 적어도 부분적으로 노출시키기 위해 상기 솔더 레지스트 층의 일부분을 제거하는 단계를 포함하고,

상기 테스팅 패드는 상기 기판에 칩이 커플링될 때 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 상기 솔더 레지스트 층을 갖지 않는(free),

기판을 제공하기 위한 방법.

청구항 24

제 23 항에 있어서,

상기 테스팅 패드가 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 상기 솔더 레지스트 층을 갖지 않는 채로 유지하도록, 상기 칩에 상기 기판을 커플링하는 단계를 더 포함하는,

기판을 제공하기 위한 방법.

청구항 25

제 23 항에 있어서,

상기 복수의 트레이스들은 100미크론(μm) 또는 그 미만인 피치를 갖는,

기판을 제공하기 위한 방법.

청구항 26

제 23 항에 있어서,

상기 기판은 패키지 기판인,

기판을 제공하기 위한 방법.

청구항 27

제 23 항에 있어서,

상기 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판인,

기판을 제공하기 위한 방법.

청구항 28

제 23 항에 있어서,

상기 최적 피치 플립 칩은 적어도 열-압착 칩(thermo-compression chip) 및/또는 매스 리플로우 칩(mass reflow chip) 중 하나인,

기판을 제공하기 위한 방법.

청구항 29

제 23 항에 있어서,

상기 테스팅 패드는, 상기 칩이 상기 기판에 커플링될 때, 상기 칩의 본딩 컴포넌트와 직접 접속하지 않는 (free),

기판을 제공하기 위한 방법.

청구항 30

제 29 항에 있어서,

상기 본딩 컴포넌트는 솔더 볼 중 하나인,

기판을 제공하기 위한 방법.

청구항 31

제 23 항에 있어서,

상기 테스팅 패드는 상기 기판의 적어도 일부를 가로지르는 비아 패드인,

기판을 제공하기 위한 방법.

청구항 32

제 23 항에 있어서,

상기 테스팅 패드는, 상기 테스팅 패드가 커플링된 트레이스의 폭보다 더 큰 폭을 갖는,

기판을 제공하기 위한 방법.

청구항 33

제 23 항에 있어서,

상기 테스팅 패드는 상기 기판의 테스팅 동안 테스팅 디바이스의 편에 커플링되도록 구성되는,

기판을 제공하기 위한 방법.

청구항 34

제 23 항에 있어서,

음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기구, 고정 위치 단말, 태블릿 컴퓨터, 및/또는 랩탑 컴퓨터 중 적어도 하나에 상기 기판을 통합하는 단계를 더 포함하는,

기판을 제공하기 위한 방법.

발명의 설명

기술 분야

[0001] 다양한 특징들은 최적 피치 트레이스(fine pitch trace)들 상에서 테스팅 패드들을 갖는 패키지 기판에 관한 것이다.

배경 기술

[0002] 열적 압착 본딩 프로세스(thermal compression bonding process)는 플립 칩, 다이 또는 반도체 디바이스를 패키지 기판에 어셈블링/패키징하는데 이용되는 프로세스이다. 이러한 플립칩은 종종 열적 압착 플립 칩 (TCFC; thermal compression flip chip)으로 지칭된다. 열적 압착 본딩 프로세스들은 통상적인 본딩 프로세스들에 대해 몇몇 이점들을 제공한다. 예를 들어, 열적 압착 본딩 프로세스들은 일반적으로 다른 솔더 본딩 프로세스들보다 더욱 정확하다. 따라서, 열적 압착 본딩 프로세스들은, 기판상에서 최적 피치 트레이스들(예를 들어, 100미크론(μm) 미만)을 이용할 때 이상적이다. 대조적으로, 다른 솔더 본딩 프로세스들은 100미크론(μm)보

다 큰 본딩 피치로 제한된다. 따라서, TCFC들은 통상적으로 다른 본딩 프로세스들을 이용하는 칩들 보다 더 높은 밀도의 칩들이다.

[0003] 그러나, 최적 피치 트레이스들(예를 들어, 100미크론(μm) 또는 그 미만)을 갖는 테스팅 패키지 기판들은 트레이스들의 피치들의 작은 크기로 인해 도전적일 수 있고 어려울 수 있다. 구체적으로, 최적 피치 트레이스들은, 테스팅 디바이스의 핀들이 기판 상에서 트레이스들에 접속될 때 오정렬을 초래할 수 있다. 도 1은 이러한 예시를 도시한다. 구체적으로, 도 1은 몇몇 최적 피치 트레이스들(102)을 포함하는 패키지 기판(100)을 개념적으로 도시한다. 도 1은 또한 트레이스들(102)에 전기적으로 커플링되어 있는 몇몇 테스팅 핀들(104)을 도시한다. 도 1에 나타낸 바와 같이, 테스팅 핀들(104)은 트레이스들(102)과 정렬되지 않는다. 이 오정렬의 결과는, 패키지 기판이 적절하게 테스팅되지 않을 수도 있다는 것이다.

[0004] 따라서, 최적 피치 트레이스들을 갖는 패키지 기판들을 테스팅하기 위한 개선된 방법에 대한 필요성이 존재한다. 이상적으로, 이러한 솔루션은, 비용 효율적이 것이며, 테스팅 디바이스의 테스팅 핀들의 오정렬로 인해 테스팅 어려들을 감소시킬 것이다.

발명의 내용

[0005] 다양한 특징들은 최적 피치 트레이스들 상에서 테스팅 패드들을 갖는 패키지 기판에 관한 것이다.

[0006] 제 1 예시는, 몇몇 트레이스들을 포함하는 기판, 몇몇 트레이스들을 커버하는 솔더 레지스트 층, 및 몇몇 트레이스들로부터의 트레이스에 커플링된 테스팅 패드를 제공한다. 테스팅 패드는, 기판에 칩이 커플링될 때, 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 솔더 레지스트 층을 갖지 않는다(free).

[0007] 일 양상에 따르면, 몇몇 트레이스들은 100미크론(μm) 또는 그 미만인 피치를 갖는다. 일부 구현들에서, 기판은 패키지 기판이다. 일부 구현들에서, 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 열-압착 플립 칩(thermo-compression flip chip)이다. 일부 구현들에서, 최적 피치 플립 칩은 매스 리플로우 플립 칩(mass reflow flip chip)이다.

[0008] 일 양상에 따르면, 테스팅 패드는, 칩이 기판에 커플링될 때 칩의 본딩 컴포넌트와 직접 접속하지 않는다(free). 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다. 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다.

[0009] 일 양상에 따르면, 테스팅 패드는 기판의 적어도 일부를 가로지르는 비아 패드(via pad)이다.

[0010] 일 양상에 따르면, 테스팅 패드는, 테스팅 패드가 커플링된 트레이스의 폭 보다 더 큰 폭을 갖는다.

[0011] 일 양상에 따르면, 테스팅 패드는 기판의 테스팅 동안 테스팅 디바이스의 핀에 커플링하도록 구성된다.

[0012] 일 양상에 따르면, 기판은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기구, 고정 위치 단말, 태블릿 컴퓨터, 및/또는 랩톱 컴퓨터 중 적어도 하나에 통합된다.

[0013] 제 2 예시는, 몇몇 트레이스들을 포함하는 기판, 몇몇 트레이스들을 커버하는 솔더 레지스트 층, 및 기판을 테스팅하기 위한 수단을 제공한다. 테스팅하기 위한 수단은 몇몇 트레이스들로부터의 트레이스에 커플링된다. 테스팅하기 위한 수단은, 기판에 칩이 커플링될 때, 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 솔더 레지스트 층을 갖지 않는다.

[0014] 일 양상에 따르면, 몇몇 트레이스들은 100미크론(μm) 또는 그 미만인 피치를 갖는다. 일부 구현들에서, 기판은 패키지 기판이다. 일부 구현들에서 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재된 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 열-압착 플립 칩이다. 일부 구현들에서, 최적 피치 플립 칩은 매스 리플로우 플립 칩이다.

[0015] 일 양상에 따르면, 테스팅을 위한 수단은, 칩이 기판에 커플링될 때 칩의 본딩 컴포넌트와 직접 접속하지 않는다. 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다. 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다.

[0016] 일 양상에 따르면, 테스팅을 위한 수단은 기판의 적어도 일부를 가로지르는 비아 패드이다.

[0017] 일 양상에 따르면, 테스팅을 위한 수단은, 테스팅 패드가 커플링된 트레이스의 폭 보다 더 큰 폭을 갖는다.

다.

[0018] 일 양상에 따르면, 테스팅하기 위한 수단은, 기판의 테스팅 동안 테스팅 디바이스의 핀에 커플링하도록 구성된다.

[0019] 일 양상에 따르면, 기판은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기구, 고정 위치 단말, 태블릿 컴퓨터, 및/또는 랩탑 컴퓨터 중 적어도 하나에 통합된다.

[0020] 제 3 예시는 기판을 제공하기 위한 방법을 제공한다. 이 방법은 몇몇 트레이스들을 포함하는 기판을 제공한다. 방법은 몇몇 트레이스들을 커버하는 솔더 레지스트 층을 제공한다. 방법은 적어도 하나의 테스팅 패드를 적어도 부분적으로 노출시키기 위해 솔더 레지스트 층의 일부를 제거하고, 여기서 테스팅 패드는 기판에 칩이 커플링될 때 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 솔더 레지스트 층을 갖지 않는다.

[0021] 일 양상에 따르면, 방법은, 테스팅 패드가 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 솔더 레지스트 층을 갖지 않는 채로 유지하도록, 칩에 기판을 커플링하는 것을 더 포함한다.

[0022] 일 양상에 따르면, 몇몇 트레이스들은 100미크론(μm) 또는 그 미만인 피치를 갖는다. 일부 구현들에서, 기판은 패키지 기판이다. 일부 구현들에서, 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 열-압착 플립 칩이다. 일부 구현들에서, 최적 피치 플립 칩은 매스 리플로우 플립 칩이다.

[0023] 일 양상에 따르면, 테스팅 패드는, 칩이 기판에 커플링될 때 칩의 본딩 컴포넌트와 직접 접속하지 않는다. 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다. 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다.

[0024] 일 양상에 따르면, 테스팅 패드는 기판의 적어도 일부를 가로지르는 비아 패드이다.

[0025] 일 양상에 따르면, 테스팅 패드는, 테스팅 패드가 커플링되는 트레이스의 폭 보다 더 큰 폭을 갖는다.

[0026] 일 양상에 따르면, 테스팅 패드는 기판의 테스팅 동안 테스팅 디바이스의 핀에 커플링하도록 구성된다.

[0027] 일 양상에 따르면, 방법은, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기구, 고정 위치 단말, 태블릿 컴퓨터, 및/또는 랩탑 컴퓨터 중 적어도 하나에 기판을 통합하는 것을 더 포함한다.

도면의 간단한 설명

[0028] 다양한 특징들, 속성 및 이점들은, 도면들과 관련하여 고려될 때 이하 설명된 상세한 설명으로부터 명백하게 될 수 있으며, 여기서 동일한 참조 문자들은 명세서 전반에 걸쳐 이에 대응하게 식별한다.

[0029] 도 1은 몇몇 최적 피치 트레이스들을 포함하는 패키지 기판을 예시한다.

[0030] 도 2a 및 도 2b는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 평면도 시퀀스를 도시한다.

[0031] 도 3a 및 도 3b는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 측면도 시퀀스를 도시한다.

[0032] 도 4a 내지 도 4d는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 다른 시퀀스를 도시한다.

[0033] 도 5는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 시퀀스의 상세도를 도시한다.

[0034] 도 6은 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 흐름도를 도시한다.

[0035] 도 7은 앞서 언급된 집적 회로, 다이, 칩, 다이 패키지 및/또는 기판 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0029] [0036] 이하의 설명에서, 본 개시물의 다양한 양상들의 전반적인 이해를 제공하기 위해 특정 세부사항들이 제공된다. 그러나, 양상들이 이러한 특정 세부사항들 없이도 실행될 수 있다는 것이 당업자에 의해 이해될 것이다. 예를 들어, 회로들은 양상들을 불필요한 세부사항으로 모호하게 하는 것을 회피하기 위해 블록도들로 나타낼 수 있다. 다른 경우들에서, 잘-알려진 회로들, 구조들 및 기법들은 본 개시물의 양상들을 모호하게하지 않기 위해 상세하게 나타내지 않을 수 있다.

개관

[0031] [0037] 몇몇 신규의 특징들은, 몇몇 트레이스들을 포함하는 기판, 몇몇 트레이스들을 커버하는 솔더 레지스트 층, 및 몇몇 트레이스들로부터의 트레이스에 커플링된 테스팅 패드에 관한 것이다. 테스팅 패드는, 기판에 칩이 커플링될 때, 적어도 부분적으로는 노출되어 있고 그리고 적어도 부분적으로는 솔더 레지스트 층을 갖지 않는다(free). 일부 구현들에서, 몇몇 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는다. 일부 구현들에서, 100미크론(μm) 또는 그 미만의 피치를 갖는 트레이스들은 최적 피치 트레이스들로 지정될 수 있다. 일부 구현들에서, 기판은 패키지 기판이다. 일부 구현들에서, 패키지 기판은, 열적 압착 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 패키지 기판은, 매스 리플로우 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 테스팅 패드는, 칩이 기판에 커플링될 때, 칩의 본딩 컴포넌트와 직접 접속하지 않는다(free). 일부 구현들에서, 본딩 컴포넌트는 솔더 볼 중 하나이다.

테스팅 패드들을 갖는 패키지 기판을 제조하기 위한 예시적인 시퀀스

[0033] [0038] 도 2a 및 도 2b는, 패키지 기판의 테스팅 동안 오정렬(misalignment)을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 평면도 시퀀스를 개념적으로 도시한다. 구체적으로, 도 2a 및 도 2b는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 평면도 시퀀스를 도시한다. 일부 구현들에서, 최적 피치 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는 트레이스들이다. 트레이스의 피치는 2개의 이웃 트레이스들 사이의 심심(center to center) 거리일 수 있다. 일부 구현들에서, 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 100 미크론(μm) 또는 그 미만의 입/출력(I/O) 접속 피치를 갖는 플립 칩/다이일 수 있다. 일부 구현들에서, 플립 칩의 I/O 접속 피치는 2개의 이웃 I/O 접속들(예를 들어, UBM(under bump metallization) 구조체들, 범프들) 사이의 심심 거리이다. 일부 구현들에서, 이러한 I/O 접속들은 패키지 기판상의 트레이스들(예를 들어, 최적 피치 트레이스들)에 커플링된 인터커넥트들이다. 최적 피치 플립 칩의 예시들은 일부 구현들에서 열-압착/열적 압착 플립 칩/다이 및 매스 리플로우 플립 칩/다이를 포함할 수 있다.

[0034] [0039] 도 2a에 도시된 바와 같이, 스테이지 1에서, 패키지 기판(200)은 트레이스들의 적어도 일부의 단부에 몇몇 트레이스들(예를 들어, 트레이스들 202-204) 및 몇몇 패드들(예를 들어, 비아 패드(206))을 포함한다. 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는 최적 피치 트레이스들이다. 일부 구현들에서, 트레이스 피치는 2개의 이웃 트레이스들 사이의 심심 거리를 정의한다.

[0040] [0040] 도 2b에 추가로 나타낸 바와 같이, 스테이지 2에서, 패키지 기판(200)은 솔더 레지스트 층(208)으로 적어도 부분적으로 커버된다. 스테이지 2에서, 패드들(예를 들어, 비아 패드(206)) 및 트레이스들의 몇몇 부분들(some portions)은 솔더 레지스트 층(208)으로 커버되고, 트레이스들의 다른 부분들은 노출된 채로 남는다(예를 들어, 솔더 레지스트 층(208)을 갖지 않는(free) 트레이스들의 다른 부분들을 남긴다). 따라서, 도 2b의 스테이지 2는 커버된 부분(예를 들어, 솔더 레지스트 층(208)으로 커버됨) 및 노출된 부분(예를 들어, 솔더 레지스트 층(208)을 갖지 않음)을 포함하는 트레이스들(예를 들어, 트레이스(202))를 도시한다. 일부 구현들에서, 트레이스의 노출된 부분은, 다이(예를 들어, 열적 압착 플립 칩)가 다이의 어셈블리 프로세스 동안 패키지 기판(200)에 커플링되는 트레이스의 부분이다. 예를 들어, 일부 구현들에서, 트레이스의 노출된 부분은, 다이의 본딩 컴포넌트(예를 들어, 솔더 볼)가 다이의 어셈블리 프로세스 동안 (예를 들어, 다이가 패키지 기판 상에 탑재될 때) 패키지 기판(200)에 커플링되는 트레이스의 부분이다.

[0041] [0041] 도 2b의 스테이지 3에서, 패키지 기판(200)은, 패키지 기판(200)의 테스팅 동안 테스팅 디바이스의 핀이 커플링할 수 있는 테스팅 패드들을 포함한다. 스테이지 3에서 나타낸 바와 같이, 패드들(예를 들어, 비아 패드(206))의 일부 또는 전부는 이제 적어도 부분적으로는 노출되어 있고 그리고 더 이상 (솔더 레지스트 층(208)을

적어도 부분적으로는 갖지 않는) 솔더 레지스트 층(208)으로 커버되지 않는다. 패드들 위의 솔더 레지스트 층(208)이 제거(예를 들어 예칭)되면, 패드들은 패키지 기판의 테스팅 동안 테스팅 디바이스의 테스팅 펀들에 커플링하도록 구성된 테스팅 패드들로서 기능할 수 있다. 상이한 구현들은 패드들(예를 들어, 비아 패드(206) 위의 솔더 레지스트 층(208)을 상이하게 제거할 수 있다. 일부 구현들에서, 예칭 프로세스는 솔더 레지스트 층(208)의 부분들을 선택적으로 제거하기 위해 (예를 들어, 레이저 예칭을 이용하여) 이용될 수 있다.

[0037] [0042] 몇몇 트레이스들(예를 들어, 트레이스(202))은 임의의 비아 패드들을 초기에 갖지 않을 수도 있다. 예를 들어, 스테이지 1에서의 스테이지(202)는 임의의 비아 패드들을 포함하지 않는다. 일부 구현들에서, 패드(예를 들어, 테스팅 패드)는, 솔더 레지스트 층이 패키지 기판(200) 상에 제공된(예를 들어, 증착된) 후에 트레이스에 부가될 수 있다. 도 2b의 스테이지 3에 나타낸 바와 같이, 몇몇 테스팅 패드들(예를 들어, 테스팅 패드들(210-214))은, 솔더 레지스트 층(208)이 제공된 후에 패키지 기판(200)에 부가되었다. 테스팅 패드들(210-214)은, 적어도 부분적으로는 노출되어 있고 그리고 솔더 레지스트 층(208)에 의해 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층(208)을 갖지 않는다). 일부 구현들에서, 테스팅 패드들(210-214)은 기판의 테스팅 동안 테스팅 디바이스의 펀에 커플링하도록 구성된다.

[0038] [0043] 상이한 구현들은 테스팅 패드들을 상이하게 부가/생성/제조할 수 있다. 일부 구현들에서, 트레이스(예를 들어, 트레이스(202)) 위에 있는 솔더 레지스트 층(208)의 부분은 예칭되어, 솔더 레지스트 층(208) 내에 개구(opening)를 남기고 그리고 트레이스의 부분(예를 들어, 트레이스(202)의 부분)을 노출시킨다. 다음으로, 금속층/컴포넌트(예를 들어, 구리)는 솔더 레지스트 층(208)의 제거(예를 들어, 예칭)의 결과로서 노출되어 남겨진 트레이스 및 패키지 기판의 부분에 증착/부가된다.

[0039] [0044] 도 2a 및 도 2b는, 패키지 기판의 테스팅 동안 오정렬을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 방법의 평면도를 개념적으로 도시한다. 그러나, 시퀀스 및 프로세스는 패키지 기판으로 제한되지 않는다. 결과적으로, 시퀀스 및 프로세스는 다른 기판들에도 또한 적용될 수 있다. 최적 피치 트레이스들을 포함하는 유사한 패키지 기판을 제조하기 위한 시퀀스 및 프로세스는 측면 투시도로부터 이제 설명될 것이다.

[0040] [0045] 도 3a 및 도 3b는, 패키지 기판의 테스팅 동안 오정렬을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 방법의 측면뷰 시퀀스를 개념적으로 도시한다. 구체적으로, 도 3a 및 도 3b는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 측면뷰 시퀀스를 도시한다. 일부 구현들에서, 도 3a 및 도 3b의 패키지 기판은 어셈블리 프로세스 동안 최적 피치 플립 칩이 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 100미크론(μm) 또는 그 미만의 입/출력(I/O) 접속 피치를 갖는 플립 칩일 수 있다. 일부 구현들에서, 플립 칩/다이의 I/O 접속 피치는 2개의 이웃 I/O 접속들(예를 들어, UBM(under bump metallization) 구조체들, 범프들) 사이의 심심 거리이다. 일부 구현들에서, 이러한 I/O 접속들은 패키지 기판상에서 트레이스들(예를 들어, 최적 피치 트레이스들)에 커플링된 인터커넥트들이다. 최적 피치 플립 칩의 예시들은 일부 구현들에서 열-압착/열적 압착 플립 칩/다이 및 매스 리플로우 플립 칩/다이를 포함할 수 있다.

[0041] [0046] 도 3a에 나타낸 바와 같이, 스테이지 1에서, 패키지 기판(300)은 트레이스들의 적어도 몇몇의 단부에 몇몇 트레이스들(예를 들어, 트레이스들(302-304)) 및 적어도 하나의 패드(예를 들어, 비아 패드(306))를 포함한다. 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는 최적 피치 트레이스들이다. 일부 구현들에서, 피치는 2개의 이웃 트레이스들 사이의 심심 거리를 정의한다.

[0042] [0047] 스테이지 2에 나타낸 바와 같이, 패키지 기판(300)은 적어도 부분적으로는 솔더 레지스트 층(308)으로 커버된다. 측면뷰로부터 가시적이지는 않지만, 스테이지 2에서, 패드(예를 들어, 비아 패드(306)) 및 트레이스들의 몇몇 부분들은 솔더 레지스트 층(308)으로 커버되어, 트레이스들의 다른 부분들을 노출된 채로 남긴다(예를 들어, 트레이스들의 다른 부분들은 솔더 레지스트 층(308)을 갖지 않는 채로 남겨진다). 따라서, 도 3a의 스테이지 2는 커버된 부분(예를 들어, 솔더 레지스트 층(308)으로 커버됨) 및 노출된 부분(예를 들어, 솔더 레지스트 층(308)을 갖지 않음)을 포함하는 트레이스들(예를 들어, 트레이스(302))을 도시한다. 일부 구현들에서, 트레이스의 노출된 부분은, 다이(예를 들어, 열적 압착 플립 칩)가 다이의 어셈블리 프로세스 동안 패키지 기판(300)에 커플링되는 트레이스의 부분이다. 예를 들어, 일부 구현들에서, 트레이스의 노출된 부분은, 다이의 본딩 컴포넌트(예를 들어, 솔더 볼)가 (예를 들어, 다이가 패키지 기판 상에 탑재될 때) 다이의 어셈블리 프로세스 동안 패키지 기판(300)에 커플링되는 트레이스의 부분이다.

[0043] [0048] 도 3a의 스테이지 3에서, 패키지 기판(300)은, 패키지 기판(300)의 테스팅 동안, 테스팅 디바이스의 펀

이 커플링할 수 있는 테스팅 패드들을 포함한다. 스테이지 3에 나타낸 바와 같이, 패드들(예를 들어, 비아 패드(306))의 일부 또는 전부는 이제 적어도 부분적으로는 노출되어 있고 그리고 더 이상 솔더 레지스트 층(308)으로 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층(308)을 갖지 않는다). 패드들 위에 있는 솔더 레지스트 층(308)이 제거(예를 들어, 에칭)되면, 패드들은 패키지 기판의 테스팅 동안 테스팅 디바이스의 테스팅 핀들에 커플링하도록 구성된 테스팅 패드들로서 기능할 수 있다. 상이한 구현들은 패드들(예를 들어, 비아 패드(306)) 위에 있는 솔더 레지스트 층(308)을 상이하게 제거할 수 있다. 일부 구현들에서, 에칭 프로세스는 솔더 레지스트 층(308)의 부분들을 선택적으로 제거하기 위해 (예를 들어, 레이저 에칭을 이용하여) 이용될 수 있다.

[0044] [0049] 일부 트레이스들(예를 들어, 트레이스(304))은 임의의 비아 패드들을 초기에 갖지 않을 수도 있다. 예를 들어, 트레이스(304)는 임의의 비아 패드들을 포함하지 않는다. 일부 구현들에서, 패드(예를 들어, 테스팅 패드)는, 솔더 레지스트 층이 패키지 기판(300) 상에 제공된(예를 들어, 증착된) 후에 트레이스들에 부가될 수 있다. 스테이지 3에 나타낸 바와 같이, 솔더 레지스트 층(308) 내의 개구(309)는 트레이스(304)의 부분 위에 생성되었다. 일부 구현들에서, 개구(309)는 솔더 레지스트 층(308)의 부분을 제거(예를 들어, 에칭)함으로써 생성된다.

[0045] [0050] 도 3b의 스테이지 4에 나타낸 바와 같이, 테스팅 패드(310)는, 솔더 레지스트 층(308)이 제공된 후에 패키지 기판(300)에 부가되었다. 일부 구현들에서, 테스팅 패드(310)는 솔더 레지스트 층(308)의 제거(예를 들어, 에칭)의 결과로서 노출되어 남겨진 트레이스(304) 및 패키지 기판(300)의 부분에 증착/부가된 금속층/컴포넌트(예를 들어, 구리)에 의해 생성된다. 테스팅 패드(310)는, 적어도 부분적으로는 노출되어 있고 그리고 솔더 레지스트 층(308)에 의해 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층(308)을 갖지 않는다). 일부 구현들에서, 테스팅 패드(310)는 기판의 테스팅 동안 테스팅 디바이스의 핀에 커플링하도록 구성된다. 상이한 구현들은 테스팅 패드들을 상이하게 부가/생성/제조할 수 있다.

[0046] [0051] 도 3a 및 도 3b는, 패키지 기판의 테스팅 동안 오정렬을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 방법의 측면도를 개념적으로 도시한다. 그러나, 시퀀스 및 프로세스는 패키지 기판으로 제한되지 않는다. 결과적으로, 시퀀스 및 프로세스는 또한 다른 기판들에 적용될 수 있다.

[0047] [0052] 최적 피치 트레이스들을 포함하는 유사한 패키지 기판을 제조하기 위한 시퀀스 및 프로세스가 이제 패키지 기판의 노출된 부분 및 커버된 부분을 더 잘 예시하기 위해 평면 및 측면 투시도들로부터 설명될 것이다.

[0048] [0053] 도 4a 내지 도 4d는, 패키지 기판의 테스팅 동안 오정렬을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 방법의 평면도 및 측면도 시퀀스를 개념적으로 도시한다. 구체적으로, 도 4a 내지 도 4d는 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 평면도 및 측면도 시퀀스를 도시한다. 도 4a 내지 도 4d는, 평면 투시도를 또한 포함한다는 것을 제외하고는 도 3a 및 도 3b와 유사하다. 도 4a 내지 도 4d의 측면도가 도 4a 내지 도 4d의 평면도의 A-A 평면의 원근도로부터의 평면도의 단면도라는 점이 주목되어야 한다.

[0049] [0054] 도 4a에 나타낸 바와 같이, 스테이지 1에서, 패키지 기판(400)은 트레이스들의 적어도 몇몇의 단부에 몇몇 트레이스들(예를 들어, 트레이스들(402-404)) 및 적어도 하나의 패드(예를 들어, 비아 패드(406))를 포함한다. 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는 최적 피치 트레이스들이다. 일부 구현들에서, 피치는 2개의 이웃 트레이스들 사이의 심심 거리를 정의한다.

[0050] [0055] 도 4b에 나타낸 바와 같이, 스테이지 2에서, 패키지 기판(300)은 솔더 레지스트 층(308)으로 적어도 부분적으로 커버되어 있다. 스테이지 2에서, 패드들(예를 들어, 비아 패드(306)) 및 트레이스들의 몇몇 부분들은 솔더 레지스트 층(308)으로 커버되고, 트레이스들의 다른 부분들을 노출된 채로 남긴다(예를 들어, 트레이스들의 다른 부분들은 솔더 레지스트 층(308)을 갖지 않은 채로 남겨진다). 따라서, 도 4b의 스테이지 2는 커버된 부분(예를 들어, 솔더 레지스트 층(308)으로 커버됨) 및 노출된 부분(예를 들어, 솔더 레지스트 층(308)을 갖지 않음)을 포함하는 트레이스들(예를 들어, 트레이스(302))을 도시한다. 일부 구현들에서, 트레이스의 노출된 부분은, 다이(예를 들어, 열적 압착 플립 칩)가 다이의 어셈블리 프로세스 동안 패키지 기판(300)에 커플링되는 트레이스의 부분이다. 예를 들어, 일부 구현들에서, 트레이스의 노출된 부분은, 다이의 본딩 컴포넌트(예를 들어, 솔더 볼)가 다이의 어셈블리 프로세스 동안 (예를 들어, 다이가 패키지 기판 상에 탑재될 때) 패키지 기판(300)에 커플링되는 트레이스의 부분이다.

[0051]

[0056] 도 4c의 스테이지 3에 나타낸 바와 같이, 패키지 기판(300)은, 패키지 기판(300)의 테스팅 동안 테스팅 디바이스의 핀이 커플링할 수 있는 테스팅 패드들을 포함한다. 스테이지 3에 나타낸 바와 같이, 패드들(예를 들어, 비아 패드(306))의 일부 또는 전부는 이제 적어도 부분적으로는 노출되어 있고 그리고 더 이상 솔더 레지스트 층(308)으로 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층(308)을 갖지 않는다). 패드들 위에 있는 솔더 레지스트 층(308)이 제거(예를 들어, 에칭)되면, 패드들은 패키지 기판의 테스팅 동안 테스팅 디바이스의 테스팅 핀들에 커플링하도록 구성된 테스팅 패드들로서 기능할 수 있다. 상이한 구현들은 패드들(예를 들어, 비아 패드(306)) 위에 있는 솔더 레지스트 층(308)을 상이하게 제거할 수 있다. 일부 구현들에서, 에칭 프로세스는 솔더 레지스트 층(308)으로 부분들을 선택적으로 제거하기 위해 (예를 들어, 레이저 에칭을 이용하여) 이용될 수 있다.

[0052]

[0057] 몇몇 트레이스들(예를 들어, 트레이스(304))은 임의의 비아 패드들을 초기에 갖지 않을 수도 있다. 예를 들어, 트레이스(304)는 임의의 비아 패드들을 포함하지 않는다. 일부 구현들에서, 패드(예를 들어, 테스팅 패드)는, 솔더 레지스트 층이 패키지 기판(300) 상에 제공(예를 들어, 증착)된 후에 트레이스에 부가될 수 있다. 스테이지 3에 나타낸 바와 같이, 솔더 레지스트 층(308) 내의 개구(309)는 트레이스(304)의 부분 위에 생성되었다. 일부 구현들에서, 개구(309)는 솔더 레지스트 층(308)의 부분을 제거(예를 들어, 에칭)함으로써 생성된다.

[0053]

[0058] 도 4d의 스테이지 4에 나타낸 바와 같이, 테스팅 패드(310)는, 솔더 레지스트 층(308)이 제공된 후에 패키지 기판(300)에 부가되었다. 일부 구현들에서, 테스팅 패드(310)는, 솔더 레지스트 층(308)의 제거(예를 들어, 에칭)의 결과로서 노출되어 남겨진 트레이스(304) 및 패키지 기판(300)의 부분에 증착/부가된 금속 층/컴포넌트(예를 들어, 구리)에 의해 생성된다. 테스팅 패드(310)는, 적어도 부분적으로는 노출되어 있고 그리고 솔더 레지스트 층(308)에 의해 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층(308)을 갖지 않는다). 일부 구현들에서, 테스팅 패드(310)는 기판의 테스팅 동안 테스팅 디바이스의 핀에 커플링하도록 구성된다. 상이한 구현들은 테스팅 패드들을 상이하게 부가/생성/제조할 수 있다.

[0054]

[0059] 도 4a 내지 도 4d의 시퀀스는 패키지 기판상에 테스팅 패드들을 제조하기 위한 시퀀스의 일례를 도시한다. 일부 구현들에서, 도 4a 내지 도 4d의 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 100미크론(μm) 또는 그 미만의 입/출력(I/O) 접속 피치를 갖는 플립 칩/다이일 수 있다. 일부 구현들에서, 플립 칩/다이의 I/O 접속 피치는 2개의 이웃 I/O 접속들(예를 들어, UBM(under bump metallization) 구조체들, 범프들) 사이의 심심 거리이다. 일부 구현들에서, 이러한 I/O 접속들은 패키지 기판 상의 트레이스들(예를 들어, 최적 피치 트레이스들)에 커플링된 인터커넥트들이다. 최적 피치 플립 칩의 예시들은, 일부 구현들에서 열-압착/열적 압착 플립 칩/다이 및 매스 리플로우 플립 칩/다이를 포함할 수 있다.

[0055]

[0060] 도 4a 내지 도 4d는, 패키지 기판의 테스팅 동안 오정렬을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 방법의 평면도 및 측면도를 개념적으로 도시한다. 그러나, 시퀀스 및 프로세스는 패키지 기판으로 제한되지 않는다. 결과적으로, 시퀀스 및 프로세스는 다른 기판들에 또한 적용될 수 있다.

[0056]

[0061] 도 5는, 패키지 기판의 테스팅 동안 오정렬을 감소시키기 위해 최적 피치 트레이스들을 포함하는 패키지 기판이 어떻게 제조될 수 있는지에 대한 방법의 더욱 상세화된 평면도를 개념적으로 도시한다. 도 5에 나타낸 바와 같이, 스테이지 1 동안, 패키지 기판(500)은 몇몇 트레이스들(예를 들어, 트레이스(502)) 및 몇몇 패드들을 포함한다. 이러한 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는 최적 피치 트레이스들이다. 패드들은 일부 구현들에서 비아 패드들일 수 있다. 도 5는 또한, 솔더 레지스트 층(504)이 트레이스들 중 몇몇의 일부 부분들을 커버하고, 트레이스들의 다른 부분들은 노출된 채로 남겨지는(예를 들어, 트레이스들의 다른 부분들은 솔더 레지스트 층(504)을 갖지 않는) 것을 또한 도시한다. 예를 들어, 패키지 기판의 영역(506)은 노출되어 있고 솔더 레지스트 층(504)을 갖지 않는다. 일부 구현들에서, 노출된 영역(506)은, 다이/칩(예를 들어, 열적 압착 플립 칩)이 다이/칩의 어셈블리 프로세스 동안 패키지 기판에 커플링되는 패키지 기판(500)의 영역이다.

[0057]

[0062] 도 5의 스테이지 2는, 테스팅 디바이스의 테스팅 핀이 패키지 기판의 테스팅 동안 커플링할 수 있는 테스팅 패드들을 포함하는 패키지 기판(500)을 도시한다. 스테이지 2에 나타낸 바와 같이, 패키지 기판(500)의 영역(508) 내의 패드들(예를 들어, 비아 패드들)의 일부 또는 전부는 이제 적어도 부분적으로는 노출되어 있고 그리고 더 이상 솔더 레지스트 층(504)으로 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층을 갖지 않다).

는다). 일부 구현들에서, 이러한 노출된 패드들 중 하나 또는 그 초과는, 테스팅 디바이스의 핀들이 패키지 기판의 테스팅 동안 커플링될 수 있는 테스팅 패드들이다. 상이한 구현들은 패드들(예를 들어, 비아 패드들) 위에 있는 솔더 레지스트 층(504)을 상이하게 제거할 수 있다. 일부 구현들에서, 에칭 프로세스는 솔더 레지스트 층(504)의 부분들을 선택적으로 제거하기 위해 (예를 들어, 레이저 에칭을 이용하여) 이용될 수 있다.

[0058] [0063] 도 5의 시퀀스는 패키지 기판상에 테스팅 패드들을 제조하기 위한 단축된(shortened) 시퀀스의 일례를 도시한다. 일부 구현들에서, 도 5의 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 100미크론(μm) 또는 그 미만의 입/출력(I/O) 접속 피치를 갖는 플립 칩/다이일 수 있다. 일부 구현들에서, 플립 칩/다이의 I/O 접속 피치는 2개의 이웃 I/O 접속들(예를 들어, UBM(under bump metallization) 구조체들, 범프들) 사이의 심심 거리이다. 일부 구현들에서, 이러한 I/O 접속들은 패키지 기판 상에서 트레이스들(예를 들어, 최적 피치 트레이스들)에 커플링된 인터커넥트들이다. 최적 피치 플립 칩의 예시들은 일부 구현들에서 열-압착/열적 압착 플립 칩/다이 및 매스 리플로우 플립 칩/다이를 포함할 수 있다.

[0059] [0064] 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판의 다양한 예시들을 설명하였으며, 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제조하기 위한 방법이 이제 이하에 설명될 것이다.

테스팅 패드들을 갖는 패키지 기판을 제조하기 위한 예시적인 방법

[0060] [0061] [0065] 도 6은 최적 피치 트레이스들 상에 테스팅 패드들을 포함하는 패키지 기판을 제공/제조하기 위한 흐름도를 도시한다. 방법은 (605에서) 몇몇 트레이스들 및 몇몇 패드들(예를 들어, 비아 패드들)을 포함하는 기판(예를 들어, 패키지 기판)을 제공한다. 일부 구현들에서, 기판은, 열적 압착 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 도 2a 및 도 4a는 몇몇 트레이스들 및 몇몇 패드들(예를 들어, 비아 패드들)을 포함하는 기판을 제공하는 예시들을 도시한다. 일부 구현들에서, 트레이스들은 100미크론(μm) 또는 그 미만의 피치를 갖는 최적 피치 트레이스들이다. 일부 구현들에서, 트레이스 피치는 2개의 이웃 트레이스들 사이에 심심 거리를 정의한다.

[0062] [0066] 방법은 (610에서) 기판의 몇몇 트레이스들 및 몇몇 패드들 위에 솔더 레지스트 층을 제공한다. 일부 구현들에서, 오직 기판(예를 들어, 패키지 기판)의 부분만이 솔더 레지스트 층에 의해 커버된다. 결과적으로, 일부 구현들에서, 오직 기판 상의 트레이스들의 부분만이 솔더 레지스트 층에 의해 커버될 수 있다. 도 2b 및 도 4b의 스테이지 2는 몇몇 트레이스들 및 몇몇 패드들(예를 들어, 비아 패드들) 위에 솔더 레지스트 층을 제공하는 예시들을 도시한다.

[0063] [0067] 방법은 (615에서) 적어도 하나의 패드(예를 들어, 비아 패드)를 적어도 부분적으로 노출시키기 위해 솔더 레지스트 층의 부분을 제거한다. 상이한 구현들은 패드를 노출시키기 위해 솔더 레지스트 층을 상이하게 제거할 수 있다. 일부 구현들에서, 에칭 프로세스는 솔더 레지스트 층의 부분들을 선택적으로 제거하기 위해 (예를 들어, 레이저 에칭을 이용하여) 이용될 수 있다. 일부 구현들에서, 솔더 레지스트 층의 부분을 제거하는 것은 패드(예를 들어, 비아 패드) 위의 솔더 레지스트 층 내에 개구를 생성한다. 노출된 패드는 적어도 부분적으로 솔더 레지스트 층을 갖지 않는다. 노출된 패드(예를 들어, 노출된 비아 패드)는 기판의 테스팅 동안 테스팅 디바이스의 핀에 커플링하도록 구성된 테스팅 패드가 되도록 구성된다. 일부 구현들에서, 테스팅 패드는, 다이가 기판에 커플링될 때, 다이(예를 들어, 플립 칩)의 본딩 캠포넌트와 직접 접속하지 않는다. 도 2b 및 도 4c의 스테이지 3은, 패드(예를 들어, 비아 패드)를 노출시키기 위해 솔더 레지스트 층의 부분을 제거하는 예시들을 도시한다.

[0064] [0068] 방법은 (620에서) 트레이스의 하나의 부분을 적어도 부분적으로 노출시키기 위해 솔더 레지스트 층의 부분을 제거한다. 상이한 구현들은 트레이스의 부분을 노출시키기 위해 솔더 레지스트 층을 상이하게 제거할 수 있다. 일부 구현들에서, 에칭 프로세스는 솔더 레지스트 층의 부분들을 선택적으로 제거하기 위해 (예를 들어, 레이저 에칭을 이용하여) 이용될 수 있다. 일부 구현들에서, 솔더 레지스트 층의 부분을 제거하는 것은 트레이스의 부분 위의 솔더 레지스트 층 내에 개구를 생성한다. 트레이스의 노출된 부분은 적어도 부분적으로 솔더 레지스트 층을 갖지 않는다. 일부 구현들에서, (620에서) 트레이스의 부분을 적어도 부분적으로 노출시키기 위해 솔더 레지스트 층의 부분을 제거하는 것은, 하나 또는 그 초과의 패드들(예를 들어, 비아 패드들)을 적어도 부분적으로 노출시키기 위해 솔더 레지스트 층의 부분을 (615에서) 제거하기 전에 또는 그와 동시에 수행된다. 도 4c는 트레이스의 부분을 노출시키기 위해 솔더 레지스트 층의 부분을 제거하는 예시를 도시한다.

[0065]

[0069] 방법은 (625에서) 트레이스의 적어도 부분적으로 노출된 부분 상에 테스팅 패드를 제공한다. 상이한 구현들은 테스팅 패드를 상이하게 제공할 수 있다. 일부 구현들에서, 테스팅 패드는 (예를 들어, 솔더 레지스트 층의 개구 내에서) 솔더 레지스트 층의 제거(예를 들어, 예칭)의 결과로서 노출되어 남겨진 트레이스 및 패키지 기판의 부분에 증착/부가된 금속 층/컴포넌트(예를 들어, 구리)에 의해 제공(생성)된다. 일부 구현들에서, 테스팅 패드는, 적어도 부분적으로는 노출되어 있고 그리고 솔더 레지스트 층에 의해 커버되지 않는다(적어도 부분적으로는 솔더 레지스트 층을 갖지 않는다). 일부 구현들에서, 테스팅 패드는 기판의 테스팅 동안 테스팅 디바이스의 펈에 커플링하도록 구성된다. 일부 구현들에서, 테스팅 패드는, 다이가 기판에 커플링될 때, 다이(예를 들어, 플립 칩)의 본딩 컴포넌트와 직접 접속하지 않는다. 도 2b 및 도 4d의 스테이지 3은 패키지 기판상에 테스팅 패드들을 제공하는 예시들을 도시한다.

[0066]

[0070] 도 6의 방법은 테스팅 패드들을 갖는 패키지 기판을 제조하기 위한 방법의 예시를 도시한다. 일부 구현들에서, 패키지 기판은, 최적 피치 플립 칩이 어셈블리 프로세스 동안 상부에 탑재되는 패키지 기판이다. 일부 구현들에서, 최적 피치 플립 칩은 100미크론(μm) 또는 그 미만의 입/출력(I/O) 접속 피치를 갖는 플립 칩/다이 일 수 있다. 일부 구현들에서, 플립 칩/다이의 I/O 접속 피치는 2개의 이웃 I/O 접속들(예를 들어, UBM(under bump metallization) 구조체들, 범프들) 사이의 심심 거리이다. 일부 구현들에서, 이러한 I/O 접속들은 패키지 기판상의 트레이스들(예를 들어, 최적 피치 트레이스들)에 커플링된 인터커넥트들이다. 최적 피치 플립 칩의 예시들은 일부 구현들에서 열-압착/열적 압착 플립 칩/다이 및 매스 리플로우 플립 칩/다이를 포함할 수 있다.

[0067]

예시적인 전자 디바이스들

[0068]

[0071] 도 7은 앞서 언급된 접적 회로, 다이, 칩 또는 패키지 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 도시한다. 예를 들어, 모바일 전화기(702), 랩탑 컴퓨터(704), 및 고정 위치 단말(706)은 본원에 설명된 바와 같이 접적 회로(IC)(700)를 포함할 수 있다. IC(700)는, 예를 들어, 본원에 설명된 접적 회로들, 다이들, 또는 패키지들 중 임의의 것일 수 있다. 도 7에 도시된 디바이스들(702, 704, 706)은 단지 예시적이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 개인용 통신 시스템들(PCS) 유닛들, 개인용 정보 단말기들과 같은 휴대용 데이터 유닛들, GPS 인에이블 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 검침 장비와 같은 고정 위치 데이터 유닛들, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는(그러나, 이에 제한되지 않는) IC(700)를 특징으로 할 수 있다.

[0069]

[0072] 도 2a-도 2b, 도 3a-도 3b, 도 4a-도 4d, 도 5, 도 6 및/또는 도 7에 예시된 컴포넌트들, 단계들, 특징들 및/또는 기능들 중 하나 또는 그 초과는, 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 조합될 수 있거나 또는 몇몇 컴포넌트들, 단계들, 또는 기능들로 구현될 수 있다. 본 발명으로부터 벗어나지 않고 추가적인 엘리먼트들, 컴포넌트들, 단계들, 및/또는 기능들이 또한 부가될 수 있다.

[0070]

[0073] 도면들에 예시된 컴포넌트들, 단계들, 특징들 및/또는 기능들 중 하나 또는 그 초과는, 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 조합될 수 있거나 또는 몇몇 컴포넌트들, 단계들, 또는 기능들로 구현될 수 있다. 본원에 개시된 신규한 특징들로부터 벗어나지 않고 추가적인 엘리먼트들, 컴포넌트들, 단계들, 및/또는 기능들이 또한 부가될 수 있다. 도면들에 예시된 장치, 디바이스들, 및/또는 컴포넌트들은, 도면들에 설명된 방법들, 특징들, 또는 단계들 중 하나 또는 그 초과를 수행하도록 구성될 수 있다. 본원에 설명된 신규한 알고리즘들이 또한 소프트웨어로 효율적으로 구현될 수 있고 그리고/또는 하드웨어에 내장될 수 있다.

[0071]

[0074] 단어 "예시적인"은 본원에서 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 사용된다. "예시적인"으로서 본원에 설명된 임의의 구현 또는 양상은 반드시 본 개시물의 다른 양상들보다 바람직하거나 유리한 것으로서 해석되지는 않는다. 유사하게, 용어 "양상들"은, 본 개시물의 모든 양상들이 논의된 특징, 이점 또는 동작의 모드를 포함하도록 요구하지 않는다. 용어 "커플링된"은 본 명세서에서 2개의 물체들 사이의 직접 또는 간접 커플링을 지칭하는 것으로 이용된다. 예를 들어, 물체 A가 물체 B를 물리적으로 터치하고 그리고 물체 B가 물체 C를 터치하면, 물체들(A 및 C)은 이들이 서로 직접적으로 물리적으로 터치하지 않는다고 하더라도 서로 여전히 커플링된 것으로 고려될 수 있다. 용어 "다이 패키지"는 캡슐화되거나 또는 패키징되거나 또는 캡슐화되었던 접적 회로 웨이퍼를 지칭하는 것으로 이용된다.

[0072]

[0075] 또한, 실시예들이 플로우차트, 흐름도, 구조도, 또는 블록도로서 도시된 프로세스로서 설명될 수 있다는 것에 주목한다. 플로우차트가 순차적 프로세스로서 동작들을 설명할 수 있지만, 수많은 동작들이 병렬로 또는 동시에 수행될 수 있다. 이에 더해, 동작들의 순서는 재-배열될 수 있다. 프로세스는, 자신의 동작들이 완료

될 때 종결된다. 프로세스는, 방법, 함수, 절차, 서브루틴, 서브프로그램 등에 대응할 수 있다. 프로세스가 함수에 대응하는 경우, 자신의 종결은 호 함수 또는 메인 함수로의 함수의 복귀에 대응한다.

[0073]

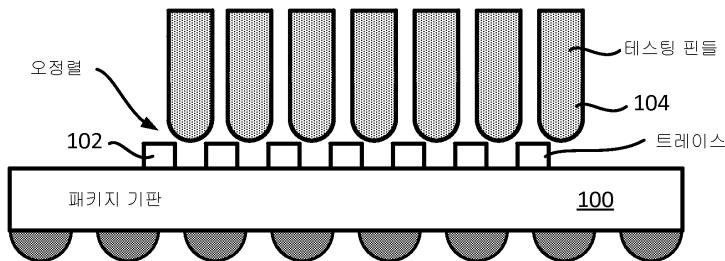
[0076] 본원에 개시된 실시예들과 관련하여 설명되는 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘 단계들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들 둘의 조합들로서 구현될 수 있다는 것이 당업자들에게 추가로 인식될 것이다. 하드웨어와 소프트웨어의 상호교환 가능성을 명료하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 그들의 기능과 관련하여 앞서 일반적으로 설명되어 있다. 이러한 기능이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 의존한다.

[0074]

[0077] 본원에 설명된 본 발명의 다양한 특징들은, 본 발명으로부터 벗어나지 않고 상이한 시스템들로 구현될 수 있다. 본 개시물의 전술한 양상들은 단지 예시들이며 본 발명을 제한하는 것으로서 해석되어서는 안된다는 점에 주목해야 한다. 본 개시물의 양상들의 설명은 예시적이며 청구항들의 범위를 제한하지 않는 것으로 의도된다. 이와 같이, 본 교시들은 다른 유형들의 장치들에 쉽게 적용될 수 있으며, 수많은 대안들, 변형들, 및 변화들이 당업자들에게는 명백하게 될 것이다.

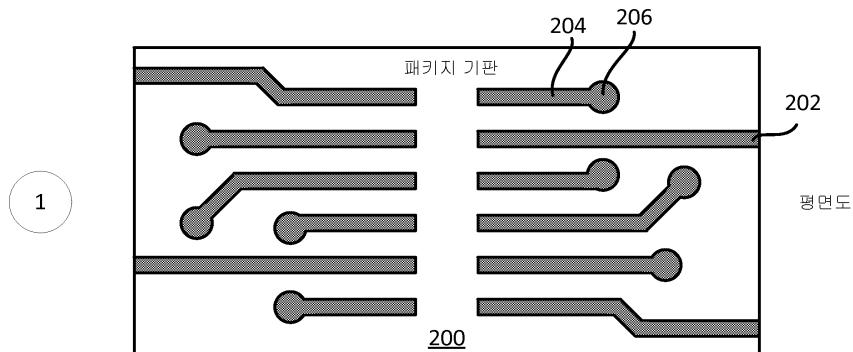
도면

도면1

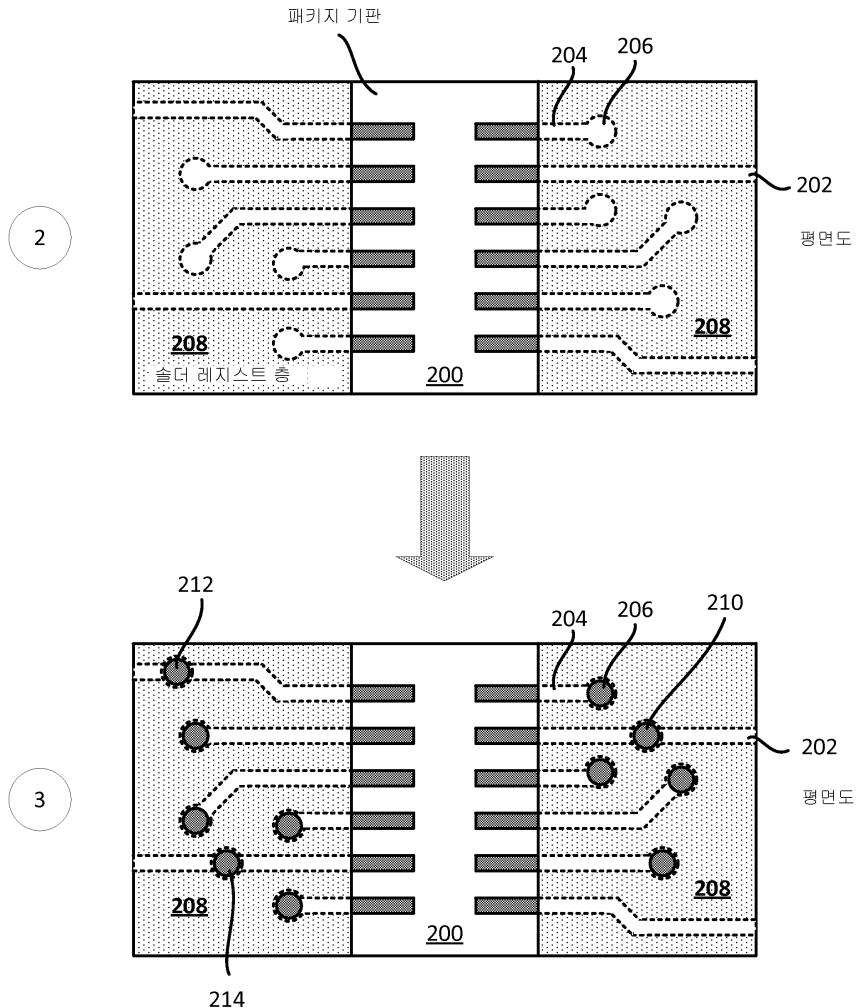


(종래 기술)

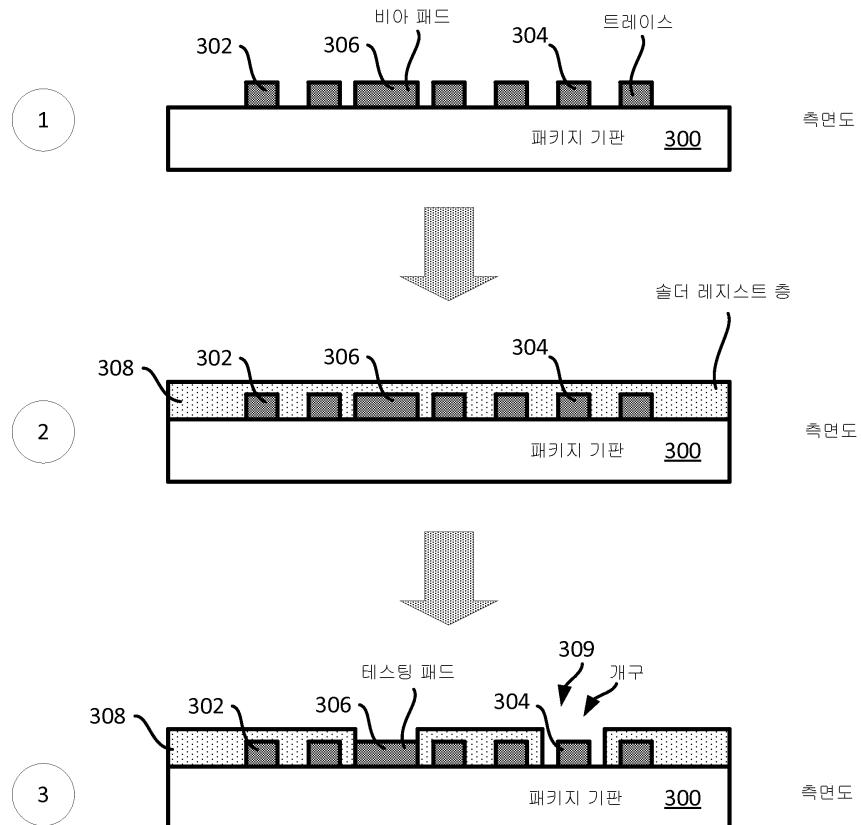
도면2a



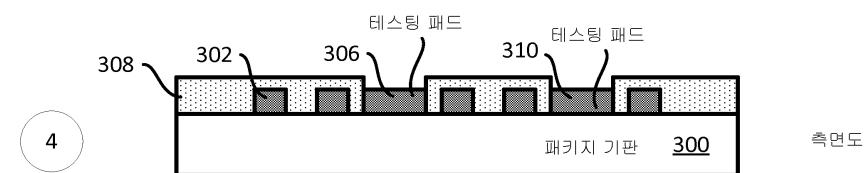
도면2b



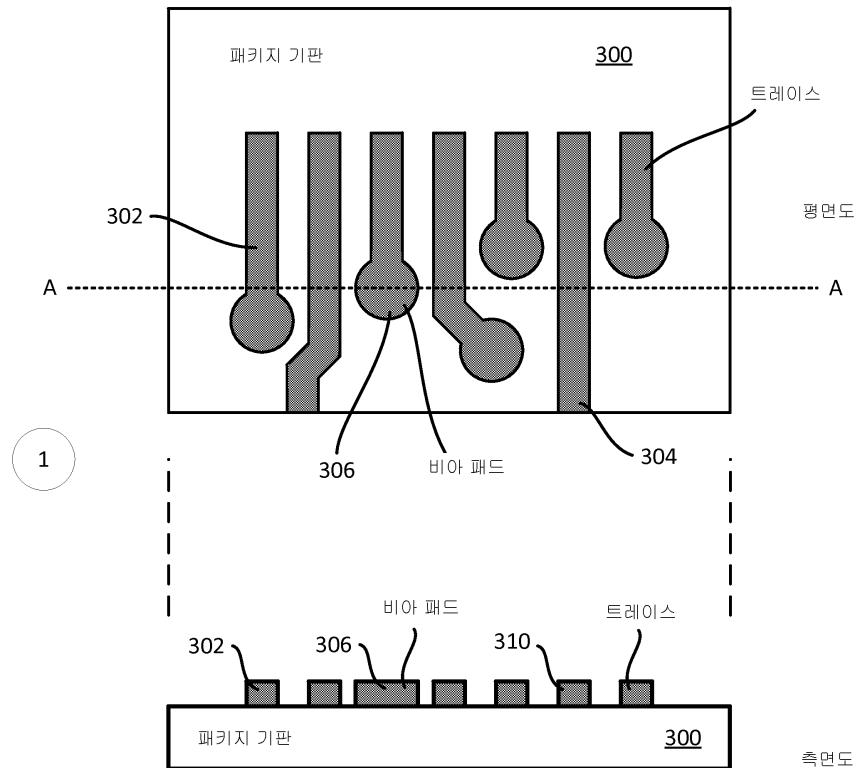
도면3a



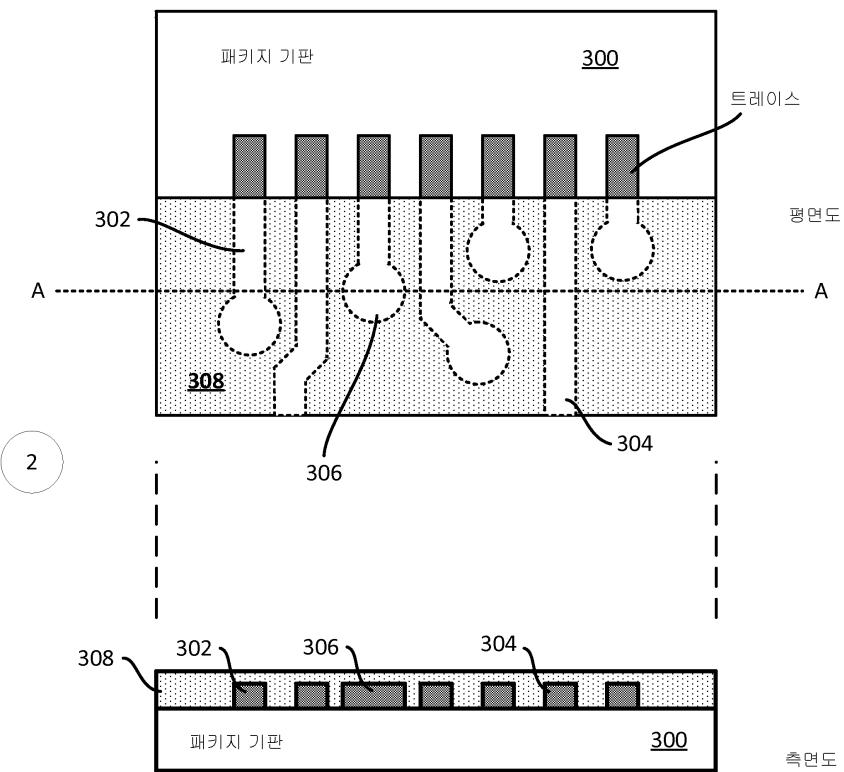
도면3b



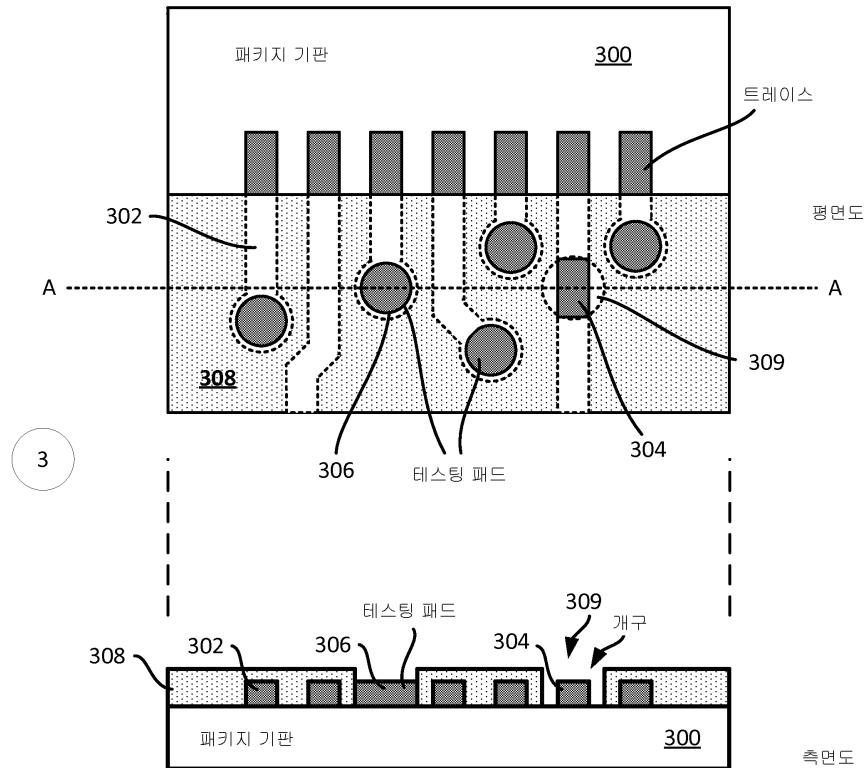
도면4a



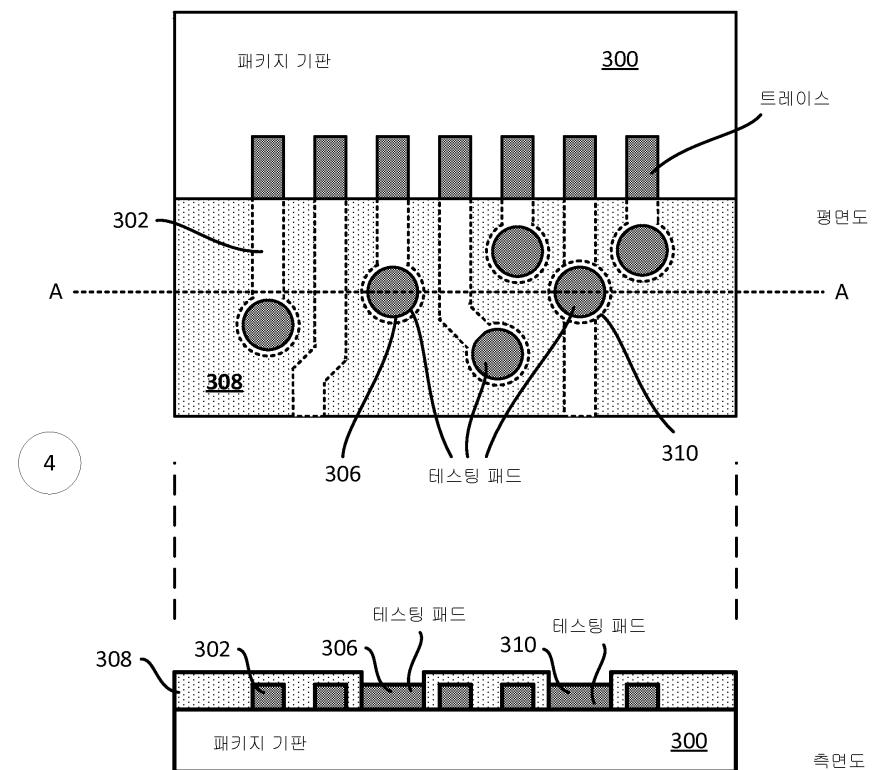
도면4b



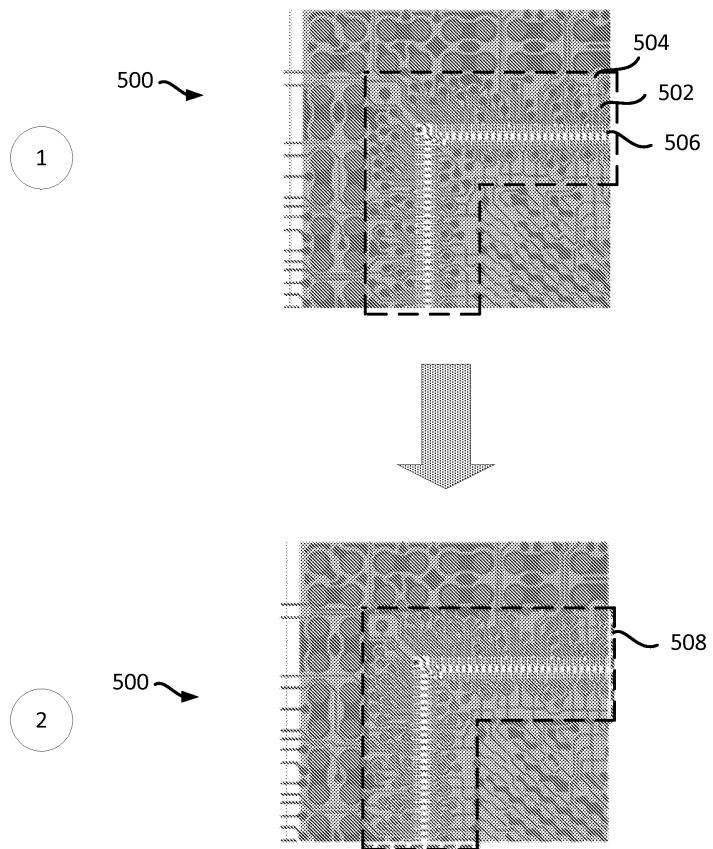
도면4c



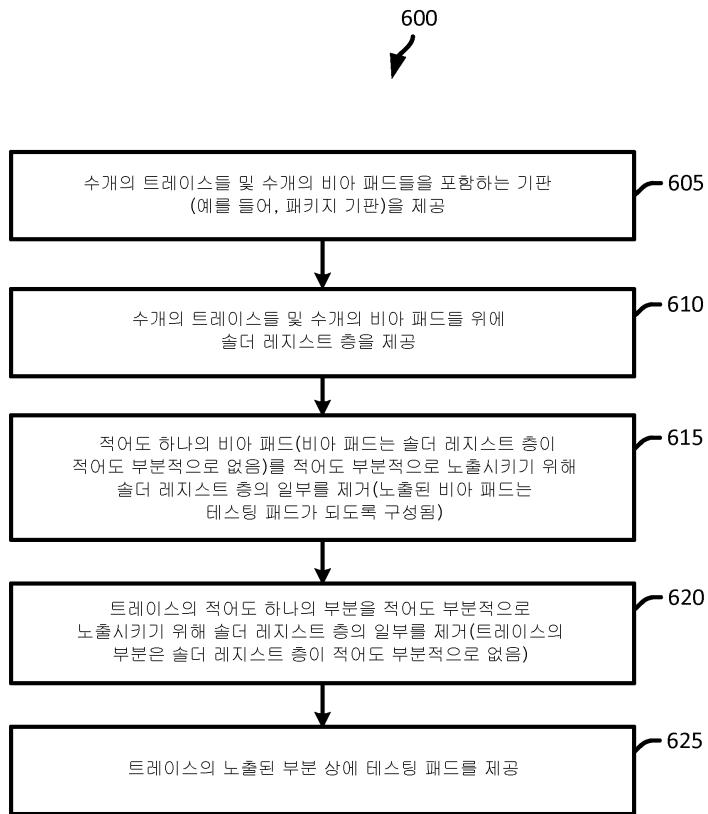
도면4d



도면5



도면6



도면7

