

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-249286

(P2012-249286A)

(43) 公開日 平成24年12月13日(2012. 12. 13)

(51) Int. Cl.		F I			テーマコード (参考)	
H03K	5/26	(2006.01)	H03K	5/26	G	5J022
H03M	1/50	(2006.01)	H03M	1/50		5J039
H03L	7/085	(2006.01)	H03K	5/26	S	5J106
			H03L	7/08	A	

審査請求 未請求 請求項の数 35 O L (全 67 頁)

(21) 出願番号	特願2012-117722 (P2012-117722)	(71) 出願人	390019839
(22) 出願日	平成24年5月23日 (2012. 5. 23)		三星電子株式会社
(31) 優先権主張番号	10-2011-0051105		Samsung Electronics
(32) 優先日	平成23年5月30日 (2011. 5. 30)		Co., Ltd.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区三星路129
			129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(特許庁注：以下のものは登録商標)		(74) 代理人	100093779
1. WCDMA			弁理士 服部 雅紀
2. RRAM		(72) 発明者	金 晟▲禎▼
			大韓民国蔚山広域市中区太和洞171番地
			南雲パーク601号
			最終頁に続く

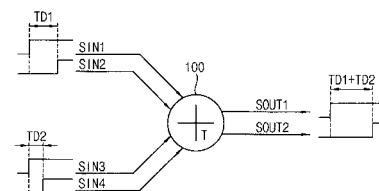
(54) 【発明の名称】 時間差加算器を含むシステムオンチップ、時間差累算器を含むシステムオンチップ、シグマデルタタイムデジタル変換器、デジタル位相ロックループ、温度センサ、及びシステムオンチップ

(57) 【要約】

【課題】 入力信号間の時間差を加算する時間差加算器を含むシステムオンチップを提供する。

【解決手段】 時間差加算器100は、第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3、及び第4入力信号SIN4にตอบสนองして第1出力信号SOUT1及び第2出力信号SOUT2を生成する。時間差加算器100は、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1、及び、第3入力信号SIN3と第4入力信号SIN4との間の第2時間差TD2を加算することによって、第1時間差TD1と第2時間差TD2との和に相応する時間差(TD1+TD2)を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力する。これにより、低い電源電圧環境において、時間ドメインで信号処理を遂行することができ、性能を向上させることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 時間差を有する第 1 入力信号及び第 2 入力信号を受信し、第 1 信号に応答して第 1 出力信号を生成する第 1 レジスタ部と、

第 2 時間差を有する第 3 入力信号及び第 4 入力信号を受信し、前記第 1 信号に応答して、前記第 1 出力信号に対して前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 2 出力信号を生成する第 2 レジスタ部と、

を含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項 2】

前記第 1 レジスタ部は、前記第 2 入力信号をオフセット時間程度遅延させて第 1 ホールド信号を生成する第 1 オフセット遅延器と、前記第 1 入力信号を受信する第 1 入力端子、前記第 1 ホールド信号を受信する第 1 ホールド端子、前記第 1 信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタと、
を含み、

前記第 2 レジスタ部は、前記第 3 入力信号を前記オフセット時間程度遅延させて第 2 ホールド信号を生成する第 2 オフセット遅延器と、前記第 4 入力信号を受信する第 2 入力端子、前記第 2 ホールド信号を受信する第 2 ホールド端子、前記第 1 信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタと、

を含むことを特徴とする請求項 1 に記載の時間差加算器を含むシステムオンチップ。

【請求項 3】

前記第 1 時間レジスタは、前記第 1 信号が有する第 1 信号上昇エッジが発生した時刻からディスチャージ時間から前記オフセット時間及び前記第 1 時間差が減算された時間の経過後、第 1 出力信号上昇エッジを有する前記第 1 出力信号を出力し、

前記第 2 時間レジスタは、前記第 1 信号上昇エッジが発生した時刻から前記ディスチャージ時間から前記オフセット時間が減算されて前記第 2 時間差が加算された時間の経過後、第 2 出力信号上昇エッジを有する前記第 2 出力信号を出力することを特徴とする請求項 2 に記載の時間差加算器を含むシステムオンチップ。

【請求項 4】

前記第 1 時間レジスタ及び前記第 2 時間レジスタは、第 1 キャパシタ及び第 2 キャパシタを各々含み、前記第 1 キャパシタ及び前記第 2 キャパシタは同じキャパシタンスを有し、前記ディスチャージ時間は、前記第 1 キャパシタ及び前記第 2 キャパシタが有するキャパシタンスによって決定されることを特徴とする請求項 3 に記載の時間差加算器を含むシステムオンチップ。

【請求項 5】

前記第 1 時間レジスタは、

前記第 1 入力信号を反転させる第 1 インバータと、

前記第 1 ホールド信号に応答して前記第 1 インバータを非活性化させ、前記第 1 信号に
応答して前記第 1 インバータを活性化させるインバータ制御部と、

前記第 1 インバータの出力信号に
応答して充電または放電されるキャパシタと、

前記キャパシタの電圧に基づいて前記第 1 出力信号を生成する第 2 インバータと、

を含むことを特徴とする請求項 2 に記載の時間差加算器を含むシステムオンチップ。

【請求項 6】

前記キャパシタは、前記第 1 入力信号と前記第 1 ホールド信号との間の時間差に相当する時間に放電されることによって、前記第 1 入力信号と前記第 1 ホールド信号との間の前記時間差に対する情報を保存することを特徴とする請求項 5 に記載の時間差加算器を含むシステムオンチップ。

【請求項 7】

前記キャパシタの放電は、前記第 1 入力信号が有する第 1 入力信号上昇エッジに
応答して始まり、前記第 1 ホールド信号が有する第 1 ホールド信号上昇エッジに
応答して中止さ

10

20

30

40

50

れ、前記第 1 信号上昇エッジに応答して再開することを特徴とする請求項 5 に記載の時間差加算器を含むシステムオンチップ。

【請求項 8】

前記第 1 インバータは、

前記第 1 入力信号が印加される第 1 P ゲート、前記インバータ制御部を通じて電源電圧に接続された第 1 P ソース、及び中間ノードに接続された第 1 P ドレインを含む第 1 PMOS トランジスタと、

前記第 1 入力信号が印加される第 1 N ゲート、前記インバータ制御部を通じて接地電圧に接続された第 1 N ソース、及び前記中間ノードに接続された第 1 N ドレインを含む第 1 NMOS トランジスタと、

を含み、

前記インバータ制御部は、

前記電源電圧と前記第 1 PMOS トランジスタとの間に接続された第 2 PMOS トランジスタと、

前記接地電圧と前記第 1 NMOS トランジスタとの間に接続された第 2 NMOS トランジスタと、

前記第 2 PMOS トランジスタが有する第 2 P ゲートに接続された出力端子、前記第 2 NMOS トランジスタが有する第 2 N ゲートに接続された反転出力端子、前記反転出力端子に接続されたデータ端子、及びクロック端子を含む D-フリップフロップと、

前記反転出力端子から出力される反転出力信号に응答して前記クロック端子に前記第 1 ホールド信号、または、前記第 1 信号を選択的に出力する選択器と、

を含み、

前記キャパシタは前記中間ノードと前記接地電圧との間に接続され、

前記第 2 インバータは、

前記中間ノードに接続された第 3 P ゲート、前記電源電圧に接続された第 3 P ソース、及び前記第 1 出力信号が出力される第 3 P ドレインを含む第 3 PMOS トランジスタと、

前記中間ノードに接続された第 3 N ゲート、前記接地電圧に接続された第 3 N ソース、及び前記第 1 出力信号が出力される第 3 N ドレインを含む第 3 NMOS トランジスタと、

を含むことを特徴とする請求項 5 に記載の時間差加算器を含むシステムオンチップ。

【請求項 9】

前記第 1 時間レジスタは、

前記第 1 入力信号を反転させる第 1 インバータと、

前記第 1 ホールド信号に응答して前記第 1 インバータを非活性化させ、前記第 1 信号に응答して前記第 1 インバータを活性化させるインバータ制御部と、

前記第 1 インバータの出力信号に응答して充電または放電されるキャパシタと、

前記キャパシタの電圧を基準電圧と比較して前記第 1 出力信号を生成する比較器と、

を含むことを特徴とする請求項 2 に記載の時間差加算器を含むシステムオンチップ。

【請求項 10】

前記第 1 信号は、

前記第 1 入力信号、前記第 2 入力信号、前記第 3 入力信号、または、前記第 4 入力信号のうち、いずれか 1 つの信号を遅延または反転させて生成されたアウェイク信号であることを特徴とする請求項 1 に記載の時間差加算器を含むシステムオンチップ。

【請求項 11】

第 1 時間差を有する第 1 入力信号及び第 2 入力信号を受信し、第 1 信号に응答して第 1 出力信号を生成する第 1 レジスタ部と、

第 2 時間差を有する第 3 入力信号及び第 4 入力信号を受信し、前記第 1 信号に응答して前記第 1 出力信号に対して前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 2 出力信号を生成する第 2 レジスタ部と、

を含み、

前記第 1 レジスタ部は、

10

20

30

40

50

前記第 2 入力信号をオフセット時間程度遅延させて第 1 ホールド信号を生成する第 1 オフセット遅延器と、

前記第 1 入力信号を受信する第 1 入力端子、前記第 1 ホールド信号を受信する第 1 ホールド端子、前記第 1 信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタと、

を含み、

前記第 2 レジスタ部は、

前記第 3 入力信号を前記オフセット時間程度遅延させて第 2 ホールド信号を生成する第 2 オフセット遅延器と、

前記第 4 入力信号を受信する第 2 入力端子、前記第 2 ホールド信号を受信する第 2 ホールド端子、前記第 1 信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタと、

を含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項 1 2】

第 1 時間差を有する第 1 入力信号及び第 2 入力信号を受信し、第 1 信号に応答して第 1 出力信号を生成する第 1 レジスタ部と、

第 2 時間差を有する第 3 入力信号及び第 4 入力信号を受信し、前記第 1 信号に応答して前記第 1 出力信号に対して前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 2 出力信号を生成する第 2 レジスタ部と、

を含み、

前記第 1 レジスタ部は、

前記第 1 入力信号を受信する第 1 入力端子、前記第 2 入力信号を受信する第 1 ホールド端子、前記第 1 信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタを含み、

前記第 2 レジスタ部は、

前記第 4 入力信号を受信する第 2 入力端子、前記第 3 入力信号を受信する第 2 ホールド端子、前記第 1 信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタを含むことを特徴とする時間差加算器を含むシステムオンチップ。

【請求項 1 3】

前記第 1 時間レジスタは、前記第 1 信号が有する第 1 信号上昇エッジが発生した時刻からディスチャージ時間から前記第 1 時間差が減算された時間の経過後、第 1 出力信号上昇エッジを有する前記第 1 出力信号を出力し、

前記第 2 時間レジスタは、前記第 1 信号上昇エッジが発生した時刻から前記ディスチャージ時間に前記第 2 時間差が加算された時間の経過後、第 2 出力信号上昇エッジを有する前記第 2 出力信号を出力することを特徴とする請求項 1 2 に記載の時間差加算器を含むシステムオンチップ。

【請求項 1 4】

第 1 時間差を有する第 1 入力信号及び第 2 入力信号を受信し、第 1 信号に応答して第 1 出力信号を生成する第 1 レジスタ部と、

第 2 時間差を有する第 3 入力信号及び第 4 入力信号を受信し、前記第 1 信号に応答して前記第 1 出力信号に対して前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 2 出力信号を生成する第 2 レジスタ部と、

を含み、

前記第 1 レジスタ部は、

前記第 2 入力信号をオフセット時間程度遅延させて第 1 ホールド信号を生成する第 1 オフセット遅延器と、

前記第 1 入力信号を受信する第 1 入力端子、前記第 1 ホールド信号を受信する第 1 ホールド端子、第 2 信号を受信する第 1 プリチャージ端子、前記第 1 信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタと

10

20

30

40

50

、

を含み、

前記第 2 レジスタ部は、

前記第 3 入力信号を前記オフセット時間程度遅延させて第 2 ホールド信号を生成する第 2 オフセット遅延器と、

前記第 4 入力信号を受信する第 2 入力端子、前記第 2 ホールド信号を受信する第 2 ホールド端子、前記第 2 信号を受信する第 2 プリチャージ端子、前記第 1 信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタと、

を含むことを特徴とする時間差加算器を含むシステムオンチップ。

10

【請求項 15】

前記第 1 時間レジスタは、

中間ノードと接地電圧との間に接続されたキャパシタと、

前記中間ノードと電源電圧との間に接続され、前記第 2 信号に応答して前記キャパシタを充電させるプルアップトランジスタと、

前記中間ノードと前記接地電圧との間に接続されたプルダウントランジスタと、

前記第 1 入力信号に応答して前記プルダウントランジスタをターンオンさせ、前記第 1 ホールド信号に応答して前記プルダウントランジスタをターンオフさせ、前記第 1 信号に
応答して前記プルダウントランジスタをターンオンさせるプルダウントランジスタ制御部
と、

20

前記キャパシタの電圧に基づいて前記第 1 出力信号を生成する出力部と、

を含むことを特徴とする請求項 14 に記載の時間差加算器を含むシステムオンチップ。

【請求項 16】

前記プルダウントランジスタ制御部は、

前記第 1 入力信号を受信するセット端子、前記第 1 ホールド信号を受信するリセット端子、及び出力端子を含むセッターリセットラッチと、

前記セッターリセットラッチの前記出力端子で出力された出力信号及び前記第 1 信号に
OR 演算を遂行し、前記プルダウントランジスタのゲートに接続された出力端子を含む OR
ゲートと、

を含むことを特徴とする請求項 15 に記載の時間差加算器を含むシステムオンチップ。

30

【請求項 17】

前記時間差加算器は、前記第 1 信号及び前記第 2 信号を生成する制御部をさらに含み、
前記制御部は、

前記第 1 入力信号を反転させて前記第 1 入力信号の反転信号を生成する第 1 インバータ
と、

前記第 1 入力信号の前記反転信号を遅延させるアウェイク遅延器と、

前記第 1 入力信号の前記反転信号を受信するセット端子、前記アウェイク遅延器の出力
信号を受信するリセット端子、及び前記第 1 信号を出力する出力端子を有する第 1 セッ
ターリセットラッチと、

前記アウェイク遅延器の前記出力信号を遅延させるプリチャージ遅延器と、

40

前記アウェイク遅延器の前記出力信号を受信するセット端子、前記プリチャージ遅延器
の出力信号を受信するリセット端子、及び出力端子を有する第 2 セッターリセットラッチ
と、

前記第 2 セッターリセットラッチの出力信号を反転させて前記第 2 信号を生成する第 2
インバータと、

を含むことを特徴とする請求項 14 に記載の時間差加算器を含むシステムオンチップ。

【請求項 18】

第 1 時間差を有する第 1 入力信号及び第 2 入力信号を受信し、第 1 信号に
応答して第 1
出力信号を生成する第 1 レジスタ部と、

第 2 時間差を有する第 3 入力信号及び第 4 入力信号を受信し、前記第 1 信号に
応答して

50

前記第 1 出力信号に対して前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 2 出力信号を生成する第 2 レジスタ部と、

を含み、

前記第 1 レジスタ部は、

前記第 1 入力信号を受信する第 1 入力端子、前記第 2 入力信号を受信する第 1 ホールド端子、第 2 信号を受信する第 1 プリチャージ端子、前記第 1 信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタを含み、

前記第 2 レジスタ部は、

前記第 4 入力信号を受信する第 2 入力端子、前記第 3 入力信号を受信する第 2 ホールド端子、前記第 2 信号を受信する第 2 プリチャージ端子、前記第 1 信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタを含むことを特徴とする時間差加算器を含むシステムオンチップ。

10

【請求項 19】

第 1 入力信号と第 2 入力信号との間の第 1 時間差、及び、第 1 出力済み信号と第 2 出力済み信号との間の第 2 時間差を加算して、前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 1 出力信号及び第 2 出力信号を生成する第 1 時間差加算器と、

前記第 1 出力信号と前記第 2 出力信号との間の前記第 3 時間差、及び、実質的に同じ信号間の時間差を加算して前記第 3 時間差を有する前記第 1 出力済み信号及び前記第 2 出力済み信号を生成する第 2 時間差加算器と、

20

を含むことを特徴とする時間差累算器を含むシステムオンチップ。

【請求項 20】

前記実質的に同じ信号は、前記第 1 出力信号、前記第 2 出力信号、前記第 1 出力信号の反転信号、または前記第 2 出力信号の反転信号のうち、いずれか 1 つであることを特徴とする請求項 19 に記載の時間差累算器を含むシステムオンチップ。

【請求項 21】

第 1 入力信号と第 2 入力信号との間の第 1 時間差、及び、第 1 出力済み信号と第 2 出力済み信号との間の第 2 時間差を加算して、前記第 1 時間差と前記第 2 時間差との和に相当する第 3 時間差を有する第 1 出力信号及び第 2 出力信号を生成する時間差加算器と、

前記第 1 出力信号を所定時間程度遅延させて前記第 1 出力済み信号を生成する第 1 遅延器と、

30

前記第 2 出力信号を前記所定時間程度遅延させて前記第 2 出力済み信号を生成する第 2 遅延器と、

を含むことを特徴とする時間差累算器を含むシステムオンチップ。

【請求項 22】

第 1 入力信号と第 2 入力信号との間の第 1 時間差から第 1 フィードバック信号と第 2 フィードバック信号との間の第 2 時間差を減算し得られた第 3 時間差を有する第 1 加算信号及び第 2 加算信号を生成する時間差加算器と、

前記第 1 加算信号と前記第 2 加算信号との間の前記第 3 時間差を累算して第 1 累算信号及び第 2 累算信号を生成する時間差累算器と、

40

前記第 1 累算信号と前記第 2 累算信号との間の時間差をデジタル出力信号に変換する時間ドメイン量子化器と、

前記デジタル出力信号を前記第 1 フィードバック信号及び前記第 2 フィードバック信号に変換するデジタルタイム変換器と、

を含むことを特徴とするシグマデルタタイムデジタル変換器。

【請求項 23】

第 1 入力信号、第 2 入力信号、及びデジタル出力信号を受信し、前記デジタル出力信号に基づいて前記第 1 入力信号または前記第 2 入力信号を前記デジタル出力信号に相当する遅延時間程度遅延させることによって、第 1 加算信号及び第 2 加算信号を生成する時間差調節部と、

50

前記第 1 加算信号と前記第 2 加算信号との間の時間差を累算して第 1 累算信号及び第 2 累算信号を生成する時間差累算器と、

前記第 1 累算信号と前記第 2 累算信号との間の時間差を前記デジタル出力信号に変換する時間ドメイン量子化器と、を含むシグマデルタタイムデジタル変換器。

【請求項 2 4】

前記時間差調節部は、

前記第 1 入力信号を遅延させる少なくとも 1 つの第 1 遅延器と、

前記デジタル出力信号に応答して前記第 1 加算信号として、前記第 1 入力信号、または、前記第 1 遅延器の出力信号を選択的に出力する少なくとも第 1 選択器と、

前記第 2 入力信号を遅延させる少なくとも 1 つの第 2 遅延器と、

前記デジタル出力信号に応答して前記第 2 加算信号として、前記第 2 入力信号、または、前記第 2 遅延器の出力信号を選択的に出力する第 2 選択器と、

を含むことを特徴とする請求項 2 3 に記載のシグマデルタタイムデジタル変換器。

【請求項 2 5】

基準入力信号とフィードバック信号との間の第 1 時間差に相当するデジタル時間差信号を生成する位相検出器と、

前記デジタル時間差信号をフィルタリングしてデジタル制御信号を生成するデジタルループフィルタと、

前記デジタル制御信号に応答して出力信号を生成するデジタル制御発振器と、

前記出力信号を分周して前記フィードバック信号を生成する分周器と、

を含み、

前記位相検出器は、

前記基準入力信号と前記フィードバック信号との間の前記第 1 時間差から第 1 内部フィードバック信号と第 2 内部フィードバック信号との間の第 2 時間差を減算し得られた第 3 時間差を有する第 1 加算信号及び第 2 加算信号を生成する時間差加算器と、

前記第 1 加算信号と前記第 2 加算信号との間の前記第 3 時間差を累算して第 1 累算信号及び第 2 累算信号を生成する時間差累算器と、

前記第 1 累算信号と前記第 2 累算信号との間の時間差を前記デジタル時間差信号に変換する時間ドメイン量子化器と、

前記デジタル時間差信号を前記第 1 内部フィードバック信号及び前記第 2 内部フィードバック信号に変換するデジタルタイム変換器と、

を含むことを特徴とするデジタル位相ロックループ。

【請求項 2 6】

基準入力信号とフィードバック信号との間の時間差に相当するデジタル時間差信号を生成する位相検出器と、

前記デジタル時間差信号をフィルタリングして、デジタル制御信号を生成するデジタルループフィルタと、

前記デジタル制御信号に応答して出力信号を生成するデジタル制御発振器と、

前記出力信号を分周して前記フィードバック信号を生成する分周器と、

を含み、

前記位相検出器は、

前記デジタル時間差信号に基づいて前記基準入力信号、または、前記フィードバック信号を前記デジタル時間差信号に相当する遅延時間程度遅延させることによって第 1 加算信号及び第 2 加算信号を生成する時間差調節部と、

前記第 1 加算信号と前記第 2 加算信号との間の時間差を累算して第 1 累算信号及び第 2 累算信号を生成する時間差累算器と、

前記第 1 累算信号と前記第 2 累算信号との間の時間差を前記デジタル時間差信号に変換する時間ドメイン量子化器と、

を含むことを特徴とするデジタル位相ロックループ。

【請求項 2 7】

温度を感知し感知した温度に相当する第 1 時間差を有する第 1 入力信号及び第 2 入力信号を生成するセンシング部と、

前記第 1 入力信号と前記第 2 入力信号との間の前記第 1 時間差に相当するデジタル出力信号を生成するシグマデルタタイムデジタル変換器と、

を含み、

前記シグマデルタタイムデジタル変換器は、

前記第 1 入力信号と前記第 2 入力信号との間の前記第 1 時間差から第 1 フィードバック信号と第 2 フィードバック信号との間の第 2 時間差を減算し得られた第 3 時間差を有する第 1 加算信号及び第 2 加算信号を生成する時間差加算器と、

前記第 1 加算信号と前記第 2 加算信号との間の前記第 3 時間差を累算して第 1 累算信号及び第 2 累算信号を生成する時間差累算器と、

前記第 1 累算信号と前記第 2 累算信号との間の時間差を前記デジタル出力信号に変換する時間ドメイン量子化器と、

前記デジタル出力信号を前記第 1 フィードバック信号及び前記第 2 フィードバック信号に変換するデジタルタイム変換器と、

を含むことを特徴とする温度センサ。

【請求項 28】

前記センシング部は、

パルスを生成するパルス生成器と、

前記パルスを実質的に一定の第 1 遅延時間程度遅延させて前記第 1 入力信号として出力する温度鈍感遅延ラインと、

前記パルスを温度により変更される第 2 遅延時間程度遅延させて前記第 2 入力信号として出力する温度敏感遅延ラインと、

を含むことを特徴とする請求項 27 に記載の温度センサ。

【請求項 29】

温度を感知して前記温度に相当する時間差を有する第 1 入力信号及び第 2 入力信号を生成するセンシング部と、

前記第 1 入力信号と前記第 2 入力信号との間の前記時間差に相当するデジタル出力信号を生成するシグマデルタタイムデジタル変換器と、

を含み、

前記シグマデルタタイムデジタル変換器は、

前記デジタル出力信号に基づいて前記第 1 入力信号、または、前記第 2 入力信号を前記デジタル出力信号に相当する遅延時間程度遅延させることによって第 1 加算信号及び第 2 加算信号を生成する時間差調節部と、

前記第 1 加算信号と前記第 2 加算信号との間の時間差を累算して第 1 累算信号及び第 2 累算信号を生成する時間差累算器と、

前記第 1 累算信号と前記第 2 累算信号との間の時間差を前記デジタル出力信号に変換する時間ドメイン量子化器と、

を含むことを特徴とする温度センサ。

【請求項 30】

複数の入力信号に基づいて第 1 出力信号及び第 2 出力信号を生成する時間差加算器を含み、

前記第 1 出力信号は前記複数の入力信号のうち第 1 時間差を有する第 1 入力信号カップルに基づいてトリガ信号に応答して生成され、

前記第 2 出力信号は前記複数の入力信号のうち第 2 時間差を有する第 2 入力信号カップルに基づいて前記トリガ信号に応答して生成され、

前記第 1 出力信号及び前記第 2 出力信号は、前記第 1 時間差及び前記第 2 時間差に基づいて決定される第 3 時間差を有することを特徴とするシステムオンチップ。

【請求項 31】

前記時間差加算器は、

前記第 1 入力信号カップルに基づいて前記トリガ信号に応答して前記第 1 出力信号を生成する第 1 レジスタ部と、

前記第 2 入力信号カップルに基づいて前記トリガ信号に応答して前記第 2 出力信号を生成する第 2 レジスタ部と、

を含むことを特徴とする請求項 30 に記載のシステムオンチップ。

【請求項 32】

前記第 1 入力信号カップルは第 1 入力信号及び第 2 入力信号を含み、

前記第 1 レジスタ部は、

前記第 2 入力信号をオフセット時間程度遅延させて第 1 ホールド信号を生成する第 1 オフセット遅延器と、

前記第 1 入力信号を受信する第 1 入力端子、前記第 1 ホールド信号を受信する第 1 ホールド端子、前記トリガ信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタと、

を含むことを特徴とする請求項 31 に記載のシステムオンチップ。

【請求項 33】

前記第 2 入力信号カップルは第 3 入力信号及び第 4 入力信号を含み、

前記第 2 レジスタ部は、

前記第 3 入力信号を前記オフセット時間程度遅延させて第 2 ホールド信号を生成する第 2 オフセット遅延器と、

前記第 4 入力信号を受信する第 2 入力端子、前記第 2 ホールド信号を受信する第 2 ホールド端子、前記トリガ信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタと、

を含むことを特徴とする請求項 32 に記載のシステムオンチップ。

【請求項 34】

前記第 1 入力信号カップルは第 1 入力信号及び第 2 入力信号を含み、前記第 1 レジスタ部は、

前記第 1 入力信号を受信する第 1 入力端子、前記第 2 入力信号を受信する第 1 ホールド端子、前記トリガ信号を受信する第 1 アウェイク端子、及び前記第 1 出力信号を出力する第 1 出力端子を有する第 1 時間レジスタを含むことを特徴とする請求項 31 に記載のシステムオンチップ。

【請求項 35】

前記第 2 入力信号カップルは第 3 入力信号及び第 4 入力信号を含み、前記第 2 レジスタ部は、

前記第 4 入力信号を受信する第 2 入力端子、前記第 3 入力信号を受信する第 2 ホールド端子、前記トリガ信号を受信する第 2 アウェイク端子、及び前記第 2 出力信号を出力する第 2 出力端子を有する第 2 時間レジスタを含むことを特徴とする請求項 34 に記載のシステムオンチップ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号処理に関し、より詳細には時間差加算器を含むシステムオンチップ（System-On-Chip；SOC）、時間差累算器を含むシステムオンチップ、シグマデルタタイムデジタル変換器、デジタル位相ロックループ、温度センサ、およびシステムオンチップに関する。

【背景技術】

【0002】

タイムデジタル変換器（Time-to-Digital Converter；TDC）は、入力信号間の時間差（Time Difference）をデジタル信号に変換する装置である。一方、デザインルールが減少して電源電圧が低くなることによって、電圧信号の信号対雑音比（Signal-to-Noise Ratio；SNR）が低く

10

20

30

40

50

なり、電圧信号をデジタル信号に変換するアナログーデジタル変換器 (Analog-to-Digital Converter; ADC) の性能が悪化することになりうる。これに従って、アナログーデジタル変換器は時間差をデジタル信号に変換するタイムデジタル変換器に代替される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-218729号公報

【特許文献2】韓国特許出願公開2010-0062908号

【特許文献3】韓国特許出願公開2010-0018934号

【特許文献4】韓国特許出願公開2008-0043978号

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、入力信号間の時間差を加算する時間差加算器 (Time Difference Adder) を含むシステムオンチップを提供することにある。

【0005】

本発明の他の目的は、入力信号間の時間差を累算する時間差累算器 (Time Difference Accumulator) を含むシステムオンチップを提供することにある。

20

【0006】

本発明のまた他の目的は、シグマデルタ方式で入力信号間の時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器 (Sigma-Delta Time-to-Digital Converter) を提供することにある。

【0007】

本発明のまた他の目的は、シグマデルタタイムデジタル変換器を含むデジタル位相ロックループ (Digital Phase Locked Loop; DPLL) を提供することにある。

【0008】

本発明のまた他の目的は、シグマデルタタイムデジタル変換器を含む温度センサを提供することにある。

30

【課題を解決するための手段】

【0009】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。

【0010】

第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含むことができる。

40

第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、第1信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含むことができる。

【0011】

第1時間レジスタは、第1信号が有する第1信号上昇エッジが発生した時刻から、ディスチャージ時間からオフセット時間及び第1時間差が減算された時間の経過後、第1出力

50

信号上昇エッジを有する第1出力信号を出力し、第2時間レジスタは、第1信号上昇エッジが発生した時刻から、ディスチャージ時間からオフセット時間が減算され第2時間差が加算された時間の経過後、第2出力信号上昇エッジを有する第2出力信号を出力することができる。

【0012】

第1時間レジスタ及び第2時間レジスタは、第1キャパシタ及び第2キャパシタを各々含み、第1キャパシタ及び第2キャパシタは実質的に同じキャパシタンスを有し、ディスチャージ時間は実質的に同じキャパシタンスによって決定される。

【0013】

第1時間レジスタは、第1入力信号を反転させる第1インバータと、第1ホールド信号に応答して第1インバータを非活性化させ、第1信号に応答して第1インバータを活性化させるインバータ制御部と、第1インバータの出力信号に応答して充電または放電されるキャパシタと、キャパシタの電圧に基づいて第1出力信号を生成する第2インバータと、を含むことができる。

【0014】

キャパシタは、第1入力信号と第1ホールド信号との間の時間差に相当する時間の間に放電されることによって、第1入力信号と第1ホールド信号との間の時間差に対する情報を保存することができる。

【0015】

キャパシタの放電は、第1入力信号上昇エッジに応答して始まり、第1ホールド信号が有する第1ホールド信号上昇エッジに応答して中止し、第1信号上昇エッジに応答して再開することができる。

【0016】

第1インバータは、第1入力信号が印加される第1Pゲート、インバータ制御部を通じて電源電圧に接続された第1Pソース、及び中間ノードに接続された第1Pドレインを含む第1PMOSトランジスタと、第1入力信号が印加される第1Nゲート、インバータ制御部を通じて接地電圧に接続された第1Nソース、及び中間ノードに接続された第1Nドレインを含む第1NMOSトランジスタと、を含むことができる。インバータ制御部は、電源電圧と第1PMOSトランジスタとの間に接続された第2PMOSトランジスタと、接地電圧と第1NMOSトランジスタとの間に接続された第2NMOSトランジスタと、第2PMOSトランジスタが有する第2Pゲートに接続された出力端子、第2NMOSトランジスタが有する第2Nゲートに接続された反転出力端子、反転出力端子に接続されたデータ端子、及びクロック端子を含むDフリップフロップと、Dフリップフロップの反転出力端子から出力される反転出力信号に応答してDフリップフロップのクロック端子に第1ホールド信号または第1信号を選択的に出力する選択器と、を含むことができる。キャパシタは中間ノードと接地電圧との間に接続される。第2インバータは、中間ノードに接続された第3Pゲート、電源電圧に接続された第3Pソース、及び第1出力信号が出力される第3Pドレインを含む第3PMOSトランジスタと、中間ノードに接続された第3Nゲート、接地電圧に接続された第3Nソース、及び第1出力信号が出力される第3Nドレインを含む第3NMOSトランジスタと、を含むことができる。

【0017】

第1時間レジスタは、第1入力信号を反転させる第1インバータと、第1ホールド信号に応答して第1インバータを非活性化させ、第1信号に応答して第1インバータを活性化させるインバータ制御部と、第1インバータの出力信号に応答して充電または放電されるキャパシタと、キャパシタの電圧を基準電圧と比較して第1出力信号を生成する比較器と、を含むことができる。

【0018】

第1信号は、第1入力信号、第2入力信号、第3入力信号、または第4入力信号のうち、いずれか1つの信号を遅延または反転させて生成されたアウェイク信号であることができる。

10

20

30

40

50

【0019】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含む。第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、第1信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含む。

10

【0020】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第1入力信号を受信する第1入力端子、第2入力信号を受信する第1ホールド端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタを含み、第2レジスタ部は、第4入力信号を受信する第2入力端子、第3入力信号を受信する第2ホールド端子、第1信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタを含む。

20

【0021】

第1時間レジスタは、第1信号上昇エッジから、ディスチャージ時間から第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号を出力し、第2時間レジスタは、第1信号上昇エッジから、ディスチャージ時間に第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号を出力することができる。

30

【0022】

本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号を受信し、第1信号に応答して第1出力信号を生成する。第2レジスタ部は、第2時間差を有する第3入力信号及び第4入力信号を受信し、第1信号に応答して第1出力信号に対して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成する。第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含む。第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第2アウェイク端子、及び、第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含む。

40

【0023】

第1時間レジスタは、中間ノードと接地電圧との間に接続されたキャパシタと、中間ノードと電源電圧との間に接続され第2信号に応答してキャパシタを充電させるプルアップトランジスタと、中間ノードと接地電圧との間に接続されたプルダウントランジスタと、

50

第1入力信号に応答してプルダウントランジスタをターンオンさせ、ホールド信号に
応答してプルダウントランジスタをターンオフさせ、第1信号に
応答してプルダウントランジスタをターンオンさせるプルダウントランジスタ制御部と、
キャパシタの電圧に基づいて第1出力信号を生成する出力部と、を含むことができる。

【0024】

プルダウントランジスタ制御部は、第1入力信号を受信するセット端子、第1ホールド
信号を受信するリセット端子、及び出力端子を含むセッソーリセットラッチと、セッ
ソーリセットラッチの出力端子で出力された出力信号及び第1信号にOR演算を遂行し、プル
ダウントランジスタのゲートに接続された出力端子を含むORゲートと、を含むことが
できる。

10

【0025】

時間差加算器は、第1信号及び第2信号を生成する制御部をさらに含むことができる。
制御部は、第1入力信号を反転させて第1入力信号の反転信号を生成する第1インバータ
と、第1入力信号の反転信号を遅延させるアウエイク遅延器と、第1入力信号の反転信号
を受信するセット端子、アウエイク遅延器の出力信号を受信するリセット端子、及び第1
信号を出力する出力端子を有する第1セッソーリセットラッチと、アウエイク遅延器の
出力信号を遅延させるプリチャージ遅延器と、アウエイク遅延器の出力信号を受信する
セット端子、プリチャージ遅延器の出力信号を受信するリセット端子、及び出力端子を有する
第2セッソーリセットラッチと、第2セッソーリセットラッチの出力信号を反転させて第
2信号を生成する第2インバータと、を含むことができる。

20

【0026】

また、本発明の時間差加算器を含むシステムオンチップは、第1レジスタ部及び第2レ
ジスタ部を含む。第1レジスタ部は、第1時間差を有する第1入力信号及び第2入力信号
を受信し、第1信号に
応答して第1出力信号を生成する。第2レジスタ部は、第2時間差
を有する第3入力信号及び第4入力信号を受信し、第1信号に
応答して第1出力信号に対
して第1時間差と第2時間差との和に相当する第3時間差を有する第2出力信号を生成す
る。第1レジスタ部は、第1入力信号を受信する第1入力端子、第2入力信号を受信する
第1ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第1
アウエイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタを
含み、第2レジスタ部は、第4入力信号を受信する第2入力端子、第3入力信号を受信す
る第2ホールド端子、第2信号を受信する第1プリチャージ端子、第1信号を受信する第
2アウエイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタ
を含む。

30

【0027】

本発明の時間差累算器を含むシステムオンチップは、第1時間差加算器及び第2時間差
加算器を含む。第1時間差加算器は、第1入力信号と第2入力信号との間の第1時間差、
及び、第1出力済み信号と第2出力済み信号と間の第2時間差を加算して、第1時間差と
第2時間差との和に相当する第3時間差を有する第1出力信号及び第2出力信号を生成す
る。第2時間差加算器は、第1出力信号と第2出力信号との間の第3時間差、及び、実質
的に同一信号間の時間差を加算して、第3時間差を有する第1出力済み信号及び第2出力
済み信号を生成する。

40

【0028】

実質的に同一信号は、第1出力信号、第2出力信号、第1出力信号の反転信号、または
、第2出力信号の反転信号のうち、いずれか1つであることができる。

【0029】

また、本発明の時間差累算器を含むシステムオンチップは、時間差加算器、第1遅延器
及び第2遅延器を含む。時間差加算器は、第1入力信号と第2入力信号との間の第1時間
差、及び、第1出力済み信号と第2出力済み信号との間の第2時間差を加算して第1時間
差と第2時間差との和に相当する第3時間差を有する第1出力信号及び第2出力信号を
生成する。第1遅延器は、第1出力信号を所定時間ほど遅延させて第1出力済み信号を生成

50

する。第2遅延器は、第2出力信号を所定時間ほど遅延させて第2出力済み信号を生成する。

【0030】

本発明のシグマデルタタイムデジタル変換器は、時間差加算器、時間差累算器、時間ドメイン量子化器、及びデジタルタイム変換器を含む。時間差加算器は、第1入力信号と第2入力信号との間の第1時間差から、第1フィードバック信号と第2フィードバック信号との間の第2時間差を減算し得られた第3時間差を有する第1加算信号及び第2加算信号を生成する。時間差累算器は、第1加算信号と第2加算信号との間の第3時間差を累算して第1累算信号及び第2累算信号を生成する。時間ドメイン量子化器は、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する。デジタルタイム変換器は、デジタル出力信号を第1フィードバック信号及び第2フィードバック信号に変換する。

10

【0031】

また、本発明のシグマデルタタイムデジタル変換器は、時間差調節部、時間差累算器、及び時間ドメイン量子化器を含む。時間差調節部は第1入力信号、第2入力信号及びデジタル出力信号を受信し、デジタル出力信号に基づいて第1入力信号または第2入力信号をデジタル出力信号に相当する遅延時間ほど遅延させることによって第1加算信号及び第2加算信号を生成する。時間差累算器は、第1加算信号と第2加算信号との間の時間差を累算して第1累算信号及び第2累算信号を生成する。時間ドメイン量子化器は、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する。

20

【0032】

時間差調節部は、第1入力信号または第2入力信号のうち少なくとも1つの信号を遅延させる少なくとも1つの遅延器と、デジタル出力信号に応答して遅延器によって遅れなかった少なくとも1つの信号、または、遅延器によって遅れた遅延器の出力信号を選択的に出力する少なくとも1つの選択器とを含むことができる。

【0033】

本発明のデジタル位相ロックループは、位相検出器、デジタルループフィルタ、デジタル制御発振器、及び分周器を含む。位相検出器は、基準入力信号とフィードバック信号との間の第1時間差に相当するデジタル時間差信号を生成する。デジタルループフィルタは、デジタル時間差信号をフィルタリングしてデジタル制御信号を生成する。デジタル制御発振器は、デジタル制御信号に応答して出力信号を生成する。分周器は、出力信号を分周してフィードバック信号を生成する。位相検出器は、基準入力信号とフィードバック信号との間の第1時間差から、第1内部フィードバック信号と第2内部フィードバック信号との間の第2時間差を減算して、第1時間差から第2時間差が減算された第3時間差を有する第1加算信号及び第2加算信号を生成する時間差加算器と、第1加算信号と第2加算信号との間の第3時間差を累算して第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル時間差信号に変換する時間ドメイン量子化器と、デジタル時間差信号を第1内部フィードバック信号及び第2内部フィードバック信号に変換するデジタルタイム変換器と、を含む。

30

【0034】

また、本発明のデジタル位相ロックループは、位相検出器、デジタルループフィルタ、デジタル制御発振器、及び分周器を含む。位相検出器は、基準入力信号とフィードバック信号との間の時間差に相当するデジタル時間差信号を生成する。デジタルループフィルタはデジタル時間差信号をフィルタリングしてデジタル制御信号を生成する。デジタル制御発振器は、デジタル制御信号に応答して出力信号を生成する。分周器は出力信号を分周してフィードバック信号を生成する。位相検出器は、デジタル時間差信号に基づいて基準入力信号、または、フィードバック信号をデジタル時間差信号に相当する遅延時間ほど遅延させることによって第1加算信号及び第2加算信号を生成する時間差調節部と、第1加算信号と第2加算信号との間の時間差を累算して第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル時間差信号に変換する時間ドメイン量子化器と、を含む。

40

50

【0035】

本発明の温度センサは、センシング部及びシグマデルタタイムデジタル変換器を含む。センシング部は、温度を感知して温度に相当する第1時間差を有する第1入力信号及び第2入力信号を生成する。シグマデルタタイムデジタル変換器は、第1入力信号と第2入力信号との間の第1時間差に相当するデジタル出力信号を生成する。シグマデルタタイムデジタル変換器は、第1入力信号と第2入力信号との間の第1時間差から第1フィードバック信号と第2フィードバック信号との間の第2時間差を減算し得られた第3時間差を有する第1加算信号及び第2加算信号を生成する時間差加算器と、第1加算信号と第2加算信号との間の第3時間差を累算して、第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する時間ドメイン量子化器と、デジタル出力信号を第1フィードバック信号及び第2フィードバック信号に変換するデジタルタイム変換器と、を含む。

10

【0036】

センシング部は、パルスを生成するパルス生成器と、パルスを実質的に一定の第1遅延時間ほど遅延させて第1入力信号として出力する温度鈍感遅延ラインと、パルスを温度に従って変更される第2遅延時間ほど遅延させて第2入力信号として出力する温度敏感遅延ラインと、を含むことができる。

【0037】

また、本発明の温度センサは、センシング部及びシグマデルタタイムデジタル変換器を含む。センシング部は温度を感知して温度に相当する時間差を有する第1入力信号及び第2入力信号を生成する。シグマデルタタイムデジタル変換器は、第1入力信号と第2入力信号との間の時間差に相当するデジタル出力信号を生成する。シグマデルタタイムデジタル変換器は、デジタル出力信号に基づいて第1入力信号または第2入力信号をデジタル出力信号に相当する遅延時間ほどさらに遅延させることによって第1加算信号及び第2加算信号を生成する時間差調節部と、第1加算信号と第2加算信号との間の時間差を累算して第1累算信号及び第2累算信号を生成する時間差累算器と、第1累算信号と第2累算信号との間の時間差をデジタル出力信号に変換する時間ドメイン量子化器と、を含む。

20

【0038】

本発明のシステムオンチップは、時間差加算器を含む。時間差加算器は、複数の入力信号に基づいて第1出力信号及び第2出力信号を生成する。第1出力信号は、複数の入力信号のうち第1時間差を有する第1入力信号カップルに基づいてトリガ信号に応答して生成され、第2出力信号は、複数の入力信号のうち第2時間差を有する第2入力信号カップルに基づいてトリガ信号に応答して生成される。第1出力信号及び第2出力信号は、第1時間差及び第2時間差に基づいて決定される第3時間差を有する。

30

【0039】

時間差加算器は、第1入力信号カップルに基づいてトリガ信号に応答して第1出力信号を生成する第1レジスタ部と、第2入力信号カップルに基づいてトリガ信号に応答して第2出力信号を生成する第2レジスタ部と、を含むことができる。

【0040】

第1入力信号カップルは、第1入力信号及び第2入力信号を含み、第1レジスタ部は、第2入力信号をオフセット時間ほど遅延させて第1ホールド信号を生成する第1オフセット遅延器と、第1入力信号を受信する第1入力端子、第1ホールド信号を受信する第1ホールド端子、トリガ信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタと、を含むことができる。

40

【0041】

第2入力信号カップルは、第3入力信号及び第4入力信号を含み、第2レジスタ部は、第3入力信号をオフセット時間ほど遅延させて第2ホールド信号を生成する第2オフセット遅延器と、第4入力信号を受信する第2入力端子、第2ホールド信号を受信する第2ホールド端子、トリガ信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタと、を含むことができる。

50

【0042】

第1入力信号カップルは、第1入力信号及び第2入力信号を含み、第1レジスタ部は、第1入力信号を受信する第1入力端子、第2入力信号を受信する第1ホールド端子、トリガ信号を受信する第1アウェイク端子、及び第1出力信号を出力する第1出力端子を有する第1時間レジスタを含むことができる。

【0043】

第2入力信号カップルは、第3入力信号及び第4入力信号を含み、第2レジスタ部は、第4入力信号を受信する第2入力端子、第3入力信号を受信する第2ホールド端子、トリガ信号を受信する第2アウェイク端子、及び第2出力信号を出力する第2出力端子を有する第2時間レジスタを含むことができる。

10

【発明の効果】

【0044】

本発明の時間差加算器を含むシステムオンチップは、入力信号間の時間差を正確に加算することができる。

【0045】

また、本発明の時間差累算器を含むシステムオンチップは、入力信号間の時間差を正確に累算することができる。

【0046】

また、本発明のシグマデルタタイムデジタル変換器は、入力信号間の時間差が正確に反映されているデジタル信号に変換することができる。

20

【0047】

また、デジタル位相ロックループは、シグマデルタタイムデジタル変換器を含んでおり、低い電源電圧環境においても望む周波数を有する信号を正確に出力することができる。

【0048】

また、本発明の温度センサは、シグマデルタタイムデジタル変換器を含んでおり、低い電源電圧環境においても温度を正確に感知することができる。

【図面の簡単な説明】

【0049】

【図1】本発明の第1実施形態に係る時間差加算器を示す図面である。

30

【図2】図1の時間差加算器で遂行される時間差加算の恒等元及び逆元を示す図面である。

【図3】図1の時間差加算器で遂行される時間差加算の恒等元及び逆元を示す図面である。

【図4】本発明の第1実施形態に係る時間差加算器を示すブロック図である。

【図5】図4の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

【図6】図5の時間レジスタの動作を説明するためのタイミング図である。

【図7】図4の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。

【図8】図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【図9】図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

40

【図10】図4の時間差加算器の動作の一例を説明するためのタイミング図である。

【図11】図4の時間差加算器の動作の他の例を説明するためのタイミング図である。

【図12】本発明の第2実施形態に係る時間差加算器を示すブロック図である。

【図13】図12の時間差加算器の動作の一例を説明するためのタイミング図である。

【図14】本発明の第3実施形態に係る時間差加算器を示すブロック図である。

【図15】図14の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

【図16】図14の時間差加算器に含まれた制御部の一例を示す回路図である。

【図17】図15の時間レジスタの動作を説明するためのタイミング図である。

【図18】図14の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。

【図19】図14の時間差加算器の動作の一例を説明するためのタイミング図である。

50

【図 20】本発明の第 4 実施形態に係る時間差加算器を示すブロック図である。

【図 21】本発明の第 5 実施形態に係る時間差累算器を示す図面である。

【図 22】本発明の第 5 実施形態に係る時間差累算器を示すブロック図である。

【図 23】本発明の第 6 実施形態に係る時間差累算器を示すブロック図である。

【図 24】図 23 の時間差累算器に含まれた遅延部の一例を示す回路図である。

【図 25】図 24 の遅延部に含まれたトランジスタの配置の一例を説明するための図面である。

【図 26】本発明の第 7 実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

【図 27】図 26 のシグマデルタタイムデジタル変換器で遂行されるノイズシェーピングを説明するための図面である。

【図 28】図 26 のシグマデルタタイムデジタル変換器に含まれた時間ドメイン量子化器の一例を示すブロック図である。

【図 29】図 26 のシグマデルタタイムデジタル変換器に含まれた時間ドメイン量子化器の他の例を示すブロック図である。

【図 30】図 26 のシグマデルタタイムデジタル変換器に含まれたデジタルタイム変換器の一例を示すブロック図である。

【図 31】図 26 のシグマデルタタイムデジタル変換器に含まれたデジタルタイム変換器の他の例を示すブロック図である。

【図 32】本発明の第 8 実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

【図 33】本発明の第 9 実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

【図 34】図 33 のシグマデルタタイムデジタル変換器の一例を示すブロック図である。

【図 35】図 33 のシグマデルタタイムデジタル変換器の他の例を示すブロック図である。

【図 36】本発明の第 10 実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

【図 37】本発明の第 11 実施形態に係るデジタル位相ロックループを示すブロック図である。

【図 38】本発明の第 12 実施形態に係るシグマデルタタイムデジタル変換器を含むアナログデジタル変換器を示すブロック図である。

【図 39】本発明の第 13 実施形態に係るシグマデルタタイムデジタル変換器を含むセンサを示すブロック図である。

【図 40】本発明の第 14 実施形態に係るデジタル位相ロックループを含む集積回路を示すブロック図である。

【図 41】本発明の第 15 実施形態に係るデジタル位相ロックループを含む送受信器を示すブロック図である。

【図 42】本発明の第 16 実施形態に係るデジタル位相ロックループを含むメモリ装置を示すブロック図である。

【図 43】本発明の第 17 実施形態に係るデジタル位相ロックループをモバイルシステムに応用した例を示すブロック図である。

【図 44】本発明の第 18 実施形態に係るデジタル位相ロックループをコンピューティングシステムに応用した例を示すブロック図である。

【発明を実施するための最良の形態】

【0050】

本明細書に開示されている本発明の実施形態に対して、特定の構造的ないし機能的説明は、単に本発明の実施形態を説明するための目的で例示されたものであり、本発明の実施形態は多様な形態で実施することができ、本明細書に説明された実施形態に限定されるも

10

20

30

40

50

のではない。

【0051】

本発明は多様な変更を加えることができ、種々の形態を有することができるが、特定の実施形態を図面に例示して本明細書に詳細に説明する。しかし、これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物ないし代替物を含むと理解するべきである。

【0052】

本明細書において、「第1」、「第2」等の用語は多様な構成要素を説明するのに使用することができるが、これらの構成要素がこのような用語によって限定されてはならない。これらの用語は1つの構成要素を他の構成要素から区別する目的で使われる。例えば、本発明の権利範囲から逸脱せずに第1構成要素は第2構成要素と命名することができ、同様に第2構成要素も第1構成要素と命名することができる。

10

【0053】

ある構成要素が他の構成要素に「連結されて」いる、または「接続されて」いると言及された場合には、その他の構成要素に直接的に連結されていたり、または接続されていたりすることを意味するが、中間に他の構成要素が存在する場合も含むと理解するべきである。一方、ある構成要素が他の構成要素に「直接連結されて」いる、または「直接接続されて」いると言及された場合には、中間に他の構成要素が存在しないと理解すべきである。構成要素の間の関係を説明する他の表現、即ち、「～間に」と「すぐに～間に」または「～に隣接する」と「～に直接隣接する」等も同じように解釈すべきである。

20

【0054】

本明細書で使用した用語は単に特定の実施形態を説明するために使用したもので、本発明を限定するものではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。本明細書で、「含む」または「有する」等の用語は明細書上に記載された特徴、数字、段階、動作、構成要素、部品または、これを組み合わせたのが存在するというを示すものであって、1つまたはそれ以上の他の特徴や数字、段階、動作、構成要素、部品または、これを組み合わせたものなどの存在または、付加の可能性を、予め排除するわけではない。

【0055】

また、別に定義しない限り、技術的或いは科学的用語を含み、本明細書中において使用される全ての用語は本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解するのと同じの意味を有する。一般的に使用される辞書において定義する用語と同じ用語は関連技術の文脈上に有する意味と一致する意味を有するものと理解するべきで、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈してはならない。

30

【0056】

以下、添付図面を参照して、本発明の望ましい実施形態をより詳細に説明する。図面上の同一構成要素に対しては同一または類似する参照符号を使用する。

【0057】

(第1実施形態)

40

図1は本発明の実施形態に係る時間差加算器を示す図面であり、図2及び図3は図1の時間差加算器で遂行される時間差加算の恒等元及び逆元を示す図面である。

【0058】

図1を参照すれば、時間差加算器100は、第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3、及び第4入力信号SIN4に応答して第1出力信号SOUT1及び第2出力信号SOUT2を生成する。時間差加算器100は、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1、及び、第3入力信号SIN3と第4入力信号SIN4との間の第2時間差TD2を加算することによって、第1時間差TD1と第2時間差TD2との和に相当する時間差(TD1+TD2)を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力する。

50

【0059】

図2及び図3に示したように、任意の時間差TDを有する信号に対して時間差加算器100で遂行される時間差加算（例えば、演算子「+」）の恒等元及び逆元を定義することができる。即ち、任意の時間差TDを有する信号に対して、式（1）を満足する時間差加算の恒等元「0」が存在する。

$$TD + 0 = 0 + TD = TD \quad \cdot \cdot \cdot \cdot (1)$$

【0060】

また、任意の時間差TDを有する信号に対する時間差加算で、式（2）を満足する任意の時間差TDの逆元（-TD）が存在する。

$$TD + (-TD) = (-TD) + TD = 0 \quad \cdot \cdot \cdot \cdot (2)$$

このように、本発明の第1実施形態に係る時間差加算器100は、任意の時間差TDを有する信号が閉じられている時間差加算を遂行できる。

【0061】

一方、半導体装置に対するデザインルールが減少することによって、電源電圧、及び／または、動作電圧が低くなり、これに従って、電圧ドメインでの信号対雑音比が減少している。しかし、電源電圧、及び／または、動作電圧が低くなることによって、電圧信号のローレベルからハイレベルへの遷移時間、または、ハイレベルからローレベルへの遷移時間は減少する。これに従って、時間ドメインでの信号対雑音比を増加することができる。従って、低い電源電圧環境において、電子回路及び装置は、時間ドメインで信号処理を遂行することによって性能を向上させることができる。即ち、低い電源電圧環境において、本発明の第1実施形態に係る時間差加算器100、及び／または、時間差累算器が時間ドメインで信号処理を遂行することによって時間差加算器100、及び／または、時間差累算器を含む多様な電子回路及び装置の性能を向上することができる。

【0062】

図4は本発明の第1実施形態に係る時間差加算器を示すブロック図である。

【0063】

図4を参照すれば、時間差加算器200aは、第1レジスタ部210a及び第2レジスタ部250aを含む。

【0064】

第1レジスタ部210aは、第1入力信号SIN1及び第2入力信号SIN2を受信し、アウェイク信号SAWK、または、トリガ（trigger）信号に応答して第1出力信号SOUT1を生成する。第1レジスタ部210aは、第1オフセット遅延器220及び第1時間レジスタ230を含むことができる。第1オフセット遅延器220は、第2入力信号SIN2をオフセット時間ほど遅延させて第1ホールド信号SHLD1を生成することができる。第1時間レジスタ230は、第1入力信号SIN1を受信する第1入力端子IN1、第1ホールド信号SHLD1を受信する第1ホールド端子HLD1、アウェイク信号SAWKを受信する第1アウェイク端子AWK1、及び第1出力信号SOUT1を出力する第1出力端子OUT1を有することができる。

【0065】

第2レジスタ部250aは、第3入力信号SIN3及び第4入力信号SIN4を受信して、アウェイク信号SAWKに応答して第2出力信号SOUT2を生成する。第2レジスタ部250aは第2オフセット遅延器260及び第2時間レジスタ270を含むことができる。第2オフセット遅延器260は、第3入力信号SIN3をオフセット時間ほど遅延させて第2ホールド信号SHLD2を生成することができる。第2時間レジスタ270は、第4入力信号SIN4を受信する第2入力端子IN2、第2ホールド信号SHLD2を受信する第2ホールド端子HLD2、アウェイク信号SAWKを受信する第2アウェイク端子AWK2、及び第2出力信号SOUT2を出力する第2出力端子OUT2を有することができる。

【0066】

アウェイク信号SAWKは、外部の回路または装置で受信されたり、または、時間差加

算器 200a がアウェイク信号 S A W K を生成する回路を含んだりすることができる。例えば、時間差加算器 200a は、第 1 入力信号 S I N 1、第 2 入力信号 S I N 2、第 3 入力信号 S I N 3、または第 4 入力信号 S I N 4 のうち、いずれか 1 つの信号を遅延または反転させてアウェイク信号 S A W K を生成することができる。

【0067】

第 1 時間レジスタ 230 は、アウェイク信号 S A W K に応答して、アウェイク信号 S A W K が有するアウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算され、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の第 1 時間差が減算された時間の後、第 1 出力信号上昇エッジを有する第 1 出力信号 S O U T 1 を出力することができる。即ち、アウェイク信号 S A W K と第 1 出力信号 S O U T 1 との間の時間差は、ディスチャージ時間からオフセット時間が減算され、第 1 時間差がさらに減算された時間に相当することができる。

10

【0068】

また、第 2 時間レジスタ 270 は、アウェイク信号 S A W K に応答して、アウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算されて第 3 入力信号 S I N 3 と第 4 入力信号 S I N 4 との間の第 2 時間差が加算された時間の後、第 2 出力信号上昇エッジを有する第 2 出力信号 S O U T 2 を出力することができる。即ち、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差は、ディスチャージ時間からオフセット時間が減算され、第 2 時間差が加算された時間に相当することができる。

【0069】

20

第 1 オフセット遅延器 220 のオフセット時間と第 2 オフセット遅延器 260 のオフセット時間を、実質的に同一とすることもできる。オフセット時間は時間差加算器 200a に入力される時間差の範囲に相当するように設定される。例えば、オフセット時間は、時間差加算器 200a に入力される負の時間差の最大値以上と設定される。

【0070】

また、第 1 時間レジスタ 230 のディスチャージ時間と第 2 時間レジスタ 270 のディスチャージ時間は、実質的に同一とすることもできる。一方、ディスチャージ時間は、第 1 時間レジスタ 230 及び第 2 時間レジスタ 270 の各々に含まれたキャパシタのキャパシタンスによって決定されることができ、第 1 時間レジスタ 230 に含まれたキャパシタのキャパシタンスと第 2 時間レジスタ 270 に含まれたキャパシタのキャパシタンスは実質的に同一とすることもできる。ディスチャージ時間は、オフセット時間及び時間差加算器 200a に入力される時間差の範囲に相当するように設定することができる。例えば、ディスチャージ時間は、オフセット時間と時間差加算器 200a に入力される正の時間差の最大値の和以上と設定される。また、実施形態に従って、ディスチャージ時間は、第 1 入力信号 S I N 1、第 2 入力信号 S I N 2、第 3 入力信号 S I N 3、第 4 入力信号 S I N 4 のうち、いずれか 1 つのパルス幅より小さくなるように設定することができる。

30

【0071】

第 1 出力信号 S O U T 1 と第 2 出力信号 S O U T 2 との間の時間差は、第 2 出力信号上昇エッジが発生する時間から第 1 出力信号上昇エッジが発生する時間を減算した時間として、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差から、アウェイク信号 S A W K と第 1 出力信号 S O U T 1 との間の時間差が減算された時間に相当する。従って、第 1 オフセット遅延器 220 及び第 2 オフセット遅延器 260 が実質的に同じオフセット時間を有し、第 1 時間レジスタ 230 及び第 2 時間レジスタ 270 が実質的に同じディスチャージ時間を有するので、第 1 出力信号 S O U T 1 と第 2 出力信号 S O U T 2 との間の時間差は、第 1 時間差と第 2 時間差との和に相当することができる。

40

【0072】

このように、本発明の第 1 実施形態に係る時間差加算器 200a は、第 1 時間差と第 2 時間差との和に相当する時間差を有する第 1 出力信号 S O U T 1 及び第 2 出力信号 S O U T 2 を出力することができる。

【0073】

50

第1レジスタ部210aの少なくとも一部の構成要素、例えば、トランジスタと第2レジスタ部250aの少なくとも一部の構成要素、例えば、トランジスタは、互いに交互に配置することができる。これに従って、工程、電圧、温度などの変化にも第1レジスタ部210aと第2レジスタ部250aとの間のミスマッチが最小化される。

【0074】

図5は図4の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

【0075】

図5を参照すれば、時間レジスタ300aは、第1インバータ310、インバータ制御部320a、キャパシタ330、及び出力部340を含む。第1実施形態において、図4の第1時間レジスタ230及び第2時間レジスタ270は、時間レジスタ300aとともに具現することができる。例えば、時間レジスタ300aが図4の第1時間レジスタ230の場合、入力信号SINは、図4の第1入力信号SIN1であり、ホールド信号SHLDは、図4の第1ホールド信号SHLD1であり、出力信号SOUTは、図4の第1出力信号SOUT1であることができる。また、時間レジスタ300aが図4の第2時間レジスタ270の場合、入力信号SINは図4の第4入力信号SIN4であり、ホールド信号SHLDは図4の第2ホールド信号SHLD2であり、出力信号SOUTは図4の第2出力信号SOUT2であることができる。

【0076】

第1インバータ310は入力信号SINを反転させる。第1インバータ310は、第1PMOSTランジスタP1及び第1NMOSTランジスタN1を含むことができる。第1PMOSTランジスタP1は、入力信号SINが印加されるゲート、インバータ制御部320aを通じて電源電圧に接続されたソース、及び中間ノードNMIDに接続されたドレーンを含むことができる。また、第1NMOSTランジスタN1は、入力信号SINが印加されるゲート、インバータ制御部320aを通じて接地電圧に接続されたソース、及び中間ノードNMIDに接続されたドレーンを含むことができる。

【0077】

インバータ制御部320aは、ホールド信号SHLDに応答して第1インバータ310を非活性化させ、アウェイク信号SAWKに応答して第1インバータ310を活性化させることができる。インバータ制御部320aは、第2PMOSTランジスタP2、第2NMOSTランジスタN2、Dフリップフロップ323、及び選択器321を含むことができる。

【0078】

第2PMOSTランジスタP2は、電源電圧と第1PMOSTランジスタP1との間に接続される。例えば、第2PMOSTランジスタP2は、Dフリップフロップ323の出力端子Qに接続されたゲート、電源電圧に接続されたソース、及び第1PMOSTランジスタP1のソースに接続されたドレーンを含むことができる。第2NMOSTランジスタN2は、接地電圧と第1NMOSTランジスタN1との間に接続される。例えば、第2NMOSTランジスタN2は、Dフリップフロップ323の反転出力端子/Qに接続されたゲート、接地電圧に接続されたソース、及び第1NMOSTランジスタN1のソースに接続されたドレーンを含むことができる。第2PMOSTランジスタP2及び第2NMOSTランジスタN2は、電源または、接地電圧と第1インバータ310の接続を制御することができる。例えば、第2PMOSTランジスタP2及び第2NMOSTランジスタN2がターンオンされると、第1インバータ310が電源電圧または、接地電圧に電氣的に接続され、第2PMOSTランジスタP2及び第2NMOSTランジスタN2がターンオフされると、第1インバータ310が電源電圧または、接地電圧から電氣的に遮断される。

【0079】

Dフリップフロップ323は、第2PMOSTランジスタP2のゲートに接続された出力端子Q、第2NMOSTランジスタN2のゲートに接続された反転出力端子/Q、反転出力端子/Qに接続されたデータ端子D、及び選択器321の出力信号が印加されるク

10

20

30

40

50

ロック端子を含むことができる。一方、データ端子Dに反転出力端子/Qが接続されるので、Dフリップフロップ323の出力端子Qで出力される出力信号及び反転出力端子/Qで出力される反転出力信号は、クロック端子に印加される選択器321の出力信号が上昇エッジを有する時間ごとに、トグルすることができる。

【0080】

選択器321は、反転出力端子/Qで出力される反転出力信号に応答してクロック端子にホールド信号SHLD、または、アウェイク信号SAWKを選択的に出力することができる。例えば、選択器321は、マルチプレクサで具現することができる。マルチプレクサは、ホールド信号SHLDを受信する第1入力端子、アウェイク信号SAWKを受信する第2入力端子、反転出力信号を選択信号として受信する選択端子、及び選択信号に10 応答してホールド信号SHLD、または、アウェイク信号SAWKを選択的に出力する出力端子を含むことができる。

【0081】

キャパシタ330は、第1インバータ310の出力信号に10 応答して充電または放電される。また、キャパシタ330は中間ノードNMIDに接続された第1端子及び接地電圧に接続された第2端子を有することができる。例えば、第1インバータ310の出力信号がロジックハイレベルを有する場合、即ち、第1PMOSトランジスタP1及び第2PMOSトランジスタP2がターンオンされた場合、キャパシタ330の第1端子は、第1PMOSトランジスタP1及び第2PMOSトランジスタP2を通じて電源電圧に電氣的に接20 続され、キャパシタ330を充電することができる。また、第1インバータ310の出力信号がロジックローレベルを有する場合、即ち、第1NMOSトランジスタN1及び第2NMOSトランジスタN2がターンオンされた場合、キャパシタ330の第1端子は、第1NMOSトランジスタN1及び第2NMOSトランジスタN2を通じて接地電圧に電氣的に接続され、キャパシタ330を放電することができる。

【0082】

出力部340は、キャパシタ330の電圧、即ち、中間ノードNMIDの電圧に基づいて出力信号SOUTを生成することができる。例えば、出力部340は、第2インバータ340を含むことができる。第2インバータ340は、第3PMOSトランジスタP3及び第3NMOSトランジスタN3を含むことができる。例えば、第3PMOSトランジスタP3は、中間ノードNMIDに接続されたゲート、電源電圧に接続されたソース、及び30 出力信号SOUTが出力されるドレーンを含むことができる。また、第3NMOSトランジスタN3は、中間ノードNMIDに接続されたゲート、接地電圧に接続されたソース、及び出力信号SOUTが出力されるドレーンを含むことができる。第2インバータ340は、キャパシタ330の電圧が、所定のしきい電圧以下の時、ロジックハイレベルを有する出力信号SOUTを出力することができる。即ち、キャパシタ330の電圧が第3PMOSトランジスタP3のしきい電圧以下の時、第3PMOSトランジスタP3がターンオンされ、第2インバータ340はロジックハイレベルを有する出力信号SOUTを出力することができる。

【0083】

キャパシタ330は、入力信号SINとホールド信号SHLD間の時間差に相当する時間の間に放電されることによって、入力信号SINとホールド信号SHLDとの間の時間差に対する情報を保存することができる。即ち、キャパシタ330の放電が入力信号SINが有する入力信号上昇エッジに10 応答して始まり、キャパシタ330の放電がホールド信号SHLDが有するホールド信号上昇エッジに10 応答して中止されることによって、キャパシタ330は入力信号SINとホールド信号SHLDとの間の時間差に相当する時間の間に放電される。また、キャパシタ330の放電は、アウェイク信号上昇エッジに10 応答して再開にされる。これによって、キャパシタ330の電圧は、アウェイク信号上昇エッジから所定の時間の後、所定のしきい電圧、例えば、第3PMOSトランジスタP3のしきい電圧以下よりも低くなることができ、所定の時間は、入力信号SINとホールド信号SHLDとの間の時間差により決定される。例えば、時間差が増加する場合、所定の時間は減40 50

少し、時間差が減少する場合、所定の時間は増加することができる。また、出力部 340 は、キャパシタ 330 の電圧が所定のしきい電圧以下よりも低くなる時、ロジックハイレベルを有する出力信号 SOUT を出力することができる。これに従って、出力信号 SOUT は、アウェイク信号上昇エッジから時間差によって決定される所定の時間の後、出力信号上昇エッジを有することができる。即ち、出力信号上昇エッジを有する時刻は、入力信号 SIN とホールド信号 SHLD との間の時間差により決定される。

【0084】

例えば、第 1 インバータ 310 は、キャパシタ 330 の放電が始まるように、入力信号上昇エッジにตอบสนองしてキャパシタ 330 を接地電圧に電氣的に接続することができる。この後、インバータ制御部 320a は、キャパシタ 330 の放電が中止できるように、ホールド信号上昇エッジにตอบสนองして第 1 インバータ 310 を非活性化させることができる。続いて、インバータ制御部 320a は、キャパシタ 330 の放電が再開できるように、アウェイク信号上昇エッジにตอบสนองして第 1 インバータ 310 を活性化させることができる。キャパシタ 330 の放電が再開された後、キャパシタ 330 の電圧、即ち、中間ノード NMID の電圧が所定のしきい電圧以下よりも低くなる時、出力部 340 はロジックハイレベルを有する出力信号 SOUT を出力することができる。

10

【0085】

これに従って、時間レジスタ 300a はアウェイク信号 SAWK にตอบสนองして入力信号 SIN とホールド信号 SHLD との間の時間差により決定される時刻で出力信号上昇エッジを有する出力信号 SOUT を出力することができる。

20

【0086】

図 6 は図 5 の時間レジスタの動作を説明するためのタイミング図である。

【0087】

図 5 及び図 6 を参照すれば、第 1 インバータ 310 は入力信号上昇エッジにตอบสนองしてロジックローレベルの出力信号を出力することができる。一方、入力信号 SIN が入力信号上昇エッジを有する間、D フリップフロップ 323 は出力端子 Q でロジックローレベルの出力信号を出力し、反転出力端子 /Q でロジックハイレベルの反転出力信号を出力することができる。これに従って、第 1 NMOS トランジスタ N1 が入力信号上昇エッジにตอบสนองしてターンオンされ、第 2 NMOS トランジスタ N2 がロジックハイレベルの反転出力信号にตอบสนองしてターンオンされる。第 1 NMOS トランジスタ N1 及び第 2 NMOS トランジスタ N2 がターンオンされると、中間ノード NMID、即ち、キャパシタ 330 の第 1 端子は、第 1 NMOS トランジスタ N1 及び第 2 NMOS トランジスタ N2 を通じて接地電圧に接続され、キャパシタ 330 を放電することができる。このように、入力信号上昇エッジにตอบสนองしてキャパシタ 330 が放電され、キャパシタ 330 の電圧、即ち、中間ノード NMID の電圧 V_{NMID} を減少することができる。

30

【0088】

インバータ制御部 320a は、ホールド信号上昇エッジにตอบสนองして第 1 インバータ 310 を非活性化させる。例えば、選択器 321 は、反転出力端子 /Q で出力されたロジックハイレベルの反転出力信号にตอบสนองしてクロック端子にホールド信号 SHLD を出力し、D フリップフロップ 323 は出力端子 Q でロジックハイレベルの出力信号を出力し、反転出力端子 /Q でロジックローレベルの反転出力信号を出力することができる。これに従って、第 2 PMOS トランジスタ P2 がロジックハイレベルの出力信号にตอบสนองしてターンオフされ、第 2 NMOS トランジスタ N2 がロジックローレベルの反転出力信号にตอบสนองしてターンオフできる。第 2 NMOS トランジスタ N2 がターンオフされると、キャパシタ 330 の放電が中止される。これに従って、ホールド信号上昇エッジにตอบสนองしてキャパシタ 330 の放電が中止され、キャパシタ 330 の電圧、即ち、中間ノード NMID の電圧 V_{NMID} の減少が中止される。

40

【0089】

インバータ制御部 320a は、アウェイク信号上昇エッジにตอบสนองして第 1 インバータ 310 を活性化させる。例えば、選択器 321 は、反転出力端子 /Q で出力されたロジック

50

ローレベルの反転出力信号にตอบสนองしてクロック端子にアウェイク信号 S_{HLD} を出力し、 D -フリップフロップ 323 は、出力端子 Q でロジックローレベルの出力信号を出力し、反転出力端子 $/Q$ でロジックハイレベルの反転出力信号を出力することができる。これに従って、第 2 PMOS トランジスタ P_2 がロジックローレベルの出力信号にตอบสนองしてターンオンされ、第 2 NMOS トランジスタ N_2 がロジックハイレベルの反転出力信号にตอบสนองしてターンオンできる。また、第 1 NMOS トランジスタ N_1 は、ロジックハイレベルの入力信号 S_{IN} にตอบสนองしてターンオンできる。第 1 NMOS トランジスタ N_1 及び第 2 NMOS トランジスタ N_2 がターンオンされると、中間ノード $NMID$ は、第 1 NMOS トランジスタ N_1 及び第 2 NMOS トランジスタ N_2 を通じて接地電圧に接続され、キャパシタ 330 の放電を再開することができる。このように、アウェイク信号上昇エッジにตอบสนองしてキャパシタ 330 の放電が再開され、キャパシタ 330 の電圧、即ち、中間ノード $NMID$ の電圧 V_{NMID} をまた減少することができる。

10

【0090】

出力部 340 はキャパシタ 330 の電圧、即ち、中間ノード $NMID$ の電圧 V_{NMID} に基づいて出力信号 S_{OUT} を出力する。出力部 340 は、中間ノード $NMID$ の電圧 V_{NMID} が所定のしきい電圧 V_{TH} 以下の場合、ロジックハイレベルの出力信号 S_{OUT} を出力することができる。例えば、しきい電圧 V_{TH} は、第 3 PMOS トランジスタ P_3 のしきい電圧でありうる。即ち、中間ノード $NMID$ の電圧 V_{NMID} が第 3 PMOS トランジスタ P_3 のしきい電圧以下よりも低くなる場合、第 3 PMOS トランジスタ P_3 がターンオンされ、出力信号 S_{OUT} はロジックハイレベルを有することができる。

20

【0091】

一方、出力信号 S_{OUT} は、アウェイク信号上昇エッジから、所定のディスチャージ時間 T_{dis} から入力信号 S_{IN} とホールド信号 S_{HLD} との間の時間差 $T_D + T_{off}$ が減算された時間 ($T_{dis} - T_D - T_{off}$) の後、出力信号上昇エッジを有することができる。例えば、入力信号 S_{IN} が図 4 の第 1 入力信号 S_{IN1} であり、ホールド信号 S_{HLD} が図 4 の第 1 オフセット遅延器 220 から出力された第 1 ホールド信号 S_{HLD1} の場合、入力信号 S_{IN} とホールド信号 S_{HLD} との間の時間差 $T_D + T_{off}$ は、第 1 入力信号 S_{IN1} と第 2 入力信号 S_{IN2} との間の時間差 T_D と第 1 オフセット遅延器 220 のオフセット時間 T_{off} との和に相当することができる。この場合、出力信号 S_{OUT} は、アウェイク信号上昇エッジからディスチャージ時間 T_{dis} において、第 1 入力信号 S_{IN1} と第 2 入力信号 S_{IN2} との間の時間差 T_D と、第 1 オフセット遅延器 220 のオフセット時間 T_{off} とが減算された時間 ($T_{dis} - T_D - T_{off}$) の後に出力信号上昇エッジを有することができる。

30

【0092】

ここで、ディスチャージ時間 T_{dis} は、キャパシタ 330 の電圧、即ち、中間ノード $NMID$ の電圧 V_{NMID} がハイレベルから所定のしきい電圧 V_{TH} 以下に減少する時までの時間として、第 1 及び第 2 NMOS トランジスタ N_1 、 N_2 の電流駆動能力及びキャパシタ 330 のキャパシタンスにより決定される。即ち、第 1 及び第 2 NMOS トランジスタ N_1 、 N_2 の電流駆動能力が一定の場合、ディスチャージ時間 T_{dis} はキャパシタ 330 のキャパシタンスによって決定される。一方、図 4 の第 1 時間レジスタ 230 に含まれたキャパシタと図 4 の第 2 時間レジスタ 270 に含まれたキャパシタが実質的に同じキャパシタンスを有することによって、第 1 時間レジスタ 230 及び第 2 時間レジスタ 270 は、実質的に同じディスチャージ時間 T_{dis} を有することができる。また、図 4 の第 1 オフセット遅延器 220 と第 2 オフセット遅延器 260 は、実質的に同じオフセット時間 T_{off} を有することができる。

40

【0093】

これに従って、図 4 の第 1 出力信号 S_{OUT1} と第 2 出力信号 S_{OUT2} との間の時間差、即ち、第 1 出力信号 S_{OUT1} が第 1 出力信号上昇エッジを有する時刻と第 2 出力信号 S_{OUT2} が第 2 出力信号上昇エッジを有する時刻との間の差は、第 1 入力信号 S_{IN1} と第 2 入力信号 S_{IN2} との間の第 1 時間差、及び、第 3 入力信号 S_{IN3} と第 4 入力

50

信号 S I N 4 との間の第 2 時間差によって決定することができる。

【0094】

出力部 340 からロジックハイレベルの出力信号 S O U T が出力された後、第 1 インバータ 310 は、入力信号 S I N が有する入力信号下降エッジにตอบสนองしてロジックローレベルの出力信号を出力することができる。例えば、第 1 P M O S トランジスタ P 1 が入力信号下降エッジにตอบสนองしてターンオンされ、第 2 P M O S トランジスタ P 2 がロジックローレベルの反転出力信号にตอบสนองしてターンオンできる。第 1 P M O S トランジスタ P 1 及び第 2 P M O S トランジスタ P 2 がターンオンされると、中間ノード N M I D、即ち、キャパシタ 330 の第 1 端子は、第 1 P M O S トランジスタ P 1 及び第 2 P M O S トランジスタ P 2 を通じて電源電圧に接続され、キャパシタ 330 は、また充電される。他の実施形態において、アウェイク信号 S A W K は、入力信号 S I N の反転信号であり、入力信号 S I N と第 1 インバータ 310 との間に、入力信号下降エッジを有しても第 1 インバータ 310 に一定時間の間にロジックハイレベルの入力信号を印加するための論理ゲートが位置することができる。この場合、第 1 インバータ 310 は論理ゲートの出力信号にตอบสนองしてキャパシタ 330 を充電することができる。

10

【0095】

図 7 は図 4 の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。

【0096】

図 7 を参照すれば、時間レジスタ 300 b は、第 1 インバータ 310、インバータ制御部 320 b、キャパシタ 330、及び出力部 340 を含む。時間レジスタ 300 b は、インバータ制御部 320 b に含まれた選択器 325、327、329 の構成及び動作を除いて図 5 の時間レジスタ 300 a と実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

20

【0097】

インバータ制御部 320 b は、ホールド信号 S H L D にตอบสนองして第 1 インバータ 310 を非活性化させ、アウェイク信号 S A W K にตอบสนองして第 1 インバータ 310 を活性化させることができる。インバータ制御部 320 b は、第 2 P M O S トランジスタ P 2、第 2 N M O S トランジスタ N 2、D フリップフロップ 323、及び選択器 325、327、329 を含むことができる。

【0098】

選択器 325、327、329 はロジックゲート 325、327、329 で具現することができる。例えば、選択器 325、327、329 は第 1 A N D ゲート 325、第 2 A N D ゲート 327 及び O R ゲート 329 を含むことができる。第 1 A N D ゲート 325 は、ホールド信号 S H L D 及び反転出力端子 / Q から出力された反転出力信号に A N D 演算を遂行できる。第 2 A N D ゲート 327 は、アウェイク信号 S A W K 及び出力端子 Q から出力された出力信号に A N D 演算を遂行できる。また、O R ゲート 329 は、第 1 A N D ゲート 325 の出力信号及び第 2 A N D ゲート 327 の出力信号に O R 演算を遂行できる。反転出力信号がロジックハイレベルを有し、出力信号がロジックローレベルを有する場合、ロジックゲート 325、327、329 は、ホールド信号 S H L D を出力し、反転出力信号がロジックローレベルを有し、出力信号がロジックハイレベルを有する場合、ロジックゲート 325、327、329 は、アウェイク信号 S A W K を出力することができる。

30

40

【0099】

図 8 は図 4 の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【0100】

図 8 を参照すれば、時間レジスタ 300 c は、第 1 インバータ 310、インバータ制御部 320 c、キャパシタ 330、及び出力部 340 を含む。時間レジスタ 300 c は、インバータ制御部 320 c に含まれた選択器 P 4、N 4、P 5、N 5 の構成及び動作を除いて、図 5 の時間レジスタ 300 a と実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

50

【0101】

インバータ制御部320cは、ホールド信号SHLDに応答して第1インバータ310を非活性化させ、アウェイク信号SAWKに応答して第1インバータ310を活性化させることができる。インバータ制御部320cは、第2PMOSTランジスタP2、第2NMOSTランジスタN2、Dフリップフロップ323、及び選択器P4、N4、P5、N5を含むことができる。

【0102】

選択器P4、N4、P5、N5は、伝送ゲートP4、N4、P5、N5で具現することができる。例えば、選択器P4、N4、P5、N5は、第1伝送ゲートP4、N4、及び、第2伝送ゲートP5、N5を含むことができる。第1伝送ゲートP4、N4は、反転出力端子/Qから出力された反転出力信号がロジックハイレベルを有し、出力端子Qから出力された出力信号がロジックローレベルを有する場合、ホールド信号SHLDを出力することができる。第1伝送ゲートP4、N4は、出力端子Qに接続されたゲートを有する第4PMOSTランジスタP4、及び反転出力端子/Qに接続されたゲートを有する第4NMOSTランジスタN4を含むことができる。

10

【0103】

第2伝送ゲートP5、N5は、反転出力端子/Qで出力された反転出力信号がロジックローレベルを有し、出力端子Qから出力された出力信号がロジックハイレベルを有する場合、アウェイク信号SAWKを出力することができる。第2伝送ゲートP5、N5は、反転出力端子/Qに接続されたゲートを有する第5PMOSTランジスタP5、及び出力端子Qに接続されたゲートを有する第5NMOSTランジスタN5を含むことができる。

20

【0104】

図9は図4の時間差加算器に含まれた時間レジスタのまた他の例を示す回路図である。

【0105】

図9を参照すれば、時間レジスタ300dは、第1インバータ310、インバータ制御部320、キャパシタ330、及び出力部350を含む。時間レジスタ300dは、出力部350の構成及び動作を除いて図5の時間レジスタ300aと実質的に類似する構成を有し、実質的に類似する動作を遂行できる。実施形態に従って、インバータ制御部320は、図5のインバータ制御部320a、図7のインバータ制御部320b、図8のインバータ制御部320c、または、これと類似する構成のインバータ制御部で具現することができる。

30

【0106】

出力部350はキャパシタ330の電圧、即ち、中間ノードNMIDの電圧に基づいて出力信号SOUTを生成することができる。例えば、出力部350は比較器350を含むことができる。比較器350は、基準電圧VREFを受信する非反転入力端子、キャパシタ330の電圧を受信する反転入力端子、及び出力信号SOUTを出力する出力端子を含むことができる。比較器350は、基準電圧VREFがキャパシタ330の電圧より高い場合、即ち、キャパシタ330の電圧が基準電圧VREF以下よりも低くなる場合、ロジックハイレベルの出力信号SOUTを生成することができる。実施形態に従って、基準電圧VREFは、外部の回路または装置で受信されるか、または、時間レジスタ300dが基準電圧VREFを生成する回路を含むことができる。基準電圧VREFは、電源電圧より低くすることもできる。例えば、基準電圧VREFは電源電圧の約0.2倍とすることもできる。

40

【0107】

図10は図4の時間差加算器の動作の一例を説明するためのタイミング図である。図10には第1入力信号SIN1及び第2入力信号SIN2が正の第1時間差TD1を有し、第3入力信号SIN3、及び第4入力信号SIN4が正の第2時間差TD2を有する例が図示されている。

【0108】

図4及び図10を参照すれば、第1入力信号SIN1は、第1時間レジスタ230の第

50

1 入力端子 $IN1$ に印加され、第 2 入力信号 $SIN2$ は、第 1 オフセット遅延器 220 によってオフセット時間 $Toff$ ほど遅れて第 1 ホールド信号 $SHLD1$ として第 1 時間レジスタ 230 の第 1 ホールド端子 $HL D1$ に印加される。これによって、第 1 入力信号 $SIN1$ 及び第 1 ホールド信号 $SHLD1$ は、第 1 入力信号 $SIN1$ と第 2 入力信号 $SIN2$ との間の第 1 時間差 $TD1$ とオフセット時間 $Toff$ との和に相当する時間差 ($TD1 + Toff$) を有することができる。

【0109】

第 4 入力信号 $SIN4$ は第 2 時間レジスタ 270 の第 2 入力端子 $IN2$ に印加され、第 3 入力信号 $SIN3$ は第 2 オフセット遅延器 260 によってオフセット時間 $Toff$ ほど遅れて第 2 ホールド信号 $SHLD2$ として第 2 時間レジスタ 270 の第 2 ホールド端子 $HL D2$ に印加される。これによって、第 4 入力信号 $SIN4$ 及び第 2 ホールド信号 $SHLD2$ は、オフセット時間 $Toff$ から、第 3 入力信号 $SIN1$ と第 4 入力信号 $SIN2$ との間の第 2 時間差 $TD2$ が減算された時間に相当する時間差 ($-TD2 + Toff$) を有することができる。

【0110】

第 1 時間レジスタ 230 は、アウエイク信号 $SAWK$ に応答して、アウエイク信号上昇エッジから、ディスチャージ時間 $Tdis$ から第 1 入力信号 $SIN1$ と第 1 ホールド信号 $SHLD1$ との間の時間差 ($TD1 + Toff$) が減算された時間 ($Tdis - TD1 - Toff$) の後、第 1 出力信号上昇エッジを有する第 1 出力信号 $SOUT1$ を出力することができる。即ち、アウエイク信号 $SAWK$ 及び第 1 出力信号 $SOUT1$ は、ディスチャージ時間 $Tdis$ から、第 1 入力信号 $SIN1$ と第 1 ホールド信号 $SHLD1$ との間の時間差 ($TD1 + Toff$) が減算された時間に相当する時間差 ($Tdis - TD1 - Toff$) を有することができる。

【0111】

第 2 時間レジスタ 270 は、アウエイク信号 $SAWK$ に応答して、アウエイク信号上昇エッジから、ディスチャージ時間 $Tdis$ から第 4 入力信号 $SIN4$ と第 2 ホールド信号 $SHLD2$ との間の時間差 ($-TD2 + Toff$) が減算された時間 ($Tdis + TD2 - Toff$) の後、第 2 出力信号上昇エッジを有する第 2 出力信号 $SOUT2$ を出力することができる。即ち、アウエイク信号 $SAWK$ 及び第 2 出力信号 $SOUT2$ は、ディスチャージ時間 $Tdis$ から、第 4 入力信号 $SIN4$ と第 2 ホールド信号 $SHLD2$ との間の時間差 ($-TD2 + Toff$) が減算された時間に相当する時間差 ($Tdis + TD2 - Toff$) を有することができる。

【0112】

一方、第 1 オフセット遅延器 220 と第 2 オフセット遅延器 260 は、実質的に同じオフセット時間 $Toff$ を有し、第 1 時間レジスタ 230 と第 2 時間レジスタ 270 は、実質的に同じディスチャージ時間 $Tdis$ を有することができる。これに従って、第 1 出力信号 $SOUT1$ と第 2 出力信号 $SOUT2$ との間の時間差は、アウエイク信号 $SAWK$ と第 2 出力信号 $SOUT2$ との間の時間差 ($Tdis + TD2 - Toff$) から、アウエイク信号 $SAWK$ と第 1 出力信号 $SOUT1$ との間の時間差 ($Tdis - TD1 - Toff$) が減算された時間 ($(Tdis + TD2 - Toff) - (Tdis - TD1 - Toff) = TD2 + TD1$) に相応し、従って、第 1 入力信号 $SIN1$ と第 2 入力信号 $SIN2$ との間の第 1 時間差 $TD1$ 及び第 3 入力信号 $SIN3$ と第 4 入力信号 $SIN4$ との間の第 2 時間差 $TD2$ の和 ($TD1 + TD2$) に相当することができる。

【0113】

このように、本発明の一実施形態に係る時間差加算器 200a は、入力信号 $SIN1$ 、 $SIN2$ 、 $SIN3$ 、 $SIN4$ 間の時間差 $TD1$ 、 $TD2$ を正確に加算することができる。

【0114】

図 11 は、図 4 の時間差加算器の動作の他の例を説明するためのタイミング図である。図 11 には第 1 入力信号 $SIN1$ 及び第 2 入力信号 $SIN2$ が、負の第 1 時間差 ($-TD$

10

20

30

40

50

1) を有し、第 3 入力信号 $SIN3$ 及び第 4 入力信号 $SIN4$ が、負の第 2 時間差 ($-TD2$) を有する例が図示されている。

【0115】

図 4 及び図 11 を参照すれば、第 1 入力信号 $SIN1$ は第 1 時間レジスタ 230 の第 1 入力端子 $IN1$ に印加され、第 2 入力信号 $SIN2$ は第 1 オフセット遅延器 220 によってオフセット時間 $Toff$ ほど遅れて第 1 ホールド信号 $SHLD1$ として第 1 時間レジスタ 230 の第 1 ホールド端子 $HL D1$ に印加される。これに従って、第 1 入力信号 $SIN1$ 及び第 1 ホールド信号 $SHLD1$ は、第 1 入力信号 $SIN1$ と第 2 入力信号 $SIN2$ との間の第 1 時間差 ($-TD1$) とオフセット時間 $Toff$ の和に相当する時間差 ($-TD1 + Toff$) を有することができる。

10

【0116】

第 4 入力信号 $SIN4$ は、第 2 時間レジスタ 270 の第 2 入力端子 $IN2$ に印加され、第 3 入力信号 $SIN3$ は第 2 オフセット遅延器 260 によりオフセット時間 $Toff$ ほど遅れて第 2 ホールド信号 $SHLD2$ として第 2 時間レジスタ 270 の第 2 ホールド端子 $HL D2$ に印加される。これに従って、第 4 入力信号 $SIN4$ 及び第 2 ホールド信号 $SHLD2$ はオフセット時間 $Toff$ から、第 3 入力信号 $SIN1$ と第 4 入力信号 $SIN2$ との間の第 2 時間差 ($-TD2$) が減算された時間に相当する時間差 ($TD2 + Toff$) を有することができる。

【0117】

第 1 時間レジスタ 230 は、アウェイク信号 $SAWK$ に応答して、アウェイク信号上昇エッジから、ディスチャージ時間 $Tdis$ から第 1 入力信号 $SIN1$ と第 1 ホールド信号 $SHLD1$ との間の時間差 ($-TD1 + Toff$) が減算された時間 ($Tdis + TD1 - Toff$) の後、第 1 出力信号上昇エッジを有する第 1 出力信号 $SOUT1$ を出力することができる。即ち、アウェイク信号 $SAWK$ 及び第 1 出力信号 $SOUT1$ は、ディスチャージ時間 $Tdis$ から、第 1 入力信号 $SIN1$ と第 1 ホールド信号 $SHLD1$ との間の時間差 ($-TD1 + Toff$) が減算された時間に相当する時間差 ($Tdis + TD1 - Toff$) を有することができる。

20

【0118】

第 2 時間レジスタ 270 は、アウェイク信号 $SAWK$ に応答して、アウェイク信号上昇エッジから、ディスチャージ時間 $Tdis$ から第 4 入力信号 $SIN4$ と第 2 ホールド信号 $SHLD2$ との間の時間差 ($TD2 + Toff$) が減算された時間 ($Tdis - TD2 - Toff$) の後、第 2 出力信号上昇エッジを有する第 2 出力信号 $SOUT2$ を出力することができる。即ち、アウェイク信号 $SAWK$ 及び第 2 出力信号 $SOUT2$ は、ディスチャージ時間 $Tdis$ から第 4 入力信号 $SIN4$ と第 2 ホールド信号 $SHLD2$ との間の時間差 ($TD2 + Toff$) が減算された時間に相当する時間差 ($Tdis - TD2 - Toff$) を有することができる。

30

【0119】

一方、第 1 オフセット遅延器 220 と第 2 オフセット遅延器 260 は実質的に同じオフセット時間 $Toff$ を有し、第 1 時間レジスタ 230 と第 2 時間レジスタ 270 は実質的に同じディスチャージ時間 $Tdis$ を有することができる。これに従って、第 1 出力信号 $SOUT1$ と第 2 出力信号 $SOUT2$ との間の時間差は、アウェイク信号 $SAWK$ と第 2 出力信号 $SOUT2$ との間の時間差 ($Tdis - TD2 - Toff$) から、アウェイク信号 $SAWK$ と第 1 出力信号 $SOUT1$ との間の時間差 ($Tdis + TD1 - Toff$) が減算された時間 ($(Tdis - TD2 - Toff) - (Tdis + TD1 - Toff) = -TD2 - TD1$) に相応し、よって、第 1 入力信号 $SIN1$ と第 2 入力信号 $SIN2$ との間の第 1 時間差 ($-TD1$) 及び第 3 入力信号 $SIN3$ と第 4 入力信号 $SIN4$ との間の第 2 時間差 ($-TD2$) の和 ($-TD1 - TD2$) に相当することができる。

40

【0120】

このように、本発明の一実施形態に係る時間差加算器 200a は、入力信号 $SIN1$ 、 $SIN2$ 、 $SIN3$ 、 $SIN4$ 間の時間差 $TD1$ 、 $TD2$ を正確に加算することができる

50

。

【0121】

一方、図10及び図11には第1入力信号上昇エッジと第2入力信号上昇エッジとの間の第1時間差、及び、第3入力信号SIN3が有する第3入力信号上昇エッジと第4入力信号SIN4が有する第4入力信号上昇エッジとの間の第2時間差を加算して、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を生成する時間差加算器の時間差加算の例が図示されているが、時間差加算器は第1入力信号SIN1が有する第1入力信号下降エッジと第2入力信号SIN2が有する第2入力信号下降エッジとの間の第3時間差、及び、第3入力信号SIN3が有する第3入力信号下降エッジと第4入力信号SIN4が有する第4入力信号下降エッジとの間の第4時間差を加算して第3時間差と第4時間差との和に相当する時間差を有する第1出力信号SOUT1、並びに、第2出力信号SOUT2を生成することができる。また、他の実施形態において、時間差加算器は上昇エッジに対する時間差加算及び下降エッジに対する時間差加算を全部遂行できる。

10

【0122】

(第2実施形態)

図12は本発明の第2実施形態に係る時間差加算器を示すブロック図である。

【0123】

図12を参照すれば、時間差加算器200bは、第1レジスタ部210b及び第2レジスタ部250bを含む。時間差加算器200bは、図4の時間差加算器200aと比較して、図4の第1オフセット遅延器220及び第2オフセット遅延器260を含めないことができる。実施形態に従って、時間差加算器200bには正の時間差を有する第1入力信号SIN1及び第2入力信号SIN2が印加され、負の時間差を有する第3入力信号SIN3及び第4入力信号SIN4が印加される。

20

【0124】

第1レジスタ部210bは、第1入力信号SIN1及び第2入力信号SIN2を受信し、アウェイク信号SAWKに応答して第1出力信号SOUT1を生成する。第1レジスタ部210bは、第1時間レジスタ230を含むことができる。第1時間レジスタ230は、第1入力信号SIN1を受信する第1入力端子IN1、第2入力信号SIN2を受信する第1ホールド端子HLD1、アウェイク信号SAWKを受信する第1アウェイク端子AWK1、及び第1出力信号SOUT1を出力する第1出力端子OUT1を有することができる。

30

【0125】

第2レジスタ部250bは、第3入力信号SIN3、及び第4入力信号SIN4を受信し、アウェイク信号SAWKに応答して第2出力信号SOUT2を生成する。第2レジスタ部250bは第2時間レジスタ270を含むことができる。第2時間レジスタ270は、第4入力信号SIN4を受信する第2入力端子IN2、第3入力信号SIN3を受信する第2ホールド端子HLD2、アウェイク信号SAWKを受信する第2アウェイク端子AWK2、及び第2出力信号SOUT2を出力する第2出力端子OUT2を有することができる。

40

【0126】

第1時間レジスタ230及び第2時間レジスタ270の各々は、図5の時間レジスタ300a、図7の時間レジスタ300b、図8の時間レジスタ300c、図9の時間レジスタ300d、または、これと類似する構成を有する時間レジスタで具現することができる。

【0127】

第1時間レジスタ230は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間から第1入力信号SIN1と第2入力信号SIN2との間の第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWKと第1出力信号SOUT

50

T 1 との間の時間差は、ディスチャージ時間から第 1 時間差が減算された時間に相当することができる。

【0128】

また、第 2 時間レジスタ 270 は、アウェイク信号 S A W K に応答して、アウェイク信号上昇エッジから、ディスチャージ時間に第 3 入力信号 S I N 3 と第 4 入力信号 S I N 4 との間の第 2 時間差が加算された時間の後、第 2 出力信号上昇エッジを有する第 2 出力信号 S O U T 2 を出力することができる。即ち、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差は、ディスチャージ時間に第 2 時間差が加算された時間に相当することができる。

【0129】

第 1 時間レジスタ 230 のディスチャージ時間と第 2 時間レジスタ 270 のディスチャージ時間は、実質的に同一であることもできる。これに従って、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差から、アウェイク信号 S A W K と第 1 出力信号 S O U T 1 との間の時間差が減算された時間に相当する第 1 出力信号 S O U T 1 と第 2 出力信号 S O U T 2 との間の時間差は、第 1 時間差と第 2 時間差との和に相当することができる。

【0130】

これと共に、本発明の第 2 実施形態に係る時間差加算器 200 b は第 1 時間差と第 2 時間差との和に相当する時間差を有する第 1 出力信号 S O U T 1 及び第 2 出力信号 S O U T 2 を出力することができる。

【0131】

図 13 は図 12 の時間差加算器の動作の一例を説明するためのタイミング図である。図 13 には第 1 入力信号 S I N 1 及び第 2 入力信号 S I N 2 が正の第 1 時間差 T D 1 を有し、第 3 入力信号 S I N 3 及び第 4 入力信号 S I N 4 が負の第 2 時間差 (- T D 2) を有する例が図示されている。

【0132】

図 12 及び図 13 を参照すれば、第 1 入力信号 S I N 1 は第 1 時間レジスタ 230 の第 1 入力端子 I N 1 に印加され、第 2 入力信号 S I N 2 は第 1 時間レジスタ 230 の第 1 ホールド端子 H L D 1 に印加される。また、第 4 入力信号 S I N 4 は、第 2 時間レジスタ 270 の第 2 入力端子 I N 2 に印加され、第 3 入力信号 S I N 3 は第 2 時間レジスタ 270 の第 2 ホールド端子 H L D 2 に印加される。

【0133】

第 1 時間レジスタ 230 は、アウェイク信号 S A W K に応答し、アウェイク信号上昇エッジから、ディスチャージ時間 T d i s から第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の第 1 時間差 T D 1 が減算された時間 (T d i s - T D 1) の後、第 1 出力信号上昇エッジを有する第 1 出力信号 S O U T 1 を出力することができる。即ち、アウェイク信号 S A W K 及び第 1 出力信号 S O U T 1 は、ディスチャージ時間 T d i s から第 1 時間差 T D 1 が減算された時間に相当する時間差 (T d i s - T D 1) を有することができる。

【0134】

第 2 時間レジスタ 270 は、アウェイク信号 S A W K に応答して、アウェイク信号上昇エッジから、ディスチャージ時間 T d i s に第 3 入力信号 S I N 3 と第 4 入力信号 S I N 4 との間の時間差 (- T D 2) が加算された時間 (T d i s - T D 2) の後、第 2 出力信号上昇エッジを有する第 2 出力信号 S O U T 2 を出力することができる。即ち、アウェイク信号 S A W K 及び第 2 出力信号 S O U T 2 は、ディスチャージ時間 T d i s に第 2 時間差 (- T D 2) が加算された時間に相当する時間差 (T d i s - T D 2) を有することができる。

【0135】

一方、第 1 時間レジスタ 230 と第 2 時間レジスタ 270 は、実質的に同じディスチャージ時間 T d i s を有することができる。これに従って、第 1 出力信号 S O U T 1 と第 2

10

20

30

40

50

出力信号 S O U T 2 との間の時間差は、アウェイク信号 S A W K と第 2 出力信号 S O U T 2 との間の時間差 ($T_{dis} - T_{D2}$) からアウェイク信号 S A W K と第 1 出力信号 S O U T 1 との間の時間差 ($T_{dis} - T_{D1}$) が減算された時間 ($(T_{dis} - T_{D2}) - (T_{dis} - T_{D1}) = -T_{D2} + T_{D1}$) に相応し、従って、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の第 1 時間差 T_{D1} 及び第 3 入力信号 S I N 3 と第 4 入力信号 S I N 4 との間の第 2 時間差 ($-T_{D2}$) の和 ($T_{D1} - T_{D2}$) に相当することができる。

【0136】

これと従って、本発明の他の実施形態に係る時間差加算器 200b は入力信号 S I N 1、S I N 2、S I N 3、S I N 4 間の時間差 T_{D1} 、 T_{D2} を正確に加算することができる。

10

【0137】

(第 3 実施形態)

図 14 は本発明の第 3 実施形態に係る時間差加算器を示すブロック図である。

【0138】

図 14 を参照すれば、時間差加算器 200c は、第 1 レジスタ部 210c、第 2 レジスタ部 250c、及び制御部 290 を含む。

【0139】

第 1 レジスタ部 210c は第 1 入力信号 S I N 1 及び第 2 入力信号 S I N 2 を受信し、アウェイク信号 S A W K に応答して第 1 出力信号 S O U T 1 を生成する。第 1 レジスタ部 210c は、第 1 オフセット遅延器 220 及び第 1 時間レジスタ 240 を含むことができる。第 1 オフセット遅延器 220 は第 2 入力信号 S I N 2 をオフセット時間ほど遅延させて第 1 ホールド信号 S H L D 1 を生成することができる。第 1 時間レジスタ 240 は、第 1 入力信号 S I N 1 を受信する第 1 入力端子 I N 1、第 1 ホールド信号 S H L D 1 を受信する第 1 ホールド端子 H L D 1、プリチャージ信号 S P R C H を受信する第 1 プリチャージ端子 P R C H 1、アウェイク信号 S A W K を受信する第 1 アウェイク端子 A W K 1、及び第 1 出力信号 S O U T 1 を出力する第 1 出力端子 O U T 1 を有することができる。

20

【0140】

第 2 レジスタ部 250c は、第 3 入力信号 S I N 3 及び第 4 入力信号 S I N 4 を受信し、アウェイク信号 S A W K に応答して第 2 出力信号 S O U T 2 を生成する。第 2 レジスタ部 250c は第 2 オフセット遅延器 260 及び第 2 時間レジスタ 280 を含むことができる。第 2 オフセット遅延器 260 は、第 3 入力信号 S I N 3 をオフセット時間ほど遅延させて第 2 ホールド信号 S H L D 2 を生成することができる。第 2 時間レジスタ 280 は、第 4 入力信号 S I N 4 を受信する第 2 入力端子 I N 2、第 2 ホールド信号 S H L D 2 を受信する第 2 ホールド端子 H L D 2、プリチャージ信号 S P R C H を受信する第 2 プリチャージ端子 P R C H 2、アウェイク信号 S A W K を受信する第 2 アウェイク端子 A W K 2、及び第 2 出力信号 S O U T 2 を出力する第 2 出力端子 O U T 2 を有することができる。

30

【0141】

制御部 290 はプリチャージ信号 S P R C H 及びアウェイク信号 S A W K を生成する。例えば、制御部 290 は第 1 入力信号 S I N 1、第 2 入力信号 S I N 2、第 3 入力信号 S I N 3、または第 4 入力信号 S I N 4 のうち、いずれか 1 つの信号を遅延、及び／または、反転させて、プリチャージ信号 S P R C H 及びアウェイク信号 S A W K を生成することができる。一実施形態において、制御部 290 はアウェイク信号 S A W K がアウェイク信号上昇エッジを有する後、プリチャージ信号 S P R C H が有するプリチャージ信号上昇エッジを有するようにプリチャージ信号 S P R C H 及びアウェイク信号 S A W K を生成することができる。

40

【0142】

第 1 時間レジスタ 240 は、アウェイク信号 S A W K に応答して、アウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算されて第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の第 1 時間差が減算された時間の後、第 1 出力信号上昇エ

50

ッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差はディスチャージ時間からオフセット時間が減算され、第1時間差がさらに減算された時間に相当することができる。

【0143】

また、第2時間レジスタ280は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間からオフセット時間が減算されて第3入力信号SIN3と第4入力信号SIN4との間の第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差は、ディスチャージ時間からオフセット時間が減算されて第2時間差が加算された時間に相当することができる。

10

【0144】

第1オフセット遅延器220のオフセット時間と第2オフセット遅延器260のオフセット時間は、実質的に同一であることもできる。また、第1時間レジスタ240のディスチャージ時間と第2時間レジスタ280のディスチャージ時間は、実質的に同一であることもできる。これに従って、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差からアウェイク信号SAWKと第1出力信号SOUT1との間の時間差が減算された時間に相当する第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、第1時間差と第2時間差との和に相当することができる。

【0145】

第1時間レジスタ240及び第2時間レジスタ280は、プリチャージ信号SPRCH

20

【0146】

上述した通り、本発明のまた他の実施形態に係る時間差加算器200cは、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力することができる。

【0147】

図15は図14の時間差加算器に含まれた時間レジスタの一例を示す回路図である。

【0148】

図15を参照すれば、時間レジスタ400aは、プルダウントランジスタ410、プルアップトランジスタ460、プルダウントランジスタ制御部420、キャパシタ430、及び出力部440を含む。一実施形態において、図14の第1時間レジスタ240及び第2時間レジスタ280は、時間レジスタ400aのように具現することができる。

30

【0149】

プルダウントランジスタ410は、中間ノードNMIDと接地電圧との間に接続され、キャパシタ430を放電させるようにプルダウントランジスタ制御部420によって制御される。例えば、プルダウントランジスタ410は、プルダウントランジスタ制御部420の出力信号が印加されるゲート、接地電圧に接続されたソース、及び中間ノードNMIDに接続されたドレインを有するNMOSTランジスタN6を含むことができる。

【0150】

プルアップトランジスタ460は、中間ノードNMIDと電源電圧との間に接続され、プリチャージ信号SPRCHに応答してキャパシタ430を充電させることができる。例えば、プルアップトランジスタ460は、プリチャージ信号SPRCHが印加されるゲート、電源電圧に接続されたソース、及び中間ノードNMIDに接続されたドレインを有するPMOSTランジスタP6を含むことができる。

40

【0151】

プルダウントランジスタ制御部420は、入力信号SINに応答してプルダウントランジスタ410をターンオンさせ、ホールド信号SHLDに応答してプルダウントランジスタ410をターンオフさせ、アウェイク信号SAWKに応答してプルダウントランジスタ410をターンオンさせることができる。プルダウントランジスタ制御部420は、セトリセットラッチ421及びORゲート427を含むことができる。

50

【0152】

セッソーリセットラッチ421は入力信号SINを受信するセッ端子S、ホールド信号SHLDを受信するリセッ端子R、及び出力信号を出力する出力端子Qを含むことができる。セッソーリセットラッチ421は、第1NORゲート423及び第2NORゲート425を含むことができる。第1NORゲート423は、入力信号SIN及び第2NORゲート425の出力信号にNOR演算を遂行し、第2NORゲート425は、ホールド信号SHLD及び第1NORゲート423の出力信号にNOR演算を遂行できる。

【0153】

セッソーリセットラッチ421は、入力信号SINがロジックハイレベルを有し、ホールド信号SHLDがロジックローレベルを有する時、ロジックハイレベルの出力信号を生成することができる。また、セッソーリセットラッチ421は、ホールド信号SHLDがロジックハイレベルを有する時、入力信号SINのロジックレベルと関係なくロジックローレベルの出力信号を生成することができる。また、セッソーリセットラッチ421は、入力信号SIN及びホールド信号SHLDが全部ロジックローレベルを有する時、出力済み信号のロジックレベルと同じロジックレベルを有する出力信号を生成することができる。

10

【0154】

ORゲート427はセッソーリセットラッチ421の出力端子Qで出力された出力信号及びアウェイク信号SAWKにOR演算を遂行する。ORゲート427の出力端子は、プルダウントランジスタ410のゲートに接続され、プルダウントランジスタ410は、ORゲート427の出力信号によって制御される。

20

【0155】

キャパシタ430はプルアップトランジスタ460によって充電され、プルダウントランジスタ410によって放電される。また、キャパシタ430は中間ノードNMIDに接続された第1端子及び接地電圧に接続された第2端子を有することができる。例えば、プルアップトランジスタ460がターンオンされた場合、キャパシタ430の第1端子はプルアップトランジスタ460を通じて電源電圧に電氣的に接続され、キャパシタ430が充電される。また、プルダウントランジスタ410がターンオンされた場合、キャパシタ430の第1端子は、プルダウントランジスタ410を通じて接地電圧に電氣的に接続され、キャパシタ430が放電される。

30

【0156】

出力部440は、キャパシタ430の電圧、即ち、中間ノードNMIDの電圧に基づいて出力信号SOUTを生成することができる。例えば、出力部440はインバータ440を含むことができる。インバータ440はPMOSTランジスタP3及びNMOSTランジスタN3を含むことができる。インバータ440は、キャパシタ430の電圧が所定のしきい電圧以下の時、ロジックハイレベルを有する出力信号SOUTを出力することができる。即ち、キャパシタ430の電圧がPMOSTランジスタP3のしきい電圧以下の時、PMOSTランジスタP3がターンオンされ、インバータ440は、ロジックハイレベルを有する出力信号SOUTを出力することができる。

40

【0157】

キャパシタ430は、入力信号SINとホールド信号SHLDとの間の時間差に相当する時間の間に放電されることによって、入力信号SINとホールド信号SHLDとの間の時間差に対する情報を保存することができる。即ち、キャパシタ430の放電が入力信号上昇エッジに応答して始まり、キャパシタ430の放電がホールド信号上昇エッジに応答して中止されることによって、キャパシタ430は入力信号SINとホールド信号SHLDとの間の時間差に相当する時間の間に放電される。また、キャパシタ430の放電は、アウェイク信号上昇エッジに応答して再開にすることができる。これに従って、キャパシタ430の電圧は、アウェイク信号上昇エッジから所定の時間の後、所定のしきい電圧（例えば、PMOSTランジスタP3のしきい電圧）以下よりも低くなることができ、所定の時間は入力信号SINとホールド信号SHLDとの間の時間差によって決定される。ま

50

た、出力部 440 は、キャパシタ 430 の電圧が所定のしきい電圧以下よりも低くなる時、ロジックハイレベルを有する出力信号 SOUT を出力することができる。これに従って、出力信号 SOUT は、アウェイク信号上昇エッジから時間差によって決定される所定の時間の後、出力信号上昇エッジを有することができる。即ち、出力信号 SOUT が出力信号上昇エッジを有する時刻は入力信号 SIN とホールド信号 SHLD との間の時間差により決定される。

【0158】

例えば、セッターリセットラッチ 421 は、入力信号上昇エッジに応答してロジックハイレベルの出力信号を生成し、ORゲート 427 は、セッターリセットラッチ 421 のロジックハイレベルの出力信号に応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ 410 は、ORゲート 427 のロジックハイレベルの出力信号に応答してターンオンされ、ターンオンされたプルダウントランジスタ 410 によってキャパシタ 430 は放電を始めることができる。

10

【0159】

この後、セッターリセットラッチ 421 はホールド信号上昇エッジに応答してロジックローレベルの出力信号を生成し、ORゲート 427 は、セッターリセットラッチ 421 のロジックローレベルの出力信号及びロジックローレベルのアウェイク信号 SAK に応答してロジックローレベルの出力信号を生成することができる。プルダウントランジスタ 410 は、ORゲート 427 のロジックローレベルの出力信号に応答してターンオフされ、ターンオフされたプルダウントランジスタ 410 によってキャパシタ 430 の放電が中止される。

20

【0160】

続いて、ORゲート 427 は、アウェイク信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ 410 は、ORゲート 427 のロジックハイレベルの出力信号に応答してターンオンされ、ターンオンされたプルダウントランジスタ 410 によってキャパシタ 430 の放電が再開される。キャパシタ 430 の放電が再開になった後、キャパシタ 430 の電圧、即ち、中間ノード NMID の電圧が所定のしきい電圧以下よりも低くなる時、出力部 440 はロジックハイレベルを有する出力信号 SOUT を出力することができる。

【0161】

30

これに従って、時間レジスタ 400a は、アウェイク信号 SAK に応答して入力信号 SIN とホールド信号 SHLD との間の時間差によって決定される時刻において、出力信号上昇エッジを有する出力信号 SOUT を出力することができる。

【0162】

図 16 は図 14 の時間差加算器に含まれた制御部の一例を示す回路図である。

【0163】

図 16 を参照すれば、制御部 290 は第 1 インバータ 291、アウェイク遅延器 292、第 1 セッターリセットラッチ 293、プリチャージ遅延器 296、第 2 セッターリセットラッチ 297、及び第 2 インバータ 298 を含む。

【0164】

40

第 1 インバータ 291 は、入力信号 SIN を反転させて入力信号 SIN の反転信号を生成する。実施形態によって、入力信号 SIN は図 14 の第 1 入力信号 SIN1、第 2 入力信号 SIN2、第 3 入力信号 SIN3、第 4 入力信号 SIN4、または、他の信号であることができる。第 1 インバータ 291 は、入力信号 SIN の反転信号をアウェイク遅延器 292 及び第 1 セッターリセットラッチ 293 に提供することができる。

【0165】

アウェイク遅延器 292 及び第 1 セッターリセットラッチ 293 は、アウェイクパルス生成器を構成することができる。アウェイク遅延器 292 は、入力信号 SIN の反転信号を所定の遅延時間ほど遅延させる。実施形態に従って、アウェイク遅延器 292 の遅延時間は、時間レジスタのディスチャージ時間以上になるように設定される。

50

【0166】

第1セッターリセットラッチ293は、入力信号SINの反転信号を受信するセット端子S、アウェイク遅延器292の出力信号を受信するリセット端子R、及びアウェイク信号SAWKを出力する出力端子Qを含むことができる。第1セッターリセットラッチ293は、アウェイク信号SAWKが入力信号SINの反転信号、即ち、アウェイク遅延器292の入力信号の上昇エッジに応答してアウェイク信号上昇エッジを有し、アウェイク遅延器292の出力信号の上昇エッジに応答してアウェイク信号下降エッジを有するように、アウェイク信号SAWKを生成することができる。これに従って、アウェイク信号上昇エッジとアウェイク信号下降エッジの間隔であるアウェイク信号SAWKのパルス幅は、アウェイク遅延器292の入力信号の上昇エッジとアウェイク遅延器292の出力信号の上昇エッジの間隔、即ち、アウェイク遅延器292の遅延時間に相当することができる。

10

【0167】

プリチャージ遅延器296及び第2セッターリセットラッチ297は、プリチャージパルス生成器を構成することができる。プリチャージ遅延器296はアウェイク遅延器292の出力信号を所定の遅延時間ほど遅延させる。実施形態に従って、プリチャージ遅延器296の遅延時間は、時間レジスタに含まれたキャパシタが実質的に完全に充電されるための時間以上に設定される。

【0168】

第2セッターリセットラッチ297は、アウェイク遅延器292の出力信号を受信するセット端子S、プリチャージ遅延器296の出力信号を受信するリセット端子R、及び出力信号を出力する出力端子Qを含むことができる。また、第2インバータ298は第2セッターリセットラッチ297の出力信号を反転させてプリチャージ信号SPRCHを生成することができる。

20

【0169】

第2セッターリセットラッチ297及び第2インバータ298は、プリチャージ信号SPRCHがアウェイク遅延器292の出力信号、即ち、プリチャージ遅延器296の入力信号の上昇エッジに応答してプリチャージ信号下降エッジを有し、プリチャージ遅延器296の出力信号の上昇エッジに応答してプリチャージ信号上昇エッジを有するように、プリチャージ信号SPRCHを生成することができる。これに従って、プリチャージ信号下降エッジとプリチャージ信号上昇エッジとの間隔は、プリチャージ遅延器296の入力信号の上昇エッジとプリチャージ遅延器296の出力信号の上昇エッジの間隔、即ち、プリチャージ遅延器296の遅延時間に相当することができる。

30

【0170】

図17は図15の時間レジスタの動作を説明するためのタイミング図である。

【0171】

図15、図16、及び図17を参照すれば、プルダウントランジスタ制御部420は、入力信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。例えば、セッターリセットラッチ421は、入力信号上昇エッジに応答して出力端子Qからロジックハイレベルの出力信号を生成し、ORゲート427はセッターリセットラッチ421のロジックハイレベルの出力信号に応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ410のNMOSTランジスタN6は、ORゲート427のロジックハイレベルの出力信号に応答してターンオンすることができる。プルダウントランジスタ410のNMOSTランジスタN6がターンオンされると、中間ノードNMID、即ち、キャパシタ430の第1端子はNMOSTランジスタN6を通じて接地電圧に接続され、キャパシタ430は放電される。このように、入力信号上昇エッジに応答してキャパシタ430が放電され、キャパシタ430の電圧、即ち、中間ノードNMIDの電圧V_{NMID}が減少する。

40

【0172】

プルダウントランジスタ制御部420は、ホールド信号上昇エッジに応答してロジックローレベルの出力信号を生成することができる。例えば、セッターリセットラッチ421

50

は、ホールド信号上昇エッジに応答して出力端子Qからロジックローレベルの出力信号を生成し、ORゲート427はセットリセットラッチ421のロジックローレベルの出力信号及びロジックローレベルのアウェイク信号SAWKに応答してロジックローレベルの出力信号を生成することができる。プルダウントランジスタ410のNMOSTランジスタN6は、ORゲート427のロジックローレベルの出力信号に応答してターンオフできる。プルダウントランジスタ410のNMOSTランジスタN6がターンオフなれば、キャパシタ430の放電が中止される。このように、ホールド信号上昇エッジに応答してキャパシタ430の放電が中止され、キャパシタ430の電圧、即ち、中間ノードNMIDの電圧 V_{NMID} の減少が中止される。

【0173】

制御部290は入力信号下降エッジに応答してロジックハイレベルのアウェイク信号SAWKを生成することができる。アウェイク信号SAWKは時間レジスタ400aのディスチャージ時間 T_{dis} 以上のロジックハイ区間 T_{awk} を有することができる。アウェイク信号SAWKのパルス幅、即ち、ロジックハイ区間 T_{awk} は、アウェイク遅延器292の遅延時間に相当することができる。

【0174】

プルダウントランジスタ制御部420は、アウェイク信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。例えば、ORゲート427は、アウェイク信号上昇エッジに応答してロジックハイレベルの出力信号を生成することができる。プルダウントランジスタ410のNMOSTランジスタN6は、ORゲート427のロジックハイレベルの出力信号に応答してターンオンされる。プルダウントランジスタ410のNMOSTランジスタN6が、ターンオンされると、中間ノードNMIDはNMOSTランジスタN6を通じて接地電圧に接続され、キャパシタ430の放電が再開される。このように、アウェイク信号上昇エッジに応答してキャパシタ430の放電が再開され、キャパシタ430の電圧、即ち、中間ノードNMIDの電圧 V_{NMID} が再び減少される。

【0175】

出力部440はキャパシタ430の電圧、即ち、中間ノードNMIDの電圧 V_{NMID} に基づいて出力信号SOUTを出力する。出力部440は、中間ノードNMIDの電圧 V_{NMID} が所定のしきい電圧 V_{TH} 以下の場合、ロジックハイレベルの出力信号SOUTを出力することができる。例えば、しきい電圧 V_{TH} は出力部440のPMOSTランジスタP3のしきい電圧であることができる。即ち、中間ノードNMIDの電圧 V_{NMID} がPMOSTランジスタP3のしきい電圧以下よりも低くなる場合、PMOSTランジスタP3がターンオンされ、出力信号SOUTはロジックハイレベルを有することができる。

【0176】

一方、出力信号SOUTは、アウェイク信号上昇エッジから、所定のディスチャージ時間 T_{dis} から入力信号SINとホールド信号SHLDとの間の時間差 $T_D + T_{off}$ が減算された時間 $(T_{dis} - T_D - T_{off})$ の後、出力信号上昇エッジを有することができる。即ち、出力信号SOUTが出力信号上昇エッジを有する時刻は、入力信号SINとホールド信号SHLDとの間の時間差 $T_D + T_{off}$ によって決定される。

【0177】

制御部290は、アウェイク信号下降エッジに応答してロジックローレベルのプリチャージ信号SPRCHを生成することができる。プリチャージ信号SPRCHは、キャパシタ430が実質的に完全に充電されるための時間以上のロジックロー区間 T_{prch} を有することができる。プリチャージ信号SPRCHのロジックロー区間 T_{prch} は、プリチャージ遅延器296の遅延時間に相当することができる。

【0178】

プルアップトランジスタ460のPMOSTランジスタP6は、プリチャージ信号下降エッジに応答してターンオンされる。プルアップトランジスタ460のPMOSTランジ

10

20

30

40

50

スタ P 6 がターンオンされると、中間ノード N M I D、即ち、キャパシタ 4 3 0 の第 1 端子は、P M O S トランジスタ P 6 を通じて電源電圧に接続され、キャパシタ 4 3 0 は再び充電される。

【0179】

図 1 8 は図 1 4 の時間差加算器に含まれた時間レジスタの他の例を示す回路図である。

【0180】

図 1 8 を参照すれば、時間レジスタ 4 0 0 b は、プルダウントランジスタ 4 1 0、プルアップトランジスタ 4 6 0、プルダウントランジスタ制御部 4 2 0、キャパシタ 4 3 0、及び出力部 4 5 0 を含む。時間レジスタ 4 0 0 b は、出力部 4 5 0 の構成及び動作を除いて図 1 5 の時間レジスタ 4 0 0 a と実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

10

【0181】

出力部 4 5 0 はキャパシタ 4 3 0 の電圧、即ち、中間ノード N M I D の電圧に基づいて出力信号 S O U T を生成することができる。例えば、出力部 4 5 0 は比較器 4 5 0 を含むことができる。比較器 4 5 0 は基準電圧 V R E F を受信する非反転入力端子、キャパシタ 4 3 0 の電圧を受信する反転入力端子、及び出力信号 S O U T を出力する出力端子を含むことができる。実施形態に従って、基準電圧 V R E F は、外部の回路または装置にて受信されるか、或いは、時間レジスタ 4 0 0 b が基準電圧 V R E F を生成する回路を含むことができる。基準電圧 V R E F は電源電圧より低いこともできる。

【0182】

20

図 1 9 は、図 1 4 の時間差加算器の動作の一例を説明するためのタイミング図である。図 1 9 には第 1 入力信号 S I N 1 及び第 2 入力信号 S I N 2 が正の第 1 時間差 T D 1 を有し、第 3 入力信号 S I N 3 及び第 4 入力信号 S I N 4 が正の第 2 時間差 T D 2 を有する例が図示されている。

【0183】

図 1 4 及び図 1 9 を参照すると、第 1 入力信号 S I N 1 は第 1 時間レジスタ 2 4 0 の第 1 入力端子 I N 1 に印加され、第 2 入力信号 S I N 2 は、第 1 オフセット遅延器 2 2 0 によってオフセット時間 T o f f ほど遅れて第 1 ホールド信号 S H L D 1 として第 1 時間レジスタ 2 4 0 の第 1 ホールド端子 H L D 1 に印加される。これに従って、第 1 入力信号 S I N 1 及び第 1 ホールド信号 S H L D 1 は、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の第 1 時間差 T D 1 とオフセット時間 T o f f との和に相当する時間差 (T D 1 + T o f f) を有することができる。

30

【0184】

第 4 入力信号 S I N 4 は第 2 時間レジスタ 2 8 0 の第 2 入力端子 I N 2 に印加され、第 3 入力信号 S I N 3 は第 2 オフセット遅延器 2 6 0 によりオフセット時間 T o f f ほど遅れて第 2 ホールド信号 S H L D 2 として第 2 時間レジスタ 2 8 0 の第 2 ホールド端子 H L D 2 に印加される。これに従って、第 4 入力信号 S I N 4 及び第 2 ホールド信号 S H L D 2 は、オフセット時間 T o f f から第 3 入力信号 S I N 1 と第 4 入力信号 S I N 2 との間の第 2 時間差 T D 2 が減算された時間に相当する時間差 (- T D 2 + T o f f) を有することができる。

40

【0185】

第 1 時間レジスタ 2 4 0 は、アウェイク信号 S A W K に応答して、アウェイク信号 S 上昇エッジから、ディスチャージ時間 T d i s から第 1 入力信号 S I N 1 と第 1 ホールド信号 S H L D 1 との間の時間差 (T D 1 + T o f f) が減算された時間 (T d i s - T D 1 - T o f f) の後、第 1 出力信号上昇エッジを有する第 1 出力信号 S O U T 1 を出力することができる。即ち、アウェイク信号 S A W K 及び第 1 出力信号 S O U T 1 は、ディスチャージ時間 T d i s から第 1 入力信号 S I N 1 と第 1 ホールド信号 S H L D 1 との間の時間差 (T D 1 + T o f f) が減算された時間に相当する時間差 (T d i s - T D 1 - T o f f) を有することができる。

【0186】

50

第2時間レジスタ280は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間Tdisから第4入力信号SIN4と第2ホールド信号SHLD2との間の時間差 $(-TD2 + Toff)$ が減算された時間 $(Tdis + TD2 - Toff)$ の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWK及び第2出力信号SOUT2は、ディスチャージ時間Tdisから第4入力信号SIN4と第2ホールド信号SHLD2との間の時間差 $(-TD2 + Toff)$ が減算された時間に相当する時間差 $(Tdis + TD2 - Toff)$ を有することができる。

【0187】

一方、第1オフセット遅延器220と第2オフセット遅延器260は、実質的に同じオフセット時間Toffを有し、第1時間レジスタ240と第2時間レジスタ280は、実質的に同じディスチャージ時間Tdisを有することができる。これに従って、第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差 $(Tdis + TD2 - Toff)$ から、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差 $(Tdis - TD1 - Toff)$ が減算された時間 $((Tdis + TD2 - Toff) - (Tdis - TD1 - Toff)) = TD2 + TD1$ に相応し、従って、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差TD1と、第3入力信号SIN3と第4入力信号SIN4との間の第2時間差TD2との和 $(TD1 + TD2)$ に相当することができる。

【0188】

このように、本発明のまた他の実施形態に係る時間差加算器200cは入力信号SIN1、SIN2、SIN3、SIN4間の時間差TD1、TD2を正確に加算することができる。

【0189】

(第4実施形態)

図20は本発明の第4実施形態に係る時間差加算器を示すブロック図である。

【0190】

図20を参照すれば、時間差加算器200dは、第1レジスタ部210d、第2レジスタ部250d、及び制御部290を含む。時間差加算器200dは、図14の時間差加算器200cと比較して、第1オフセット遅延器220及び第2オフセット遅延器260を含めないことができる。実施形態に従って、時間差加算器200dには正の時間差を有する第1入力信号SIN1及び第2入力信号SIN2が印加され、負の時間差を有する第3入力信号SIN3及び第4入力信号SIN4が印加される。

【0191】

第1レジスタ部210dは、第1入力信号SIN1及び第2入力信号SIN2を受信し、アウェイク信号SAWKに応答して第1出力信号SOUT1を生成する。第1レジスタ部210dは第1時間レジスタ240を含むことができる。第1時間レジスタ240は、第1入力信号SIN1を受信する第1入力端子IN1、第2入力信号SIN2を受信する第1ホールド端子HLD1、プリチャージ信号SPRCHを受信する第1プリチャージ端子PRCH1、アウェイク信号SAWKを受信する第1アウェイク端子AWK1、及び第1出力信号SOUT1を出力する第1出力端子OUT1を有することができる。

【0192】

第2レジスタ部250dは、第3入力信号SIN3及び第4入力信号SIN4を受信し、アウェイク信号SAWKに応答して第2出力信号SOUT2を生成する。第2レジスタ部250dは第2時間レジスタ280を含むことができる。第2時間レジスタ280は、第4入力信号SIN4を受信する第2入力端子IN2、第3入力信号SIN3を受信する第2ホールド端子HLD2、プリチャージ信号SPRCHを受信する第2プリチャージ端子PRCH2、アウェイク信号SAWKを受信する第2アウェイク端子AWK2、及び第2出力信号SOUT2を出力する第2出力端子OUT2を有することができる。

【0193】

10

20

30

40

50

実施形態に従って、第1時間レジスタ240及び第2時間レジスタ280の各々は、図15の時間レジスタ400a、図18の時間レジスタ400b、または、これと類似する構成を有する時間レジスタで具現することができる。

【0194】

制御部290は、プリチャージ信号SPRCH及びアウェイク信号SAWKを生成する。例えば、制御部290は第1入力信号SIN1、第2入力信号SIN2、第3入力信号SIN3または、第4入力信号SIN4のうち、いずれか1つの信号を遅延、及び／または、反転させてプリチャージ信号SPRCH及びアウェイク信号SAWKを生成することができる。

【0195】

第1時間レジスタ240は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間から第1入力信号SIN1と第2入力信号SIN2との間の第1時間差が減算された時間の後、第1出力信号上昇エッジを有する第1出力信号SOUT1を出力することができる。即ち、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差は、ディスチャージ時間から第1時間差が減算された時間に相当することができる。

【0196】

また、第2時間レジスタ280は、アウェイク信号SAWKに応答して、アウェイク信号上昇エッジから、ディスチャージ時間に第3入力信号SIN3と第4入力信号SIN4との間の第2時間差が加算された時間の後、第2出力信号上昇エッジを有する第2出力信号SOUT2を出力することができる。即ち、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差は、ディスチャージ時間に第2時間差が加算された時間に相当することができる。

【0197】

第1時間レジスタ240のディスチャージ時間と第2時間レジスタ280のディスチャージ時間は、実質的に同一であることもできる。これに従って、アウェイク信号SAWKと第2出力信号SOUT2との間の時間差から、アウェイク信号SAWKと第1出力信号SOUT1との間の時間差が減算された時間に相当する第1出力信号SOUT1と第2出力信号SOUT2との間の時間差は、第1時間差と第2時間差との和に相当することができる。

【0198】

このように、本発明のまた他の実施形態に係る時間差加算器200dは、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号SOUT1及び第2出力信号SOUT2を出力することができる。

【0199】

(第5実施形態)

図21は本発明の第5実施形態に係る時間差累算器を示す図面である。

【0200】

図21を参照すれば、時間差累算器500は、第1入力信号IN1及び第2入力信号IN2に応答して、第1出力信号OUT1及び第2出力信号OUT2を生成する。時間差累算器500は、第1入力信号IN1と第2入力信号IN2との間の時間差を累算して累積した時間差を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。例えば、第1時間差TD1を有する第1入力信号IN1及び第2入力信号IN2が入力された場合、時間差累算器500は第1時間差TD1を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。続いて、第2時間差TD2を有する第1入力信号IN1及び第2入力信号IN2が入力された場合、時間差累算器500は第1時間差TD1と第2時間差TD2との和を有する第1出力信号OUT1及び第2出力信号OUT2を生成することができる。また、続いて、第2時間差TD3を有する第1入力信号IN1及び第2入力信号IN2が入力された場合、時間差累算器500は、第1時間差TD1、第2時間差TD2及び第3時間差TD3の和を有する第1出力信号OUT1及

10

20

30

40

50

び第2出力信号OUT2を生成することができる。

【0201】

図22は本発明の第5実施形態に係る時間差累算器を示すブロック図である。

【0202】

図22を参照すれば、時間差累算器500aは、第1時間差加算器510及び遅延部520aを含む。

【0203】

第1時間差加算器510は第1入力信号IN1、第2入力信号IN2、第1出力済み信号POUT1及び第2出力済み信号POUT2にตอบสนองして第1出力信号OUT1及び第2出力信号OUT2を生成する。第1時間差加算器510は、第1入力信号IN1と第2入力信号IN2との間の第1時間差、及び、第1出力済み信号POUT1と第2出力済み信号POUT2との間の第2時間差を加算して、第1時間差と第2時間差との和に相当する時間差を有する第1出力信号OUT1並びに第2出力信号OUT2を生成することができる。ここで、第1出力済み信号POUT1と第2出力済み信号POUT2は、第1時間差加算器510が直前に時間差加算を遂行して出力した第1出力信号OUT1及び第2出力信号OUT2を示す。

【0204】

実施形態に従って、第1時間差加算器510は、図4の時間差加算器200a、図12の時間差加算器200b、図14の時間差加算器200c、図20の時間差加算器200d、または、これと類似する構成の時間差加算器で具現することができる。

【0205】

遅延部520aは第1出力信号OUT1及び第2出力信号OUT2を遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。遅延部520aは第2時間差加算器530を含むことができる。実施形態に従って、第2時間差加算器530は図4の時間差加算器200a、図12の時間差加算器200b、図14の時間差加算器200c、図20の時間差加算器200d、または、これと類似する構成の時間差加算器で具現することができる。

【0206】

第2時間差加算器530は第1出力信号OUT1、第2出力信号OUT2及び2つの実質的に同じ信号にตอบสนองして、第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。第2時間差加算器530は、第1出力信号OUT1と第2出力信号OUT2との間の第3時間差及び実質的に同じ信号の第4時間差を加算して、第3時間差と第4時間差との和に相当する時間差を有する第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。実質的に同じ信号は実質的に同じ時刻で上昇エッジを有し、第4時間差は時間差加算の恒等元の「0」であることができる。これに従って、第1出力済み信号POUT1と第2出力済み信号POUT2との間の時間差は、第1出力信号OUT1と第2出力信号OUT2との間の第3時間差と実質的に同一とすることもできる。即ち、第2時間差加算器530は第1出力信号OUT1及び第2出力信号OUT2を時間差の変更なしで互いに同じ遅延時間ほど遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成することができる。

【0207】

一方、図22には実質的に同じ信号として第1出力信号OUT1を利用した例が図示されているが、実施形態に従って、実質的に同じ信号は、第2出力信号OUT2、第1出力信号OUT1の反転信号、第2出力信号OUT2の反転信号、または、他の信号のうち、いずれか1つであることができる。

【0208】

(第6実施形態)

図23は本発明の第6実施形態に係る時間差累算器を示すブロック図である。

【0209】

図23を参照すれば、時間差累算器500bは第1時間差加算器510及び遅延部52

10

20

30

40

50

0 bを含む。時間差累算器500 bは、遅延部520 bの構成を除いて、図22の時間差累算器500 aと実質的に類似する構成を有し、実質的に類似する動作を遂行できる。

【0210】

遅延部520 bは、第1出力信号OUT1及び第2出力信号OUT2を遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成する。遅延部520 bは、第1遅延器540及び第2遅延器550を含むことができる。

【0211】

第1遅延器540は、第1出力信号OUT1を遅延させて第1出力済み信号POUT1を生成し、第2遅延器550は第2出力信号OUT2を遅延させて第2出力済み信号POUT2を生成することができる。第1遅延器540及び第2遅延器550は、実質的に同じ遅延時間を有することができる。これに従って、第1遅延器540及び第2遅延器550は、第1出力信号OUT1及び第2出力信号OUT2は、互いに同じ遅延時間ほど遅延させて第1出力済み信号POUT1及び第2出力済み信号POUT2を生成することができる。

10

【0212】

図24は図23の時間差累算器に含まれた遅延部の一例を示す回路図であり、図25は図24の遅延部に含まれたトランジスタの配置の一例を説明するための図面である。

【0213】

図24を参照すれば、遅延部520 bは、第1遅延器540及び第2遅延器550を含む。第1遅延器540は、複数のPMOSTランジスタP11、P12、P13、P14及び複数のNMOSTランジスタN11、N12、N13、N14から構成された複数のインバータを含むことができる。また、第2遅延器550は、複数のPMOSTランジスタP21、P22、P23、P24及び複数のNMOSTランジスタN21、N22、N23、N24から構成された複数のインバータを含むことができる。第1遅延器540及び第2遅延器550は互いに同じ数のインバータを含むことによって互いに同じ遅延時間を有することができる。

20

【0214】

図25に示したように、第1遅延器540の複数のトランジスタP11、P12、P13、P14、N11、N12、N13、N14及び第2遅延器550の複数のトランジスタP21、P22、P23、P24、N21、N22、N23、N24は、互いに交互に配置することができる。例えば、第1遅延器540の第1PMOSTランジスタP11と第1NMOSTランジスタN11との間に第2遅延器550の第1PMOST及びNMOSTランジスタP21、N21が配置され、第2遅延器550の第2PMOSTランジスタP22と第2NMOSTランジスタN22との間に第1遅延器540の第2PMOST及びNMOSTランジスタP12、N12が配置することができる。このように、第1遅延器540と第2遅延器550のトランジスタが互いに交互に配置されることによって、工程、電圧、温度(Process、Voltage、Temperature; PVT)の変化(Variation)においても第1遅延器540と第2遅延器550との間のミスマッチが最小化される。

30

【0215】

(第7実施形態)

図26は本発明の第7実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

40

【0216】

図26を参照すると、シグマデルタタイムデジタル変換器600 aは時間差加算器610、時間差累算器630、時間ドメイン量子化器650、及びデジタルタイム変換器670を含む。

【0217】

時間差加算器610は、第1入力信号SIN1と第2入力信号SIN2との間の第1時間差から第1フィードバック信号SFEED1と第2フィードバック信号SFEED2と

50

の間の第2時間差を減算して、第1時間差から第2時間差が減算された第3時間差を有する第1加算信号SADD1及び第2加算信号SADD2を生成する。実施形態に従って、時間差加算器610は、図4の時間差加算器200a、図12の時間差加算器200b、図14の時間差加算器200c、図20の時間差加算器200d、または、これと類似する構成の時間差加算器で具現することができる。例えば、時間差加算器610は図4の時間差加算器200aで具現された場合、第1入力信号SIN1は図4の第1時間レジスタ230の第1入力端子IN1に印加され、第2入力信号SIN2は図4の第1オフセット遅延器220に印加され、第1フィードバック信号SFEE D1は図4の第2時間レジスタ270の第2入力端子IN2に印加され、第2フィードバック信号SFEE D2は図4の第2オフセット遅延器260に印加される。即ち、第1フィードバック信号SFEE D1は図4の第4入力信号SIN4に相応し、第2フィードバック信号SFEE D2は図4の第3入力信号SIN3に相当することができる。

10

【0218】

時間差累算器630は第1加算信号SADD1と第2加算信号SADD2との間の第3時間差を累算して第1累算信号SACC1及び第2累算信号SACC2を生成する。実施形態に従って、時間差累算器630は図22の時間差累算器500a、図23の時間差累算器500b、または、これと類似する構成の時間差累算器で具現することができる。

【0219】

時間ドメイン量子化器650は第1累算信号SACC1と第2累算信号SACC2との間の時間差をデジタル出力信号DOUTに変換する。実施形態に従って、デジタル出力信号DOUTは、2レベルを有する1ビットの信号や、3レベル以上を有する2以上のビットの信号であることができる。

20

【0220】

デジタルタイム変換器670は、デジタル出力信号DOUTを第1フィードバック信号SFEE D1及び第2フィードバック信号SFEE D2に変換する。例えば、デジタルタイム変換器670は、デジタル出力信号DOUTの値が増加するほど第1フィードバック信号SFEE D1と第2フィードバック信号SFEE D2との間の第2時間差を増加させることができる。

【0221】

本発明の第7実施形態に係るシグマデルタタイムデジタル変換器600aで、時間差加算器610が第1時間差と第2時間差との差を出力し、時間差累算器630がこのような差を累算し、時間ドメイン量子化器650が累算された信号をデジタル値に変換し、デジタルタイム変換器670はデジタル値を時間差に変換して時間差加算器610に提供する。即ち、シグマデルタタイムデジタル変換器600aは、時間差加算器610、時間差累算器630、時間ドメイン量子化器650、及びデジタルタイム変換器670を含むことによってシグマデルタ方式を採用することができる。これに従って、本発明の一実施形態に係るシグマデルタタイムデジタル変換器600aは高解像度(High Resolution)を有することができる。

30

【0222】

図27は図26のシグマデルタタイムデジタル変換器で遂行されるノイズシェーピングを説明するための図面である。

40

【0223】

図27を参照すれば、本発明の実施形態に係るシグマデルタタイムデジタル変換器はオーバーサンプリング(Over-Sampling)及びノイズシェーピング(Noise Shaping)を遂行できる。シグマデルタタイムデジタル変換器がオーバーサンプリングを遂行することによって、量子化雑音(Quantization Noise)の広い帯域に広がり、信号帯域で量子化雑音が実質的に減少することができる。また、シグマデルタタイムデジタル変換器がノイズシェーピングを遂行することによって、量子化雑音を使わない帯域に移動させることができる。即ち、シグマデルタタイムデジタル変換器が量子化雑音に対して、ハイパスフィルタ(High Pass Filter)

50

er) の役割を遂行して量子化雑音を移動させることができる。

【0224】

これに従って、本発明の実施形態に係るシグマデルタタイムデジタル変換器はノイズを最小化でき、高解像度を有することができる。

【0225】

図28は図26のシグマデルタタイムデジタル変換器に含まれた時間ドメイン量子化器の一例を示すブロック図である。

【0226】

図28を参照すれば、時間ドメイン量子化器650aは遅延ライン651a、複数のD-フリップフロップ653a及びエンコーダ655を含む。

10

【0227】

遅延ライン651aは第1累算信号SACC1を順次に遅延させるN個(Nは1以上の自然数)の遅延セルDELAY1、DELAY2、DELAYNを含むことができる。遅延セルDELAY1、DELAY2、DELAYNから出力された信号は、N個のD-フリップフロップ653aに各々印加される。D-フリップフロップ653aは、第2累算信号SACC2が有する第2累算信号上昇エッジに応答してN個の出力信号(d1, d2, ..., dn)を出力することができる。これに従って、D-フリップフロップ653aは第1累算信号SACC1と第2累算信号SACC2との間の時間差によって「1」という値を有する出力信号(d1, d2, ..., dn)を出力することができる。

【0228】

20

エンコーダ655はD-フリップフロップ653aの出力信号(d1, d2, ..., dn)に基づいてデジタル出力信号DOUTを生成することができる。例えば、エンコーダ655は温度計コード(Thermometer Code)のD-フリップフロップ653aの出力信号(d1, d2, ..., dn)を2進コード(Binary Code)のデジタル出力信号DOUTに変換することができる。

【0229】

これに従って、時間ドメイン量子化器650aは第1累算信号SACC1と第2累算信号SACC2との間の時間差に相当するデジタル出力信号DOUTを生成することができる。

【0230】

30

図29は図26のシグマデルタタイムデジタル変換器に含まれた時間ドメイン量子化器の他の例を示すブロック図である。

【0231】

図29を参照すれば、時間ドメイン量子化器650bは、第1遅延ライン651b、第2遅延ライン652b、複数のD-フリップフロップ653b及びエンコーダ655を含む。

【0232】

第1遅延ライン651bは第1累算信号SACC1を順次に遅延させるN個(Nは1以上の自然数)の第1遅延セルを含み、第2遅延ライン652bは第2累算信号SACC2を順次に遅延させるN個の第2遅延セルを含むことができる。第1遅延セルから出力された信号は、N個のD-フリップフロップ653bのデータ端子Dに各々印加され、第2遅延セルで出力された信号はD-フリップフロップ653bのクロック端子に各々印加される。これに従って、D-フリップフロップ653bは第2遅延セルから出力された信号に応答してN個の出力信号(d1, d2, ..., dn)を出力することができる。これに従って、D-フリップフロップ653bは、第1累算信号SACC1と第2累算信号SACC2との間の時間差によって「1」という値を有する出力信号(d1, d2, ..., dn)を出力することができる。

40

【0233】

一方、第1遅延セルそれぞれの遅延時間は第2遅延セルそれぞれの遅延時間より長いこともできる。これに従って、時間ドメイン量子化器650bは各遅延セルの最小遅延時間

50

より小さい単位で時間差をデジタル値に変換することができる。

【0234】

エンコーダ655は、D-フリップフロップ653bの出力信号(d1, d2, ..., dn)に基づいてデジタル出力信号DOUTを生成することができる。

【0235】

これに従って、時間ドメイン量子化器650bは第1累算信号SACC1と第2累算信号SACC2との間の時間差に相当するデジタル出力信号DOUTを生成することができる。

【0236】

一方、図28及び図29には本発明の実施形態に係るシグマデルタタイムデジタル変換器に含まれた時間ドメイン量子化器の例が図示されているが、本発明の実施形態に係るシグマデルタタイムデジタル変換器は多様な構成を有する時間ドメイン量子化器を含むことができる。

【0237】

図30は図26のシグマデルタタイムデジタル変換器に含まれたデジタルタイム変換器の一例を示すブロック図である。

【0238】

図30を参照すれば、デジタルタイム変換器670aは、パルス生成器671、遅延ライン673、及びマルチプレクサ675を含む。

【0239】

パルス生成器671はパルスを生成し、パルスを第1フィードバック信号SFEE D1として出力することができる。遅延ライン673はパルスを順次に遅延させるM個(Mは1以上の自然数)の遅延セルを含むことができる。マルチプレクサ675はデジタル出力信号DOUTに応答して遅延セルで出力されたM個の順次に遅延された信号(D1, D2, ..., DM)のうち、いずれか1つの信号を第2フィードバック信号SFEE D2として出力することができる。これに従って、デジタルタイム変換器670aは、デジタル出力信号DOUTに相当する時間差を有する第1フィードバック信号SFEE D1及び第2フィードバック信号SFEE D2を生成することができる。

【0240】

図31は図26のシグマデルタタイムデジタル変換器に含まれたデジタルタイム変換器の他の例を示すブロック図である。

【0241】

図31を参照すれば、デジタルタイム変換器670bは、パルス生成器671、第1遅延セル672、第2遅延セル674、複数のキャパシタ(C1, C2, ..., CM)及び複数のスイッチ(SWS1, SWS2, ..., SWSM)を含む。

【0242】

パルス生成器671はパルスを生成し、パルスを第1フィードバック信号SFEE D1として出力することができる。第1遅延セル672及び第2遅延セル674は、パルスを遅延させて第2フィードバック信号として出力することができる。M個(Mは1以上の自然数)のキャパシタ(C1, C2, ..., CM)はM個のスイッチ(SWS1, SWS2, ..., SWSM)を通じて接地電圧、並びに、第1遅延セル672と第2遅延セル674との間のノードに各々接続される。スイッチ(SWS1, SWS2, ..., SWSM)は、デジタル出力信号DOUTに応答してターンオンまたはターンオフされて、キャパシタ(C1, C2, ..., CM)はスイッチ(SWS1, SWS2, ..., SWSM)によって、第1遅延セル672及び第2遅延セル674に選択的に接続される。このように、デジタル出力信号DOUTに従って、第1遅延セル672及び第2遅延セル674に接続されたキャパシタ(C1, C2, ..., CM)のキャパシタンスが調節されることによって、第1遅延セル672及び第2遅延セル674の遅延時間が調節される。これに従って、デジタルタイム変換器670bはデジタル出力信号DOUTに相当する時間差を有する第1フィードバック信号SFEE D1及び第2フィードバック信号SFEE D2を生成することができ

10

20

30

40

50

る。

【0243】

一方、図30及び図31には本発明の第7実施形態に係るシグマデルタタイムデジタル変換器に含まれたデジタルタイム変換器の例が図示されているが、本発明の実施形態に係るシグマデルタタイムデジタル変換器は多様な構成を有するデジタルタイム変換器を含むことができる。

【0244】

(第8実施形態)

図32は本発明の第8実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

10

【0245】

図32を参照すれば、シグマデルタタイムデジタル変換器600bは、時間差加算器610、第1時間差累算器630、第2時間差累算器640、時間ドメイン量子化器650、及びデジタルタイム変換器670を含む。シグマデルタタイムデジタル変換器600bは、図26のシグマデルタタイムデジタル変換器600aに比較して、第2時間差累算器640をさらに含むことができる。

【0246】

第1時間差累算器630及び第2時間差累算器640は、2次累算器を構成し、これに従って、シグマデルタタイムデジタル変換器600bは、2次(Second Order)シグマデルタタイムデジタル変換器であることができる。実施形態に従って、シグマデルタタイムデジタル変換器600bは、3次以上のシグマデルタタイムデジタル変換器であることができる。

20

【0247】

本発明の他の実施形態に係るシグマデルタタイムデジタル変換器600bは2次以上の累算器を含んで信号帯域で量子化雑音をさらに減少させることができる。

【0248】

(第9実施形態)

図33は本発明の第9実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

【0249】

図33を参照すれば、シグマデルタタイムデジタル変換器600cは、時間差調節部620、時間差累算器630、及び時間ドメイン量子化器650を含む。シグマデルタタイムデジタル変換器600cは、図26のシグマデルタタイムデジタル変換器600aに比較して、時間差加算器610及びデジタルタイム変換器670の代わりに時間差調節部620を含むことができる。

30

【0250】

時間差調節部620は、第1入力信号SIN1、第2入力信号SIN2、及びデジタル出力信号DOUTを受信し、デジタル出力信号DOUTに基づいて第1入力信号SIN1または第2入力信号SIN2をデジタル出力信号DOUTに相当する遅延時間ほど遅延させることによって第1加算信号SADD1及び第2加算信号SADD2を生成する。時間差調節部620は第1入力信号SIN1または、第2入力信号SIN2のうち少なくとも1つの信号を遅延させる少なくとも1つの遅延器及びデジタル出力信号DOUTに応答して、遅延器によって遅延されなかった少なくとも1つの信号または遅延器によって遅れた遅延器の出力信号を選択的に出力する少なくとも1つの選択器を含むことができる。これに従って、時間差調節部620は第1入力信号SIN1と第2入力信号SIN2との間の第1時間差からデジタル出力信号DOUTに相当する第2時間差が減算された第3時間差を有する第1加算信号SADD1及び第2加算信号SADD2を生成することができる。

40

【0251】

時間差累算器630は、第1加算信号SADD1と第2加算信号SADD2との間の第3時間差を累算して第1累算信号SACC1及び第2累算信号SACC2を生成する。時

50

間ドメイン量子化器 650 は、第 1 累算信号 SACC1 と第 2 累算信号 SACC2 との間の時間差をデジタル出力信号 DOUT に変換する。

【0252】

本発明の第 9 実施形態に係るシグマデルタタイムデジタル変換器 600c で、時間差調節部 620 が第 1 時間差と第 2 時間差との差を出力し、時間差累算器 630 がこのような差を累算し、時間ドメイン量子化器 650 が累算された信号をデジタル値に変換する。即ち、シグマデルタタイムデジタル変換器 600c は、時間差調節部 620、時間差累算器 630、及び時間ドメイン量子化器 650 を含むことによってシグマデルタ方式を採用することができる。これに従って、本発明のまた他の実施形態に係るシグマデルタタイムデジタル変換器 600c は高解像度を有することができる。

10

【0253】

図 34 は図 33 のシグマデルタタイムデジタル変換器の一例を示すブロック図である。

【0254】

図 34 を参照すれば、シグマデルタタイムデジタル変換器 700a は時間差調節部 720a、時間差累算器 730、及び時間ドメイン量子化器 750 を含む。図 34 のシグマデルタタイムデジタル変換器 700a は 1 ビットのデジタル出力信号 DOUT を生成することができる。

【0255】

時間差調節部 720a は第 1 遅延器 721a、第 1 選択器 726a、第 2 遅延器 722a、及び第 2 選択器 727a を含むことができる。第 1 遅延器 721a は第 1 入力信号 SIN1 を遅延させ、第 1 選択器 726a はデジタル出力信号 DOUT に応答して第 1 加算信号 SADD1 として第 1 入力信号 SIN1、または、第 1 遅延器 721a の出力信号を選択的に出力することができる。第 2 遅延器 722a は、第 2 入力信号 SIN2 を遅延させ、第 2 選択器 727a はデジタル出力信号 DOUT に応答して第 2 加算信号 SADD2 として第 2 入力信号 SIN2、または、第 2 遅延器 722a の出力信号を選択的に出力することができる。

20

【0256】

例えば、デジタル出力信号 DOUT の値が「0」である場合、第 1 選択器 726a は第 1 加算信号 SADD1 として第 1 入力信号 SIN1 を出力し、第 2 選択器 727a は第 2 加算信号 SADD2 として第 2 入力信号 SIN2 に対して所定の遅延時間ほど遅れた第 2 遅延器 722a の出力信号を出力することができる。これに従って、時間差調節部 720a はデジタル出力信号 DOUT に応答して第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差より増加した時間差を有する第 1 加算信号 SADD1 及び第 2 加算信号 SADD2 を生成することができる。

30

【0257】

デジタル出力信号 DOUT の値が「1」の場合、第 1 選択器 726a は第 1 加算信号 SADD1 として第 1 入力信号 SIN1 に対して所定の遅延時間ほど遅れた第 1 遅延器 721a の出力信号を出力し、第 2 選択器 727a は第 2 加算信号 SADD2 として第 2 入力信号 SIN2 を出力することができる。これに従って、時間差調節部 720a はデジタル出力信号 DOUT に応答して第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差より減少した時間差を有する第 1 加算信号 SADD1 及び第 2 加算信号 SADD2 を生成することができる。

40

【0258】

このように、時間差調節部 720a はデジタル出力信号 DOUT の値により第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差を調節して、調節された時間差を有する第 1 加算信号 SADD1 及び第 2 加算信号 SADD2 を生成することができる。

【0259】

時間差累算器 730 は第 1 加算信号 SADD1 と第 2 加算信号 SADD2 との間の時間差を累算して第 1 累算信号 SACC1 及び第 2 累算信号 SACC2 を生成する。時間ドメ

50

イン量子化器 750 は第 1 累算信号 SACC1 と第 2 累算信号 SACC2 との間の時間差をデジタル出力信号 DOUT に変換する。

【0260】

上述した通り、シグマデルタタイムデジタル変換器 700a は、時間差調節部 720a、時間差累算器 730、及び時間ドメイン量子化器 750 を含むことによってシグマデルタ方式を採用する。これに従って、シグマデルタタイムデジタル変換器 700a は高解像度を有することができる。

【0261】

一方、図 34 には、第 1 入力信号 SIN1 の経路及び第 2 入力信号 SIN2 の経路ともに遅延器及び選択器を含む時間差調節部 720a の例が図示されているが、実施形態に従って、時間差調節部 720a は第 1 入力信号 SIN1 の経路または入力信号 SIN2 の経路のうち、いずれか 1 つにだけ遅延器及び選択器を含むことができる。

【0262】

図 35 は図 33 のシグマデルタタイムデジタル変換器の他の例を示すブロック図である。

【0263】

図 35 を参照すれば、シグマデルタタイムデジタル変換器 700b は、時間差調節部 720b、時間差累算器 730、及び時間ドメイン量子化器 750 を含む。図 35 のシグマデルタタイムデジタル変換器 700b は、2 ビットのデジタル出力信号 DOUT を生成することができる。

【0264】

時間差調節部 720b は第 1 遅延器 721b、第 2 遅延器 722b、第 1 選択器 726b、第 3 遅延器 723b、第 4 遅延器 724b 及び第 2 選択器 727b を含むことができる。第 1 遅延器 721b は第 1 入力信号 SIN1 を第 1 遅延時間ほど遅延させ、第 2 遅延器 722b は、第 1 入力信号 SIN1 を第 2 遅延時間ほど遅延させ、第 1 選択器 726b はデジタル出力信号 DOUT に応答して第 1 加算信号 SADD1 として第 1 入力信号 SIN1、第 1 遅延器 721b の出力信号、または、第 2 遅延器 722b の出力信号を選択的に出力することができる。例えば、第 2 遅延時間は、第 1 遅延時間の約 3 倍であることができる。第 3 遅延器 723b は第 2 入力信号 SIN2 を第 2 遅延時間ほど遅延させ、第 4 遅延器 724b は第 2 入力信号 SIN2 を第 1 遅延時間ほど遅延させ、第 2 選択器 727b はデジタル出力信号 DOUT に応答して第 2 加算信号 SADD2 として第 2 入力信号 SIN2、第 3 遅延器 723b の出力信号、または、第 4 遅延器 724b の出力信号を選択的に出力することができる。

【0265】

例えば、デジタル出力信号 DOUT の値が「0」である場合、第 1 選択器 726b は、第 1 加算信号 SADD1 として第 1 入力信号 SIN1 を出力し、第 2 選択器 727b は第 2 加算信号 SADD2 として第 2 入力信号 SIN2 に対して第 2 遅延時間ほど遅れた第 3 遅延器 723b の出力信号を出力することができる。また、デジタル出力信号 DOUT の値が「1」である場合、第 1 選択器 726b は第 1 加算信号 SADD1 として第 1 入力信号 SIN1 を出力し、第 2 選択器 727b は第 2 加算信号 SADD2 として第 2 入力信号 SIN2 に対して第 1 遅延時間ほど遅れた第 3 遅延器 723b の出力信号を出力することができる。また、デジタル出力信号 DOUT の値が「2」である場合、第 1 選択器 726b は第 1 加算信号 SADD1 として第 1 入力信号 SIN1 に対して第 1 遅延時間ほど遅れた第 1 遅延器 721b の出力信号を出力し、第 2 選択器 727b は第 2 加算信号 SADD2 として第 2 入力信号 SIN2 を出力することができる。また、デジタル出力信号 DOUT の値が「3」である場合、第 1 選択器 726b は第 1 加算信号 SADD1 として第 1 入力信号 SIN1 に対し第 2 遅延時間ほど遅れた第 2 遅延器 722b の出力信号を出力し、第 2 選択器 727b は第 2 加算信号 SADD2 として第 2 入力信号 SIN2 を出力することができる。

【0266】

このように、時間差調節部 720b は、デジタル出力信号 DOUT の値によって第 1 入力信号 SIN1 と第 2 入力信号 SIN2 との間の時間差を調節して、調節された時間差を有する第 1 加算信号 SADD1 及び第 2 加算信号 SADD2 を生成することができる。

【0267】

時間差累算器 730 は第 1 加算信号 SADD1 と第 2 加算信号 SADD2 との間の時間差を累算して第 1 累算信号 SACC1 及び第 2 累算信号 SACC2 を生成する。時間ドメイン量子化器 750 は第 1 累算信号 SACC1 と第 2 累算信号 SACC2 との間の時間差をデジタル出力信号 DOUT に変換する。

【0268】

上述した通り、シグマデルタタイムデジタル変換器 700b は時間差調節部 720b、時間差累算器 730、及び時間ドメイン量子化器 750 を含むことによってシグマデルタ方式を採用することができる。これに従って、シグマデルタタイムデジタル変換器 700b は高解像度を有することができる。

【0269】

一方、図 35 には、第 1 入力信号 SIN1 の経路及び第 2 入力信号 SIN2 の経路ともに遅延器及び選択器を含む時間差調節部 720b の例が図示されているが、実施形態に従って、時間差調節部 720b は第 1 入力信号 SIN1 の経路または入力信号 SIN2 の経路のうち、いずれか 1 つにだけ遅延器及び選択器を含むことができる。

【0270】

(第 10 実施形態)

図 36 は本発明のまた他の実施形態に係るシグマデルタタイムデジタル変換器を示すブロック図である。

【0271】

図 36 を参照すれば、シグマデルタタイムデジタル変換器 600d は時間差調節部 620、第 1 時間差累算器 630、第 2 時間差累算器 640、及び時間ドメイン量子化器 650 を含む。シグマデルタタイムデジタル変換器 600d は、図 33 のシグマデルタタイムデジタル変換器 600c に比較して、第 2 時間差累算器 640 をさらに含むことができる。

【0272】

第 1 時間差累算器 630 及び第 2 時間差累算器 640 は、2 次累算器を構成し、これに従って、シグマデルタタイムデジタル変換器 600b は 2 次 (Second Order) シグマデルタタイムデジタル変換器であることができる。実施形態に従って、シグマデルタタイムデジタル変換器 600d は 3 次以上のシグマデルタタイムデジタル変換器であることができる。

【0273】

本発明の第 10 実施形態に係るシグマデルタタイムデジタル変換器 600d は、2 以上の累算器を含んで信号帯域で量子化雑音をさらに減少させることができる。

【0274】

(第 11 実施形態)

図 37 は本発明の第 11 実施形態に係るデジタル位相ロックループを示すブロック図である。

【0275】

図 37 を参照すれば、デジタル位相ロックループ 800 は、シグマデルタタイムデジタル変換器 600、デジタルループフィルタ 810、デジタル制御発振器 820、及び分周器 830 を含む。

【0276】

シグマデルタタイムデジタル変換器 600 は、時間差加算器、時間差累算器、時間ドメイン量子化器、及びデジタルタイム変換器を含む。シグマデルタタイムデジタル変換器 600 は、基準入力信号 FREF とフィードバック信号 FFEE との間の時間差に相当するデジタル時間差信号 DOUT を生成する。シグマデルタタイムデジタル変換器 6

10

20

30

40

50

00は、シグマデルタ方式で時間差をデジタル信号に変換することによって高解像度を有することができる。実施形態に従って、基準入力信号FREFは外部の回路または装置から有線または無線に転送された信号、或いは、内部または外部に位置した発振器から生成された発振信号であることができる。例えば、基準入力信号FREFはクリスタル発振器(Crystal Oscillator)で生成された発振信号であることができる。

【0277】

実施形態に従って、シグマデルタタイムデジタル変換器600は、図26のシグマデルタタイムデジタル変換器600a、図32のシグマデルタタイムデジタル変換器600b、図33のシグマデルタタイムデジタル変換器600c、図36のシグマデルタタイムデジタル変換器600d、または、これと類似する構成のシグマデルタタイムデジタル変換器で具現することができる。

10

【0278】

デジタルループフィルタ810は、デジタル時間差信号DOU Tをフィルタリングしてデジタル制御信号DCONを生成する。デジタルループフィルタ810は、ローパスフィルタ(Low Pass Filter)であることができる。例えば、デジタルループフィルタ810は、「 $\alpha + \beta \times z^{-1} / (1 - z^{-1})$ 」の伝達関数を有することができる。

【0279】

デジタル制御発振器820はデジタル制御信号DCONに応答して望む周波数を有する出力信号FOU Tを生成する。例えば、デジタル制御発振器820は、デジタル制御信号DCONに基づいて出力信号FOU Tの周波数を増加させたり、または、減少させたりすることができる。

20

【0280】

分周器830は、出力信号FOU Tを分周してフィードバック信号FFEEDを生成する。実施形態に従って、デジタル位相ロックループ800は、分周器830を含まないことがあって、この場合、シグマデルタタイムデジタル変換器600は、フィードバック信号FFEEDとして出力信号FOU Tをそのまま受信することができる。

【0281】

本発明の第11実施形態に係るデジタル位相ロックループ800は、高解像度を有するシグマデルタ方式のシグマデルタタイムデジタル変換器600を含むことによって、ジッタ性能を向上させることができ、低い電源電圧環境においても望む周波数を有する出力信号FOU Tを正確に生成することができる。一方、本発明の実施形態に係るデジタル位相ロックループ800は、周波数合成(Frequency Synthesis)、クロック再生(Clock Recovery)、クロック生成(Clock Generation)、帯域拡散(Spread Spectrum)、クロック分配(Clock Distribution)、デスキューイング(De-skewing)、ジッタ及びノイズ減少(Jitter and Noise Reduction)などに利用される。

30

【0282】

(第12実施形態)

図38は本発明の第12実施形態に係るシグマデルタタイムデジタル変換器を含むアナログデジタル変換器を示すブロック図である。

40

【0283】

図38を参照すれば、アナログデジタル変換器900は、アナログタイム変換部910及びシグマデルタタイムデジタル変換器600を含む。

【0284】

アナログタイム変換部910は、アナログ信号をアナログ信号に相当する時間差を有する第1入力信号SIN1及び第2入力信号SIN2に変換する。

【0285】

50

例えば、アナログタイム変換部 910 はパルス生成器 911、ランプ生成器 913、及び比較器 915 を含むことができる。パルス生成器 911 は、パルスを生成してパルスをランプ開始信号としてランプ生成器 913 に提供し、第 1 入力信号 S I N 1 としてシグマデルタタイムデジタル変換器 600 に提供することができる。ランプ生成器 913 はランプ開始信号に応答して、ランプ信号を比較器 915 に出力することができる。比較器 915 はランプ信号とアナログ信号とを比較してアナログ信号の値に相当する時刻に第 2 入力信号上昇エッジを有する第 2 入力信号 S I N 2 を生成することができる。

【0286】

シグマデルタタイムデジタル変換器 600 は、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の時間差に相当するデジタル信号を生成することができる。シグマデルタタイムデジタル変換器 600 は、シグマデルタ方式で時間差をデジタル信号に変換することによって高解像度を有することができる。

10

【0287】

アナログデジタル変換器 900 は、高解像度を有するシグマデルタ方式のシグマデルタタイムデジタル変換器 600 を含むことによって、低い電源電圧環境においてもアナログ信号をデジタル信号に正確に変換することができる。

【0288】

(第 13 実施形態)

図 39 は本発明の第 13 実施形態に係るシグマデルタタイムデジタル変換器を含むセンサを示すブロック図である。

20

【0289】

図 39 を参照すれば、センサ 1000 は、センシング部 1010 及びシグマデルタタイムデジタル変換器 600 を含む。

【0290】

センシング部 1010 は温度、速度、質量、光量など物理量を測定して測定した物理量に相当する時間差を有する第 1 入力信号 S I N 1 及び第 2 入力信号 S I N 2 を生成する。

【0291】

例えば、センサ 1000 が温度センサの場合、センシング部 1010 はパルス生成器 1011、温度鈍感遅延ライン 1013、及び温度敏感遅延ライン 1015 を含むことができる。パルス生成器 1011 は、パルスを生成してパルスを温度鈍感遅延ライン 1013 及び温度敏感遅延ライン 1015 に提供することができる。温度鈍感遅延ライン 1013 は、パルスを温度と関係なく実質的に一定の遅延時間ほど遅延させて、第 1 入力信号 S I N 1 として出力することができる。温度敏感遅延ライン 1015 は、パルスを温度によって変更される遅延時間ほど遅延させて、第 2 入力信号 S I N 2 として出力することができる。これに従って、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の時間差は、温度によって決定することができる。

30

【0292】

シグマデルタタイムデジタル変換器 600 は、第 1 入力信号 S I N 1 と第 2 入力信号 S I N 2 との間の時間差に相当するデジタル出力信号 D O U T を生成することができる。シグマデルタタイムデジタル変換器 600 は、シグマデルタ方式で時間差をデジタル信号に変換することによって高解像度を有することができる。例えば、センサ 1000 が温度センサの場合、シグマデルタタイムデジタル変換器 600 は、測定された温度に相当するデジタル出力信号 D O U T を生成することができる。

40

【0293】

センサ 1000 は、高解像度を有するシグマデルタ方式のシグマデルタタイムデジタル変換器 600 を含むことによって、低い電源電圧環境においても測定された物理量に相当するデジタル出力信号 D O U T を正確に生成することができる。

【0294】

(第 14 実施形態)

図 40 は本発明の第 14 実施形態に係るデジタル位相ロックループを含む集積回路を示

50

すブロック図である。

【0295】

図40を参照すれば、集積回路1100は、デジタル位相ロックループ800及び内部回路1110を含む。実施形態に従って、集積回路1100は、アプリケーションプロセッサ (Application Processor; AP)、マイクロプロセッサ (Microprocessor)、中央処理装置 (Central Processing Unit; CPU)、ASIC (Application-Specific Integrated Circuit)、モバイルSoC (Mobile System on Chip)、マルチメディア (Multimedia) SoC、スマートカード、または、これと類似する装置またはシステムであることができる。

10

【0296】

デジタル位相ロックループ800は、基準入力信号FREFに基づいて望む周波数または地位を有する出力信号FOUTを生成することができる。実施形態に従って、基準入力信号FREFは、外部の回路または装置から有線または無線で転送された信号、或いは、内部または外部に位置した発振器から生成された発振信号であることができる。デジタル位相ロックループ800は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、ジッタ性能を向上させることができ、低い電源電圧環境においても望む周波数を有する出力信号FOUTを正確に生成することができる。実施形態に従って、デジタル位相ロックループ800は周波数合成、クロック再生、クロック生成、帯域拡散、クロック分配、デスキューイング、ジッタ、及びノイズ減少などを遂行できる。内部回路1110は、出力信号FOUTに基づいて駆動することができる。例えば、内部回路1110は出力信号FOUTを内部回路1110の駆動のためのクロック信号として使うことができる。

20

【0297】

(第15実施形態)

図41は本発明の第15実施形態に係るデジタル位相ロックループを含む送受信器を示すブロック図である。

【0298】

図41を参照すれば、送受信器1200は、アンテナ1210、無線部1220、及びベースバンドプロセッサ1230を含む。

30

【0299】

無線部1220はアンテナ1210を通じて受信された無線信号をベースバンド信号に変換してベースバンドプロセッサ1230に提供し、ベースバンドプロセッサ1230から提供されたベースバンド信号を無線信号に変換してアンテナ1210を通じて送信することができる。実施形態に従って、無線部1220は無線信号をベースバンド信号を直ちに交換したり、または、無線信号を中間周波数 (Intermediate Frequency; IF) 信号に変換した後、中間周波数信号をベースバンド信号に変換したりすることができる。また、実施形態に従って、無線部1220は無線信号を同位相 (In-phase) ベースバンド信号及び直交位相 (Quadrature) ベースバンド信号に変換することができる。

40

【0300】

例えば、無線部1220はスイッチ1221、低雑音増幅器1222 (Low Noise Amplifier; LNA)、受信ミキサ1223、送信ミキサ1224、電力増幅器1225 (Power Amplifier; PA)、局部発振器1226 (Local Oscillator; LO)、及び第1デジタル位相ロックループ1227を含むことができる。実施形態に従って、無線部1220は、受信された無線信号のノイズまたは帯域外成分を除去する、または、送信される無線信号の帯域外スプリアス成分 (Spurious Component) を除去するフィルタをさらに含むことができる。また、実施形態に従って、無線部1220は、可変利得増幅器 (Variable Gain Amplifier)、低域通過フィルタ (Low Pass Filter) な

50

どをさらに含むことができる。

【0301】

スイッチ1221は、アンテナ1210を受信経路または送信経路に選択的に接続することができる。低雑音増幅器1222は、雑音の影響を最小化するように低い雑音指数(Noise Figure)を有することができ、アンテナ1210を通じて受信された無線信号を増幅することができる。受信ミキサ1223は、低雑音増幅器1222を通じて増幅された無線信号をデジタル位相ロックループ1227の出力信号とミキシングしてベースバンド信号にダウン変換することができる。送信ミキサ1224は、ベースバンドプロセッサ1230から提供されたベースバンド信号をデジタル位相ロックループ1227の出力信号とミキシングして無線信号にアップ変換することができる。電力増幅器1225は、アンテナ1210を通じて一定レベル以上の電力を有する無線信号が送信されるように、送信ミキサ1224によってアップ変換された無線信号を増幅することができる。

10

【0302】

局部発振器1226は発振信号を生成することができる。例えば、局部発振器1226は、クリスタル発振器(Crystal Oscillator)を含むことができる。第1デジタル位相ロックループ1227は、局部発振器1226から提供された発振信号に基づいて望む周波数を有する出力信号を生成することができる。第1デジタル位相ロックループ1227は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

20

【0303】

ベースバンドプロセッサ1230は、無線部1220から受信されたベースバンド信号に基づいてデータ処理を遂行し、無線部1220に提供されるベースバンド信号を生成することができる。例えば、ベースバンドプロセッサ1230は、ベースバンド信号を復調してデータストリームを生成し、データストリームを変調してベースバンド信号を生成する物理層プロセッサ(Physical Layer Processor; PHY)を含むことができる。実施形態に従って、物理層プロセッサは、ベースバンド信号の復調のための高速フーリエ変換器(Fast Fourier Transformer; FFT)、デマッパー(Demapper)、デインターリーブ(Deinterleave)、チャネルデコーダ(Channel Decoder)などを含み、データストリームを変調するためのチャネルエンコーダ(Channel Encoder)、インターリーブ(Interleaver)、マッパー(Mapper)、逆高速フーリエ変換器(Inverse Fast Fourier Transformer; IFFT)などを含むことができる。

30

【0304】

ベースバンドプロセッサ1230は、第2デジタル位相ロックループ1231を含むことができる。例えば、ベースバンドプロセッサ1230は、第2デジタル位相ロックループ1231の出力信号をベースバンドプロセッサ1230の駆動のためのクロック信号として使うことができる。第2デジタル位相ロックループ1231は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。

40

【0305】

(第16実施形態)

図42は本発明の第16実施形態に係るデジタル位相ロックループを含むメモリ装置を示すブロック図である。

【0306】

図42を参照すれば、メモリ装置1300は、デジタル位相ロックループ1310、メモリコア1320、及びデータ出力バッファ1330を含む。実施形態に従って、メモリ

50

装置1300は、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) などのような揮発性メモリ装置、または、EPROM (Erasable Programmable Read-Only Memory)、EEPROM (Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ装置 (Flash Memory Device) などのような非揮発性メモリ装置のうち、いずれか1つであることもあって、特にDDR SDRAMまたはGDDR SDRAMであることができる。

【0307】

デジタル位相ロックループ1310は、基準入力信号FREFに基づいて望む周波数を有する出力信号FOUTを生成することができる。デジタル位相ロックループ1310は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

【0308】

メモリコア1320はデータ入力バッファ (図示せず) から提供された書込みデータを保存する書込み動作を遂行し、読出しデータDATAを生成してデータ出力バッファ1330に提供する読出し動作を遂行できる。メモリコア1320は、デジタル位相ロックループ1310の出力信号FOUTに基づいて、書込み動作、及び／または、読出し動作を遂行できる。図示はしなかったが、メモリコア1320は、データを保存する複数のメモリセルを含むメモリセルアレイ、アドレス信号に基づいてメモリセルアレイのワードラインとビットラインを選択するローデコーダ及びコラムデコーダ、並びに、選択されたメモリセルに保存されたデータを感知して読出しデータDATAを生成する感知増幅器を含むことができる。

【0309】

データ出力バッファ1330は、デジタル位相ロックループ1310の出力信号FOUTに応答して、読出しデータDATAを出力データDOUTとして出力することができる。出力データDOUTはデジタル位相ロックループ1310の出力信号FOUTに同期して出力され、例えば、メモリコントローラのような外部装置に提供される。

【0310】

(第17実施形態)

図43は本発明の第17実施形態に係るデジタル位相ロックループをモバイルシステムに応用した例を示すブロック図である。

【0311】

図43を参照すれば、モバイルシステム1400は、アプリケーションプロセッサ1410、モデム1420、揮発性メモリ装置1430、非揮発性メモリ装置1440、ユーザインタフェース1450、及びパワーサプライ1460を含む。実施形態に従って、モバイルシステム1400は、携帯電話 (Mobile Phone)、スマートフォン (Smart Phone)、PDA (Personal Digital Assistant)、PMP (Portable Multimedia Player)、デジタルカメラ (Digital Camera)、音楽再生器 (Music Player)、携帯用ゲームコンソール (Portable Game Console)、ナビゲーション (Navigation) システムなどのような任意のモバイルシステムであることができる。

【0312】

アプリケーションプロセッサ1410は、インターネットブラウザ、ゲーム、動画などを提供するアプリケーションを実行することができる。アプリケーションプロセッサ1410は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第1デジタル位相ロックループ1411を含むことができる。アプリケーションプロセッサ1410は第1デジタル位相ロックループ141

1で生成されたクロック信号に基づいて駆動することができる。第1デジタル位相ロックループ1411は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。実施形態に従って、アプリケーションプロセッサ1410は、1つのプロセッサコア(Single Core)を含むか、または、複数のプロセッサコア(Multi-Core)を含むことができる。例えば、アプリケーションプロセッサ1410は、デュアルコア(Dual-Core)、クアッドコア(Quad-Core)、ヘキサコア(Hexa-Core)などのマルチコア(Multi-Core)を含むことができる。また、実施形態に従って、アプリケーションプロセッサ1410は内部または外部に位置したキャッシュメモリ(Cache Memory)をさらに含むことができる。 10

【0313】

モデム1420は外部装置と無線通信または有線通信を遂行できる。例えば、モデム1420は、イーサネット(登録商標)通信、NFC(Near Field Communication)、RFID(Radio Frequency Identification)通信、移動通信(Mobile Telecommunication)、メモリカード通信、USB(Universal Serial Bus)通信などを遂行できる。例えば、モデム1420は、ベースバンドチップセット(Baseband Chipset)を含むことができ、GSM(登録商標)、GPRS、WCDMA、HSPAなどの通信を支援することができる。モデム1420は周波数合成、クロック再生、クロック生成、帯域拡散、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第2デジタル位相ロックループ1421を含むことができる。第2デジタル位相ロックループ1421は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。 20

【0314】

揮発性メモリ装置1430は、アプリケーションプロセッサ1410によって処理されるデータを保存する、または、動作メモリ(Working Memory)として作動することができる。例えば、揮発性メモリ装置1430は、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)、モバイルDRAM、または、これと類似するメモリで具現することができる。揮発性メモリ装置1430は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第3デジタル位相ロックループ1431を含むことができる。第3デジタル位相ロックループ1431は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。 30

【0315】

非揮発性メモリ装置1440は、モバイルシステム1400をブーティングするためのブートイメージを保存することができる。例えば、非揮発性メモリ装置1440は、EEPROM(Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ(Flash Memory)、PRAM(Phase Change Random Access Memory、登録商標)、RRAM(Resistance Random Access Memory)、NFGM(Nano Floating Gate Memory)、PoRAM(Polymer Random Access Memory)、MRAM(Magnetic Random Access Memory)、FRAM(Ferroelectric Random Access Memory、登録商標)、または、これと類似するメモリで具現することができる。非揮発性メモリ装置1440は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ及びノイズ減 40 50

少などのため第4デジタル位相ロックループ1441を含むことができる。第4デジタル位相ロックループ1441は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

【0316】

ユーザインタフェース1450は、キーパッド、タッチスクリーンのような1つ以上の入力装置、及び／または、スピーカー、ディスプレイ装置のような1つ以上の出力装置を含むことができる。パワーサプライ1460は、モバイルシステム1400の動作電圧を供給することができる。また、実施形態に従って、モバイルシステム1400は、CIS (Camera Image Processor) をさらに含むことができ、メモ리카ード (Memory Card)、SSD (Solid State Drive)、HDD (Hard Disk Drive)、CD-ROMなどのような保存装置をさらに含むことができる。

【0317】

モバイルシステム1400またはモバイルシステム1400の構成要素は、多様な形態らのパッケージを利用して実装されるが、例えば、PoP (Package on Package)、BGAs (Ball grid arrays)、CSPs (Chip scale packages)、PLCC (Plastic Leaded Chip Carrier)、PDIP (Plastic Dual In-Line Package)、Die in Waflle Pack、Die in Wafer Form、COB (Chip On Board)、CERDIP (Ceramic Dual In-Line Package)、MQFP (Plastic Metric Quad Flat Pack)、TQFP (Thin Quad Flat-Pack)、SOIC (Small Outline Integrated Circuit)、SOP (Shrink Small Outline Package)、TSOP (Thin Small Outline Package)、TQFP (Thin Quad Flat-Pack)、SIP (System In Package)、MCP (Multi Chip Package)、WFP (Wafer-level Fabricated Package)、WSP (Wafer-Level Processed Stack Package) などのようなパッケージを利用して実装される。

【0318】

(第18実施形態)

図44は本発明の第18実施形態に係るデジタル位相ロックループをコンピューティングシステムに応用した例を示すブロック図である。

【0319】

図44を参照すれば、コンピューティングシステム1500は、プロセッサ1510、入出力ハブ1520、入出力コントローラハブ1530、少なくとも1つのメモリモジュール1540、及びグラフィックカード1550を含む。実施形態に従って、コンピューティングシステム1500は、PC (Personal Computer)、サーバーコンピュータ (Server Computer)、ワークステーション (Workstation)、ノートパソコン (Laptop)、携帯電話 (Mobile Phone)、スマートフォン (Smart Phone)、PDA (personal digital assistant)、PMP (portable multimedia player)、デジタルカメラ (Digital Camera)、デジタルTV (Digital Television)、セットトップボックス (Set-Top Box)、音楽再生器 (Music Player)、携帯用ゲームコンソール (portable game console)、ナビゲーション (Navigation) システムなどのような任意のコンピューティングシステムであることができる。

【0320】

プロセッサ1510は、特定計算またはタスクのような多様なコンピューティング機能

を実行することができる。例えば、プロセッサ1510は、マイクロプロセッサまたは、中央処理装置（Central Processing Unit；CPU）であることができる。プロセッサ1510は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第1デジタル位相ロックループ1511を含むことができる。プロセッサ1510は、第1デジタル位相ロックループ1511で生成されたクロック信号に基づいて駆動することができる。第1デジタル位相ロックループ1511は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。実施形態に従って、プロセッサ1510は、1つのプロセッサコア（Single Core）を含むか、または、複数のプロセッサコア（Multi-Core）を含むことができる。例えば、プロセッサ1510は、デュアルコア（Dual-Core）、クアッドコア（Quad-Core）、ヘキサコア（Hexa-Core）などのマルチコア（Multi-Core）を含むことができる。また、図44には1つのプロセッサ1510を含むコンピューティングシステム1500が図示されているが、実施形態に従って、コンピューティングシステム1500は複数のプロセッサを含むことができる。また、実施形態に従って、プロセッサ1510は内部または外部に位置したキャッシュメモリ（Cache Memory）をさらに含むことができる。

【0321】

プロセッサ1510は、メモリモジュール1540の動作を制御する図示しないメモリコントローラを含むことができる。プロセッサ1510に含まれたメモリコントローラは集積メモリコントローラ（Integrated Memory Controller；IMC）と呼ぶことができる。メモリコントローラとメモリモジュール1540との間のメモリインターフェースは、複数の信号線を含む1つのチャンネル、または、複数のチャンネルで具現することができる。また、各チャンネルには1つ以上のメモリモジュール1540が接続される。実施形態に従って、メモリコントローラは入出力ハブ1520内に位置することができる。メモリコントローラを含む入出力ハブ1520はメモリコントローラハブ（Memory Controller Hub；MCH）と呼ぶことができる。

【0322】

メモリモジュール1540は、メモリコントローラから提供されたデータを保存する複数のメモリ装置を含むことができる。また、メモリモジュール1540は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第4デジタル位相ロックループ1541を含むことができる。一実施形態において、第4デジタル位相ロックループ1541は、メモリモジュール1540上に配置されることができ、メモリコントローラから提供された信号をメモリ装置に提供するためのバッファの駆動に利用される。他の実施形態において、第4デジタル位相ロックループ1541は、メモリモジュール1540に含まれたメモリ装置の各々に配置されることができ、各メモリ装置の駆動に利用される。第4デジタル位相ロックループ1541は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。

【0323】

入出力ハブ1520は、グラフィックカード1550のような装置とプロセッサ1510との間のデータ伝送を管理することができる。入出力ハブ1520は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第2デジタル位相ロックループ1521を含むことができる。第2デジタル位相ロックループ1521は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。

【0324】

10

20

30

40

50

入出力ハブ1520は、多様な方式のインターフェースを通じてプロセッサ1510に接続される。例えば、入出力ハブ1520とプロセッサ1510は、FSB (Front Side Bus)、システムバス (System Bus)、ハイパートランスポート (HyperTransport)、LDT (Lightning Data Transport)、QPI (QuickPath Interconnect)、CSI (Common System Interface) などの多様な標準のインターフェースに接続される。図44には1つの入出力ハブ1520を含むコンピューティングシステム1500が図示されているが、実施形態に従って、コンピューティングシステム1500は複数の入出力ハブを含むことができる。

【0325】

入出力ハブ1520は、装置との多様なインターフェースを提供することができる。例えば、入出力ハブ1520は、AGP (Accelerated Graphics Port) インターフェース、PCIe (Peripheral Component Interface-Express)、CSA (Communications Streaming Architecture) インターフェースなどを提供することができる。

【0326】

グラフィックカード1550は、AGPまたはPCIeを通じて入出力ハブ1520と接続される。グラフィックカード1550は、画像を表示するためのディスプレイ装置 (図示せず) を制御することができる。グラフィックカード1550は、イメージデータ処理のための内部プロセッサ及び内部半導体メモリ装置を含むことができる。また、グラフィックカード1550は、周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第5デジタル位相ロックループ1551をさらに含むことができる。第5デジタル位相ロックループ1551は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境においても望む周波数を有する出力信号を正確に生成することができる。実施形態に従って、入出力ハブ1520は、入出力ハブ1520の外部に位置したグラフィックカード1550とともに、または、グラフィックカード1550の代わりに入出力ハブ1520の内部にグラフィック装置を含むことができる。入出力ハブ1520に含まれたグラフィック装置は、集積グラフィック (Integrated Graphics) と呼ぶことができる。また、メモリコントローラ及びグラフィック装置を含む入出力ハブ1520は、GMCH (Graphics and Memory Controller Hub) と呼ぶことができる。

【0327】

入出力コントローラハブ1530は、多様なシステムインターフェースが効率的に動作するようにデータバッファリング及びインターフェース仲裁を遂行することができる。入出力コントローラハブ1530は周波数合成、クロック再生、クロック生成、クロック分配、デスキューイング、ジッタ、及びノイズ減少などのための第3デジタル位相ロックループ1531を含むことができる。第3デジタル位相ロックループ1531は、シグマデルタ方式で時間差をデジタル信号に変換するシグマデルタタイムデジタル変換器を含むことによって、低い電源電圧環境でも望む周波数を有する出力信号を正確に生成することができる。

【0328】

入出力コントローラハブ1530は、内部バスを通じて入出力ハブ1520と接続される。例えば、入出力ハブ1520と入出力コントローラハブ1530は、DMI (Direct Media Interface)、ESI (Enterprise Southbridge Interface)、PCIeなどを通じて接続することができる。

【0329】

入出力コントローラハブ1530は、周辺装置との多様なインターフェースを提供することができる。例えば、入出力コントローラハブ1530は、USB (Universal

10

20

30

40

50

l Serial Bus)ポート、SATA (Serial Advanced Technology Attachment)ポート、GPIO (General Purpose Input/Output)、LPC (Low Pin Count)バス、SPI (Serial Peripheral Interface)、PCI、PCIeなどを提供することができる。

【0330】

実施形態に従って、プロセッサ1510、入出力ハブ1520、及び入出力コントローラハブ1530は、各々分離したチップセット、または、集積回路で具現されるか、或いは、プロセッサ1510、入出力ハブ1520、または入出力コントローラハブ1530のうち、いずれか2つ以上の構成要素が1つのチップセットで具現することができる。

10

【0331】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【0332】

本発明は位相ロックループを含む任意の装置及びシステムに適用することができる。例えば、本発明は、携帯電話 (Mobile Phone)、スマートフォン (Smart Phone)、PDA (personal digital assistant)、PMP (portable multimedia player)、デジタルカメラ (Digital Camera)、ビデオカメラ (Camcorder)、PC (Personal Computer)、サーバーコンピュータ (Server Computer)、ワークステーション (Workstation)、ノートパソコン (Laptop)、デジタルTV (Digital Television)、セットトップボックス (Set-Top Box)、音楽再生器 (Music Player)、携帯用ゲームコンソール (Portable Game Console)、ナビゲーション (Navigation) システム、スマートカード (Smart Card)、プリンタ (Printer) などに役立つように利用することができる。

20

30

【符号の説明】

【0333】

100、200a、200b、200c、200d、510、610・・・時間差加算器、
 210a、210b、210c、210d・・・第1レジスタ部、
 250a、250b、250c、250d・・・第2レジスタ部、
 220、260・・・オフセット遅延器、
 230、240、270、280、300a、300b、300c、300d、400a、400b・・・時間レジスタ、
 290・・・制御部、
 500、500a、500b、630・・・時間差累算器、
 520a、520b・・・遅延部、
 600a、600b、600c、600d、700a、700b・・・シグマデルタ時間デジタル変換器、
 650、650a、650b・・・時間ドメイン量子化器、
 670、670a、670b・・・デジタル時間転換器、
 800、1310、1411、1421、1431、1441、1511、1521、1531、1541、1551・・・デジタル位相ロックループ、
 810・・・デジタルループフィルタ、
 820・・・デジタル制御発振器、

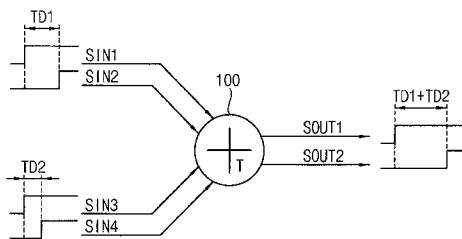
40

50

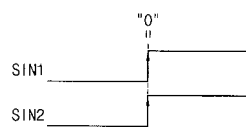
8 3 0

・・・分周器。

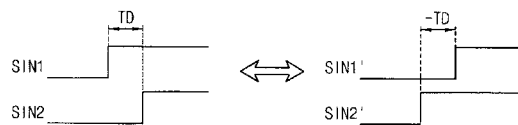
【図 1】



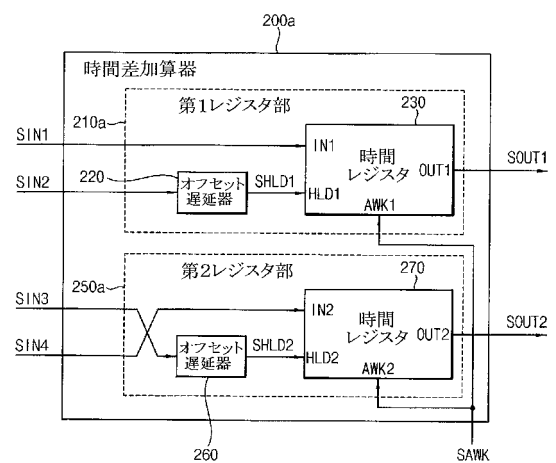
【図 2】



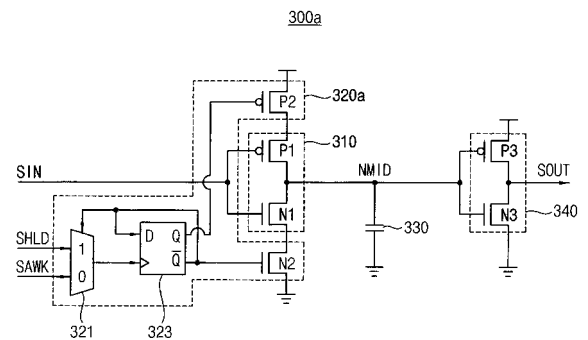
【図 3】



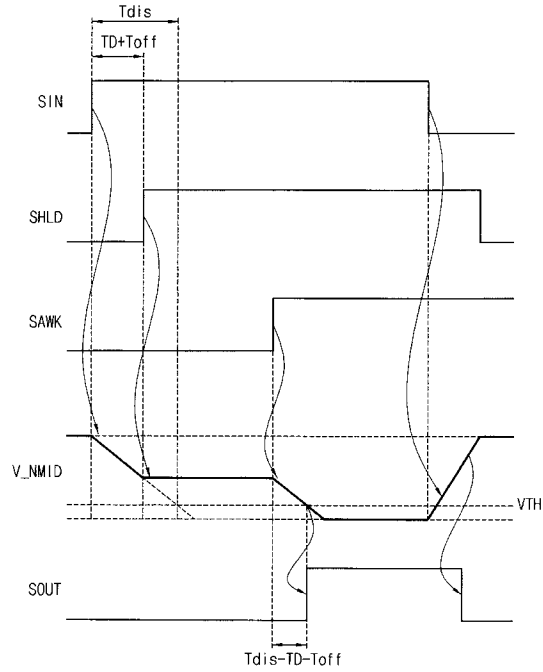
【図 4】



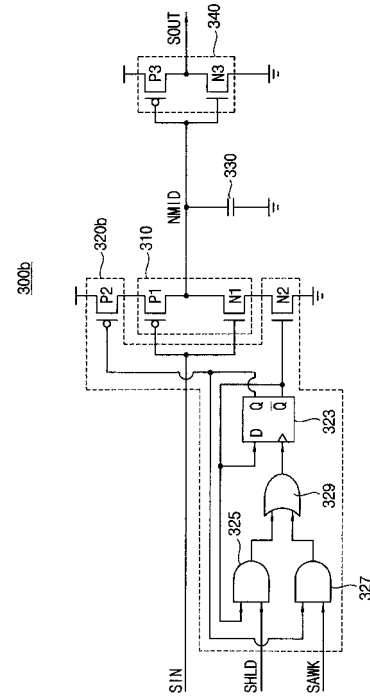
【図 5】



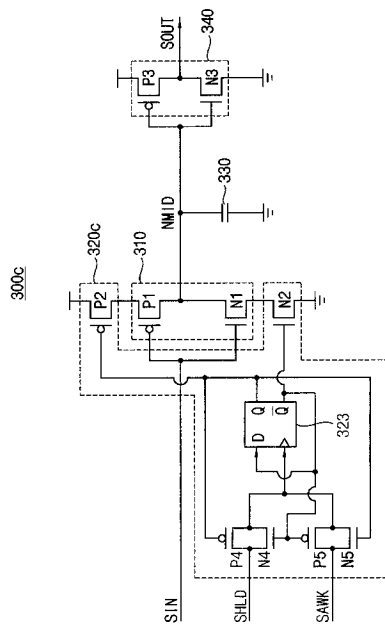
【図 6】



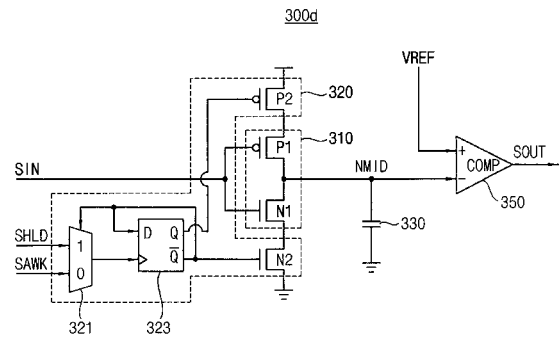
【図 7】



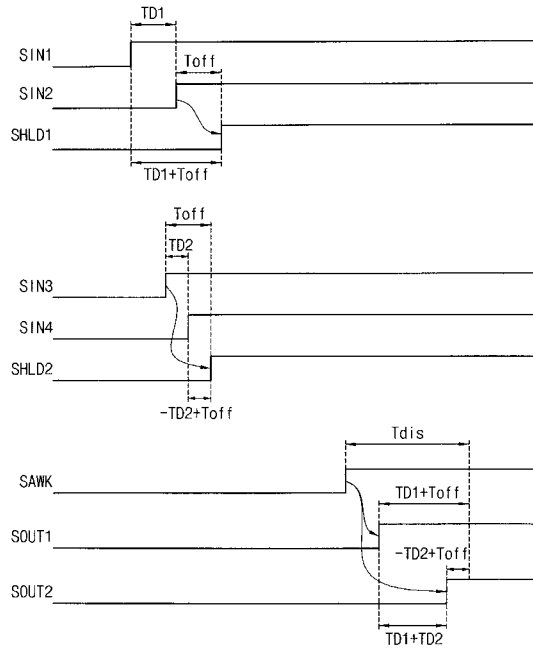
【図 8】



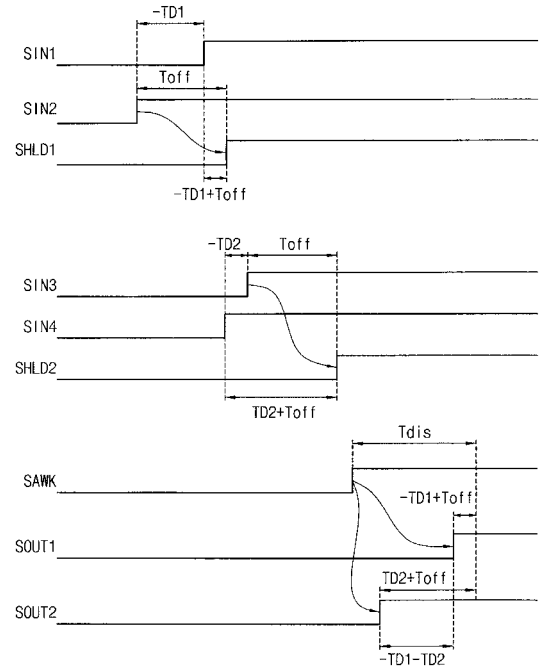
【図 9】



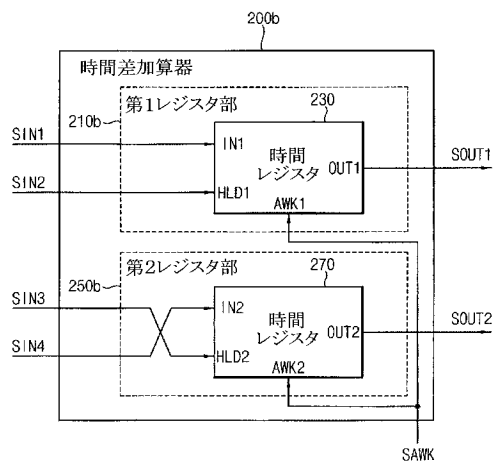
【図 10】



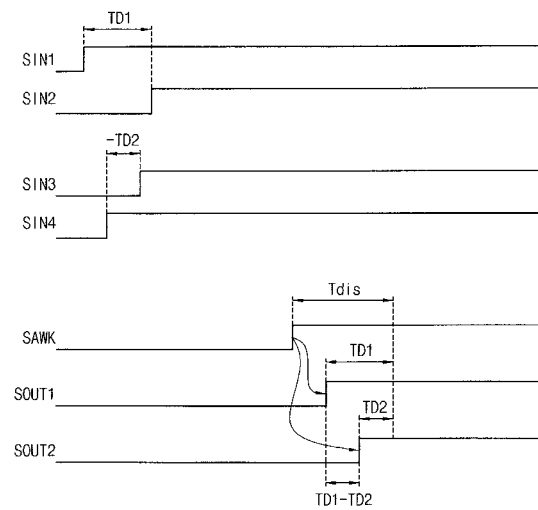
【図 11】



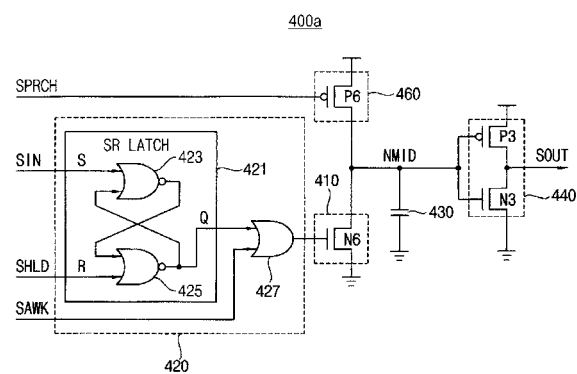
【図 12】



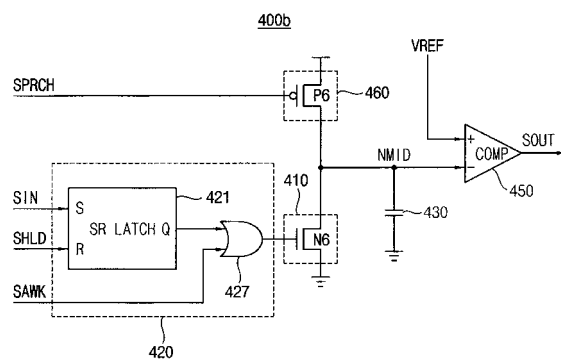
【図 13】



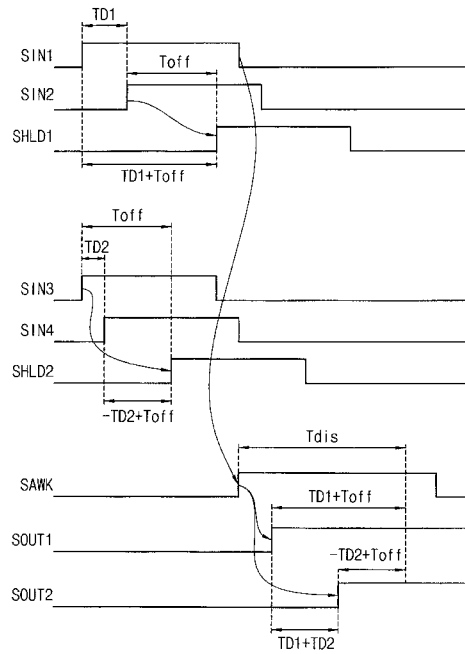
【図 15】



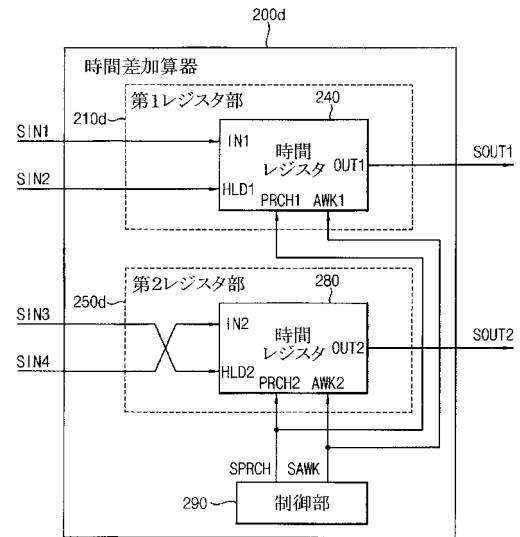
【図 18】



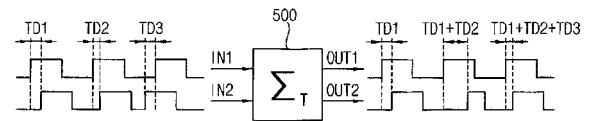
【図 19】



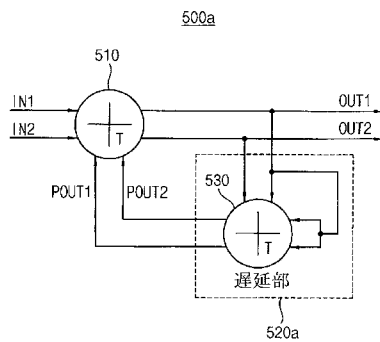
【図 20】



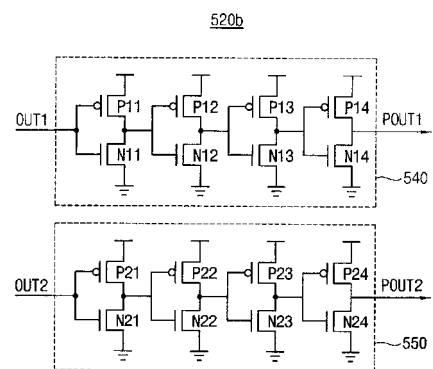
【図 21】



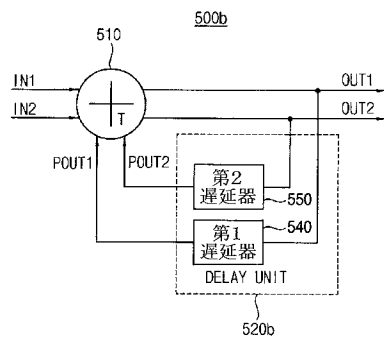
【図 22】



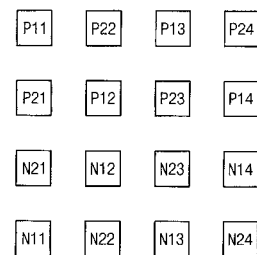
【図 24】



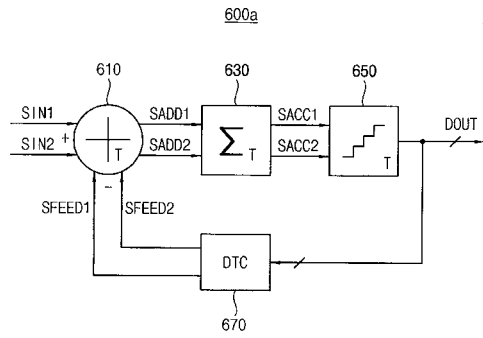
【図 23】



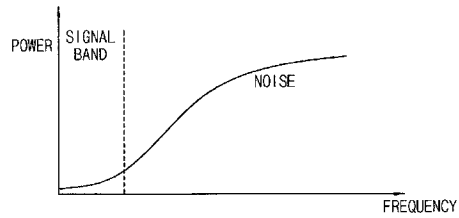
【図 25】



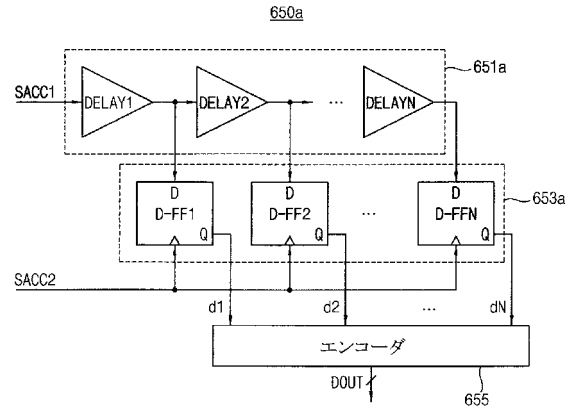
【図 26】



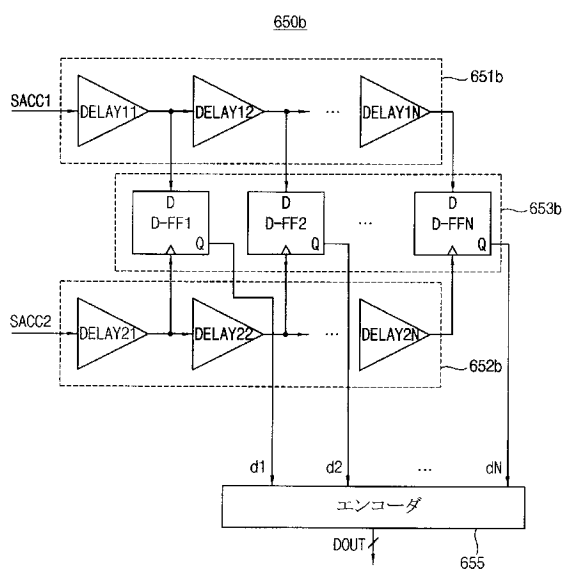
【図 27】



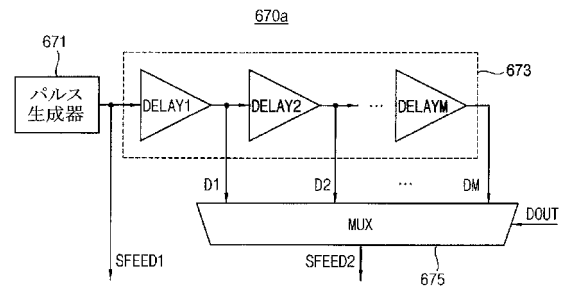
【図 28】



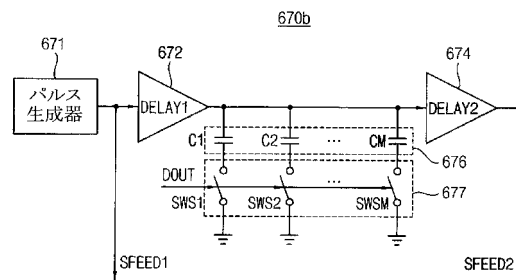
【図 29】



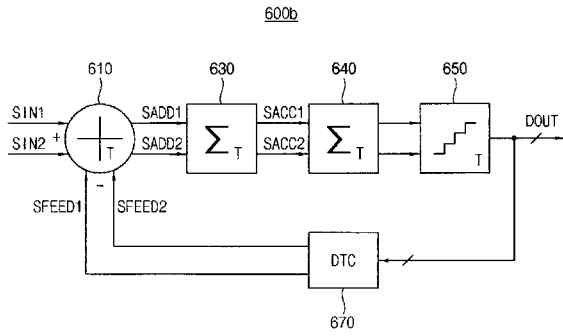
【図 30】



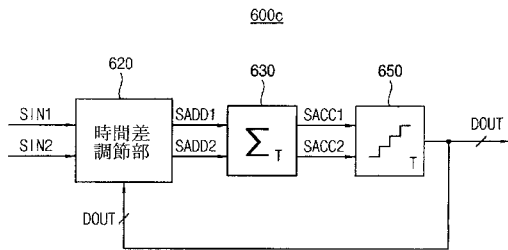
【図 31】



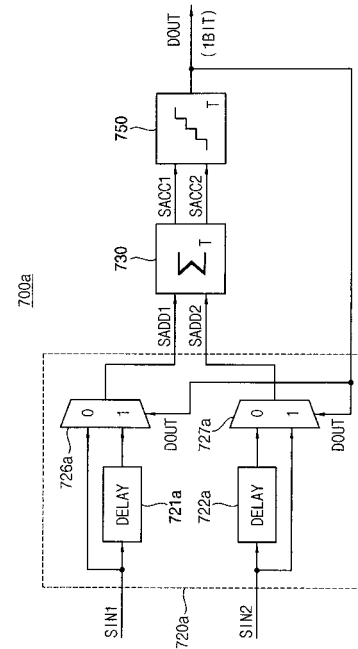
【図 3 2】



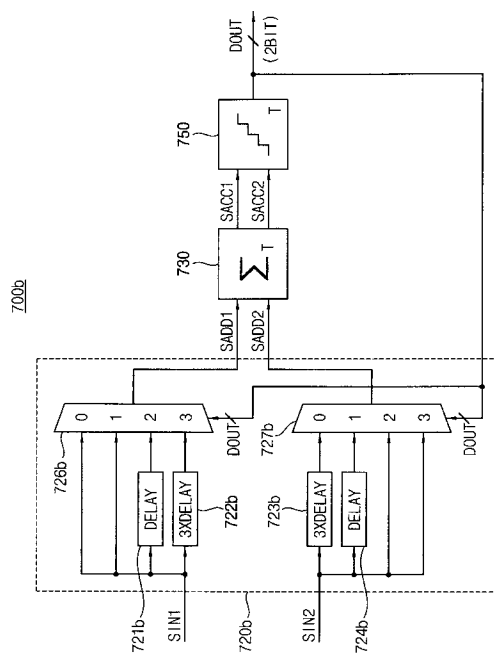
【図 3 3】



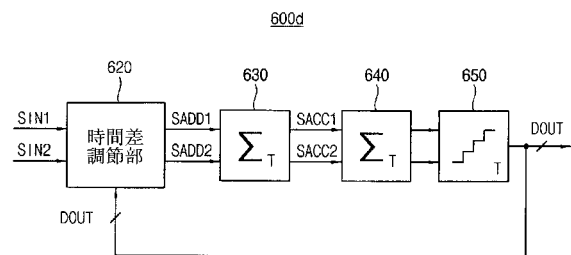
【図 3 4】



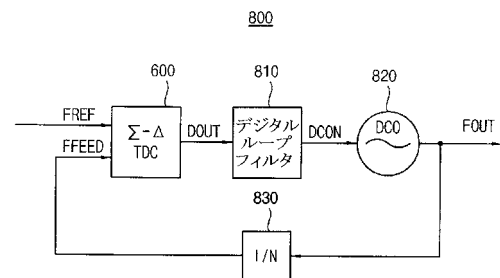
【図 3 5】



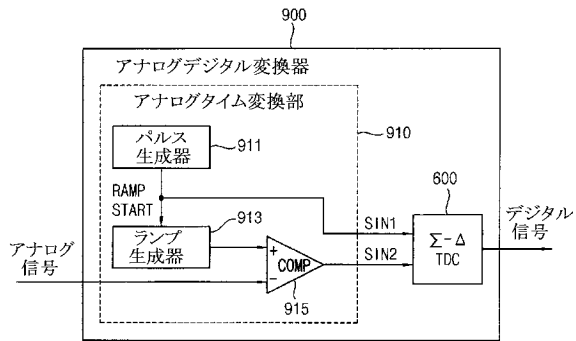
【図 3 6】



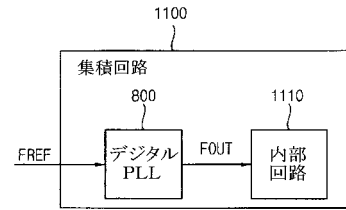
【図 3 7】



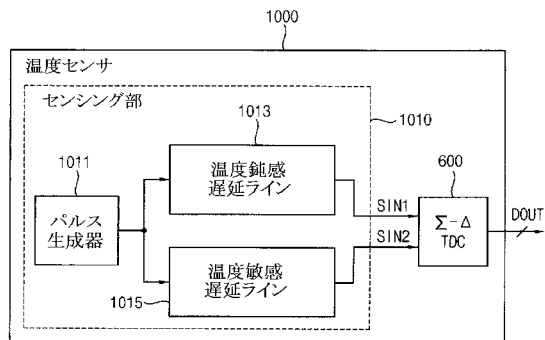
【図 38】



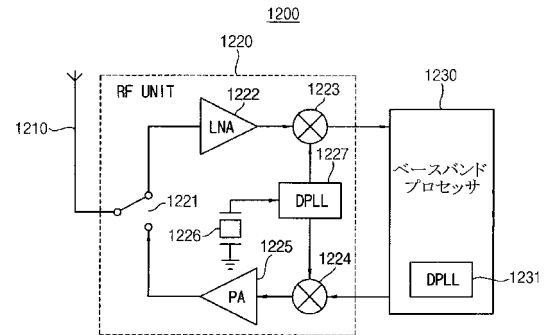
【図 40】



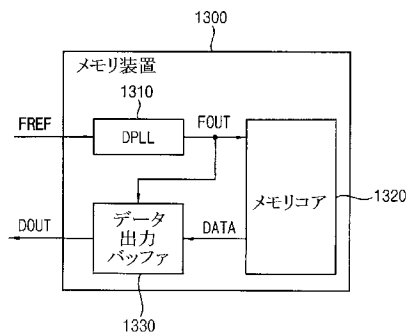
【図 39】



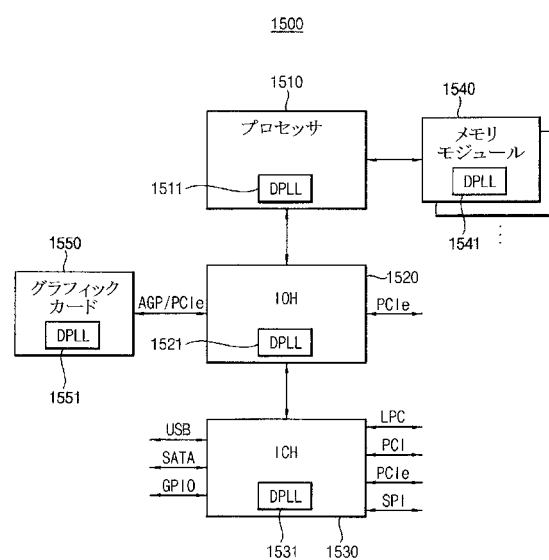
【図 41】



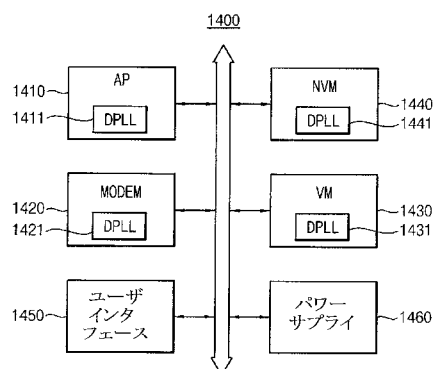
【図 42】



【図 44】



【図 43】



フロントページの続き

(72)発明者 金 志▲ヒョン▼

大韓民国京畿道華城市盤松洞示範ダウンマウルワールドメルディアン バンドユボラアパートメン
ト 3 4 2 棟 1 0 0 2 号

Fターム(参考) 5J022 AA11 CB06 CE04 CE08 CG01

5J039 JJ07 JJ14 KK01 KK05 KK09 KK10 KK13 KK20 KK27 KK28

KK29 KK31 MM16

5J106 AA05 BB01 BB03 CC16 CC26 CC41 CC46 CC52 CC58 DD06

DD09 DD32 DD37 DD38 DD42 DD46 FF08 GG04 KK05 KK25