

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年10月6日(2016.10.6)

【公開番号】特開2014-59874(P2014-59874A)

【公開日】平成26年4月3日(2014.4.3)

【年通号数】公開・登録公報2014-017

【出願番号】特願2013-191525(P2013-191525)

【国際特許分類】

G 0 6 F	12/06	(2006.01)
H 0 4 N	5/76	(2006.01)
H 0 4 N	5/907	(2006.01)
H 0 4 N	5/91	(2006.01)
H 0 4 N	5/225	(2006.01)

【F I】

G 0 6 F	12/06	5 2 2 A
H 0 4 N	5/76	Z
H 0 4 N	5/907	B
H 0 4 N	5/91	J
H 0 4 N	5/225	F

【手続補正書】

【提出日】平成28年8月23日(2016.8.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

それぞれの連続撮影イメージデータ(CSID)を生成するマルチブル連続撮影(CS)動作が実行される間に、イメージ処理システムに含まれ、保存ファームウエアを保存する不揮発性ファームウエア保存領域と第1メモリ領域と第2メモリ領域とを含むメモリアレイを含むフラッシュ保存装置を動作させるための、前記フラッシュ保存装置のフラッシュコントローラによって実行される方法において、

ホストから領域割り当て情報(RAI)の単一インスタンスを受信する段階と、

前記CS動作が実行される間に、前記RAIの受信に応答して、前記第1メモリ領域の一部を、前記CSIDのみを一時的に保存するための専用CSIDバッファ領域に割り当てる段階と、

正常プログラム動作中に、前記第2メモリ領域の一部を、正常データを保存するための正常データ領域に割り当てる段階と、を含み、

前記不揮発性ファームウエア保存領域は、第1速度で行われるデータアクセス動作を支援し、

前記第1メモリ領域は、前記第1速度で行われる前記正常プログラム動作を含むデータアクセス動作を支援し、

前記第2メモリ領域は、前記第1速度よりも遅い第2速度で行われるデータアクセス動作を支援し、

前記フラッシュコントローラは、ランダムアクセスメモリ(RAM)と、前記保存ファームウエアを前記RAMにロードして実行するCPUとを含み、

前記フラッシュコントローラにより実行される前記保存ファームウエアは、受信した前

記 R A I の単一インスタンスを解析し、前記解析した R A I に基づいて、前記第 1 メモリ領域の一部を前記専用 C S I D バッファ領域に割り当て、前記第 2 メモリ領域の一部を前記正常データ領域に割り当てる方法。

【請求項 2】

前記 R A I は、イメージ解像度設定、C S フレームレート、及び C S 時間のうち少なくとも 2 つ、または C S I D バッファ領域サイズ値を含む請求項 1 に記載の方法。

【請求項 3】

前記第 1 メモリ領域は、シングルレベルメモリセル (S L C) でのみ動作するフラッシュメモリセルを含み、前記第 2 メモリ領域は、マルチレベルメモリセル (M L C) で動作するフラッシュメモリセルを含む請求項 1 に記載の方法。

【請求項 4】

前記イメージ処理システムの初期化動作中に、前記ホストに含まれたメモリに前記 R A I を保存する段階をさらに含む請求項 1 に記載の方法。

【請求項 5】

前記フラッシュ保存装置は、前記ホストから受信された S W I T C H 命令に応答して、前記 R A I を保存する V E N D O R _ S P E C I F I C _ F I E L D フィールドを有する e x t e n t e d _ c a r d _ s p e c i f i c _ d e v i c e (E X T _ C S D) レジスタを含むエンベデッドマルチメディアカード (e M M C) である請求項 1 に記載の方法。

【請求項 6】

前記ホストは、プロセッサとカメラモジュールとを含み、前記方法は、

前記カメラモジュールで前記 C S I D を生成し、前記 C S I D に関連した C S I D フラグを生成し、前記プロセッサに前記 C S I D と前記 C S I D フラグとを提供する段階と、

前記プロセッサを用いてランダムアクセスメモリ (R A M) に前記 C S I D を保存する段階と、

前記 R A I と前記 C S I D フラグとに応答して、前記プロセッサを用いて前記専用 C S I D バッファ領域に前記 C S I D をプログラミングする段階と、を前記 C S 動作のそれぞれに含む請求項 1 に記載の方法。

【請求項 7】

前記ホストは、プロセッサとカメラモジュールとを含み、前記フラッシュ保存装置は、e M M C であり、前記方法は、

前記カメラモジュールで前記 C S I D を生成し、前記 C S I D に関連した C S I D フラグを生成し、前記プロセッサに前記 C S I D と前記 C S I D フラグとを提供する段階と、

前記プロセッサを用いてランダムアクセスメモリ (R A M) に前記 C S I D を保存する段階と、

前記 R A I と前記 C S I D フラグとに応答して、前記プロセッサを用いて前記専用 C S I D バッファ領域に前記 C S I D をプログラミングする段階と、を前記 C S 動作のそれぞれに含み、

前記 C S I D フラグは、C M D 2 3 命令の c o n t e x t _ I D であって、前記ホストから前記 e M M C に伝送され、前記 C S I D は、C M D 2 5 命令のデータであって、前記ホストから前記 e M M C に伝送される請求項 1 に記載の方法。

【請求項 8】

前記 C S 動作のうち少なくとも 1 つを実行した後、移送命令を前記ホストから前記フラッシュ保存装置に伝送する段階と、

前記専用 C S I D バッファ領域に保存された前記 C S I D の一部を前記第 2 メモリ領域にコピーする前記移送命令に応答して移送動作を行う段階と、

をさらに含む請求項 6 に記載の方法。

【請求項 9】

前記フラッシュ保存装置は、前記プロセッサと共に前記専用 C S I D バッファ領域に前

記 C S I D の前記プログラミングを制御するフラッシュコントローラとページバッファとを含む請求項 8 に記載の方法。

【請求項 10】

前記移送命令は、C S 動作の実行後、一定の時間が経過した後、前記ホストから前記フラッシュ保存装置に伝送される請求項 8 に記載の方法。

【請求項 11】

前記ホストは、プロセッサとカメラモジュールとを含み、前記方法は、

前記カメラモジュールで前記 C S I D を生成し、前記 C S I D のサイズを指示する C S I D フラグを生成し、前記プロセッサに前記 C S I D と前記 C S I D フラグとを提供する段階と、

前記プロセッサを用いてランダムアクセスメモリ (R A M) に前記 C S I D を保存する段階と、

前記 C S I D のサイズと前記専用 C S I D バッファ領域の残りの使用可能なメモリ領域のサイズとを比較する段階と、

前記 C S I D のサイズが、前記専用 C S I D バッファ領域の残りの使用可能なメモリ領域のサイズよりも小さいか同じである時にのみ、前記 R A I と前記 C S I D フラグとに応答して、前記プロセッサを用いて前記専用 C S I D バッファ領域に前記 C S I D をプログラミングし、そうではない時、前記プロセッサを用いて前記第 2 メモリ領域に前記 C S I D をプログラミングする段階と、を前記 C S 動作のそれぞれに含む請求項 1 に記載の方法。

【請求項 12】

前記 R A M に前記 C S I D を保存する段階は、

前記 C S 動作が実行される間に、リアルタイムで前記 R A M に前記 C S I D をバッファリングし、前記 C S I D を前記 R A M から前記フラッシュメモリ装置に伝送する請求項 1 に記載の方法。

【請求項 13】

プロセッサを含み、連続撮影イメージデータ (C S I D) を生成するホストと、

不揮発性ファームウエア保存領域を含むメモリセルアレイを含むフラッシュ保存装置と、を含み、

前記不揮発性ファームウエア保存領域は、保存ファームウエアと第 1 メモリ領域と第 2 メモリ領域とを保存し、前記第 1 メモリ領域の一部は、前記 C S I D のみを一時的に保存する専用 C S I D バッファ領域であり、前記第 2 メモリ領域は、正常プログラム動作中に、前記ホストから前記フラッシュ保存装置に提供される正常データを保存し、

前記不揮発性ファームウエア保存領域は、第 1 速度で行われるデータアクセス動作を支援し、

前記第 1 メモリ領域は、前記第 1 速度で行われる前記正常プログラム動作を含むデータアクセス動作を支援し、

前記第 2 メモリ領域は、前記第 1 速度よりも遅い第 2 速度で行われるデータアクセス動作を支援し、

前記フラッシュ保存装置は、前記プロセッサから受信した領域割り当て情報 (R A I) の単一インスタンスの受信に応答して、前記第 1 メモリ領域に前記専用 C S I D バッファ領域を定義するフラッシュコントローラを含み、

前記フラッシュコントローラは、ランダムアクセスメモリ (R A M) と、前記保存ファームウエアを前記 R A M にロードして実行する C P U とを含み、

前記フラッシュコントローラにより実行される前記保存ファームウエアは、前記 R A I の単一インスタンスを解析し、前記解析した R A I に基づいて、前記第 1 メモリ領域の一部を前記専用 C S I D バッファ領域に割り当て、前記第 2 メモリ領域は、前記正常プログラム動作中に、前記ホストから前記フラッシュ保存装置に提供される前記正常データを保存するイメージ処理システム。

【請求項 14】

前記第1メモリ領域は、シングルレベルメモリセル（SLC）のみで動作するフラッシュメモリセルを含み、前記第2メモリ領域は、マルチレベルメモリセル（MLC）で動作するフラッシュメモリセルを含む請求項13に記載のシステム。

【請求項15】

前記ホストは、

前記CSDを前記プロセッサに提供するカメラモジュールと、

前記イメージ処理システムによって実行される連続撮影（CS）動作のシーケンスの間に、リアルタイムで前記プロセッサから受信した前記CSDをバッファリングするランダムアクセスメモリ（RAM）と、
を含む請求項14に記載のシステム。

【請求項16】

前記プロセッサは、前記ホストから前記フラッシュ保存装置に伝送されるデータが、前記CSDであることを指示するCSDフラグをさらに提供し、

前記フラッシュコントローラは、前記CSDフラグに応答して、前記専用CSDバッファ領域に前記CSDを保存する請求項15に記載のシステム。

【請求項17】

前記フラッシュコントローラは、前記CSDのサイズが、前記専用CSDバッファ領域で残りの利用可能なメモリ領域のサイズよりも小さいか同じであると最初に判断される時にのみ、前記専用CSDバッファ領域に前記CSDを保存し、そうではない時、前記フラッシュコントローラは、前記第2メモリ領域に前記CSDを保存する請求項16に記載のシステム。

【請求項18】

前記プロセッサは、前記フラッシュ保存装置に移送命令をさらに提供し、前記移送命令に応答して、前記フラッシュコントローラは、前記専用CSDバッファ領域に保存される前記CSDの一部を前記第2メモリ領域にコピーする請求項15に記載のシステム。

【請求項19】

前記フラッシュコントローラは、CS動作の実行後、所定の時間が経った後に、前記ホストから前記移送命令を受信できない時、前記専用CSDバッファ領域に保存された前記CSDの一部を前記第2メモリ領域にコピーする請求項18に記載のシステム。

【請求項20】

前記ホストは、前記カメラモジュールから直接前記CSDを受信するか、前記プロセッサから前記CSDを受信するフラッシュ保存インターフェースコントローラをさらに含む請求項19に記載のシステム。

【請求項21】

前記RAMは、ダイナミックRAM（DRAM）である請求項19に記載のシステム。

【請求項22】

前記ホストと前記フラッシュ保存装置は、システム・オン・チップ（SOC）製造技術を使って共通基板上に製造される請求項21に記載のシステム。