

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4583694号
(P4583694)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.

F I

H03M 1/44 (2006.01)

H03M 1/44

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2001-560540 (P2001-560540)	(73) 特許権者	591016172
(86) (22) 出願日	平成12年8月25日 (2000.8.25)		アドバンスト・マイクロ・ディバイズ・
(65) 公表番号	特表2003-523679 (P2003-523679A)		インコーポレイテッド
(43) 公表日	平成15年8月5日 (2003.8.5)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2000/023456		CES INCORPORATED
(87) 国際公開番号	W02001/061860		アメリカ合衆国、94088-3453
(87) 国際公開日	平成13年8月23日 (2001.8.23)		カリフォルニア州、サニibel、ピー・
審査請求日	平成19年7月25日 (2007.7.25)		オウ・ボックス・3453、ワン・エイ・
(31) 優先権主張番号	09/506,037		エム・ディ・プレイス、メイル・ストップ
(32) 優先日	平成12年2月17日 (2000.2.17)		・68 (番地なし)
(33) 優先権主張国	米国 (US)	(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄

最終頁に続く

(54) 【発明の名称】 パイプラインアナログ-デジタル (A/D) 変換器のためのデジタル論理訂正回路

(57) 【特許請求の範囲】

【請求項 1】

パイプラインアナログ-デジタル (A/D) 変換器のためのデジタル論理訂正 (DLC) 回路であって、A/D変換器は複数のステージを有し、各ステージは少なくとも1対のデジタル出力ビットを生成し、そこからアナログ入力信号のデジタル表現を得ることができ、DLC回路は、

加算器を含み、加算器は複数の入力および出力を有し、前記DLC回路はさらに、

複数のデジタル遅延セットを含み、各デジタル遅延セットは少なくとも1つのデジタル遅延を含み、デジタル遅延セットの入力是对応するデジタル出力ビットを受取り、遅延セットの出力は、遅延されたデジタル出力ビットをそれぞれの加算器入力に提供し、前記DLC回路はさらに、

クロックジェネレータを含み、クロックジェネレータは、DLC回路にクロック信号を提供してデータ有効周期の間に加算器入力に各デジタル遅延セットの出力の到着を同期させ、

1次クロック信号は、1つおきのステージのためのデジタル遅延セットに与えられ、2次クロック信号は残りのデジタル遅延セットに与えられ、1次クロック信号と2次クロック信号とのタイミングは、それぞれのデジタル遅延セットを介して各ステージのデジタル出力ビットを遅延してデジタル出力ビットをデータ有効周期の間に加算器入力に到着させ、加算器が加算器出力でアナログ入力信号のデジタル表現を生成するのに有効である、デジタル論理訂正 (DLC) 回路。

10

20

【請求項 2】

1 次クロック信号と 2 次クロック信号とは、2 相の重なり合わないクロックを形成する、請求項 1 に記載の D L C 回路。

【請求項 3】

各遅延セットに与えられるクロック信号は、遅延セットによって遅延されているデジタル出力ビットをラッチするために用いられる 2 相の重なり合わないクロックの逆位相である、請求項 2 に記載の D L C 回路。

【請求項 4】

1 次クロック信号のパルスおよび 2 次クロック信号のパルスは、ほぼ同じ長さを有する、請求項 2 に記載の D L C 回路。

10

【請求項 5】

各遅延は遅延に与えられるクロック信号の立上がり端縁上でサンプリングする、請求項 1 に記載の D L C 回路。

【請求項 6】

加算器は 1 次クロック信号と同期させられる、請求項 5 に記載の D L C 回路。

【請求項 7】

加算器は 1 次クロック信号と同期させられる、請求項 1 に記載の D L C 回路。

【請求項 8】

A / D 変換器はサンプルホールドステージを有し、サンプルホールドステージは、アナログ入力信号をサンプリングし、かつホールドし、サンプリングされかつホールドされた信号を出力し、A / D 変換器は第 1 のステージを有し、第 1 のステージは、サンプリングされかつホールドされた信号に基づいて第 1 のデジタル出力を生成し、かつラッチし、アナログ入力信号とデジタル出力のアナログ表現との比較に基づいて残差信号を生成し、A / D 変換器は第 2 のステージを有し、第 2 のステージは、第 1 のステージが生成する残差信号に基づいて第 2 のデジタル出力を生成し、かつラッチする、請求項 1 に記載の D L C 回路。

20

【請求項 9】

サンプルホールドステージはアナログ入力信号の $\pm 2.5\%$ の許容限界を有する、請求項 8 に記載の D L C 回路。

【請求項 10】

D L C 回路およびパイプライン A / D 変換器は、データネットワークデバイスのためのフロントエンド回路の一部であり、アナログ入力信号は電話線上で受取られて入ってくるデータ信号である、請求項 8 に記載の D L C 回路。

30

【請求項 11】

アナログ入力信号のデジタル表現でのビットの数は奇数であり、デジタル出力ビットを生成する M の数のステージが存在し、各ステージは B の数のデジタル出力ビットを生成し、遅延の合計数は $B(1 + M/2)(M/2)$ に等しい、請求項 1 に記載の D L C 回路。

【請求項 12】

アナログ入力信号のデジタル表現でのビットの数は偶数であり、デジタル出力ビットを生成する M の数のステージが存在し、各ステージは B の数のデジタル出力ビットを生成し、遅延の合計数は、

40

【数 1】

$$B\left(\left(1 + \frac{M-1}{2}\right)\left(\frac{M-1}{2}\right) + \frac{M+1}{2}\right)$$

に等しい、請求項 1 に記載の D L C 回路。

【発明の詳細な説明】

【0001】

50

【技術分野】

この発明は一般に、パイプラインアナログ - デジタル (A/D) 変換器に関し、より具体的には、シフトレジスタの数が減じられたパイプライン A/D 変換器デジタル論理訂正回路に関する。

【0002】

【背景】

アナログ電圧信号をデジタル表現へと正確に変換するアナログ - デジタル (A/D) 変換器に対する需要が絶えず存在している。より少ない電力を使用し、かつ集積回路上でより小さな面積を占める、より高速の A/D 変換器も必要とされている。

【0003】

図 1 は、従来のパイプラインアナログ - デジタル (A/D) 変換器 10 を示す。A/D 変換器 10 は、アナログ電気入力信号 (V_{IN}) をアナログ信号のデジタル表現 (D_{OUT}) へと変換する。示される例は 4 ビット A/D 変換器であるが、変換器ステージの追加または除去とともに、より多くのビットまたはより少ないビットの解像度が実現され得ることが理解されるだろう。したがって、A/D 変換器の解像度は、N ビット A/D 変換器と呼ばれることもあり、N はデジタル出力ビット数を示す。A/D 変換器 10 は、最初のステージ上で提供されるアナログ信号入力 12 を有する。最初のステージは、サンプルホールド増幅器 (SHA) 14 である。SHA 14 は、アナログ入力信号をサンプリングし、パイプライン A/D 変換器 10 の次のステージのために SHA 出力 16 で、サンプリングされた電圧、または $V_{s/h}$ をホールドする。SHA 14 に続くステージは、複式デジタル - アナログ変換器 (MDAC) 18 である。MDAC 18 ステージがパイプラインに加えられて出力ビット数が増大される。

【0004】

さらに図 2 を参照して、MDAC 18 の各々は、アナログ入力 20 とアナログ出力 22 とを有する。各 MDAC 18 は、アナログ入力 20 に与えられる MDAC 入力信号 V_I のアナログからデジタルへの変換を行なう。各 MDAC 18 はまた、増幅された残差信号 V_{res} を計算し、これがアナログ出力 22 で次のステージのために出力される。MDAC 18 ステージの数は、A/D 変換器 10 の所望の解像度によって、または N の値によって、決定される。MDAC 18 ステージの数は $N - 2$ に等しい。例では、解像度は 4 ビットである。したがって、2 つの MDAC 18 ステージが存在し、それらは $MDAC_1$ (参照番号 24) および $MDAC_2$ (参照番号 26) と呼ばれる。SHA 出力 16 が $MDAC_1$ のアナログ入力 20 に接続される。 $MDAC_1$ のアナログ出力 22 が $MDAC_2$ のアナログ入力 20 に接続される。したがって、 $V_{s/h}$ を受取る $MDAC_1$ を除いては、各 MDAC の V_I 20 は、先立つ MDAC 18 の V_{res} であり、それはここで V_{resm} と呼ばれ、m は出力信号を生成する MDAC 18 を表す。例では $MDAC_2$ である最後の MDAC 18 のアナログ出力 22 が最後のステージ 30 の入力 28 に接続される。以下でより詳細に考察される最後のステージ 30 は、アナログ出力を有さない。

【0005】

MDAC 18 の各々と最後のステージとは、解像度の 1 ビットと、誤差を訂正するための 1 ビットとを提供するための 2 つのデジタル出力 32 および 34 を有する。ビットは一般に b_1 および b_0 と呼ばれるか、または、特定の MDAC 18 では b_{m1} および b_{m0} と呼ばれ、m は、出力信号を生成する MDAC 18 または最後のステージ 30 を表す。 $MDAC_1$ はいくらかの度合いの誤差を備えた b_{10} および b_{11} を生成し、 $MDAC_2$ はいくらかの度合いの誤差を備えた b_{20} および b_{21} を生成し、以下同様であることが注目される。さらに図 4 を参照して、例示的な 4 ビット A/D 変換器 10 の最後のステージ 30 は、 b_{31} および b_{30} を生成し、 b_{30} は最下位ビット (LSB) であり、 b_{31} は、 b_{31} と b_{20} とを加えることによって、 $MDAC_2$ が生成する誤差を訂正するために用いられる。例示されるように、 b_{21} が b_{10} に加えられて、 $MDAC_1$ が生成する誤差が訂正される。したがって、一般に、 b_{m1} を用いて $MDAC_{m-1}$ が生成する誤差が訂正される。

【0006】

10

20

30

40

50

図 1 および図 2 を引き続き参照して、各 M D A C 1 8 は、 V_i から b_1 および b_0 を生成するための 1 . 5 ビットアナログ - デジタル変換器 (A D C) 3 6 を有する。表 1 は、M D A C 1 8 の V_i に関しての b_1 および b_0 の値についての定義表である。± V_r は A D C 3 6 のフルスケールレンジであることが注目される。

【 0 0 0 7 】

【表 1】

表 1

入力電圧範囲 (V_i)	b_1	b_0
$V_i < -V_r/4$	0	0
$-V_r/4 < V_i < +V_r/4$	0	1
$V_i > +V_r/4$	1	0

10

【 0 0 0 8 】

A D C 3 6 によって b_1 および b_0 が一旦生成されると、それらはデジタル出力 3 2 および 3 4 で出力され、また 1 . 5 ビットデジタル - アナログ変換器 (D A C) 3 8 へと入力される。D A C 3 8 は b_1 および b_0 をアナログ信号または V_{DAC} へと変換し、それは V_{res} の計算で用いられる。表 2 は、M D A C 1 8 の b_1 および b_0 に関しての V_{DAC} の値についての定義表である。

20

【 0 0 0 9 】

【表 2】

表 2

b_1	b_0	V_{DAC}
0	0	$-V_r/2$
0	1	0
1	0	$+V_r/2$

30

【 0 0 1 0 】

M D A C 1 8 は、加算器 4 0 でもって V_i から V_{DAC} を減じ、さらには合計値 (summed value) を 2 の利得を有する増幅器 4 2 で増幅することによって、 V_{res} を生成する。さらに図 3 を参照して、M D A C 1 8 の特性が示される。図 3 は、 $V_i - V_{res}$ をグラフで示し、 V_i の値の範囲上の b_1 および b_0 の値を示す。

【 0 0 1 1 】

最後のステージ 3 0 は、最後のステージの入力電圧 V_i を 2 ビットのデジタル値へと変換するための 2 ビットアナログ - デジタル変換器 (A D C) である。したがって、M D A C 1 8 と同様に、最後のステージは、 b_1 および b_0 をそれぞれ提供する 2 つのデジタル出力 3 2 および 3 4 を有する。最後のステージ 3 0 の第 2 のデジタル出力 3 4 で提供される b_0 は、A / D 変換器 1 0 のデジタル出力の最下位ビットを示す。代替的には、最後のステージ 3 0 は、出力 2 2 を他のいかなるステージにも接続せずに M D A C 1 8 で実現される。表 3 は、2 ビットの最後のステージ 3 0 の V_i に関しての b_1 および b_0 の値についての定義表である。

40

【 0 0 1 2 】

【表 3】

表3

入力電圧範囲 (V_i)	b_1	b_0
$V_i < -V_r/4$	0	0
$-V_r/4 < V_i < -V_r/4$	0	1
$-V_r/4 < V_i < +V_r/4$	1	0
$V_i > +V_r/4$	1	1

10

【0013】

MDAC18および最後のステージ30のデジタル出力はデジタル論理訂正回路44に入力される。デジタル論理訂正回路44は、A/D変換器10のデジタル出力 D_{OUT} を生成する。デジタル出力は、一連のビット、または D_{N-1} から D_0 である。例では、Nは4ビットである。したがって、デジタル出力は D_3 、 D_2 、 D_1 、および D_0 であり、 D_3 は最上位ビット(MSB)であり、 D_0 は最下位ビット(LSB)である。デジタル論理訂正回路44は、MDAC18の1.5ビットADC36および最後のステージ30の2ビットADC内の不正確なしきい値によって生じた誤差を訂正する。個々のしきい値が理想値から $V_r/4$ 以下で逸脱する限りは、各ステージのシフトされたデジタル出力を加えることによって、誤差は訂正され得る。

20

【0014】

図4は、デジタル誤差訂正回路44のシフティング動作を示す。Sは、SHA14および最後のステージ30を除いたA/D変換器10のステージの数であることが注目される。言い換えると、SはパイプラインA/D変換器10内のMDAC18の数である。

【0015】

図5は、MDAC18の1.5ビットADC36および最後のステージ30の2ビットADCのためのしきい値が $V_r/4$ 以下で逸脱するという条件下での、図1で示された4ビットA/D変換器10の特性を示すグラフである。 $\pm V_R$ はA/D変換器10のフルスケールレンジであることが注目される。0ボルトのアナログ入力電圧がデジタルの中心1000として定められることも注目される。しかし、最後のステージ30の2ビットADCのしきい値が表3で示されるしきい値ではなく、 $+V_r \cdot 3/4$ 、 $+V_r/4$ および $-V_r/4$ ならば、図5で示されるA/D変換曲線は1つのLSBだけ右に移動し、結果として0ボルトのアナログ入力電圧がデジタルの中心0111として定められる。

30

【0016】

図2および図13を参照して、A/D変換器10のタイミングが考察される。A/D変換器10は、バイアスおよび基準ジェネレータ(図示せず)と、クロックジェネレータ(図示せず)とを有する。バイアスおよび基準ジェネレータは、A/D変換器10の種々のステージによる使用のための適切な電圧基準およびバイアス電流を生成する。クロックジェネレータは、2相の重なり合わない(nonoverlapping)クロック信号を生成し、そのそれぞれのクロックパルス信号はCLK1およびCLK2と呼ばれる。2つのクロックパルス信号CLK1およびCLK2の波形は図13の上部で示される。CLK1は事実上、約50%のデューティサイクルを有する。CLK2も事実上約50%のデューティサイクルを有するが、CLK1に対し180°遅れる。

40

【0017】

図2で示されるように、CLK1は、SHA14のサンプルクロック入力SAと、MDAC₁の増幅器42のホールドクロック入力Hとに与えられる。CLK2は、SHA14のホールドクロック入力Hと、MDAC₁のADC36のラッチクロック入力Lと、MDAC₁の増幅器42のサンプルクロック入力SAとに与えられる。図13で示されるように、同じクロック信号がMDAC₂のために用いられるが、クロック信号は互い違いになっている(alternated)。より具体的には、CLK1は、MDAC₂のADC36のラッチク

50

ロック入力 L と、MDAC₂の増幅器 42 のサンプルクロック入力 SA とに与えられ、CLK 2 は、MDAC₂の増幅器 42 のホールドクロック入力 H に与えられる。より高い解像度の A/D 変換器 10 のためにさらなる MDAC 18 ステージが存在するならば、第 3 の MDAC 18 および後続の MDAC 18 が、サンプル/ラッチ動作およびホールド動作のために CLK 1 と CLK 2 とを交互に用い、MDAC 18 のサンプル/ラッチが前の MDAC 18 のホールドと一致する。CLK 2 は、最後のステージ 30 のラッチクロック入力に与えられる。最後のステージ 30 は残差出力を生成しないため、最後のステージ 30 はサンプルおよび/またはホールド動作を行なわないことが注目される。

【0018】

SHA ステージ 14 と、MDAC₁と、MDAC₂と、最後のステージ 30 とのサンプル、ホールド、およびラッチ動作が図 13 の下部で示される。タイミング図の中の異なる陰影は、サンプルがすべてのステージを通るときの一連の 2 つのアナログ入力サンプル上のパイプライン変換プロセスを示す。SHA 14 は、CLK 1 の間にアナログ入力信号 V_{IN} をサンプリングし、CLK 2 の間にホールド動作を行なう。MDAC₁は、CLK 2 の間に V_{s/h}をサンプリングする。MDAC₁の ADC 36 は、CLK 2 のパルスの中に動作し、好ましくは CLK 2 の立下がり端縁上でデジタル出力をラッチし、V_{s/h}に N ビット精度のアナログ等価(analog equivalent of N bit accuracy)に整定する(settle)ための時間を与える。したがって、SHA 14 の許容限界(tolerance)は、1 つの LSB のアナログ等価である。MDAC₁は、CLK 1 の間に残差出力 V_{res1}を生成し、ホールドする。MDAC₂は、CLK 1 の間に V_{res1}をサンプリングし、そのデジタル出力を CLK 1 の終わりに、または CLK 1 の立下がり端縁上でラッチし、V_{res}に N - 1 ビット精度のアナログ等価に整定するための時間を与える。MDAC₂は CLK 2 の間に V_{res2}を生成し、ホールドする。最後のステージ 30 は、そのデジタル出力を CLK 2 の終わりに、または CLK 2 の立下がり端縁上でラッチし、V_{res2}に N - 2 ビット精度のアナログ等価に整定するための時間を与える。

【0019】

図 14 を参照して、従来のデジタル論理訂正(DLC)回路 44 が示される。N - ビットパイプライン A/D 変換器 10 のこれまでの DLC 回路 44 は、各 MDAC ステージ 18 および最後のステージ 66 のデジタル出力を遅延するための一連の遅延またはシフトレジスタを有し、図 4 で示されるようにそれらのそれぞれのデジタル出力が組合せられ得る。遅延の各々にはデジタル入力 164 とデジタル出力 166 とが設けられる。簡素化および明確化のために、図 14 の例示される DLC 回路 44 は、一つの連なり(one series)の遅延 160 を通して送られる各デジタル出力生成ステージの(上で考察された b_{m1}および b_{m0}表記法でラベル付けされる)多数のデジタル出力を示すことが注目される。しかし、実際の実現例では、各ステージのデジタル出力ビットの各々のために、別個の連なりの遅延 160 が必要とされる。A/D 変換器 10 ステージ当りのデジタル出力数は、ステージ当り B ビットとここで呼ばれる。A/D 変換器 10 の各ステージが B デジタル出力ビットを有する、N ビットパイプライン A/D 変換器 10 の従来の DLC 回路 44 が必要とする遅延 160 の合計数は、以下の式によって計算され得る。

【0020】

【数 2】

$$\text{遅延の数} = B(1 + 2 + \dots + N) = B(N + 1) \left(\frac{N}{2} \right)$$

【0021】

各遅延には、クロック入力 168 とリセット入力(図示せず)とが設けられる。同じクロック信号が DLC 回路 44 内の各遅延 160 のクロック入力 168 に与えられる。しかし、図 14 で示されるように、ある特定のいずれかの A/D 変換器 10 ステージの 1 つおきの遅延 160 が、反転されたクロック入力 168 を有する。したがって、各 A/D 変換器 10 ステージのデジタルデータ出力は、各クロック周期について 2 回遅延される。10 ビ

10

20

30

40

50

ット A/D 変換器 10 が図 14 で示される。したがって、MDAC₁ のデジタル出力は、合計で 9 回または 4.5 クロックサイクル遅延される。各ステージのデジタル出力が遅延された後、それらは、上で説明され、図 4 で示されるように、加算器 162 によって組合せられる。加算器 162 は、アナログ入力信号のデジタル表現または D_{OUT} を出力する。例の 10 ビット A/D 変換器 10 は、合計で 90 の遅延 160 を必要とする。

【0022】

従来のパイプライン A/D 変換器に関してさらなる情報が望まれるならば、以下が注目される。スティーブン H. ルーズ他 (Stephen H. Lewis et al.)、*「パイプライン 5-M サンプル/s 9 ビットアナログ-デジタル変換器」* (“A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter”)、IEEE J. ソリッドステート回路 (IEEE J. Solid-State Circuits)、vol. Sc-22、no. 6、第 954-961 頁、1987 年 12 月；スティーブン H. ルーズ他、*「10-b 20-M サンプル/s アナログ-デジタル変換器」* (“A 10-b 20-Msample/s Analog-to-Digital Converter”)、IEEE J. ソリッドステート回路、vol. 27、no. 3、第 351-358 頁、1992 年 3 月；トマス B. チョー他 (Thomas B. Cho et al.)、*「10b、20 M サンプル/s、35 mW パイプライン A/D 変換器」* (“A 10b, 20Msample/s, 35mW Pipeline A/D Converter”)、IEEE J. ソリッドステート回路、vol. 30、no. 3、第 166-172 頁、1995 年 3 月；クリッシュナスワミ ナガレー他 (Krishnaswamy Nagaraj et al.)、*「減じられた数の増幅器を備えた、250 mW、8-b、52-M サンプル/s 並列パイプライン A/D 変換器」* (“A 250mW, 8-b, 52-Msample/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers”)、IEEE J. ソリッドステート回路、vol. 32、no. 3、第 312-320 頁、1997 年 3 月；ユーミンリン他 (Yuh-Min Lin et al.)、*「3-μm CMOS における 13-b 2.5-MHz 自己較正パイプライン A/D 変換器」* (“A 13-b 2.5-MHz Self-Calibrated Pipelined A/D Converter in 3-μm CMOS”)、IEEE J. ソリッドステート回路、vol. 26、no. 4、第 628-636 頁、1991 年 4 月、が注目される。

【0023】

【発明の概要】

この発明は、パイプラインアナログ-デジタル (A/D) 変換器のためのデジタル論理訂正 (DL C) 回路を提供する。A/D 変換器は複数のステージを有し、各ステージは少なくとも 1 対のデジタル出力ビットを生成し、そこからアナログ入力信号のデジタル表現が得られ得る。DL C 回路は加算器を有し、加算器は複数の入力および出力を有する。DL C 回路は複数のデジタル遅延セットを有し、各デジタル遅延セットは少なくとも 1 つのデジタル遅延を含み、デジタル遅延セットの入力是对應するデジタル出力ビットを受取り、遅延セットの出力は遅延されたデジタル出力ビットをそれぞれの加算器入力に提供する。DL C 回路はクロックジェネレータを有し、クロックジェネレータは DL C 回路にクロック信号を提供してデータ有効周期の間に加算器入力における各デジタル遅延セットの出力の到着を同期させる。1 次クロック信号が、1 つおきのステージのためのデジタル遅延セットに与えられる。2 次クロック信号が残りのデジタル遅延セットに与えられる。1 次クロック信号と 2 次クロック信号とのタイミングは、それぞれのデジタル遅延セットを介して各ステージのデジタル出力ビットを遅延してデジタル出力ビットをデータ有効周期の間に加算器入力に到着させ、さらには加算器が加算器出力でアナログ入力信号のデジタル表現を生成するのに有効である。

【0024】

この発明のこれらの特徴およびさらなる特徴は、以下の説明および図を参照することによって明らかとなるだろう。

【0025】

【発明の開示】

以下の詳細な説明では、同一の構成要素には同じ参照番号が与えられ、これは、それらが

この発明の異なる実施例で示されているか否かにかかわらず行なわれる。この発明を明確に、かつ簡潔に例示するために、図は必ずしも一定の縮尺に応じているわけではなく、ある特定の特徵は多少概略的な形で示されることもある。

【0026】

図6を参照して、この発明に従ったアナログ-デジタル(A/D)変換器60が示される。A/D変換器60は、アナログ電気入力信号(V_{IN})をアナログ信号のデジタル表現(D_{OUT})へと変換する。示される例は10ビットA/D変換器であるが、変換器ステージの追加または除去とともに、より多くのビットまたはより少ないビットの解像度が容易に実現されることが理解されるだろう。したがって、A/D変換器の解像度はNビットA/D変換器と呼ばれることもあり、Nはデジタル出力ビット数を示す。示される例のA/D変換器60は、40MHzのサンプリング速度を有する。25-250MHz等の他のサンプリング速度も用いられ得る。

10

【0027】

図1で示されるA/D変換器10と同様に、A/D変換器60は、サンプルホールド増幅器(SHA)62と、MDAC₁からMDAC₈、または総称してMDAC_mとラベル付けされる複式デジタル-アナログ変換器(MDAC)64とも呼ばれる一連のアナログ信号変換器ステージと、最後のステージ66と、デジタル論理訂正回路68とを有する。加えて、A/D変換器60にはクロックジェネレータ70と、バイアスおよび基準電圧ジェネレータ72とが設けられる。バイアスおよび基準ジェネレータ72は、A/D変換器60の種々のステージの各々のために適切なバイアス電流および電圧基準を生成する。クロックジェネレータ70は4つのクロックパルス信号を生成し、それらはここで第1のクロックパルス信号またはCLKA、第2のクロックパルス信号またはCLKB、第3のクロックパルス信号またはCLK1、および第4のクロックパルス信号またはCLK2と呼ばれる。クロックジェネレータ70は、これらのクロックパルス信号の早期立下がりバースジョンも生成し、それらはここでCLKA、CLKB、CLK1、およびCLK2と呼ばれる。すべてのクロック線のロードおよび駆動能力は、クロック信号の重なり合わない特性を維持する助けとなるように、好ましくは同じである。A/D変換器60のタイミングは以下でより詳細に考察される。MDAC₁(参照番号74)は、MDAC₂からMDAC_m(参照番号76)とは異なった構成を有する。MDAC₂からMDAC_mの各々は同じ構成を有する。

20

30

【0028】

図7を参照して、A/D変換器60の一般的な動作が示される。A/D変換器60の動作の具体的な詳細は、以下でより詳細に考察される。しかし、例示され、かつ説明されるMDACのデジタル出力は例示的なものであり、1.5ビットよりも高い、またはそれよりも低い解像度を有するMDACが同様の結果でもって用いられ得ることが注目される。MDAC₁は $V_{s/h}$ を用いて b_{11} および b_{10} を生成する。しかし、MDAC₁は、残差計算で直接 $V_{s/h}$ を用いない。むしろ、MDAC₁は、 V_{IN} を残差計算動作で直接用いる。 $V_{s/h}$ は残差計算に直接加わらないため、 $V_{s/h}$ はNビット確度のアナログ電圧等価を必要としない。これは、SHA62の許容限界が1つのLSBよりも大きくなり得ることを意味する。言い換えると、 $V_{s/h}$ は緩和された(relaxed)確度要件を有する。以下でより完全に説明されるように、 $V_{s/h}$ と、MDAC₁のADCのしきい値オフセットとの中に含まれるいかなる誤差も $V_r/4$ 内に保たれるならば、デジタル訂正論理回路68は有効な D_{OUT} を回復できる。MDAC₁の残差出力はN-1ビットのアナログ等価内で正確であるべきことが注目される。しかし、SHA62のNビット確度を達成するための困難さが取り除かれ、それによってA/D変換器60の速度が上げられ、電力消費が減じられ、さらには集積回路サイズ要件も減じられる助けがなされ、同時にA/D変換器60の全体的な確度も維持される。

40

【0029】

図7を続けて参照して、SHA62とMDAC₁とがより詳細に考察される。SHA62は好ましくは単位(unity)利得を有する。 V_{IN} がSHA62のアナログ信号入力78に入

50

力される。S H A 6 2 は、アナログ入力信号 (V_{IN}) をサンプリングし、サンプリングされた電圧または $V_{s/h}$ を S H A 出力 8 0 で M D A C₁ のためにホールドする。各 M D A C 6 4 のための V_{IN} 、 $V_{s/h}$ 、および残差電圧 (V_{res}) は自己を基準にし (つまり、微分)、したがって、各々は 1 対の導体にわたって運ばれることが注目される。代替的には、 V_{IN} 、 $V_{s/h}$ 、および V_{res} は、シングルエンドで (single-ended) あってもよく、接地を基準にした単一の導体上で運ばれ得る。

【 0 0 3 0 】

S H A 6 2 は、クロックジェネレータ 7 0 からの C L K A 信号を受取るためのサンプルクロック入力 8 2 と、クロックジェネレータ 7 0 からの C L K B 信号を受取るためのホールドクロック入力 8 4 とを有する。S H A 6 2 は、図 8 で示されるような完全差動 (fully differential) 演算増幅器 8 5 を用いてスイッチドキャパシタ回路で実現され得る。スイッチ A および B は、クロック信号 C L K A および C L K B によってそれぞれ制御される C M O S トランジスタミッショングートで実現される。共に考慮すると、C L K A および C L K B は、2 相の重なり合わないクロックを形成し、その詳細は以下でより完全に考察される。スイッチ A は、C L K A の早期立下がりバージョンまたは C L K A によって制御される。完全差動演算増幅器 8 5 は、入力オフセット電圧 (V_{os})、各入力ノードのための入力寄生キャパシタンス (C_p)、および D C 差動利得 (A_o) を有する。記号 c m、+、および - が、図 8 および以下の式のある特定の電圧の接尾部 (suffixes) に加えられることが注目される。当業者は、c m はコモンモードを表し、+ および - 記号は、 V_{IN} 、 $V_{s/h}$ 、および V_{res} のための導体ペア (pairs) の個々の導体上の電位を区別することを理解するだろう。S H A 6 2 の確度要件がここで説明されるように緩和されていないならば、 C_s および C_f とラベル付けされる S H A 6 2 内のキャパシタは、全デバイスノイズ効果 (つまり、K T / C ノイズとオペアンプノイズ) が量子化ノイズよりもずっと小さくなるのに十分なほど大きい必要があることが注目される。その場合、0 . 3 5 μ m ダブルポリ技術における 2 0 μ m \times 2 0 μ m ポリ - ポリ (poly-poly) キャパシタで実現される 0 . 4 5 p f キャパシタが、1 0 ビット A / D 変換器のためのキャパシタ C_s および C_f のために用いられる。しかし、この発明は、 C_s および C_f のためにより小さなキャパシタを用いることもできる。位相 B では、演算増幅器の安定した入力値 (V_{yn}) が以下の式によって満たされる。

【 0 0 3 1 】

【 数 3 】

$$V_{yn} = V_{Incm} + \left(\frac{V_{s/h+} + V_{s/h-}}{2} - V_{s/hcm} \right) \left(\frac{C_f}{(C_f + C_p)} \right) - \frac{V_{os}}{2} + \frac{V_{s/h+} - V_{s/h-}}{2A_o}$$

【 0 0 3 2 】

位相 B では、演算増幅器の安定した出力値が以下の式によって表わされる。

【 0 0 3 3 】

【 数 4 】

$$V_{s/h+} - V_{s/h-} = \frac{\left(\frac{(C_s + C_f)}{C_f} \right) (V_{IN+} - V_{IN-}) - \left(1 + \frac{C_s}{C_f} + \frac{C_p}{C_f} \right) (V_{os})}{1 + \left(\frac{1}{A_o} \right) \left(1 + \frac{C_s}{C_f} + \frac{C_p}{C_f} \right)}$$

【 0 0 3 4 】

図 7 を参照して、M D A C₁ は、アナログ入力信号 (V_{IN}) を直接受取るためのアナログ信号入力 8 6 を有する。アナログ信号入力 8 6 は、残差増幅器 8 8 の入力に接続され、M

10

20

30

40

50

D A C₁の残差信号または V_{res1} を計算するために用いられる。M D A C₁にはまた、 $V_{s/h}$ を受取るためにS H A出力80に接続されるサンプルホールド電圧入力90が設けられる。M D A C₁は、図2で示されるM D A C 18のために用いられるA D C 36と同様のフラッシュ型1.5ビットアナログ - デジタル変換器 (A D C) 92を有する。A D C 92は、サンプルホールド電圧入力90に接続される入力有し、上の表1で示される定義に従って $V_{s/h}$ を2つのビット b_1 および b_0 へと変換する。A D C 92によって b_1 および b_0 が一旦生成されると、それらは、M D A C₁からデジタル論理訂正回路68へと出力され、また1.5ビットデジタル - アナログ変換器 (D A C) 94へと入力される。A D C 92は、クロックジェネレータ70が生成するC L K B信号を受取るためのラッチクロック入力96を有する。D A C 94は、図2で示されるM D A C 18のために用いられるD A C 38と同様のものである。D A C 94は、上の表2で示される定義に従って b_1 および b_0 を V_{DAC} へと変換する。D A C 94は V_{DAC} を出力し、これは、 V_{res1} の計算で用いられる残差増幅器88の第2の入力によって受取られる。残差増幅器には、C L K A信号を受取るためのサンプルクロック入力98と、C L K 1信号を受取るためのホールドクロック入力100とが設けられる。

【0035】

さらに図9を参照して、残差増幅器88は、完全差動演算増幅器102を用いる差動スイッチドキャパシタ倍電圧器である。演算増幅器102は好ましくは、高い利得(たとえば、80dB)および速い整定を提供するために利得増強カスケードロードを備えるテレスコープ状オペアンプである。M D A C₁の V_{res1} の確度は、 $1/2^{N-1}$ であって最下位ビットの半分よりも少ない微分(differential)非線形(DNL)(つまり、 $DNL < 1/2LSB$)を達成することが望まれる。 C_s および C_f とラベル付けされる残差増幅器88内のキャパシタは好ましくは、全デバイスノイズ効果(つまり、 KT/C ノイズとオペアンプノイズ)が量子化ノイズよりもずっと小さくなるのに十分なほど大きいことが注目される。好ましくは、キャパシタ C_s および C_f のために0.45pFキャパシタが用いられる。0.45pFキャパシタは、20 $\mu m \times 20\mu m$ ポリ - ポリキャパシタで実現され得る。スイッチAおよび1は、クロック信号C L K AおよびC L K 1によってそれぞれ制御されるC M O Sトランスマッションゲートで実現される。スイッチAは、C L K Aの早期立下がりバージョンまたはC L K Aによって制御される。増幅器102は、入力オフセット電圧(V_{os})、各入力ノードのための入力寄生キャパシタンス(C_p)、およびD C差動利得(A_o)を有する。10ビットA/D変換器60のための例の差動利得 A_o は、少なくとも4000である。図9および以下の式のある特定の電圧の接尾部に記号cm、+、および-が加えられることが注目される。当業者は、cmはコモンモードを表し、+および-記号は、 V_{IN} 、 $V_{s/h}$ 、および V_{res} のための導体ペアの個々の導体上の電位を区別することを理解するだろう。位相1では、増幅器102の安定した入力値(V_{yn})が以下の式によって満たされる。

【0036】

【数5】

$$V_{yn} = V_{INcm} + X \left(\frac{C_f}{(C_s + C_f + C_p)} \right) - \frac{V_{os}}{2} + \frac{V_{res+} - V_{res-}}{2A_o}$$

式中、

$$X = \left(\frac{C_f(V_{res+} + V_{res-})}{2} + \frac{C_s(V_{DAC+} + V_{DAC-})}{2} - \frac{(C_f + C_s)(V_{IN+} + V_{IN-})}{2} \right)$$

【0037】

位相1では、増幅器102の安定出力値が以下の式で表わされる。

【0038】

【数6】

10

20

30

40

50

$$V_{res+} - V_{res-} = \frac{\left(\frac{C_s + C_f}{C_f} \right) (V_{IN+} - V_{IN-}) - \left(1 + \frac{C_s}{C_f} + \frac{C_p}{C_f} \right) (V_{os}) + \left(\frac{C_s}{C_f} \right) (V_{DAC+} - V_{DAC-})}{1 + \left(\frac{1}{A_o} \right) \left(1 + \frac{C_s}{C_f} + \frac{C_p}{C_f} \right)}$$

【0039】

図7を参照して、MDAC₁は、b₁₁およびb₁₀を生成するためだけにV_{s/h}を用い、直接V_{res1}の計算ではそれを用いない。むしろ、MDAC₁は、残差値V_{res1}の計算ではアナログ入力信号V_{IN}を直接用いる。SHA62は、Nビット確度のアナログ電圧等価または1つのLSBの許容限界をもはや必要としない。なぜならば、残差生成プロセスからSHA62ステージは除去されるためである。V_{s/h}のための確度要件は、Nビット解像度のアナログ電圧等価を達成するための困難さからデジタル論理訂正回路を用いて訂正可能な許容限界にまで緩和される。したがって、SHA62ステージの確度または許容限界は、V_r/4よりも少ない誤差であるとして表わされ得るが、V_rはMDAC₁のADC92のフルスケールレンジである。MDAC₁のADC92のフルスケールレンジは、V_{IN}のフルスケールレンジに対応していることが注目される。したがって、SHA62の許容限界は、V_{IN}の±2.5%であるか、代替的にはN-1ビットのアナログ電圧等価の電圧出力確度として表わされる。当業者によって理解されるように、SHA62に必要とされる確度を減じることによって、ある特定の利点が提供される。それはSHA62内の速い整定時間に対する必要性を大きく減じ、SHA62の実現がより容易になる。また、SHA62は、電力消費およびチップ面積が減じられた回路で実現され得る。

【0040】

図10を参照して、第2のMDACまたはMDAC₂(参照番号104)と、最後のステージ66とが示される。MDAC₂は、図1で示されるA/D変換器10の中で見られるMDAC18(図2)と作動的に同じである。加えて、第1のMDACまたはMDAC₁の後のすべてのMDAC76は、タイミングを確立するためにMDAC76に与えられる入力クロック波形を除いては、同一である。種々のステージに与えられるクロック信号は、以下でより詳細に考察される。したがって、MDAC₁の後の、パイプライン内のMDAC76についての考察は、MDAC₂の以下の考察に限られる。MDAC₂は、2つのコンパレータとラッチクロック入力108とを有するフラッシュ型1.5ビットADC106を提供する。ADC106は、前のMDAC64の残差電圧V_{res}を上述のような2つの出力ビットb_{m1}およびb_{m0}へと変換する。出力ビットb_{m1}およびb_{m0}は、デジタル出力D_{OUT}の計算のためにデジタル誤差訂正回路へと入力される。出力ビットb_{m1}およびb_{m0}は、MDAC₂が提供する1.5ビットDAC110にも入力され、上述のようなV_{DAC}が生成される。MDAC₂は、MDAC₁のための残差増幅器88と実質的に同じ残差増幅器112を提供する。残差増幅器112は、上述のように前のステージの残差電圧およびV_{DAC}を用いてA/D変換器60の次のステージのために残差電圧V_{resm}を計算する。残差増幅器112は、サンプルクロック入力114とホールドクロック入力116とを有する。

【0041】

続けて図10を参照して、最後のステージ66は、A/D変換器10のための最後のステージ30(図1)と作動的に同じである。最後のステージ66は、3つのコンパレータとラッチクロック入力120とを有するフラッシュ型2ビットADC118を提供する。ADC118は、前のMDAC64の残差電圧V_{res}を上述のような2つの出力ビットb_{m1}およびb_{m0}へと変換する。出力ビットb_{m1}およびb_{m0}は、デジタル出力D_{OUT}の計算のためにデジタル誤差訂正回路に入力される。

【0042】

図11を参照して、この発明に従って構成された例の4ビットA/D変換器のタイミング

10

20

30

40

50

が説明される。図6で示される10ビットA/D変換器と同様に、例の4ビットA/D変換器は、SHAステージ62、第1のMDAC₁、第2のMDAC₂、および最後のステージ66を有するが、さらなる6つの中間のMDACステージ76、またはMDAC₃からMDAC₈を有さない。より高い解像度のA/D変換器ではなく、4ビットA/D変換器のタイミングが簡素化および明確化のために説明される。同じタイミングがより高いNビット変換器のために用いられるが、第3のMDAC76および後続のMDAC76のサンプルおよびホールドのためのクロック位相はステージごとに互い違いになる。より具体的には、第3のMDAC76および後続のMDAC76は、サンプル/ラッチ動作およびホールド動作のためにCLK1およびCLK2を代わるがわる用い、図11および図13のMDAC₁およびMDAC₂で例示されるように、MDAC64のサンプル/ラッチが前のMDAC76のホールドと一致する。

10

【0043】

4つのクロックパルス、CLKA、CLKB、CLK1、およびCLK2のための波形が図11の上部で示される。共に考慮すると、CLKAおよびCLKBは、2相の重なり合わないクロックを形成する。CLKAは事実上、約25%のデューティサイクルを有する。CLKBも事実上、約25%のデューティサイクルを有するが、CLKAに対して90°遅れる。共に考慮すると、CLK1およびCLK2は、2相の重なり合わないクロックを形成する。CLK1は事実上、約50%のデューティサイクルを有するが、CLKAに対して180°遅れる。CLK2も事実上、約50%のデューティサイクルを有するが、CLK1に対して180°遅れる。明確化および簡素化のために、4つのクロックパルス信号は方形の波として図11で示されることが注目される。しかし、クロックパルスは好ましくは、図13で示されるクロック信号で例示されるような傾斜した立上がり端縁および立下がり端縁を有する。

20

【0044】

SHAステージ62と、第1のMDAC₁と、第2のMDAC₂と、最後のステージ46とのサンプル、ホールド、およびラッチ動作が図11の下部で例示される。タイミング図中の異なる陰影は、サンプルがすべてのステージを通るときの一連の4つのアナログ入力サンプル上のパイプライン変換プロセスを示す。

【0045】

SHA62は、CLKAの間にアナログ入力信号V_{IN}をサンプリングし、CLKBの間にホールド動作を行なう。したがって、SHA62は、受け入れ可能な許容限界内のV_{s/h}をCLKBのパルスの終わりまでに生成する。言い換えると、V_{s/h}はデューティサイクルの半分でN-1ビット精度のアナログ等価に整定した。

30

【0046】

V_{s/h}を用いて、MDAC₁のADC92はCLKBのパルスの間に動作し、そのデジタル出力b₁₁およびb₁₀を生成する。好ましくは、ADC92はCLKBの立下がり端縁上でデジタル出力をラッチし、V_{s/h}に最大限の整定時間を与える。MDAC₁のラッチ動作はデューティサイクルの半分で達成されることが理解されるだろう。

【0047】

SHA62が行なうサンプリングと同時に、MDAC₁もCLKAの間に入力信号V_{IN}をサンプリングする。これが行なわれることによりすべてのステージが適切な時にV_{IN}の同じサンプルを変換することができ、各ステージのそれぞれの出力ビットb₁およびb₀が、ともに組合せられるのに適当な時間にデジタル論理訂正回路72にカスケード接続されて同じ入力サンプルのためにデジタル出力信号D_{OUT}が生成される。

40

【0048】

MDAC₁は、CLK1の間に残差出力V_{res1}を生成し、ホールドする。MDAC₂は、CLK1の間にV_{res1}をサンプリングし、そのデジタル出力をCLK1の終りに、好ましくはCLK1の立下がり端縁上でラッチし、V_{res1}にN-1ビット精度に整定するための時間を与える。MDAC₂は、CLK2の間にV_{res2}を生成し、ホールドする。最後のステージ66は、そのデジタル出力をCLK2の終りで、またはCLK2の立下がり端縁上で

50

ラッチし、 V_{res2} に $N - 2$ ビット確度に整定するための時間を与える。最後のステージ66はサンプルおよび/またはホールド動作を行わない。なぜならば、最後のステージ66は残差出力を生成しないからである。従来のA/D変換器10と比較して、 V_{IN} から D_{OUT} へのサンプルの全変換はA/D変換器60では半デューティサイクル分進んでいることが理解されるべきである。したがって、A/D変換器60は、サンプリングされた V_{IN} の各々のための D_{OUT} をA/D変換器10よりも速く引出す。たとえば、この発明に従った4ビットA/D変換器60は、従来の4ビットA/D変換器10より25%速い。なぜならば、この発明に従った4ビットA/D変換器60が V_{IN} サンプルを1.5クロックサイクルで変換するのに対し、4ビットの従来のA/D変換器は V_{IN} サンプルを2クロックサイクルで変換するからである。

10

【0049】

図15を参照して、この発明に従ったデジタル論理訂正(DLC)回路68が示される。DLC回路68は、従来のA/D変換器10(図1)とともに、またはA/D変換器60(図6)とともに用いられ得る。DLC回路68は、A/D変換器60の各ステージのデジタル出力を遅延またはシフトさせる。加えて、DLC回路68は、上で説明され図4で例示されるように、加算器176を用いて、シフトされたデジタル出力を組合せる。加算器176は、一連の入力と一連の出力とを有する。DLC回路68には、A/D変換器60の各デジタル出力生成ステージ(つまり、MDAC₁からMDAC_mおよび最後のステージ66)のための遅延170のセットまたはチェーンが設けられる。各セット内の遅延170は、直列に(in series)接続され、当該技術分野で周知であるようなフリップフロップで実現され得る。一連の遅延170の各々は、デジタル出力生成ステージのそれぞれのデジタル出力に接続されるデジタル入力172と、加算器のそれぞれの入力に接続される出力174とを有する。簡素化および明確化のために、図15の例示されるDLC回路68は、一つの連なりの遅延170を通して送られる各デジタル出力生成ステージの(上で考察された b_{m1} および b_{m0} 表記法でラベル付けされる)多数のデジタル出力を示すことが注目される。しかし、最も実例的な実現例では、各ステージの各デジタル出力ビットのために別個の連なりの遅延170が必要とされる(つまり、各遅延170は1つの入力172と1つの出力174とを有する)。代替的には、1よりも多くのビットを遅延する遅延170が用いられ得る。

20

【0050】

各遅延170にはクロック入力178も設けられる。MDAC₁から始めると、MDAC₁の出力ビットを加算器176に伝達する遅延170のクロック入力178がCLK1を受取る。MDAC₂のデジタル出力ビットを伝達する遅延170が、遅延170のクロック入力178でCLK2を受取る。このパターンが図15で示されるように繰返され、ここでは、CLK1およびCLK2は一連の遅延170の各々の間で代わるがわるになる。より具体的には、ある特定のいずれかの遅延170のクロック入力178に接続されるクロックパルス信号は、遅延170が伝達するデジタル出力をラッチするのに用いられる2相の重なり合わないクロック位相の逆位相である。たとえば、図11で示されるように、MDAC₂はその出力をCLK1の立下がり端縁上でラッチし、したがって、MDAC₂のデジタル出力を加算器178へと運ぶ一連の遅延170にはCLK2が与えられる。A/D変換器60のタイミングでは、MDAC₁はそのデジタル出力をCLK2の立下がり端縁と一致するCLKBの立下がり端縁でラッチする。したがって、MDAC₁から加算器176へとデジタル出力を運ぶ遅延170は、CLK1でクロックされる。遅延170は好ましくは、それらのそれぞれのクロック入力信号の立上がり端縁でトリガーする。各遅延170にはリセット入力(図示せず)も設けられる。当該技術分野で公知であるように、各遅延170のリセット入力のリセットクロックに接続される。より具体的には、各遅延は、各データ変換プロセスの始めでリセットされる。以下でより詳細に説明されるように、加算器176はCLK1と同期がとられる。

30

40

【0051】

図16および図17を参照して、DLC回路68のタイミングがより詳細に考察される。

50

明確にするために、図 16 は 4 ビット A / D 変換器のための D L C 回路 68 を示し、図 17 は関連のタイミング図を示す。M D A C₁ は、そのデジタル出力 b₁₁ および b₁₀ を (C L K 2 と一致する) C L K B の立下がり端縁でラッチする。b₁₁ および b₁₀ を受取る第 1 の遅延ユニット 170 または遅延₁は、C L K 1 の立上がり端縁で b₁₁ と b₁₀ とをサンプリングし、b₁₁ と b₁₀ との遅延されたバージョンまたは b¹₁₁ および b¹₁₀ を出力し、上付き数字はビットが何回遅延されたかを示す。b₁₁ と b₁₀ とを受取る第 2 の遅延ユニット 170 または遅延₂は、C L K 1 の次の立上がり端縁で b¹₁₁ と b¹₁₀ とをサンプリングし、b²₁₁ と b²₁₀ とを出力する。M D A C₂ は、そのデジタル出力 b₂₁ と b₂₀ とを C L K 1 の立下がり端縁でラッチする。b₂₁ と b₂₀ とを受取る第 1 の遅延ユニット 170 または遅延₃は、C L K 2 の立上がり端縁で b₂₁ と b₂₀ とをサンプリングし、b₂₁ と b₂₀ との遅延されたバージョンまたは b¹₂₁ と b¹₂₀ とを出力する。最後のステージ 66 は、そのデジタル出力 b₃₁ と b₃₀ とを C L K 2 の立下がり端縁でラッチする。b₃₁ と b₃₀ とを受取る第 1 の遅延ユニット 170 または遅延₄は、C L K 1 の立上がり端縁で b₃₁ と b₃₀ とをサンプリングし、b₃₁ と b₃₀ との遅延されたバージョンまたは b¹₃₁ と b¹₃₀ とを出力する。

【0052】

結果として得られる加算器への入力は、b²₁₁ および b²₁₀、b¹₂₁ および b¹₂₀、b¹₃₁ および b¹₃₀ である。図 17 で示されるように、b¹₂₁ および b¹₂₀ は、残りのビットよりも半クロックサイクル早く到着する。すべてのビットが所与のサンプルについて有効であるときの時間または時間範囲、またはデータ有効周期 (D V P) は、すべての加算器入力アナログ入力の同じサンプルを示す瞬間(moment(s))である。D V P は、C L K 1 の立上がり端縁でのビット b²₁₁、b²₁₀、b¹₃₁ および b¹₃₀ の到着と、C L K 2 の立上がり端縁での b¹₂₁ および b¹₂₀ ビットの次のサンプルの到着との間にある。加算器 176 の出力、または D₀、D₁、D₂、および D₃ は、D V P 内にある C L K 1 の立下がり端縁を用いて同期がとられる。当業者は、D V P の間に加算器 176 を同期させるために用いられるクロック信号およびビットをサンプリングするために遅延 170 によって用いられるクロック信号を変更して等しい結果を達成することができることを理解するだろう。たとえば、C L K 1 および C L K 2 は互いと取替えられてもよく、および / または立上がり端縁および立下がり端縁は互いと取替えられてもよい。

【0053】

図 15 を参照して、例示される D L C 回路 68 は、各ステージが 2 つのデジタル出力を有する 10 ビット A / D 変換器のためのものである。この 10 ビット A / D 変換器のための D L C 回路 68 は、50 の遅延 70 を必要とする。D L C 回路 68 は、アナログ入力を示す、あらゆる数のデジタル出力ビットまたは N を有する A / D 変換器にも適合され得ることが注目される。D L C 回路 68 は、図 6 で示される A / D 変換器 60 にも、図 1 で示される従来の A / D 変換器 10 にも、または他のあらゆるパイプライン A / D 変換器にも用いられ得る。D L C 回路 68 を用いる A / D 変換器が奇数の出力ビット N を有し、各ステージが B の数のデジタル出力ビットを有し、デジタル出力を生成する M の数のステージが存在するならば (この発明の A / D 変換器 60 は、出力ビット数 N よりも 1 つ少ないデジタル出力生成ステージ M を有する)、遅延 170 の数は、以下の式を用いて計算され得る。

【0054】

【数 7】

$$\text{遅延の数} = B \cdot 2 \left(1 + 2 + \dots + \frac{M}{2} \right) = B \left(1 + \frac{M}{2} \right) \left(\frac{M}{2} \right)$$

【0055】

デジタル出力ビット数 N が偶数ならば、遅延 170 の数は以下の式を用いて計算され得る。

10

20

30

40

50

【 0 0 5 6 】

【 数 8 】

$$\text{遅延の数} = B \left(2 \left(1 + 2 + \dots + \frac{M-1}{2} \right) + \frac{M+1}{2} \right) = B \left(\left(1 + \frac{M-1}{2} \right) \left(\frac{M-1}{2} \right) + \frac{M+1}{2} \right)$$

【 0 0 5 7 】

A / D 変換器 6 0 と従来の A / D 変換器 1 0 との各デジタル出力生成ステージは、CLK 1 および CLK 2 ともここで呼ばれる 2 相の重なり合わないクロックの各クロックサイクルの間にデジタルデータビットを生成する。いずれか 1 つのステージのデジタル出力は本来、後続のデジタル出力生成ステージに半クロックサイクル先立つ。たとえば、CLK 1 および CLK 2 が周期 T を有するならば、MDAC₁ のデジタル出力は、T / 2 または半クロックサイクルでラッチされ、その後 MDAC₂ のデジタル出力がラッチされる。各デジタル出力生成ステージのデジタル出力をラッチするのに用いられるような逆クロックを用いることによってそのデジタル出力を遅延することにより、図 1 4 の従来の D L C 回路 4 4 で示されるように、パイプライン内の 1 つ 1 つすべてのステージのために半クロックサイクル分だけ 1 つ 1 つのすべてのデータビットをシフトする必要がなくなる。したがって、デジタル出力生成ステージ当りより少ない遅延 1 7 0 が必要とされる。遅延の数を減じることによって、D L C 回路 6 8 が必要とするハードウェアの量が減じられ、これによって D L C 回路 6 8 が必要とする電力が減じられ、遅延の数を減じることによってさらに、D L C 回路 6 8 が生成するノイズも減じられる。加えて、遅延 1 7 0 が p / n トランスミッションゲートおよび静止インバータで実現され、かつ加算器が当該技術分野で周知であるような従来の加算器で実現されるならば、D L C 回路 6 8 のシリコン面積は 3 4 0 μ m × 1 7 0 μ m であり、電力消費は、3 . 3 V の電力供給で 4 0 M サンプル / 秒において 3 m W よりも少ない。各デジタル出力生成ステージからの出力は、適切な数の全クロックサイクルまたは半クロックサイクル遅延され、すべてのデジタル出力生成ステージのすべてのデジタル出力がデータ有効周期の間に加算器に到着し、正しい D_{OUT} が引出され得る。

【 0 0 5 8 】

この発明の A / D 変換器 6 0 は、種々の応用で用いられるのに非常に適している。たとえば、A / D 変換器 6 0 は、メモリ回路の一部として用いられ得る。加えて、A / D 6 0 変換器は、個別部品とともに、または集積回路の一部として実現され得る。A / D 変換器 6 0 が集積回路の一部として実現されるならば、A / D 変換器 6 0 は、0 . 3 5 μ m C M O S 等の媒体内で公知の集積回路製造技術を用いて製造され得る。

【 0 0 5 9 】

別の例の応用として、A / D 変換器 6 0 は、従来の R J 1 1 電話線 1 3 2 上で動作する 1 0 M b p s またはより広い帯域幅の屋内ネットワークデータネットワーク等のネットワークデバイスの物理層またはアナログフロントエンド回路 1 3 0 (図 1 2) の一部として用いられ得る。図 1 2 を参照して、アナログフロントエンド回路 1 3 0 は、フィルタ、変圧器、およびサージ保護等の、データ信号を調整するための構成要素を有する回路 1 3 4 を介して電話線 1 3 2 からデータ信号を受取る。受取られた信号は、電子ハイブリッド回路 1 3 6 によって処理されて衝突検出等の機能が行なわれる。次に、受取られた信号は、第 1 の可変利得増幅器 (V G A) 1 3 8、フィルタ 1 4 0、および第 2 の V G A 1 4 2 を通って伝わり受取られた信号がさらに調整される。調整された受取られた信号は、V_{IN} として A / D 変換器 6 0 に入力される。上でより詳細に説明されたように、A / D 変換器 6 0 は、アナログ入力信号 V_{IN} をデジタル出力 D_{OUT} へと変換する。この応用では、V_{IN} は好ましくは 2 5 から 5 0 M サンプル / s でサンプリングされ、D_{OUT} は好ましくは 1 0 から 1 2 ビットを有する。次に、D_{OUT} は A / D 変換器 6 0 からデジタル入力 / 出力 (I / O) 回路 1 4 4 へと送られる。デジタル I / O 回路 1 4 4 は、アナログフロントエンド回路

10

20

30

40

50

１３０と、開放形システム間相互接続(open systems interconnection) (OSI) プロトコルスタックのデータリンク層を実現するための回路等の後続のネットワークデバイス回路との間のインターフェイスとして働く。

【００６０】

アナログフロントエンド回路１３０が後続のネットワークデバイス回路から受取るデジタルデータ出力信号は、デジタルＩ／Ｏ回路１４４によって受取られる。デジタルデータ出力信号は、デジタル－アナログ(D/A)変換器１４６によって伝達アナログ信号へと変換される。伝達アナログ信号は、第３のVGA１４８によって調整される。第３のVGA１４８は、調節可能な利得伝達減衰器として働いてアナログフロントエンド回路１３０の伝達電力を設定するときの柔軟性を可能にする。減衰された伝達信号はさらにフィルタ１５０によって調整される。フィルタリングされ、かつ減衰された伝達信号は任意で伝達スイッチを通り、電子ハイブリッド回路１３６および回路１３４を介して電話線１３２へと送られる。

10

【００６１】

この発明の具体的な実施例が詳細に説明されてきたが、この発明は、それに対応するように範囲において限定されておらず、添付の請求項の範囲に入るすべての変化、変形、および均等物を含むことが理解されるべきである。

【図面の簡単な説明】

【図１】 従来の４ビットパイプラインアナログ－デジタル(A/D)変換器のブロック図である。

20

【図２】 従来のA/D変換器のステージを示す従来の複式デジタル－アナログ変換器(MDAC)のブロック図である。

【図３】 図２で示されるMDACの特性を示すグラフである。

【図４】 従来のA/D変換器のデジタル誤差訂正回路部分のシフティング動作を示す図である。

【図５】 図１で示されるA/D変換器の特性を示すグラフである。

【図６】 この発明の１つの局面に従った１０ビットパイプラインA/D変換器のブロック図である。

【図７】 図６で示されるA/D変換器に従ったサンプルホールド増幅器(SHA)ステージおよび第１の複式デジタル－アナログ変換器(MDAC)のブロック図である。

30

【図８】 図６で示されるA/D変換器に従ったSHAの回路図である。

【図９】 図６で示されるA/D変換器に従った第１のMDACの残差増幅器部分の回路図である。

【図１０】 図６で示されるA/D変換器に従った第２のMDACおよび最後のステージのブロック図である。

【図１１】 図６で示されるA/D変換器とともに用いられるための４ビットパイプラインA/D変換器のタイミング図である。

【図１２】 図６で示されるA/D変換器を有するアナログフロントエンド回路のブロック図である。

【図１３】 図１で示されるA/D変換器の従来のタイミング図である。

40

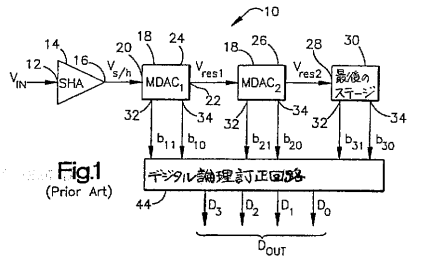
【図１４】 従来のデジタル論理訂正(DLC)回路のブロック図である。

【図１５】 １０ビットパイプラインA/D変換器のためのこの発明に従ったデジタル論理訂正(DLC)回路のブロック図である。

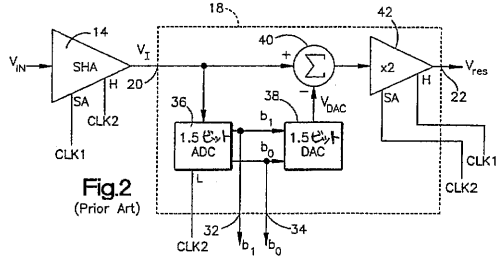
【図１６】 ４ビットパイプラインA/D変換器のためのこの発明に従ったDLC回路のブロック図である。

【図１７】 図１６で示されるDLC回路を有する４ビットパイプラインA/D変換器のタイミング図である。

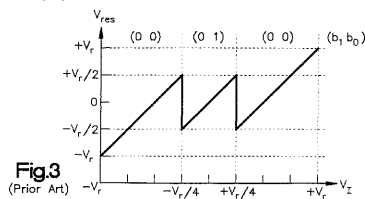
【図 1】



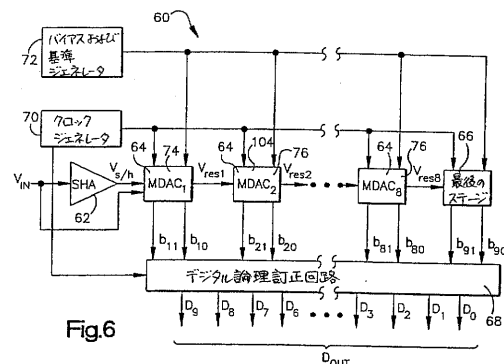
【図 2】



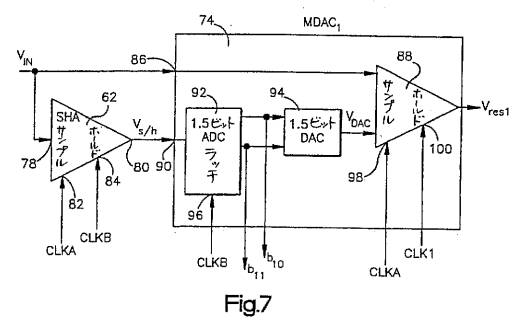
【図 3】



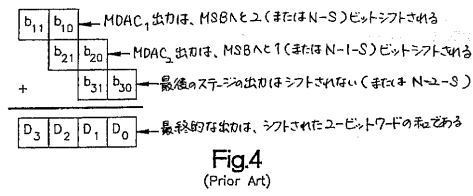
【図 6】



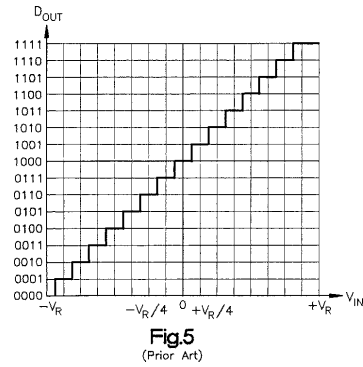
【図 7】



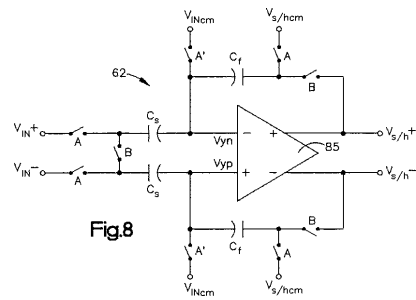
【図 4】



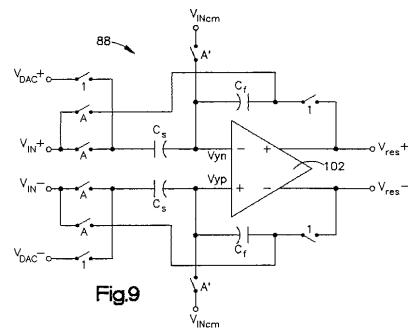
【図 5】



【図 8】



【図 9】



【図 10】

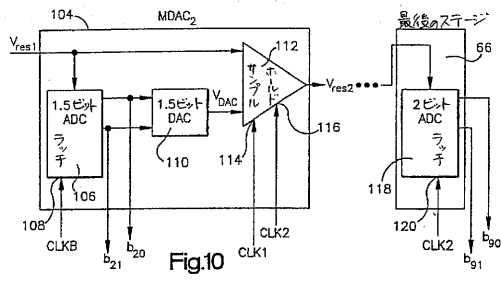


Fig.10

【図 11】

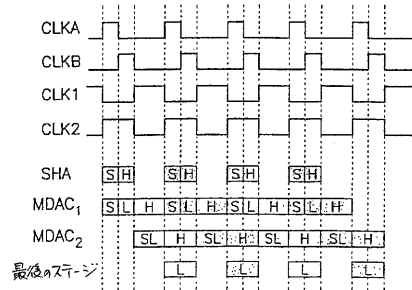


Fig.11

【図 12】

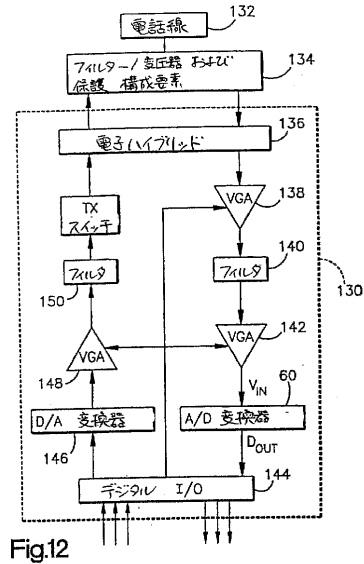
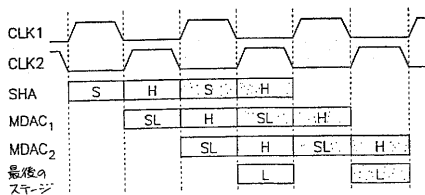
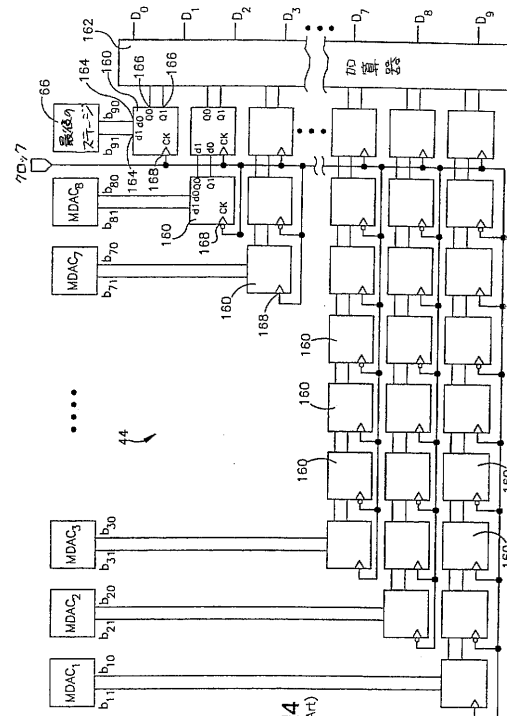


Fig.12

【図 13】

Fig.13
(Prior Art)

【図 14】

Fig.14
(Prior Art)

【図 15】

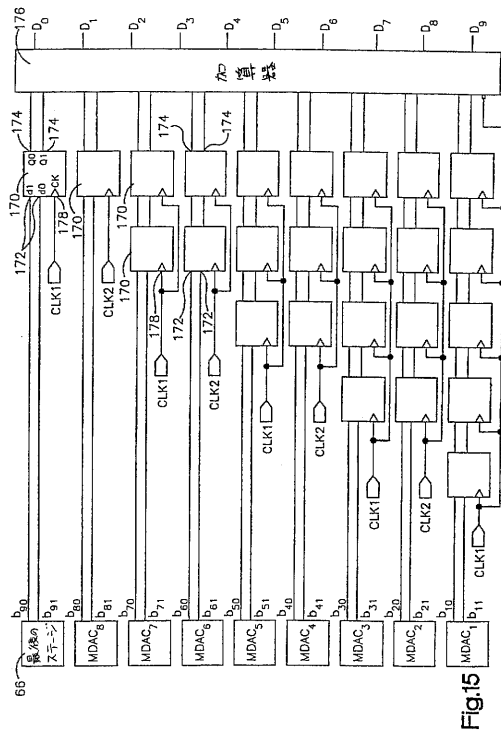


Fig.15

【図 16】

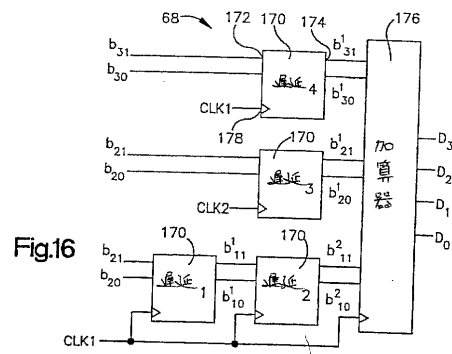


Fig.16

【図 17】

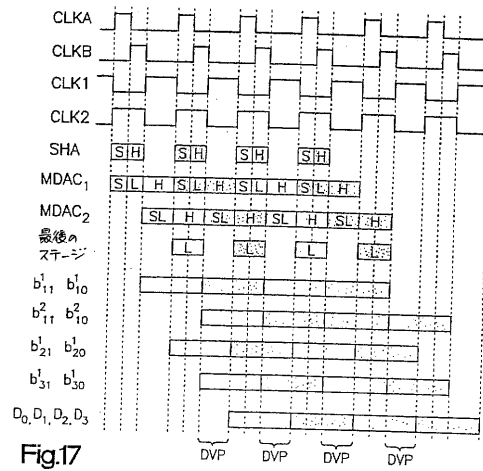


Fig.17

フロントページの続き

(74)代理人 100083703

弁理士 仲村 義平

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(72)発明者 チアン, メーイ - リン

アメリカ合衆国、9 5 1 2 9 カリフォルニア州、サン・ノゼ、レインボー・ドライブ、6 4 9 7

審査官 柳下 勝幸

(56)参考文献 特表平5 - 5 0 2 5 6 0 (J P , A)

特開平5 - 1 4 1 9 9 (J P , A)

特開平1 1 - 8 8 1 7 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03M1/00-1/88