(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 51/40 (2006.01)
H01L 29/78 (2006.01)

(45) 공고일자 2007년07월06일
(11) 등록번호 10-0736360
(24) 등록일자 2007년06월29일

(21) 출원번호 10-2004-0101338
(22) 출원일자 2004년12월03일
심사청구일자 2004년12월03일

(65) 공개번호 10-2006-0062482
(43) 공개일자 2006년06월12일

(73) 특허권자 재단법인서울대학교산학협력재단
서울특별시 관악구 봉천동 산 4-2

(72) 발명자 이종덕
서울 서초구 서초동 1682번지 서초래미안 111동 1002호

박병국
서울 서초구 방배3동 임광아파트 7동 1004호

진성훈
서울 관악구 신림9동 220-17번지 2층 4호

(74) 대리인 권오준

(56) 선행기술조사문헌
JP03255669 A
JP2002359374 A
JP2004031801 A
JP2004165427 A

심사관 : 구본재

전체 청구항 수 : 총 5 항

(54) 이중 유기 박막층을 갖는 트랜지스터의 제조방법

(57) 요약

본 발명은 종래 유기트랜지스터의 이동도 특성과 전류 점멸비(I_{on}/I_{off} ratio)를 동시에 개선하기 위한 이중 유기 박막층을 갖는 상극 구조 유기 트랜지스터의 제조방법에 관한 것으로, 게이트 절연막의 상부에 제 1 유기 반도체 박막층을 형성하는 단계 이외에 상기 제 1 유기 반도체 박막층의 상부에 제 2 유기 반도체 박막층을 형성하는 단계를 공정조건을 달리하여 별도로 행하는 이중 증착 방법(Two-Step-Deposition method)을 채택하여, 각 유기 반도체 박막층의 그레인 사이즈를 달리함으로써, 제 1 유기 반도체 박막층의 큰 그레인 사이즈에 의하여 이동도 특성을 향상시키고 동시에 제 2 유기 반도체 박막층의 작은 그레인 사이즈에 의하여 전류 점멸비를 향상시키는 방법을 제공한다.

대표도

도 1d

특허청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.

기판의 상부에 게이트 전극을 형성하는 제 1 단계와, 상기 게이트 전극을 감싸고, 상기 기판의 상부에 게이트 절연막을 형성하는 제 2 단계와, 상기 게이트 절연막의 상부에 제 1 유기 반도체 박막층을 형성하는 제 3 단계와, 상기 제 1 유기 반도체 박막층의 상부에 제 2 유기 반도체 박막층을 형성하는 제 4 단계와, 상기 제 2 유기 반도체 박막층의 상부에 소스 전극과 드레인 전극을 상호 이격시켜 형성하는 제 5 단계를 포함하여 구성된 이중 유기 박막층을 갖는 트랜지스터의 제조방법에 있어서,

상기 제 4 단계의 제 2 유기 반도체 박막층 형성은 상기 제 1 유기 반도체 박막층의 물질과 동일한 물질로, 상기 제 1 유기 반도체 박막층의 그레인 사이즈보다 5 내지 100 배 더 작게 하는 것을 특징으로 하는 이중 유기 박막층을 갖는 트랜지스터의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 제 3 단계의 제 1 유기 반도체 박막층 형성은 그레인 사이즈가 3 내지 5 μm로 되도록 하는 것을 특징으로 하는 이중 유기 박막층을 갖는 트랜지스터의 제조방법.

청구항 5.

제 3 항에 있어서,

상기 제 1 유기 반도체 박막층의 그레인 사이즈와 제 2 유기 반도체 박막층의 그레인 사이즈 조절은 각 단계의 공정 온도와 증착률에 의하는 것을 특징으로 하는 이중 유기 박막층을 갖는 트랜지스터의 제조방법.

청구항 6.

제 5 항에 있어서,

상기 제 3 단계의 공정시 기판의 온도는 60 내지 80 ℃에서 증착률은 0.1 내지 0.3 Å/sec로 하여 100 내지 300 Å의 두께로 제 1 유기 반도체 박막층을 형성하고, 상기 제 4 단계의 공정시 기판의 온도는 20 내지 30 ℃에서 증착률은 1 내지 5 Å/sec로 하여 200 내지 400 Å의 두께로 제 2 유기 반도체 박막층을 형성하는 것을 특징으로 하는 이중 유기 박막층을 갖는 트랜지스터의 제조방법.

청구항 7.

제 3 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 2 단계와 제 3 단계 사이에 OTS(Octadecyl Trichloro Silane), 1-hexdecanethiol, 희석된 PMMA(Poly Methyl Meth Acrylate) 및 α-methyl(poly styrene) 중에서 선택된 어느 하나의 물질로 상기 게이트 절연막의 상부를 표면처리하는 단계를 더 부가하고,

상기 제 1 및 제 2 유기 반도체 박막층의 물질은 펜타신(pentacene), 알파섹시시오펜(α-sexithiophene:α-6T),헥사데카프루오로프탈로시아닌(hexadecfluorophtalocyanine: $F_{16}CuPc$) 및 벅민스터플러렌 (buckminsterfullerene: C_{60}) 중에서 선택된 어느 하나인 것을 특징으로 하는 이중 유기 박막층을 갖는 트랜지스터의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이중 유기 박막층을 갖는 트랜지스터의 제조방법에 관한 것으로, 보다 상세하게는 유기 반도체 박막층을 형성함에 있어 이중 증착 방법(Two-Step-Deposition method)을 채택하여, 게이트 절연막의 상부에 제 1 유기 반도체 박막층을 형성하는 단계 이외에 상기 제 1 유기 반도체 박막층의 상부에 제 2 유기 반도체 박막층을 형성하는 단계를 공정조건을 달리하여 별도로 추가 함으로써, 종래 유기트랜지스터가 가지고 있었던 이동도(mobility) 특성과 전류 점멸비(I_{on}/I_{off} ratio)를 동시에 개선하기 위한 이중 유기 박막층을 갖는 상극 구조 유기 트랜지스터의 제조방법에 관한 것이다.

최근, 능동형의 가요성(flexible) 디스플레이, 스마트 카드, 재고 물품이나 가격 표시기와 같은 새롭고 저가격의 응용분야에 대한 적용 가능성으로 인해서 유기 박막 트랜지스터(organic thin film transistors, OTFTs)에 대한 관심은 점점 커져가고 있다. 특히, 기존의 무기물 반도체를 기반으로 하는 트랜지스터에 비해서 유기 트랜지스터가 가지는 핵심적인 장점은 200℃ 미만의 저온 공정이 가능하여 가볍고 유연한 플라스틱 기판을 사용할 수 있게 됨으로써, 새로운 응용을 가져올 수 있는 가능성은 더욱 더 커져 가고 있다.

또한, 다양한 플라스틱 위에 폴리머 게이트 절연막을 사용해서 제작한 유기 트랜지스트의 성능이 전류 점멸비와 이동도 측면에서 비정실 실리콘 TFT(Thin Film Transistors)와 비슷한 수준까지 향상된 결과도 발표되고 있다. 이와 같은 성능의 유기 트랜지스터를 기반으로 인버터(inverter), 시프트 레지스터(shift register), 링 오실레이터(ring oscillator) 등의 단위 회로와 유기 반도체 고주파 인식기(radio frequency identification) 등과 같은 응용은 이미 구현된 바 있다.

한편, 유기 트랜지스터를 기반으로 보다 다양하고 새로운 응용을 구현하기 위해서는 근본적으로 빠른 스피드와 높은 전류 특성을 보장할 수 있는 유기 트랜지스터의 개발이 절실히 요구되고 있는 실정이다.

그러나, 유기 트랜지스터의 개발에 있어서 무기물 반도체인 실리콘 기반의 소자와 비교할 때 화학적인 불안정성과 유기 반도체의 낮은 이동도는 빠른 스피드와 높은 전류 구동능력을 필요로 하는 응용에 있어서 근본적인 문제점으로 지적되어 왔다.

이러한 문제점을 해결하기 위하여 다양한 시도가 있는데, 그 중에 하나가 유기 반도체의 낮은 이동도를 가지고도 좀더 향상된 소자의 스피드와 전류 구동능력을 얻기 위하여 소자의 채널 길이를 줄이는 방법이 제시되고 있다. 이러한 시도로 rubber stamping, cold welding, micro contact printing 그리고 lift off 기술을 이용해서 1μm 이하의 채널 길이를 가지는 유기 트랜지스터가 발표 되고 있다.

그러나, 지금까지 문헌에서 발표된 자료(Appl. Phys. Lett. vol. 85, p. 1772, 2004 등)에 의하면, 2.5μm 이하의 채널 길이를 지니는 유기 트랜지스터의 성능은 이동도가 0.1 cm^2/Vsec 이하이고, 전류 점멸비가 10^5 이하인 비교적 열악한 전기적인 결과들만 보여 주었다. 뿐만 아니라 유기 트랜지스터의 채널 길이가 능동층을 구성하는 유기 반도체의 그레인 사이즈(grain size)에 유사할 정도로 소자가 스케일링 되면서 작아지면 일반적으로 수 십 μm 정도의 채널 길이를 가지는 유기 트랜지스터와 비교할 때 전류 점멸비와 이동도가 더 나빠지는 결과들을 보여 주어 유기 반도체 소자의 스케일 다운 문제를 더욱 어렵게 하였다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로, 게이트 절연막 상부에 유기 반도체 박막층을 형성함에 있어 이중 증착 방법을 채택하여, 유기 트랜지스터의 채널 길이가 수 μm 정도로 작게 스케일링 되더라도 이동도 특성 뿐만 아니라 전류 점멸비도 동시에 개선할 수 있는 이중 유기 박막층을 갖는 트랜지스터의 제조방법을 제공하는데 그 목적이 있다.

보다 구체적으로, 하극 구조 유기 박박 트랜지스터(bottom contact OTFTs) 보다도 이동도 측면에서 일반적으로 더 좋은 전기적인 성능을 보여 주는 상극 구조 유기 박박 트랜지스터(top contact OTFTs)에서, 스케일 다운될 때 발생하는 문제점인 열악한 전류 점멸비와 이동도 열화를 극복하기 위한 상극 구조 유기 박박 트랜지스터의 제조방법을 제공한다.

Top contact OTFTs의 이동도 향상을 위해서는 채널 부분에 큰 그레인을 형성 시킴으로써 유기 트랜지스터의 이동도를 결정하는 분자간의 홉핑(hopping)에 의한 자유 반송자(free carrier)의 전달 특성을 향상시켜 가능하게 하며, 이와 동시에 소자의 전류 점멸비를 높이기 위해서는 off 전류의 크기를 줄이는 것이 필수적이다.

그러나, off 전류의 크기를 줄이기 위해서는 유기 트랜지스터가 off 영역에서 채널의 전기 전도도를 줄여서 채널 저항을 키우는 것이 필요한데, 이를 위해서는 오히려 작은 그레인 사이즈를 가지는 능동층을 형성 시키는 것이 필요하다.

결국, 유기 트랜지스터가 큰 이동도 특성을 얻기 위해서는 채널 영역에 큰 그레인의 유기 반도체 박막 형성이 요구되며, 반대로 낮은 off 전류를 얻기 위한 조건은 수 백 nm 크기의 유기 반도체 박막이 요구되는 서로 상반된 요구 상황을 만족시켜 줄 때 비로서 소자의 이동도와 전류 점멸비를 동시에 만족시킬 수가 있게 된다.

따라서, 본 발명에서는 유기 반도체의 채널 영역에서 전류 구동능력을 향상 시키기 위해서 기판의 온도를 섭씨 80 ℃에서 증착 속도를 0.3 Å/sec로 유지하면서 수 μm 크기의 제 1 유기 반도체 박막층(예 : 펜타신층) 그레인을 형성시킨 후에, 유기 트랜지스터의 off 전류 크기를 줄이기 위해서 제 1 유기 반도체 박막층 위에 다시 섭씨 20 ℃ 이하의 기판 온도에서 5 Å/sec 이상의 빠른 증착률을 이용해서 작은 그레인 사이즈를 가지는 제 2 유기 반도체 박막층(예 : 펜타신층)을 형성시키는 방법이 제공된다.

발명의 구성

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

도 1a 내지 도 1d는 본 발명에 따른 이중 유기 박막층을 갖는 트랜지스터의 제조 공정 단면도로서, 먼저, 도 1a와 같이, 기판(10)의 상부에 스퍼터링법이나 진공 증착법 등을 통하여 게이트 전극 물질을 증착한 다음, 사진 공정과 에칭 공정을 이용해서 원하는 부분만 게이트 전극(20)으로 정의 한다.

이 때, 기판(10)은 산화막이 길러진 실리콘기판 또는 유리기판과 같은 무기물 기판 뿐만 아니라 PET(Poly Ethylene Terephthalate), PEN(Poly Ethyle Napthanate), PC(Poly Carbonate), PI(Poly Imide) 또는 PNB(Poly Nor Borneen)와 같은 가요성(flexible) 플라스틱 기판도 사용할 수 있다.

또한, 게이트 전극 물질은 알루미늄, 니켈, 팔라듐, 크롬, 금 또는 백금과 같은 금속이 사용될 수 있을 뿐만 아니라 폴리 아닐린(polyanilne) 또는 PEDOT:PSS(폴리에틸렌디옥티오펜(PSS)으로 도핑된 폴리에틸레디옥시티오펜(PEDOT))와 같은 전도성 고분자 물질도 사용 가능하다.

다음은, 상기 게이트 전극(20)을 감싸면서, 상기 기판(10)의 상부에 게이트 절연막(30)을 덮는다(도 1b).

여기서, 유기 트랜지스터를 위한 게이트 절연막도 상기 기판(10)의 종류에 따라, 무기물 기판일 경우에는 Al_2O_3, HfO_2 또는 BZT(Barium Zirconate Titanate)등과 같은 고유전율 물질 또는 일반적으로 많이 사용되는 산화막인 SiO_2 나 Si_3N_4 와 같은 무기물 절연막을 사용하고, 가요성(flexible) 플라스틱 기판일 경우는 deep UV(220~250 nm)에 감광성을 가지는 PMMA(Poly Methyl Meth Acrylate) 또는 암모늄 중크롬산염(ammonium dichromate)이 첨가된 PVA(Poly Vinyl

Alchol)이거나 PVP(Poly-4-Vinyl Phenol), 폴리아미드(polyimide) 또는 파릴렌(parylene)와 같은 고분자 절연막을 사용하는 것이 바람직하다. 그러나, 경우에 따라서는 앞에서 언급한 무기물 절연막과 고분자(유기물) 절연막의 혼합형태인 다층 게이트 절연막도 사용할 수 있다.

그리고, 상기 게이트 절연막(30) 물질이 산화막(SiO_2)처럼 친수성 물질일 경우, 차후 공정 즉, 제 1 유기 반도체 박막층을 형성할 때 유기물(예 : 펜타신)의 그레인 사이즈가 크게 성장되지 못하는 문제가 발생할 수 있으므로, 차후 공정을 진행하기 전에 상기 게이트 절연막(30)의 상부를 표면처리하는 단계를 더 거치는 것이 바람직하다(도 1b). 이 때, 표면 처리 물질로는 OTS(Octadecyl Trichloro Silane), 1-hexdecanethiol, 희석된 PMMA(Poly Methyl Meth Acrylate) 또는 α-methyl(poly styrene)을 사용할 수 있다.

다음은, 본 발명의 핵심 부분인 이중 증착 과정으로, 도 1c와 같이, 상기 게이트 절연막(30) 상부 또는 상기 표면 처리 박막(40) 상부에 먼저 제 1 유기 반도체 박막층(50)을 형성한 다음에, 별도로 상기 제 1 유기 반도체 박막층(50) 상부에 제 2 유기 반도체 박막층(60)을 형성하는 이중 유기 박막층 형성 단계를 거친다.

이중 유기 박막층 형성 단계에 있어 중요한 점은 각 층의 유기 반도체 박막층 형성시 공정조건을 서로 달리하여, 각 층에 성장된 유기 반도체의 그레인 사이즈가 서로 다르게 하는 것이다.

제 1 유기 반도체 박막층의 그레인 사이즈는 소자의 전류 구동능력을 높이기 위해 즉, 채널의 이동도를 높이기 위해 되도록 크게 성장시키고, 제 2 유기 반도체 박막층의 그레인 사이즈는 off 전류(게이트와 소스 사이의 전압이 0(zero) 일 경우 소스와 드레인 사이에 흐르는 전류)를 줄이기 위해 즉, 소스와 드레인 사이의 저항을 높이기 위해 되도록 작게 성장시킨다.

보다 바람직하게는 제 1 유기 반도체 박막층의 그레인 사이즈는 3 내지 5 μm 정도의 크기로, 제 2 유기 반도체 박막층의 그레인 사이즈는 제 1 유기 반도체 박막층의 그레인 사이즈보다 5 내지 100 배 더 작게 성장시키는 것이 좋다.

이러한 각 층의 그레인 사이즈 성장을 조절하는 핵심 공정조건은 공정온도와 증착률이다. 이는 특히, thermal evaporation 장비를 이용할 때 중요한 공정변수가 된다. 최근, 유기 반도체 물질을 증착하는 장비가 계속 개발되고 있는 바, 이러한 새로운 증착장비를 이용할 경우 핵심 공정조건은 달라 질지라도 각 층의 그레인 사이즈 조절은 마찬가지로 할 수 있다. 즉, 어느 증착장비를 이용하더라도 유기 반도체 물질의 그레인 사이즈 조절을 할 수 있으면 된다.

thermal evaporation 장비를 이용하여 공정온도에 따른 그레인 사이즈의 차이와 그레인 사이즈 차이에 따른 전기적 특성을 알아보기 위해 다음과 같은 실험을 하였다.

먼저, 기판의 온도를 80 ℃ 및 20 ℃로 나누어 각각에 동일하게 유기 반도체 물질인 펜타신을 증착율은 0.3 Å/sec로 하여 500 Å씩 증착해서 제작한 유기 트랜지스터의 전류전달 특성을 얻었는데, 그 결과는 도 2(80 ℃의 경우)와 도 3(20 ℃의 경우)과 같다. 이 때, 제작한 소자의 크기는 채널의 폭은 150 μm 이며, 채널의 길이는 20 에서 1.8 μm까지 스케일 다운된 것이다.

한편, 80 ℃ 에서 증착된 펜타신의 평균 그레인 사이즈는, 도 4a에서 보여 주는 것처럼, 3 내지 5 μm 이며, 20 ℃ 에서 증착된 펜타신의 평균 그레인 사이즈는, 도 4b에서 보여 주는 것처럼, 수 백 nm 수준이다.

그리고, 도 5a와 도 5b는 새도우 마스크로 형성된 채널 길이가 1.8 μm인 소자를 보여주는데, 섭씨 80 ℃에서 증착된 펜타신의 평균 그레인 사이즈(도 5a)는 섭씨 20 ℃에서 증착된 펜타신의 그레인 사이즈(도 5b) 보다 25 내지 50 배 정도 더 크기 때문에 같은 채널 길이인 1.8 μm 안에서 펜타신의 그레인 숫자의 차이를 확실히 확인 할 수가 있다.

유기 트랜지스터의 전류전달 특성을 보다 상세히 분석하여 보면, 도 2와 도3 에서 보여 주듯이, 소자의 채널 길이가 20 에서 1.8 μm로 줄어 들수록, 전류 구동능력은 10 배 이상 증가됨을 알 수 있다. 그러나, 도 3에서 보여 주듯이, 그레인 사이즈가 수 백 nm인 펜타신 트랜지스터의 경우에는 채널 길이가 1.8 μm일 때도 off 전류의 크기는 수 십 pA 수준을 보여 주지만, 평균 그레인 사이즈가 3 내지 5μm인 펜타신 트랜지스터는, 도 2에서 보여 주는 것처럼, 채널 길이가 10μm 이하가 되면서 소자가 꺼져야 하는 공핍 상태에서도 수십에서 수 백 nA 수준의 높은 off 전류가 발생함을 확인 할 수 있다. 반면에 80 ℃에서 증착된 그레인 사이즈가 3 내지 5 μm 범위를 가지는 펜타신 트랜지스터의 소자 전류 구동능력은 20 ℃에서 증착된 그레인 사이즈가 수 백 nm인 펜타신 트랜지스터 보다도 같은 소자의 크기를 가질 경우에 비해 5 배 이상 전류구동 능력이 향상됨을 확인 할 수가 있다. 또한, 섭씨 80 ℃와 섭씨 20 ℃에서 증착된 펜타신의 평균 전기 전도도는 V_{GS}=0 V와

V_{DS}=-3 V에서 각각 (4.7±3.2)×10^{-6} S/cm와 (2.4±1.7)×10^{-8} S/cm이다. 따라서, 그레인 사이즈가 클수록 또는 채널 길이가 펜타신의 그레인 사이즈에 가깝게 줄어들어 스케일 다운 될수록 채널 저항이 작아져 on 전류가 커져서 상대적으로 전류 점멸비도 커질 수 있음을 알 수 있다.

상기와 같은 실험을 통하여 펜타신의 그레인 사이즈는 공정온도에 달려있고 펜타신 트랜지스터의 이동도는 펜타신의 그레인 사이즈에 의존되는 것을 알 수 있었다.

thermal evaporation 장비를 이용하여 증착률(증착속도)에 따른 그레인 사이즈의 성장 차이도 실험을 통하여 확인 하였으나, 그 결과는 공정온도를 변수로 한 것과 유사한 결과를 얻어 이에 관한 상세한 설명은 생략한다. 다만, 결과만 언급한다면, 증착률을 높일수록 그레인 사이즈는 작아진다. 이는 증착된 펜타신 분자들이 표면에서 확산되면서 큰 그레인을 형성할 충분한 시간을 줄 수 없기 때문에 작은 그레인으로 성장된다.

상기와 같은 실험을 토대로, 본 발명의 이중 증착 방법을 개발하였는데, 이에 대한 구체적인 실시예를 기술하면 다음과 같다.

먼저, thermal evaporation 장비를 이용하여 펜타신으로 기판의 온도는 80 ℃로 유지한 상태에서 증착률은 0.3 Å/sec 이하로 100 Å을 증착하여 제 1 유기 반도체 박막층(50)을 형성한 다음, 같은 장비로 동일한 물질을 기판의 온도를 20 ℃로 떨어트린 상태에서 증착률은 5 Å/sec 이상을 유지하면서 나머지 400 Å을 증착하여 제 2 유기 반도체 박막층(60)을 형성하였다. 이렇게 두 단계의 공정을 거친 후, 게이트 절연막과 채널 경계면에 있는 펜타신 그레인 사이즈는, 도 7a와 같이, 수 μm이고, 소스 전극과 드레인 전극이 접촉할 부분의 그레인 사이즈는, 도 7b와 같이, 수 백 nm의 범위에 있음을 AFM 사진도를 통하여 확인할 수 있다.

나아가, 상기와 같은 본 발명의 이중 증착 방법에 의하여 제조된 소자의 전류전달 특성은, 도 6에서 보여주는 바와 같이, 전류의 구동능력은 거의 80 ℃에서 증착된 것과 같고, off 전류는 20 ℃에서 증착된 것과 같은 결과를 얻었다. 이는, 이중 증착 방법을 통하여, 도 7a와 같이, 게이트 절연막과 채널의 경계면의 홀 전달 특성을 결정하는 펜타신의 그레인 사이즈가 수 μm 수준으로 성장했기 때문에 이동도가 향상 되었고, 반면에 도 7b에서 처럼 소스와 드레인의 접촉 부분에서는 수 백 nm 사이즈의 펜타신이 성장 되었기 때문에 off 특성이 좋아지게 되었음을 알 수 있다.

본 발명을 위한 사전 실험과 본 발명의 이중 증착 방법을 통하여 소자를 제작하여 전기적인 특성을 비교하여 보면, 도 8과 같다. 이중 증착 방법을 통하여 소자를 제작 했을 때는 소자의 전기적인 이동도 특성은 수 μm 크기의 펜타신 그레인 사이즈를 가지는 소자와 거의 유사한 성능의 수준을 보여 줄 뿐만 아니라, 전류의 점멸비에서는 수 백 nm 크기의 펜타신 그레인 사이즈를 가지는 소자와 유사한 우수한 특성을 보여 준다. 결국, 본 발명의 이중 증착 방법을 통하여 펜타신의 그레인 사이즈를 채널 영역에서 조절 가능해 짐으로 인해서 좋은 이동도 특성과 off 전류의 수준을 둘 다 향상 시킬 수 있는 방법을 얻게 되었다.

상기 제 1 및 제 2 유기 반도체 박막층의 물질은 펜타신(pentacene) 이외에 알파섹시시오펜(α-sexithiophene:α-6T),헥사데카프루오로프탈로시아닌(hexadecfluorophtalocyanine: $F_{16}CuPc$) 또는 벅민스터플러렌 (buckminsterfullerene: C_{60})도 가능하며, 제 2 유기 반도체 박막층의 물질은 제 1 유기 반도체 박막층의 물질과 다른 것으로 할 수도 있으나, 같은 물질로 하는 것이 공정상 더 용이 하다.

마지막으로, 상기 제 2 유기 반도체 박막층 상부에 소스 전극과 드레인 전극을 상호 이격시켜 형성하면 이중 유기 박막층을 갖는 트랜지스터의 기본 구조가 완성된다(도 1d). 이 때, 소스 전극 및 드레인 전극은 일함수가 높은 금(Au), 백금(Pt), 팔라듐(Pd), 니켈(Ni) 또는 전도성 고분자등의 물질을 사용할 수 있다.

발명의 효과

본 발명은 top contact 유기 트랜지스터의 전류 구동능력과 소자의 스피드를 향상 시키기 위해 소자의 채널 길이를 줄이는 시도를 할 때, 전류의 점멸비가 나빠지고, 이동도가 감소하는 문제점을 극복하기 위하여 개발된 이중 증착 방법에 의한 유기 트랜지스터 제조방법에 관한 것이다.

이 방법에 의하여, top contact 유기 트랜지스터의 이동도와 전류 점멸비를 동시에 향상 시킬 수 있을 뿐만 아니라, 스케일 다운이 얼마든지 가능하게 되어 유기 트랜지스터를 이용한 집적회로의 집적도를 더 한층 높일 수 있게 되었다.

나아가, 같은 면적을 차지하더라도 더 높아진 전류 구동능력에 의해서 좀 더 빠르고 높은 전류 구동능력을 요구하는 flexible AMOLED나 RFID(rf identification tag)에 대한 응용도 가능하게 되었다.

본 발명은 구체적인 예에 대해서만 상세히 설명 되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다. 특히, 본 발명은 이중 유기 박막층을 갖는 트랜지스터의 제조방법에 관하여 작성되었으나, 본 발명의 실시로 제조된 이중 유기 박막층을 갖는 트랜지스터도 당연히 본 발명에 의하여 보호 받을 수 있음은 특허법상 자명하다.

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 이중 유기 박막층을 갖는 트랜지스터의 제조 공정 단면도이다.

도 2는 기판의 온도를 80 ℃로 하고 증착률을 0.3 Å/sec로 하여 펜타신 박막층을 500 Å으로 증착했을 경우의 전류전달 특성을 보여주는 전기특성도이다.

도 3는 기판의 온도를 20 ℃로 하고 증착률을 0.3 Å/sec로 하여 펜타신 박막층을 500 Å으로 증착했을 경우의 전류전달 특성을 보여주는 전기특성도이다.

도 4a는 기판의 온도를 80 ℃로 하고 증착률을 0.3 Å/sec로 하여 펜타신 박막층을 500 Å으로 증착했을 경우 펜타신의 평균 그레인 사이즈를 보여주는 원자력 현미경(atomic force microscopy, AFM)의 사진도이다.

도 4b는 기판의 온도를 20 ℃로 하고 증착률을 0.3 Å/sec로 하여 펜타신 박막층을 500 Å으로 증착했을 경우 펜타신의 평균 그레인 사이즈를 보여주는 원자력 현미경(atomic force microscopy, AFM)의 사진도이다.

도 5a는 기판의 온도를 80 ℃로 하고 증착률을 0.3 Å/sec로 하여 펜타신 박막층을 500 Å으로 증착하고 채널길이를 1.8 μm로 한 경우 채널길이와 펜타신 그레인 사이즈를 비교하기 위한 AFM 사진도이다.

도 5b는 기판의 온도를 20 ℃로 하고 증착률을 0.3 Å/sec로 하여 펜타신 박막층을 500Å으로 증착하고 채널길이를 1.8 μm로 한 경우 채널길이와 펜타신 그레인 사이즈를 비교하기 위한 AFM 사진도이다.

도 6은 본 발명의 일 실시예로 제 1 유기 반도체(펜타신) 박막층은 기판의 온도를 80 ℃로 하고 증착률을 0.3 Å/sec로 하여 100 Å으로 증착하고, 제 2 유기 반도체(펜타신) 박막층은 기판의 온도를 20 ℃로 하고 증착률을 5 Å/sec로 하여 400 Å으로 증착하였을 경우의 전류전달 특성을 보여주는 전기특성도이다.

도 7a는 본 발명의 일 실시예로 제조된 이중 유기 박막층을 갖는 트랜지스터의 게이트 절연막과 채널 경계면에 있는 제 1 유기 반도체(펜타신) 박막층의 그레인 사이즈를 보여주는 AFM 사진도이다.

도 7b는 본 발명의 일 실시예로 제조된 이중 유기 박막층을 갖는 트랜지스터의 소스 전극과 드레인 전극이 접촉하고 있는 제 2 유기 반도체(펜타신) 박막층의 그레인 사이즈를 보여주는 AFM 사진도이다.

도 8은 본 발명에 의한 이중 증착 방법을 이용한 경우와 그렇지 않은 경우에 있어 소자의 전기적 특성을 비교하기 위한 표(table)이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 기판 20 : 게이트 전극

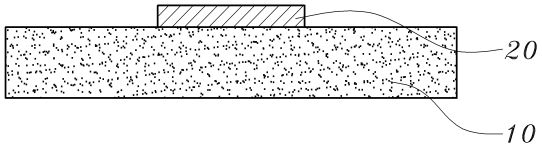
30 : 게이트 절연막 40 : 표면 처리 박막

50 : 제 1 유기 반도체 박막층 60 : 제 2 유기 반도체 박막층

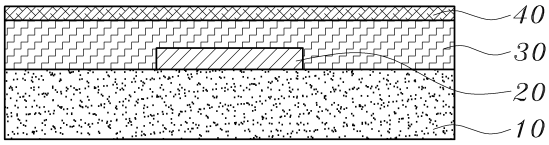
70 : 소스 또는 드레인 전극

도면

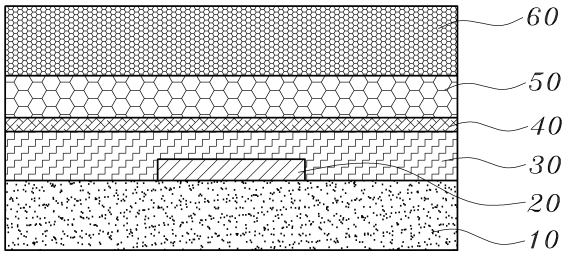
도면1a



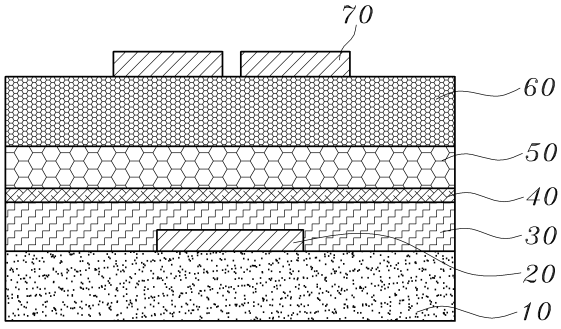
도면1b



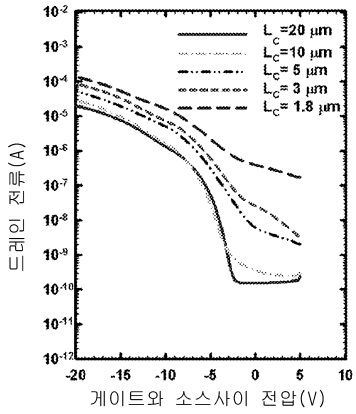
도면1c



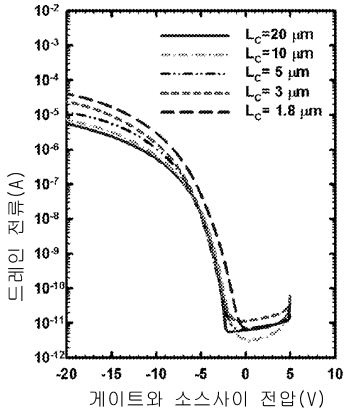
도면1d



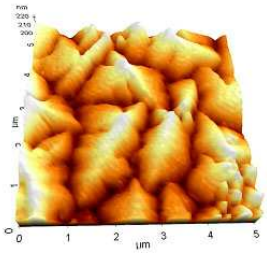
도면2



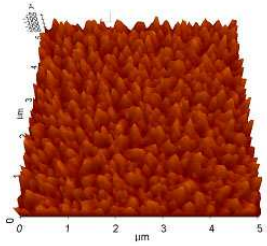
도면3



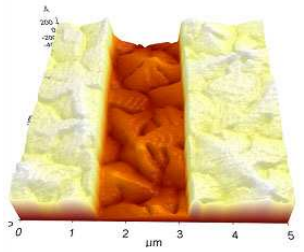
도면4a



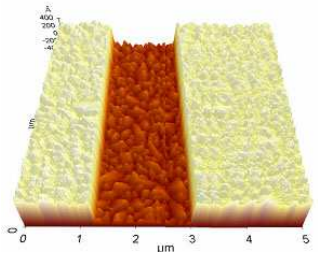
도면4b



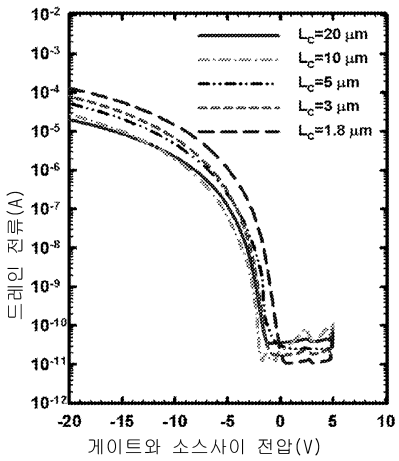
도면5a



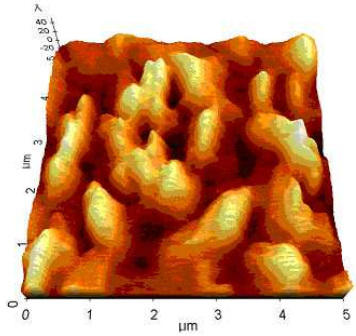
도면5b



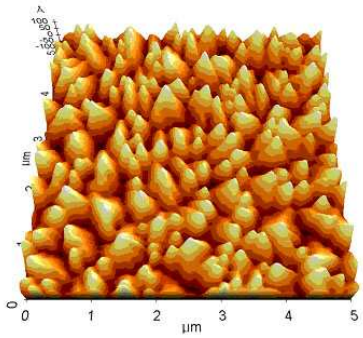
도면6



도면7a



도면7b



도면8

	T_{ox}=35 nm, T_{PMMA}=10 nm, T_{pen}= 50 nm														
	W_C=150 μm														
	L=20 μm			L=10 μm			L=5 μm			L=3 μm			L=1.8 μm		
T_{sub}	20°C	80°C	TSD	20°C	80°C	TSD	20°C	80°C	TSD	20°C	80°C	TSD	20°C	80°C	TSD
V_{TH} (V)	-6.0	-5.0	-5.0	-6.0	-5.0	-5.0	-6.0	-4.5	-5.0	-6.0	-4.0	-4.6	-5.3	-3.0	-3.5
μ_{eff} (cm^2/Vsec) V_{DS}=-20 V, V_{GS}=-15 V	0.10	0.47	0.34	0.07	0.39	0.26	0.07	0.25	0.24	0.09	0.32	0.23	0.08	0.25	0.19
$I_{on\ (max)}/I_{off\ (min)}$ ($x10^6$)	1.0	0.1	0.6	1.1	0.1	2.2	1.6	0.02	2.0	2.2	0.02	4.3	5.7	0.001	11
S. S. (V/dec)	1.4	2.0	1.6	1.4	2.3	1.5	1.4	2.5	2.0	1.5	4.5	2.0	1.7	5.3	2.0
W/L	7.5			15.0			30.0			50.0			83.3		