

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-129192

(P2011-129192A)

(43) 公開日 平成23年6月30日 (2011.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 E	5 B 0 1 8
G 0 6 F 12/16 (2006.01)	G 1 1 C 17/00 6 1 2 Z	5 B 1 2 5
	G 1 1 C 17/00 6 0 1 Q	
	G 0 6 F 12/16 3 4 O P	
	G 0 6 F 12/16 3 1 O A	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2009-285546 (P2009-285546)
 (22) 出願日 平成21年12月16日 (2009.12.16)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeon-
 g-tong-gu, Suwon-si,
 Gyeonggi-do, Republic
 of Korea

(74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

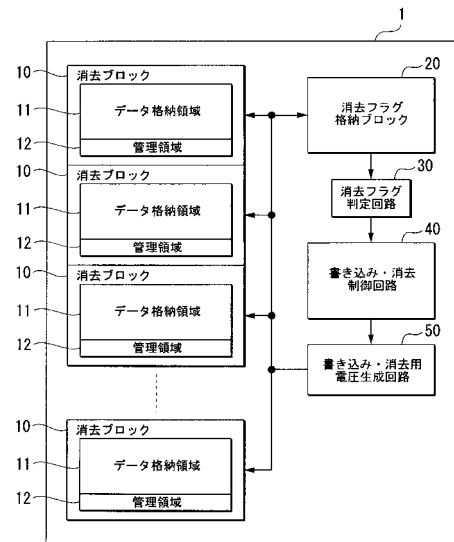
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】データの消去動作中に電源供給が遮断された場合でも、メモリブロックのデータの消去が正常に行われたか否かの判定を正しく行うことができる半導体記憶装置を提供する。

【解決手段】メモリブロックと異なる消去単位であり、記憶されたデータを消去するメモリブロックのアドレス値を表すアドレス情報と、該メモリブロックの消去動作の状態を表すフラグ情報とを関連付けて記憶する情報格納手段と、メモリブロックに対して消去動作を行う前に、消去動作を行うメモリブロックのアドレス値をアドレス情報に設定するとともに、該アドレス値に関連付けられたフラグ情報に第1の値を設定し、メモリブロックに対する消去動作が完了した後に、該メモリブロックのアドレス値に関連付けられたフラグ情報に第1の値と異なる第2の値を設定する設定手段と、フラグ情報に基づいて、メモリブロックの消去動作が正常に完了したか否かを判定する判定手段と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のメモリセルの領域で構成され、データを記憶するメモリブロックのそれぞれに、前記メモリブロックの消去回数を含む管理情報を格納し、前記管理情報を制御することによって、前記メモリブロックの消去回数を均等化するウェアレベリング処理を行うウェアレベリング手段と前記メモリブロックとを同一チップ内に備えた半導体記憶装置において、

複数のメモリセルの領域で構成され、前記メモリブロックと異なる消去単位であり、記憶されたデータを消去する前記メモリブロックのアドレス値を表すアドレス情報と、該メモリブロックの消去動作の状態を表すフラグ情報とを関連付けて記憶する情報格納手段と

10

前記メモリブロックに対して消去動作を行う前に、消去動作を行う前記メモリブロックのアドレス値を前記アドレス情報に設定するとともに、該アドレス値に関連付けられた前記フラグ情報に第 1 の値を設定し、前記メモリブロックに対する消去動作が完了した後に、該メモリブロックのアドレス値に関連付けられた前記フラグ情報に前記第 1 の値と異なる第 2 の値を設定する設定手段と、

前記フラグ情報に基づいて、前記メモリブロックの消去動作が正常に完了したか否かを判定する判定手段と、

を備えることを特徴とする半導体記憶装置。

20

【請求項 2】

前記設定手段は、

前記情報格納手段に対する書き込み動作のみによって、消去動作を行う前記メモリブロックの前記アドレス情報を設定し、前記メモリブロックの消去動作に応じた前記フラグ情報を設定する、

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記判定手段は、

前記メモリブロックに対して消去動作を行う前に、前記フラグ情報に基づいて、前回までの前記メモリブロックの消去動作が正常に完了したか否かを判定する、

ことを特徴とする請求項 1 または請求項 2 に記載の半導体記憶装置。

30

【請求項 4】

前記判定手段は、

該半導体記憶装置に電源が投入された後に、前記フラグ情報に基づいて、前回、該半導体記憶装置に電源が供給されていたときの前記メモリブロックの消去動作が正常に完了したか否かを判定する、

ことを特徴とする請求項 1 から請求項 3 のいずれか 1 の項に記載の半導体記憶装置。

【請求項 5】

前記情報格納手段に設定する前記フラグ情報は 2 ビットの情報であり、

前記メモリブロックに対して消去動作を行う前に、予め定められた一方のビットに、予め定められた値を書き込み、前記メモリブロックに対する消去動作が完了した後に、予め定められた他方のビットに、予め定められた値を書き込むことによって、前記メモリブロックが消去動作中であるか否かを表す、

40

ことを特徴とする請求項 2 から請求項 4 のいずれか 1 の項に記載の半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、データの消去、書き込みを行う不揮発性の半導体記憶装置に関する。

【背景技術】**【0002】**

従来、電気的なバックアップが不要な不揮発性の半導体記憶装置として、フラッシュメモ

50

メモリが知られている。このフラッシュメモリのデータの消去は、予め定められた数のメモリセルで構成された消去ブロックの単位で行われる。フラッシュメモリのデータを書き換える際には、まず、データの書き換えを行う消去ブロックのデータを消去する。その後、新たなデータを書き込むという手順で行われる。

【0003】

また、フラッシュメモリ内の各メモリセルは、データの書き込みと消去の繰り返しに伴って、記憶されているデータを保持する能力が少しずつ劣化していく特性を有する。このため、メモリセルの消去回数の上限が規定されており、この消去回数が上限を超えてしまったメモリセルは、データの書き込みや消去が正常に行われる保証が失われてしまう。例えば、同じ消去ブロックに対してデータの書き換え、すなわち、データの消去と書き込みとの動作が繰り返された場合、この書き換えによって消去ブロック内のメモリセルの消去が繰り返されることとなる。このメモリセルの消去回数が上限を超えると、その他の消去ブロックやメモリセルの消去回数が少ない場合でも、フラッシュメモリ自体の保証が失われてしまうということになる。

10

【0004】

そこで、このような問題を解決するため、フラッシュメモリ内のメモリセルの消去回数を消去ブロックの単位で均等化するウェアレベリングという技術がある。このウェアレベリングでは、フラッシュメモリ内の消去ブロック毎に消去回数をカウントし、データの書き込み・消去を行う際に、消去回数が少ない消去ブロックにデータの書き込み・消去が行われるように、消去ブロックのアドレスが置換される。例えば、指定した特定のアドレスの消去ブロックに対してデータの書き換え処理を繰り返す場合、フラッシュメモリ内で実際にデータの書き込みが行われる消去ブロックは、指定された特定のアドレスとは異なるアドレスの消去ブロックとなる。そして、実際にデータの書き込みが行われたアドレスの消去ブロックが、あたかも当初指定された特定のアドレスの消去ブロックであるかのように動作するために、消去ブロックのアドレスの置換が行われる。このようにして、フラッシュメモリ内の各消去ブロックの消去回数をなるべく均等に分散することによって、フラッシュメモリで正常に行われる消去の回数が、特定の消去ブロックの消去回数によって制約されてしまうことが回避され、メモリセルが保証している消去回数よりも多くなる。

20

【0005】

また、フラッシュメモリ内の消去ブロックのデータの書き換え処理の際には、上述のように、まず、消去ブロックに記憶しているデータの消去が行われ、その後、消去した消去ブロックに対してデータの書き込みが行われる。従って、消去ブロックに対するデータの書き換え処理には、ある程度の時間（例えば、数十ms）を必要とする。この書き換え処理の動作中、特に消去ブロックを消去しているときにフラッシュメモリへの電源供給が遮断された場合には、フラッシュメモリに記憶しているデータが不正なデータとなってしまうことが考えられる。このような問題を解決するため、特許文献1に示すような技術が考案されている。

30

【0006】

図5は、特許文献1で開示された従来の半導体記憶装置の概略構成を示したブロック図である。図5に示すように、半導体記憶装置は、フラッシュメモリ100とプロセッサ200を備えている。また、フラッシュメモリ100は、複数のメモリブロック110から構成され、各メモリブロック110は、それぞれ、データ書き込みエリア111と管理ステータス書き込みエリア112とに区別されている。データ書き込みエリア111は、フラッシュメモリ100に格納するデータを記憶する。管理ステータス書き込みエリア112は、アドレスの置換情報、メモリブロック110の消去回数、メモリブロック110の動作状態（ステータス）などの管理情報を表すデータを記憶する。そして、プロセッサ200が、各メモリブロック110内の管理ステータス書き込みエリア112に記憶されているアドレスの置換情報とメモリブロック110の消去回数とに基づいてウェアレベリングを行っている。また、特許文献1では、プロセッサ200が、各メモリブロック110内の管理ステータス書き込みエリア112に記憶されているメモリブロック110の消去

40

50

回数を確認し、この消去回数が不正な値であったときには、メモリブロック 110 の消去が正常に行われなかったと判定して、管理ステータス書き込みエリア 112 に記憶しているメモリブロック 110 の消去回数を回復する。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2001-312891 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献 1 で開示された従来の半導体記憶装置では、管理ステータス書き込みエリア 112 に記憶している管理情報の書き換え処理も、データの書き換え処理と同様に行われる。これは、管理情報を表すデータの書き換え処理の動作中にフラッシュメモリへの電源供給が遮断された場合には、管理ステータス書き込みエリア 112 に記憶している、管理情報を表すデータが不正なデータとなってしまう可能性があることを示している。従って、特許文献 1 の半導体記憶装置のように、各メモリブロック 110 内の管理ステータス書き込みエリア 112 に記憶されているメモリブロック 110 の消去回数に基づいて、メモリブロック 110 の消去が正常に行われたか否かを判定している場合、書き換え処理の動作中における電源供給の遮断によって、メモリブロック 110 の消去回数の情報自体が不正となり、メモリブロック 110 の消去が正常に行われたか否かの判定を正しく行うことができないという問題がある。

【0009】

特に、フラッシュメモリ 100 とプロセッサ 200 とで実現する機能を同じ半導体記憶装置内に備えたオンチップの構成によってウェアレベリングを行う場合には、半導体記憶装置に供給されている電源の遮断を検出することが困難であるため、メモリブロック 110 の消去が正常に行われたか否かを、自メモリブロック 110 内に記憶された情報から正確に判定することができない。

【0010】

本発明は、上記の課題認識に基づいてなされたものであり、オンチップでウェアレベリングを行う機能を備えた半導体記憶装置において、データの消去動作中に電源供給が遮断された場合でも、メモリブロックのデータの消去が正常に行われたか否かの判定を正しく行うことができる半導体記憶装置を提供することを目的としている。

【課題を解決するための手段】

【0011】

上記の課題を解決するため、本発明の半導体記憶装置は、複数のメモリセルの領域で構成され、データを記憶するメモリブロックのそれぞれに、前記メモリブロックの消去回数を含む管理情報を格納し、前記管理情報を制御することによって、前記メモリブロックの消去回数を均等化するウェアレベリング処理を行うウェアレベリング手段と前記メモリブロックとを同一チップ内に備えた半導体記憶装置において、複数のメモリセルの領域で構成され、前記メモリブロックと異なる消去単位であり、記憶されたデータを消去する前記メモリブロックのアドレス値を表すアドレス情報と、該メモリブロックの消去動作の状態を表すフラグ情報とを関連付けて記憶する情報格納手段と、前記メモリブロックに対して消去動作を行う前に、消去動作を行う前記メモリブロックのアドレス値を前記アドレス情報に設定するとともに、該アドレス値に関連付けられた前記フラグ情報に第 1 の値を設定し、前記メモリブロックに対する消去動作が完了した後に、該メモリブロックのアドレス値に関連付けられた前記フラグ情報に前記第 1 の値と異なる第 2 の値を設定する設定手段と、前記フラグ情報に基づいて、前記メモリブロックの消去動作が正常に完了したか否かを判定する判定手段と、を備えることを特徴とする。

【0012】

本発明の半導体記憶装置では、メモリブロックに対して消去動作を行う前に、フラグ情

10

20

30

40

50

報に第 1 の値が設定され、メモリブロックに対する消去動作が完了した後に、フラグ情報に第 2 の値が設定される。メモリブロックのデータの消去動作中に電源供給が遮断された場合、消去動作が行われたメモリブロックに対応するフラグ情報には、第 2 の値ではなく第 1 の値が設定されているため、フラグ情報に基づいて、メモリブロックの消去動作が正常に完了したか否かを判定することができる。

【発明の効果】

【0013】

本発明によれば、オンチップでウェアレベリングを行う機能を備えた半導体記憶装置において、データの消去動作中に電源供給が遮断された場合でも、メモリブロックのデータの消去が正常に行われたか否かの判定を正しく行うことができるという効果が得られる。

10

【図面の簡単な説明】

【0014】

【図 1】本発明の実施形態による半導体記憶装置の概略構成を示したブロック図である。

【図 2】本実施形態の半導体記憶装置における消去フラグ格納ブロックのデータ格納形式の一例を示した図である。

【図 3】本実施形態の半導体記憶装置におけるデータ消去の処理手順を示したフローチャートである。

【図 4】本実施形態の半導体記憶装置のデータ消去の処理における消去フラグ格納ブロックのデータ遷移の一例を示した図である。

【図 5】従来の半導体記憶装置の概略構成を示したブロック図である。

20

【発明を実施するための形態】

【0015】

以下、本発明の実施形態について、図面を参照して説明する。図 1 は、本実施形態による半導体記憶装置の概略構成を示したブロック図である。図 1 において、半導体記憶装置 1 は、複数の消去ブロック 10 と、消去フラグ格納ブロック 20 と、消去フラグ判定回路 30 と、書き込み・消去制御回路 40 と、書き込み・消去用電圧生成回路 50 とから構成される。

【0016】

消去ブロック 10 は、それぞれ、予め定められた数の複数のメモリセルで構成されたメモリブロックである。また、消去ブロック 10 は、それぞれ、データ格納領域 11 と、管理領域 12 とに区別されている。データ格納領域 11 は、半導体記憶装置 1 の利用者などによって半導体記憶装置 1 に格納されるデータを記憶する。管理領域 12 は、半導体記憶装置 1 内のメモリセルの消去回数を消去ブロック 10 の単位で均等化するウェアレベリング制御を行うために必要なアドレスの置換情報や、消去ブロック 10 の消去回数など、消去ブロック 10 の管理情報を表すデータを記憶する。なお、半導体記憶装置 1 においては、利用者からの指示に応じたデータの消去は、この消去ブロック 10 の単位で行われる。すなわち、消去ブロック 10 内のデータ格納領域 11 および管理領域 12 のデータは、同時に消去される。

30

【0017】

消去フラグ格納ブロック 20 は、消去ブロック 10 の消去動作の情報を格納するメモリブロックである。消去フラグ格納ブロック 20 には、消去ブロック 10 の消去動作の状態を表すフラグと、消去動作を行っている消去ブロック 10 のアドレスとが格納される。なお、消去フラグ格納ブロック 20 で行われるデータの消去の単位は、消去ブロック 10 で行われるデータの消去の単位とは異なり、消去フラグ格納ブロック 20 のみでデータの消去が行われる。また、消去フラグ格納ブロック 20 で行われるデータの書き込みは、ビット毎に行われる。

40

【0018】

ここで、消去フラグ格納ブロック 20 のデータ格納形式について説明する。図 2 は、本実施形態の半導体記憶装置 1 における消去フラグ格納ブロック 20 のデータ格納形式の一例を示した図である。図 2 に示すように、消去フラグ格納ブロック 20 は、半導体記憶装

50

置 1 内の消去ブロック 10 の消去動作の情報を格納する複数の消去動作データ領域 2 1 を備えている。消去動作データ領域 2 1 の状態としては、図 2 に示すように、使用済みの状態と、消去動作中の状態と、未使用の状態とが存在する。そして、半導体記憶装置 1 の利用者によって消去ブロック 10 のデータの消去が指示されると、指定された消去ブロック 10 のデータが、未使用の状態の消去動作データ領域 2 1 に順次格納される。

【 0 0 1 9 】

各消去動作データ領域 2 1 には、消去ブロック 10 のアドレス（以下、「消去ブロックアドレス」という）と、消去ブロック 10 の消去動作の状態を示すフラグ（以下、「消去フラグ」という）とが格納されている。

【 0 0 2 0 】

消去ブロックアドレスは、半導体記憶装置 1 内の全ての消去ブロック 10 のアドレスを表現することができるビット数が予め割り当てられている。消去ブロックアドレスの値は、半導体記憶装置 1 の利用者によってデータの消去が指示された消去ブロック 10 のアドレスの値を表す。消去ブロックアドレスの値は、消去動作データ領域 2 1 に消去ブロック 10 のアドレス値が格納されていない、すなわち、消去動作データ領域 2 1 が未使用（空き領域またはデータが消去されている）の状態である場合は“ 1 1 1 1 1 1 1 ”であり、消去動作データ領域 2 1 が消去動作中または使用済みの状態である場合は、特定の消去ブロック 10 のアドレス値である。

【 0 0 2 1 】

また、消去フラグは、消去ブロック 10 が消去動作中であるか否かを表す 2 ビットが予め割り当てられている。消去フラグの値は、半導体記憶装置 1 の利用者によってデータの消去が指示された消去ブロック 10 の消去動作の状態を表す。消去フラグの値は、消去動作データ領域 2 1 に消去フラグが格納されていない、すなわち、消去動作データ領域 2 1 が未使用（空き領域またはデータが消去されている）の状態である場合は“ 1 1 ”となっている。また、消去フラグの値は、消去動作データ領域 2 1 が消去動作中または使用済みの状態であり、消去ブロック 10 が消去動作中である場合は“ 0 1 ”、消去ブロック 10 のデータの消去が完了した場合は“ 0 0 ”である。

【 0 0 2 2 】

すなわち、消去フラグ格納ブロック 2 0 内の消去動作データ領域 2 1 において、消去フラグの値が“ 0 0 ”となっている消去動作データ領域 2 1 の消去ブロックアドレスの値が、消去動作が正常に行われた消去ブロック 10 を表す。また、この消去動作データ領域 2 1 は、使用済みの状態の消去動作データ領域 2 1 でもある。

【 0 0 2 3 】

また、例えば、消去ブロック 10 の消去動作中に、半導体記憶装置 1 の電源供給が遮断された場合には、消去フラグの値が“ 0 1 ”の状態のままとなる。そして、消去フラグの値が“ 0 1 ”である消去動作データ領域 2 1 の消去ブロックアドレスの値が、消去動作中に電源供給が遮断された消去ブロック 10 を表す。

【 0 0 2 4 】

なお、消去フラグの値は、未使用の状態から消去動作中の状態へ、そして使用済み（消去完了）の状態への遷移に応じて、“ 1 1 ” “ 0 1 ” “ 0 0 ”となるが、消去動作データ領域 2 1 に対しては、データの書き込みのみで消去ブロック 10 の消去動作の状態を表すことができる。具体的には、消去フラグの値を未使用の状態から消去動作中の状態に変更する場合には、消去フラグの一方のビット（本実施形態においては、上位側の 1 ビット）に“ 0 ”のデータを書き込む。また、消去フラグの値を消去動作中の状態から使用済み（消去完了）の状態に変更する場合には、消去フラグの他方のビット（本実施形態においては、下位側の 1 ビット）に“ 0 ”のデータを書き込む。このようにすることによって、消去フラグのいずれかのビットに“ 0 ”のデータを書き込むのみで消去ブロック 10 の消去動作の状態を表すことができる。

【 0 0 2 5 】

なお、上述のように、消去動作データ領域 2 1 は、空き領域の状態またはデータが消去

10

20

30

40

50

されている状態である場合は、消去ブロックアドレスおよび消去フラグの値が“ 1 ”である。従って、消去動作データ領域 2 1 にデータの書き込みを行う場合、消去ブロックアドレスおよび消去フラグの値を“ 0 ”とするビットのみに“ 0 ”のデータを書き込むことによって、消去動作データ領域 2 1 にデータを書き込みことができる。なお、消去ブロックアドレスに関しては、消去ブロックアドレスの値を“ 1 ”とするビットに“ 1 ”のデータを書き込むこともできる。この場合、書き込まれた“ 1 ”のデータは、空き領域の状態またはデータが消去されている状態と、何も変わらない。

【 0 0 2 6 】

消去フラグ判定回路 3 0 は、消去フラグ格納ブロック 2 0 内の各消去動作データ領域 2 1 に格納された消去フラグの値に基づいて、消去動作中である消去ブロック 1 0 があるか
10
否かを判定する。そして、消去動作中である消去ブロック 1 0 がある場合には、消去フラグ格納ブロック 2 0 に格納された消去ブロックアドレスの値を、消去動作中である消去ブロック 1 0 の判定結果として、書き込み・消去制御回路 4 0 に出力する。

【 0 0 2 7 】

また、消去フラグ判定回路 3 0 は、消去フラグ格納ブロック 2 0 内の消去動作データ領域 2 1 の使用状態、具体的には、消去フラグ格納ブロック 2 0 の空き領域の状態を監視し、監視した消去フラグ格納ブロック 2 0 の空き領域の情報を書き込み・消去制御回路 4 0
20
に出力する。例えば、消去フラグ格納ブロック 2 0 内の全ての消去動作データ領域 2 1 が使用済みの状態である場合には、そのことを表す情報を書き込み・消去制御回路 4 0 に出力する。

【 0 0 2 8 】

書き込み・消去制御回路 4 0 は、半導体記憶装置 1 の利用者によるデータの消去や書き込みの指示に応じて、消去ブロック 1 0 のデータの消去や書き込みの動作制御を行う。また、このとき、書き込み・消去制御回路 4 0 は、半導体記憶装置 1 内のメモリセルの消去回数を消去ブロック 1 0 の単位で均等化するためのウェアレベリング制御も行う。また、書き込み・消去制御回路 4 0 は、消去ブロック 1 0 に格納しているデータの消去動作を行う際に、消去ブロック 1 0 の消去動作に応じて、消去フラグ格納ブロック 2 0 内の未使用の状態の消去動作データ領域 2 1 に消去ブロックアドレスを登録するための動作制御や、アドレス登録済みの消去動作データ領域 2 1 の消去フラグの値を更新するための動作制御
30
を行う。

【 0 0 2 9 】

また、書き込み・消去制御回路 4 0 は、消去フラグ判定回路 3 0 から入力された判定結果に応じて、消去動作中の消去ブロック 1 0 を回復させるための動作制御を行う。この消去ブロック 1 0 の回復は、例えば、消去動作中である消去ブロック 1 0 の管理領域 1 2 に格納された消去ブロック 1 0 の消去回数を、別途記憶している半導体記憶装置 1 内の消去ブロック 1 0 の消去回数の現状での最大値とするなどの制御によって行われる。なお、回復制御を行った後には、消去フラグ格納ブロック 2 0 に格納された消去フラグの値を更新する(“ 0 0 ”とする)ための動作制御も行う。

【 0 0 3 0 】

また、書き込み・消去制御回路 4 0 は、消去フラグ格納ブロック 2 0 内の消去動作データ領域 2 1 が全て使用済みであることを表す情報が消去フラグ判定回路 3 0 から入力された場合、消去フラグ格納ブロック 2 0 のデータを消去するための動作制御を行う。
40

【 0 0 3 1 】

そして、書き込み・消去制御回路 4 0 は、これらの動作制御に応じた指示情報を書き込み・消去用電圧生成回路 5 0 に出力する。

【 0 0 3 2 】

書き込み・消去用電圧生成回路 5 0 は、書き込み・消去制御回路 4 0 から入力された指示情報に応じて、消去ブロック 1 0 内のデータ格納領域 1 1 および管理領域 1 2 のメモリセル、または消去フラグ格納ブロック 2 0 の該当する消去動作データ領域 2 1 のメモリセルへのデータの書き込みやメモリセルに記憶しているデータの消去を行うための電圧を発
50

生し、実際に消去ブロック 10 のメモリセルまたは消去フラグ格納ブロック 20 のメモリセルへのデータの書き込みまたはデータの消去を行う。

【0033】

次に、本実施形態の半導体記憶装置におけるデータ消去の処理手順について説明する。図 3 は、本実施形態の半導体記憶装置 1 におけるデータ消去の処理手順を示したフローチャートである。なお、本実施形態の半導体記憶装置 1 における消去ブロック 10 内のデータ格納領域 11 に対するデータの書き込み動作は、従来の半導体記憶装置と同様であるため、説明を省略する。

【0034】

半導体記憶装置 1 の利用者によって消去ブロック 10 のデータ消去、すなわち、消去ブロック 10 内のデータ格納領域 11 のデータの消去が指示されると、まず、ステップ S 100 において、消去フラグ判定回路 30 は、消去フラグ格納ブロック 20 内の各消去動作データ領域 21 に記憶された消去フラグを読み出す。そして、ステップ S 200 において、消去フラグ判定回路 30 は、読み出した消去フラグの値に基づいて、消去動作中である消去ブロック 10 があるか否かを確認する。これは、半導体記憶装置 1 の前回までの処理において、例えば、消去ブロック 10 の消去動作中に、半導体記憶装置 1 の電源供給が遮断され、管理領域 12 に格納された管理情報が不正な値になっている消去ブロック 10 があるか否か、すなわち、消去動作中の状態（“01”）のままとなっている消去ブロック 10 があるか否かを確認するために行われる。消去動作中である消去ブロック 10 がない、すなわち、消去フラグの値が“01”である消去動作データ領域 21 がない場合、消去フラグ判定回路 30 は、全ての消去ブロック 10 の消去動作が正常に完了していると判定し、ステップ S 300 に進む。また、消去動作中である消去ブロック 10 がある、すなわち、消去フラグの値が“01”である消去動作データ領域 21 がある場合、消去フラグ判定回路 30 は、消去動作中である消去ブロック 10 の管理領域 12 に格納された管理情報が不正な値になっていると判定し、消去動作中の状態を表している消去動作データ領域 21 に格納されている消去ブロックアドレスの値を書き込み・消去制御回路 40 に出力して、ステップ S 210 に進む。

【0035】

ステップ S 200 において、消去動作中である消去ブロック 10 がある場合、ステップ S 210 において、書き込み・消去制御回路 40 は、入力された消去ブロックアドレスの消去ブロック 10 を回復させるための指示情報を書き込み・消去用電圧生成回路 50 に出力する。そして、書き込み・消去用電圧生成回路 50 は、入力された指示情報に応じて、指示された消去ブロック 10 内のデータ格納領域 11 および管理領域 12 のメモリセルのデータの消去および管理領域 12 のメモリセルへのデータの書き込みを行う。これにより、消去動作中の消去ブロック 10 のデータ格納領域 11 のデータが正常に消去され、管理領域 12 が正常な状態に回復される。

【0036】

続いて、ステップ S 220 において、書き込み・消去制御回路 40 は、回復処理が完了した消去ブロック 10 の消去ブロックアドレスを格納した消去動作データ領域 21 の消去フラグの値を更新するための指示情報を書き込み・消去用電圧生成回路 50 に出力する。そして、書き込み・消去用電圧生成回路 50 は、入力された指示情報に応じて、指示された消去動作データ領域 21 の消去フラグの値を更新する。本実施形態においては、消去フラグの下位側の 1 ビットに“0”のデータを書き込むことにより、消去動作中を表していた消去動作データ領域 21 の消去フラグが消去完了（使用済み）の状態（“00”）に更新される。そして、ステップ S 200 に戻る。

【0037】

また、ステップ S 200 において、消去動作中である消去ブロック 10 がない場合、ステップ S 300 において、書き込み・消去制御回路 40 は、半導体記憶装置 1 の利用者によってデータの消去が指示された消去ブロック 10 の消去ブロックアドレスを、消去動作データ領域 21 に登録し、この登録した消去動作データ領域 21 の消去フラグを消去動作

10

20

30

40

50

中の状態にするための指示情報を書き込み・消去用電圧生成回路50に出力する。そして、書き込み・消去用電圧生成回路50は、入力された指示情報に応じて、指示された消去動作データ領域21への消去ブロックアドレスの登録や、消去フラグの値の更新を行う。これにより、消去フラグ格納ブロック20内に、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10の消去動作の情報を格納する消去動作データ領域21が作成される。そして、本実施形態においては、作成された消去動作データ領域21の消去フラグの上位側の1ビットに“0”のデータを書き込むことにより、消去動作データ領域21の消去フラグが、消去動作中の状態(“01”)となる。

【0038】

続いて、ステップS400において、書き込み・消去制御回路40は、データを消去した消去ブロック10の管理領域12に記憶された管理情報を読み出す。そして、ステップS500において、書き込み・消去制御回路40は、読み出した管理情報に基づいて、ウェアレベリング制御に伴うアドレスの置換が必要であるか否かを判定する。ステップS500におけるアドレスの置換が必要であるか否かの判定は、例えば、今回の消去動作に伴って、データを消去した消去ブロック10の消去回数を更新(読み出した消去回数の値に1を加算)したときに、更新した消去回数が、別途記憶している半導体記憶装置1内の消去ブロック10の消去回数の前回までの最大値を越えるか否かを判定することによって行われる。そして、更新した消去回数が前回までの最大値を越えない場合は、アドレスの置換が必要でないと判定し、更新した消去回数が前回までの最大値を越える場合は、アドレスの置換が必要であると判定する。

【0039】

ステップS500において、アドレスの置換が必要である場合は、ステップS610に進んで、ウェアレベリング制御において置換する消去ブロック10のアドレスの置換情報(例えば、論理ブロックアドレス)を生成し、ステップS600に進む。また、ステップS500において、アドレスの置換が必要でない場合は、現在の消去ブロック10のアドレスの情報を、アドレスの置換情報(例えば、論理ブロックアドレス)として、ステップS600に進む。なお、ステップS500において、アドレスの置換が必要であるか否かの判定にかかわらず、データを消去した消去ブロック10の消去回数は、今回の消去動作に伴って更新(消去回数の値に1を加算)される。

【0040】

続いて、ステップS600において、書き込み・消去制御回路40は、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10のデータを消去するための指示情報を書き込み・消去用電圧生成回路50に出力する。そして、書き込み・消去用電圧生成回路50は、入力された指示情報に応じて、指示された消去ブロック10の消去動作を行う。これにより、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10内のデータ格納領域11に記憶されたデータが消去される。また、同時に、消去ブロック10内の管理領域12のデータも消去される。

【0041】

続いて、ステップS700において、書き込み・消去制御回路40は、データを消去した消去ブロック10の管理領域12に、消去回数の更新データ(例えば、消去回数に1を加算した値)、アドレスの置換情報(例えば、論理ブロックアドレス)など、新たな管理情報の書き込みを行うための指示情報を書き込み・消去用電圧生成回路50に出力する。そして、書き込み・消去用電圧生成回路50は、入力された指示情報に応じて、指示された消去ブロック10内の管理領域12に新たな管理情報の書き込み動作を行う。これにより、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10内の管理領域12のデータが更新される。

【0042】

続いて、ステップS800において、書き込み・消去制御回路40は、データの消去が完了した消去ブロック10の消去ブロックアドレスを格納した消去動作データ領域21の消去フラグの値を更新するための指示情報を書き込み・消去用電圧生成回路50に出力す

10

20

30

40

50

る。そして、書き込み・消去用電圧生成回路50は、入力された指示情報に応じて、指示された消去動作データ領域21の消去フラグの値を更新する。本実施形態においては、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10の消去動作の情報に格納している消去動作データ領域21の消去フラグの下位側の1ビットに“0”のデータを書き込むことにより、消去動作データ領域21の消去フラグが、消去完了（使用済み）の状態（“00”）に更新される。

【0043】

続いて、ステップS900において、書き込み・消去制御回路40は、消去フラグ判定回路30から消去フラグ格納ブロック20の空き領域の情報を取得する。そして、ステップS1000において、書き込み・消去制御回路40は、取得した消去フラグ格納ブロック20の空き領域の情報に基づいて、消去フラグ格納ブロック20に空き領域、すなわち、未使用の消去動作データ領域21があるか否かを確認する。これは、半導体記憶装置1の次の処理において、消去動作データ領域21を作成するための領域を確保するために行われる。消去フラグ格納ブロック20に空き領域がない場合、書き込み・消去制御回路40は、消去フラグ格納ブロック20のデータの消去が必要であると判断し、ステップS1010に進む。また、消去フラグ格納ブロック20に空き領域がある場合、書き込み・消去制御回路40は、消去フラグ格納ブロック20のデータの消去が不要であると判断し、処理を完了する。

10

【0044】

ステップS1000において、消去フラグ格納ブロック20に空き領域がない場合、ステップS1010において、書き込み・消去制御回路40は、消去フラグ格納ブロック20のデータの消去を行うための指示情報を書き込み・消去用電圧生成回路50に出力する。そして、書き込み・消去用電圧生成回路50は、入力された指示情報に応じて、消去フラグ格納ブロック20のデータの消去動作を行い、処理を完了する。これにより、消去フラグ格納ブロック20内の全ての消去動作データ領域21のデータが消去され、消去ブロックアドレスが“1111111”となり、消去フラグが“11”となる。

20

【0045】

ここで、本実施形態の半導体記憶装置において消去フラグ格納ブロック20に格納されるデータの遷移について説明する。図4は、本実施形態の半導体記憶装置1のデータ消去の処理における消去フラグ格納ブロック20のデータ遷移の一例を示した図である。

30

【0046】

まず、図4(a)は、半導体記憶装置1における前回までの処理が正常に完了した状態の消去フラグ格納ブロック20を示している。半導体記憶装置1の利用者によって消去ブロック10のデータの消去が指示されると、まず、図4(b)に示すように、空き領域である消去動作データ領域21aに、データの消去が指示された消去ブロック10の消去ブロックアドレス(図4(b)では、“0001100”)が書き込まれるとともに、消去フラグの上位側の1ビットに“0”のデータが書き込まれる(図3のステップS300参照)。これにより、消去動作データ領域21aに格納されたアドレスの消去ブロック10が消去動作中の状態(消去フラグ=“01”)となる。

40

【0047】

続いて、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10のデータの消去が完了した後、図4(c)に示すように、データの消去が指示された消去ブロック10の消去ブロックアドレスを格納している消去動作データ領域21aの消去フラグの下位側の1ビットに“0”のデータが書き込まれる(図3のステップS800参照)。これにより、消去動作データ領域21aに格納されたアドレスの消去ブロック10の消去動作が消去完了(使用済み)の状態(消去フラグ=“00”)となる。このように、データの消去が指示された消去ブロック10の状態に応じて、消去フラグの値が更新される。

【0048】

以降、半導体記憶装置1の利用者によって消去ブロック10のデータの消去が指示され

50

る毎に、図4(d)から図4(f)に示すように、前回と異なる未使用の状態の消去動作データ領域21bに対して、データの消去が指示された消去ブロック10の消去ブロックアドレス(図4(e)では、“0010011”)が書き込まれるとともに、消去フラグの2ビットのいずれかに“0”のデータが書き込まれることにより、データの消去が指示された消去ブロック10の状態(消去フラグ=“01” “00”)に応じて消去フラグの値が更新されながら、消去ブロック10のデータの消去動作が行われる。

【0049】

上記に述べたとおり、本発明を実施するための形態によれば、半導体記憶装置1の利用者によってデータの消去が指示された消去ブロック10の状態を示す消去フラグを、消去ブロック10内の管理領域12と異なる領域の消去フラグ格納ブロック20内に格納する。従って、消去ブロック10のデータの消去動作中に電源供給が遮断された場合でも、消去フラグ格納ブロック20内の消去フラグのデータが不正な値となることがない。これにより、半導体記憶装置1に再度、電源供給がされた際に、消去フラグの値を確認することによって、電源供給が遮断される前の処理において、消去ブロック10のデータの消去が正常に行われたか否かの判定を正しく行うことができる。このことから、消去ブロック10の消去回数などを表す管理情報の回復処理を行うか否かを、正確に判定することができる。

10

【0050】

また、消去フラグ格納ブロック20内に空き領域がある限り、書き込み動作のみで消去動作データ領域21の消去フラグを更新することができるため、消去フラグ格納ブロック20自体の消去回数が増大してしまうということがない。なお、消去フラグ格納ブロック20の領域は、消去フラグ格納ブロック20自体の消去回数と消去ブロック10の消去回数とを考慮し、消去ブロック10の最大の消去回数を判定できる領域とすることが望ましい。

20

【0051】

例えば、半導体記憶装置1内に備えた全ての消去ブロック10の数と同じ数の消去動作データ領域21を準備しておくことにより、全ての消去ブロック10の消去回数が最大の消去回数となったときでも、消去フラグ格納ブロック20自体の消去回数が最大の消去回数となることがなく、消去ブロック10のデータの消去が正常に行われたか否かの判定を正しく行うことができる。

30

【0052】

以下、図3に示した半導体記憶装置1のデータ消去の処理手順を参考にして、この理由を説明する。例えば、半導体記憶装置1内に最大の消去回数が10回である消去ブロック10を5つ備え、消去フラグ格納ブロック20の領域を5つ用意した場合を考える。なお、消去フラグ格納ブロック20の最大の消去回数も10回である。この場合、消去フラグ格納ブロック20において、5つの消去ブロック10のいずれか1つのデータの消去が指示される毎に、ステップS300において空き領域である消去動作データ領域21に消去ブロックアドレスと消去フラグが書き込まれ、消去フラグ格納ブロック20の1つの領域が使用される。従って、消去フラグ格納ブロック20の5つの領域が使用され、ステップS1000において消去フラグ格納ブロック20のデータの消去が必要であると判断されるのは、半導体記憶装置1内の消去ブロック10のデータが5回消去された後となる。例えば、半導体記憶装置1では、ウェアレベリング制御を行っているため、5つの消去ブロック10がそれぞれ1回消去された後となる。このことから、半導体記憶装置1内の消去ブロック10のデータの消去を繰り返した場合、ステップS1000において消去フラグ格納ブロック20のデータの消去が必要であると判断され、消去フラグ格納ブロック20のデータが消去されるタイミングは、消去ブロック10のデータが5回、10回、15回、20回・・・消去された後のタイミングである。このように、消去ブロック10のデータの消去が5回行われる毎に、消去フラグ格納ブロック20のデータが1回消去される。従って、消去フラグ格納ブロック20の消去回数が最大の消去回数の10回となるタイミングは、消去ブロック10のデータが50回消去された後のタイミングとなる。この消去

40

50

ブロック10のデータを50回消去するという事は、半導体記憶装置1内の全ての消去ブロック10の消去回数が、すでに最大の消去回数の10回となっており、データの消去を行うことができない状態であることを表している。このように、消去フラグ格納ブロック20の領域として、半導体記憶装置1内に備えた全ての消去ブロック10の数と同じ数の領域を準備しておくことにより、消去フラグ格納ブロック20の消去回数が最大の消去回数となる前に、全ての消去ブロック10の消去回数が最大の消去回数となる。すなわち、全ての消去ブロック10の消去回数が最大の消去回数となる前に、消去フラグ格納ブロック20の消去回数が最大の消去回数となることはなく、消去ブロック10のデータの消去が正常に行われたか否かの判定を正しく行うことができる。

【0053】

なお、図3に示した本実施形態の半導体記憶装置1におけるデータ消去の処理手順では、半導体記憶装置1の利用者によって消去ブロック10のデータ消去が指示されたときに、消去動作中である消去ブロック10があるか否かを確認する場合の例（図3のステップS100およびステップS200参照）を示したが、半導体記憶装置1に電源が供給されたときに、消去動作中である消去ブロック10があるか否かを確認することもできる。この場合、図3におけるステップS100～ステップS200の消去動作中である消去ブロック10があるか否かの確認、およびステップS210～ステップS220の消去ブロック10の回復制御を、半導体記憶装置1に電源が供給されたときに実行し、半導体記憶装置1の利用者によって消去ブロック10のデータの消去が指示されたときには、図3におけるステップS300以降を繰り返すようにすればよい。

【0054】

また、図3に示した本実施形態の半導体記憶装置1におけるデータ消去の処理手順では、半導体記憶装置1の利用者によって指示された消去ブロック10のデータの消去が完了した後に、消去フラグ格納ブロック20の空き領域を確認する場合の例（図3のステップS900～ステップS1010参照）を示したが、半導体記憶装置1の利用者によって消去ブロック10のデータの消去が指示されたときに、消去フラグ格納ブロック20の空き領域を確認することもできる。この場合、図3におけるステップS300の消去ブロック10の消去ブロックアドレスの登録と消去フラグの更新の前に、図3に示したステップS900～ステップS1010と同様の消去フラグ格納ブロック20の空き領域の確認と、消去フラグ格納ブロック20の消去動作とを実行するようにすればよい。

【0055】

また、半導体記憶装置1のメモリブロックの構成は、本発明を実施するための形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において、データ格納領域11と管理領域12とを備えた消去ブロックの単位でデータの書き込みおよび消去が行われる構成の半導体記憶装置であれば、本発明を適用することができる。

【0056】

以上、本発明の実施形態について、図面を参照して説明してきたが、具体的な構成はこの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲においての種々の変更も含まれる。

【符号の説明】

【0057】

- 1・・・半導体記憶装置
- 10・・・消去ブロック（メモリブロック）
- 11・・・データ格納領域
- 12・・・管理領域
- 20・・・消去フラグ格納ブロック（情報格納手段）
- 21・・・消去動作データ領域
- 30・・・消去フラグ判定回路（判定手段）
- 40・・・書き込み・消去制御回路（設定手段）
- 50・・・書き込み・消去用電圧生成回路（設定手段）

10

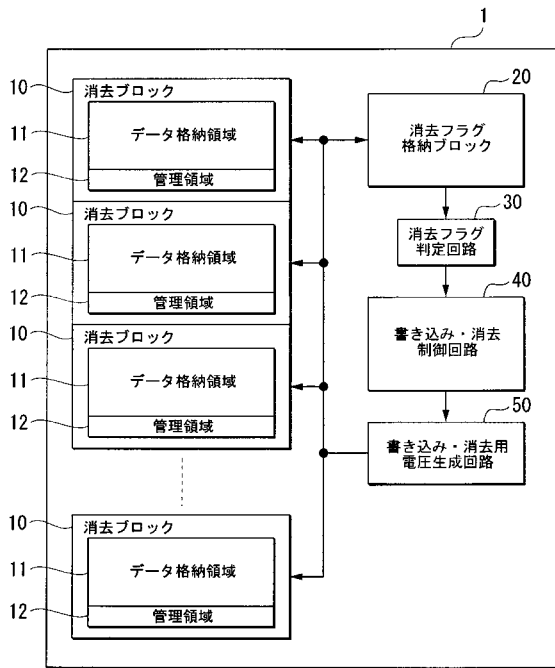
20

30

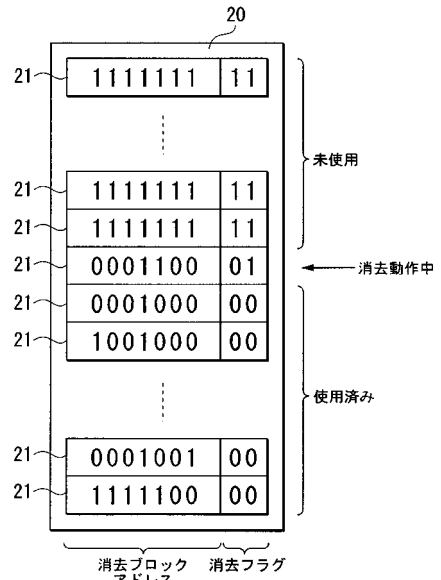
40

50

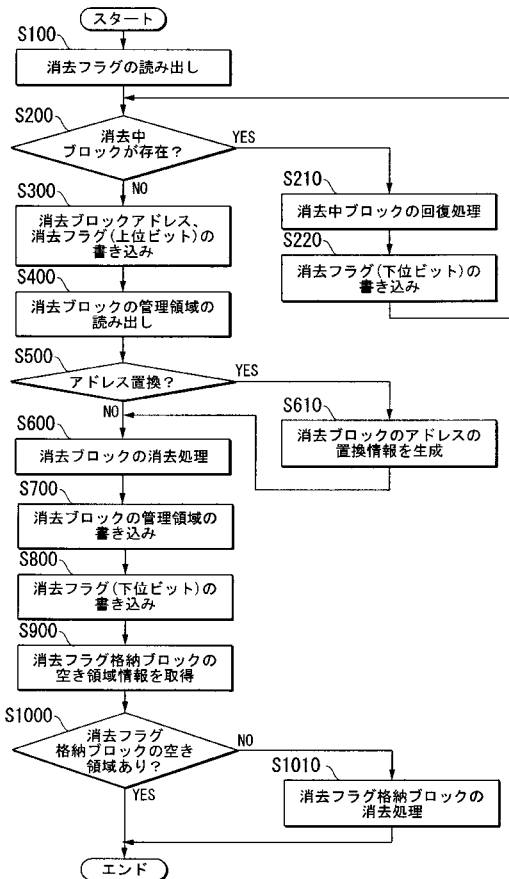
【図1】



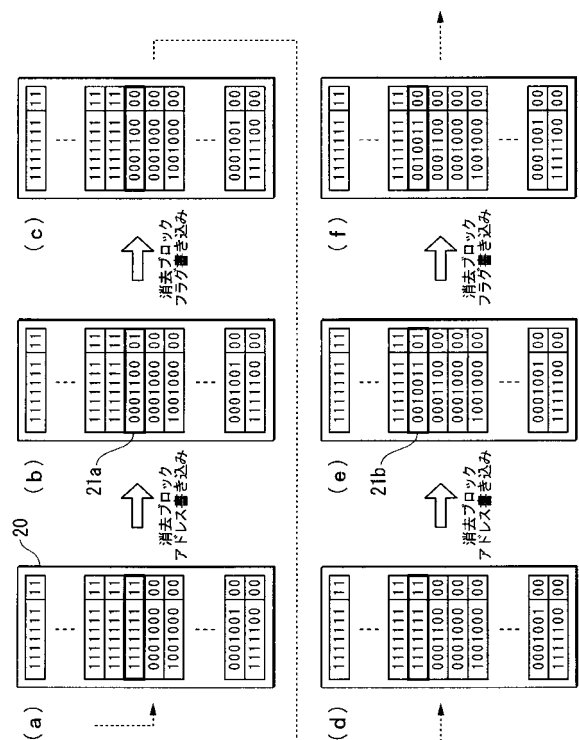
【図2】



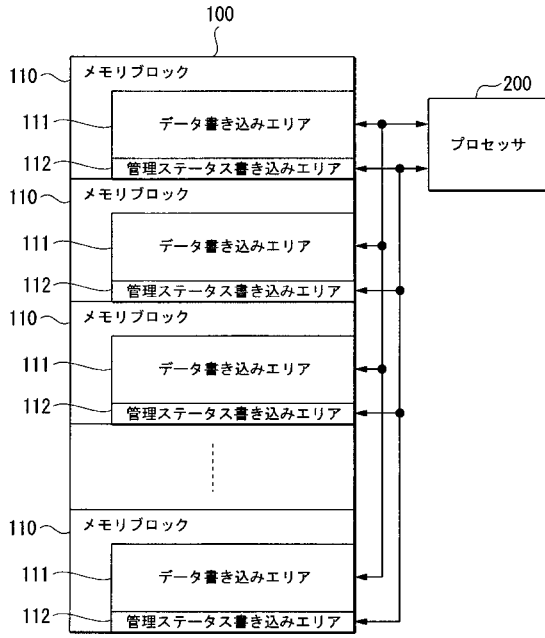
【図3】



【図4】



【 図 5 】



フロントページの続き

(72)発明者 須藤 直昭

神奈川県横浜市鶴見区菅沢町 2 - 7 株式会社サムスン横浜研究所内

Fターム(参考) 5B018 GA04 HA22 HA23 NA06 QA05 QA06 QA15

5B125 BA01 CA12 DC18 DD05 DD08 DD09 DE11 EA10 EK10 FA01

FA04