

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

241335
(11) (B1)

[51] Int. Cl.⁴
H 03 K 17/56



ÚRAD PRO VYNÁLEZY
A OBJEVY

(22) Prihlásené 31 10 84

(21) (PV 8268-84)

(40) Zverejnené 16 07 85

(45) Vydané 15 09 87

(75)

Autor vynálezu

ŠTĚPÁNEK JAROSLAV ing., ŽILINA

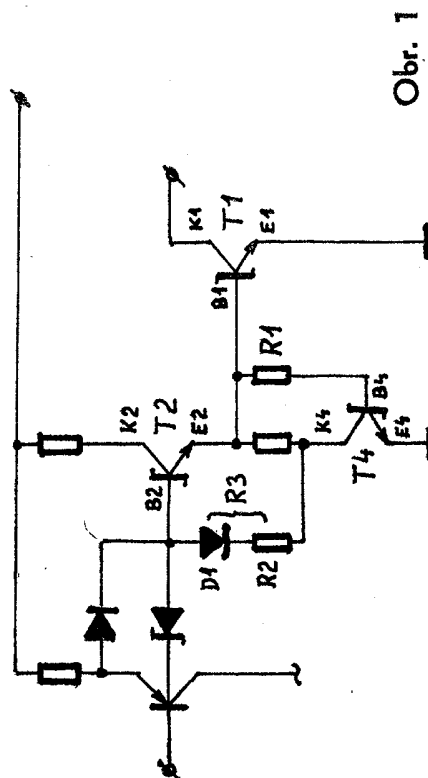
(54) Zapojenie vybíjacieho člena spínacej jednotky

1

2

Zapojenie sa týka oblasti vnútorných zapojení logických integrovaných obvodov, rieši problém zlepšenia dynamických parametrov spínacích jednotiek s rozhodovacou úrovňou $2 U_{BE}$.

Podstata spočíva v zapojení vybíjacieho odporu báze tranzistora s rozhodovacou úrovňou $2 U_{BE}$, ktorý je zapojený do dynamicky spínaného obvodu.



Obr. 1

Vynález sa týka spínacích jednotiek, ktorých súčasťou je zapojenie dvoch tranzistorov so sériovým radením báza-emitorových prechodov v takom poradí, že emitor prvého tranzistora je pripojený na nulový potenciál a emitor druhého tranzistora je pripojený na bázu prvého tranzistora.

Vynález rieši problém vybíjania parazitných kapacít báze druhého tranzistora.

Doterajšie zapojenie riešenia problém vybíjania parazitných kapacít báze druhého tranzistora buď odporom pripojeným medzi bázu druhého tranzistora a vodič s nulovým potenciálom, alebo vybíjacou diódou, ktorá je jedným koncom pripojená na bázu druhého tranzistora a druhým koncom pripojená na pomocný vstup spínacej jednotky.

Zapojenie s odporom pripojeným medzi bázu druhého tranzistora a vodič s nulovým potenciálom znižuje budenie druhého tranzistora v dobe prepínania tranzistora z vypnutého do zapnutého stavu, čím sa zväčšuje doba oneskorenia signálu medzi vstupom a výstupom jednotky pri spínaní.

U zapojenia s vybíjacou diódou zapojenou medzi bázu a pomocný vstup spínacej jednotky dochádza k vybíjaniu parazitných kapacít báze až pri poklese napätia na pomocnom vstupe spínacej jednotky pod úroveň danú rozdielom rozhodovacej úrovne na báze druhého tranzistora a úbytku napätia na vybíjacej dióde. Splnenie tejto podmienky nie je možné zaistiť vo všetkých zapojeniach jednak preto, že k takému poklesu napätia buď nedochádza, alebo dochádza až v dobe z dynamického hľadiska nevýznamnej, keď parazitné kapacity bázy sú už vybité.

Podstata zapojenia podľa vynálezu spočíva v tom, že na bázu druhého tranzistora je pripojený lineárny alebo nelineárny vybíjací odpor, ktorého druhý koniec je pripojený na kolektor pomocného tranzistora. Báza pomocného tranzistora je pripojená cez odpor na bázu prvého tranzistora a emitor pomocného tranzistora je pripojený na vodič s nulovým potenciálom.

Výhodou zapojenia podľa vynálezu je zlepšenie dynamických parametrov spínacej jednotky, spôsobené dynamickým režimom pripájania vybíjacieho odporu báze.

Dalšou výhodou spínacej jednotky podľa vynálezu je zväčšenie strmosti prevodovej charakteristiky spínacej jednotky, čo je spôsobené zápornou spätnou väzbou, ktorú vytvárajú obvody pomocného tranzistora.

Na obr. 1 je príklad využitia vynálezu v riešení TTL hradla s otvoreným kolektorom, na obr. 2 príklad využitia vynálezu u výstupného prevodníka pre hradlové matice so vstupnou rozhodovacou úrovňou $3 U_{BE}$. V oboch zapojeniach je základom riešenia obvodu spínacia jednotka, ktorej prvý tranzistor je označený **T1**, druhý tranzistor **T2**. Pomocný tranzistor je označený **T4**, báza **B4** pomocného tranzistora **T4** je pripojená k báze **B1** prvého tranzistora **T1** cez odpor **R1**.

Vybíjací člen druhého tranzistora **T2** spínacej jednotky je u zapojenia na obr. 1 tvorený nelineárnym odporom **R3** realizovaným sériovým spojením diódy **D1** a odporu **R2**, u zapojenia na obr. 2 je vybíjací člen tvorený lineárnym odporom **R3**.

V zapojeniach podľa obr. 1 a obr. 2 odpor **R3** pripojený medzi bázu **B2** druhého tranzistora **T2** a kolektor **K4** pomocného tranzistora **T4** znižuje po zapnutí pomocného tranzistora **T4** prúd vtekajúci do bázy **B2** druhého tranzistora **T2**. Pretože pomocný tranzistor **T4** je budený prúdom dodávaným z emitoru **E2** druhého tranzistora **T2** dochádza k zopnutiu pomocného tranzistora **T4** až v dobe, keď je druhý tranzistor **T2** zapnutý.

V dynamickom režime tak pri prechode spínacej jednotky z rozopnutého druhého tranzistora **T2**, pričom budiaci prúd jeho bázy **B2** je rovný celkovému prúdu, ktorý dodáva budiaci vstup jednotky. Potom, až po dobe úmernej časovej konštante bázo-vého obvodu pomocného tranzistora **T4** dochádza k zopnutiu pomocného tranzistora **T4**, čo zníži prúd budiaci bázu **B2** druhého tranzistora **T2**, a tak ho pripraví na rýchle rozpínanie.

Pri prechode spínacej jednotky zo zopnutého do rozopnutého stavu najskôr dôjde k zrušeniu budenia vstupu jednotky, čím sa zruší budiaci prúd báze **B2** druhého tranzistora **T2**. Pomocný tranzistor **T4** zostáva zopnutý a zaisťuje rýchle rozpínanie druhého tranzistora **T2** vybíjaním parazitných kapacít báze **B2** druhého tranzistora **T2** cez odpor **R3** zapojený medzi bázu **B2** druhého tranzistora **T2** a kolektor **K4** pomocného tranzistora **T4**.

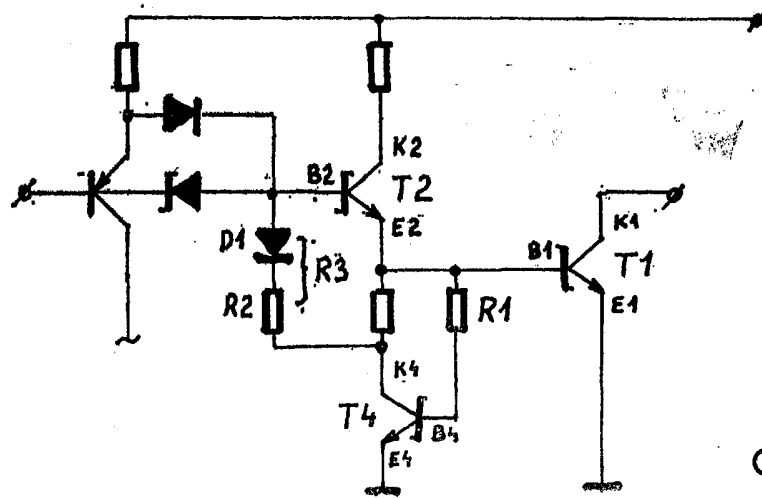
Tým sa zlepšia dynamické parametre spínacej jednotky ako pri spínaní, tak pri rozpínaní.

PREDMET VYNÁLEZU

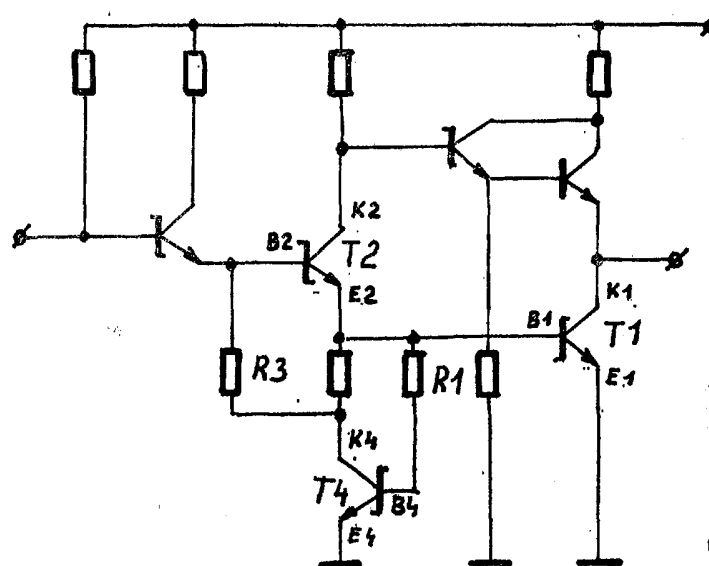
Zapojenie vybíjacieho člena spínacej jednotky, ktorej základom je zapojenie dvoch tranzistorov v takom poradí, že emitor prvého tranzistora je pripojený na nulový potenciál, emitor druhého tranzistora je pripojený na bázu prvého tranzistora vyznačujúce sa tým, že do spínacej jednotky je za-

pojený pomocný tranzistor (T4), ktorého emitor (E4) je pripojený na nulový potenciál, báza (B4) pomocného tranzistora (T4) je pripojená cez odpor (R1) na bázu (B1) pomocného tranzistora (T4) je pripojený na bázu (B2) druhého tranzistora (T2) cez lineárny alebo nelineárny odpor (R3).

1 list výkresov



Obr. 1



Obr. 2