

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/105

H01L 27/108 H01L 27/092

H01L 21/82



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97118679.0

[45] 授权公告日 2004 年 6 月 9 日

[11] 授权公告号 CN 1153295C

[22] 申请日 1997.8.22 [21] 申请号 97118679.0

[30] 优先权

[32] 1996.8.26 [33] JP [31] 223939/1996

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 山下朋弘 小森重树 犬石昌秀

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

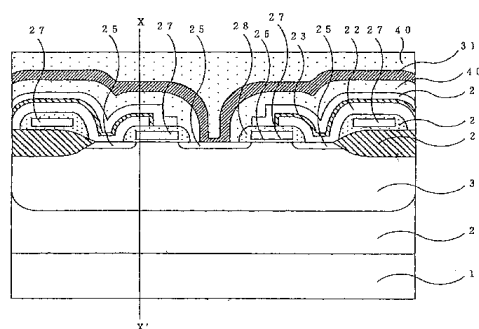
代理人 叶恺东 王忠忠

权利要求书 2 页 说明书 37 页 附图 44 页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

提供即使微细化也不改变抗软错误性、同时保持抗软错误性和耐闭锁性、具有防止电路误动作的基片结构的半导体器件及其制造方法。在半导体表面形成的反常规 P 阱 3 的底部，形成低浓度杂质层 2。该低浓度杂质层 2 在半导体基片和反常规 P 阱 3 之间形成势垒，在抑制因电子产生的软错误的同时，由于在电气上与半导体基片 1 和反常规 P 阱 3 导通，所以限制了用于电位固定的端子数，对半导体集成电路的微细化作出了贡献。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体器件, 包括:
 - 一个第一导电型的半导体基片, 它具有一个第一杂质浓度;
 - 5 一个所述第一导电型的反常规阱, 它具有一个带有杂质浓度峰值的第二杂质浓度, 形成在所述半导体基片的一个主表面上;
 - 一个第一杂质层, 它具有一个第三杂质浓度并且与所述反常规阱的下侧接触, 该第三杂质在浓度上小于所述第一杂质浓度的一个杂质浓度峰值和所述第二杂质浓度的杂质浓度峰值; 和
 - 10 一个形成在所述反常规阱上的元件,
 - 其中, 所述元件是MOS型晶体管, 并且
 - 所述半导体器件还包括一个第二导电型的第二杂质层, 它具有一个第四杂质浓度, 并且和一个所述第一导电型的具有第五杂质浓度的第三杂质层相邻接, 所述第二和所述第三杂质层形成在所述半导体基片的另一个主表面上, 和
 - 15 一个CMOS晶体管, 它形成在至少所述第二和所述第三杂质层上, 用于控制所述MOS型晶体管。
2. 根据权利要求1所述的半导体器件,
 - 其特征在干, 一个所述第一导电型的第四杂质层形成在至少所述第二和第三杂质层下面。
 - 20
3. 根据权利要求1所述的半导体器件,
 - 其特征在干, 所述第一杂质层是所述第二导电型的。
4. 根据权利要求1所述的半导体器件,
 - 其特征在干, 所述第二杂质浓度的杂质浓度峰值和所述第三杂质浓度
 - 25 度的一个杂质浓度峰值在浓度上小于所述第一杂质浓度的杂质浓度峰值。
5. 根据权利要求4所述的半导体器件,
 - 其特征在干, 一个所述第一导电型的第五杂质层形成在至少所述第二和第三杂质层下面。
6. 根据权利要求4所述的半导体器件,

其特征在于，所述第一杂质层是所述第二导电型的。

7. 根据权利要求4所述的半导体器件，

其特征在于，所述MOS型晶体管是构成一个存储器单元的晶体管。

8. 根据权利要求4所述的半导体器件，

5 其特征在于，所述第一杂质层较形成在所述半导体基片的主表面上的一个隔离绝缘膜形成得更深。

9. 根据权利要求1所述的半导体器件，

其特征在于，所述MOS型晶体管是构成一个存储器单元的晶体管。

10. 根据权利要求1所述的半导体器件，

10 其特征在于，所述第一杂质层较形成在所述半导体基片的主表面上的一个隔离绝缘膜形成得更深。

11. 根据权利要求1所述的半导体器件，

15 其特征在于，所述第五杂质浓度具有一个杂质浓度峰值，并且所述第二杂质浓度的杂质浓度峰值和所述第五杂质浓度形成在距离所述半导体基片的表面的大致相同的深度，并且具有接近相同的浓度。

12. 根据权利要求11所述的半导体器件，

其特征在于，所述第二杂质浓度的杂质浓度峰值和所述第三杂质浓度在浓度上小于所述第一杂质浓度的杂质浓度峰值。

半导体器件及其制造方法

5 本发明涉及具有反常规阱结构的半导体器件及其制造方法。

在以存储保存为目的的 DRAM 等集成电路中,存在着信息偶尔丢失、即所谓的软错误的问题。引起这种软错误的代表性原因是 α 线的增强。

例如, P 基片上形成由 NMOSFET 组成的存储元件的情况中,如果向基片内入射 α 线, α 线通过与基片内原子的相互作用丢失能量而减速。在此过程中,
10 产生多个电子空穴对,在这样产生的电子空穴对中,由于为使少数载流子的电子到达 NMOSFET 的 N 型扩散层,就会颠倒保持的信息(电位)。

还有,在 CMOS 结构中,通过由 PMOS 的源/漏和 N 阱及 P 阱构成的寄生 PNP 双极晶体管、由 NMOS 的源/漏和 P 阱及 N 阱构成的寄生 NPN 双极晶体管变为导通状态,形成闸流管,容易引起在 CMOS 电路的电源端子等之间产生大电流的
15 闭锁现象。具体地说,如果阱的杂质浓度低,那么在阱区中电流流动时的阻抗就高,因为电压降变大,所以容易引起闭锁现象。如果引起这种闭锁,不仅损害了电路动作,在有些情况下,还会发生所谓的破坏集成电路自身的不良。

在作为解决这些问题的器件中,采用提高阱底部的杂质浓度、即所谓的反常规阱结构。这种反常规阱一般是在半导体基片内利用高能量的离子注入形成的。
20 的。

例如,在 K. Tsukamoto 等的“用于 ULSI 的高能量离子注入” Nucl. Instr. and Meth. pp584 - 591 1991 中披露了利用高能量的离子注入杂质形成的反常规阱的结构及其方法。

图 77 是表示形成了反常规阱的 CMOS 结构的半导体器件的剖面图。下面参
25 照图, 101 是 P 型半导体基片, 103 是反常规 P 阱, 104 是反常规 N 阱, 124 是元件隔离氧化膜, 125 是源/漏, 126 是栅氧化膜, 127 是栅电极。图 78 是表示图 77 所示的半导体器件的 X - X'剖面的基片部分中深度方向的杂质浓度分布图,图 79 是表示 X - X'剖面中的内部势垒图。

由这些图可知,由于反常规 P 阱是用高能量离子注入注入杂质,所以在基
30 片内期望的深度中可形成杂质浓度的峰值。因此,在反常规 P 阱上形成 CMOS

晶体管结构的情况下，在反常规 P 阱底部的高浓度部分，抑制了阻抗，电压降变小。因此，寄生双极晶体管的电流增幅率变小，使闭锁的产生变得不容易起来。

还有，不仅在 CMOS 结构中，而且在形成反常规 P 阱的情况下，利用由反常规阱底部的杂质浓度的峰值与基片杂质区的密耳能级差产生的势垒，妨碍为少数载流子的电子到达基片表面的源/漏 125，提高抗软错误性。

再有，例如日本特许公开平 4 - 212453 中所披露的，为提高抗软错误性，用反常规 N 阱杂质层围绕反常规 P 阱的半导体基片结构及其制造方法。

图 80 是表示围绕反常规 P 阱的 N 型杂质层所形成的半导体器件基片部分的剖面图。图中，105 是 N 型杂质层。在反常规 P 阱上可形成 NMOS，作为存储区。图 81 是表示图 80 中 Y - Y' 剖面的深度方向的杂质浓度的分布图。

按照这种结构，由于 α 线等在基片中产生的少数载流子、即电子被这个 N 型杂质层吸收，妨碍了其到达反常规 P 阱区的表面上形成的源/漏层（图中未示），所以提高了抗软错误性。

例如，在 F. S. Lai 等的“用 1MeV 离子注入和自对准 TiSi₂ 加工无高闭锁的 1 μ m CMOS 技术” IEDM Tech. Dig. pp513 - 516 1985 中披露，为提高抗软错误性，在非常高杂质浓度的基片上形成低浓度的阱的结构。

图 82 是表示在具有非常高 P 型杂质浓度的基片表面上设置杂质层的半导体器件基片部分的剖面图。图中，106 是高浓度 P 型基片，113 是 P 阱，104 是反常规 N 阱。在反常规 N 阱 104 上形成 PMOS、在 P 阱 113 上形成 NMOS，构成 CMOS 电路。图 83 是表示图 82 中 Z - Z' 剖面的深度方向的杂质浓度的分布图。

这种结构中，由于采用高浓度的 P 型基片 106，减小了基片阻抗、基片内的电流使电压降变小，所以可抑制 CMOS 电路的闭锁。

但是，随着集成电路的微细化，现有的反常规阱的结构中，抗软错误性和耐闭锁性均很低。

再有，在用 N 型杂质层围住反常规 P 阱的杂质结构的情况下，由于确定作为中间层的电位的端子是必要的，所以对微细化增加了结构上的复杂性。

此外，由于集成电路设计和处理技术上的进步，在同一芯片中装载高浓度的存储元件和高浓度的运算电路的集成电路的制造成为可能，但在这样的集成电路中，同时也需要高抗软错误性和高耐闭锁性。

因此, 如果采用在高杂质浓度基片上形成低浓度杂质层的结构, 由于显示高耐闭锁性, 对 CMOS 结构是有效的, 但在抗软错误的提高上却没有效果。后面的两层的费米 (Fermi) 能级差形成势垒后, 妨碍向少数载流子基片的扩散, 相反却因向元件形成区扩散而使抗软错误性劣化。

- 5 鉴于上述各点, 本发明的目的在于提供即使微细化也不改变抗软错误性、同时保持抗软错误性和耐闭锁性、具有防止电路误动作的基片结构的半导体器件及其制造方法。

本发明的半导体器件包括: 第 1 导电型的半导体基片, 它具有第 1 杂质浓度; 具有第 1 导电型的第 1 杂质层, 它形成在所述半导体基片的主表面上, 并
10 具有带杂质浓度峰值的第 2 杂质浓度; 与第 1 杂质层的下侧接触的第 2 杂质层, 它具有小于第 1 杂质浓度和所述第 2 杂质浓度的浓度峰值的第 3 杂质浓度; 和形成在所述第 1 杂质层上的元件。

再有, 半导体器件具有第 2 杂质浓度的杂质浓度峰值和第 3 杂质浓度小于第 1 杂质浓度的特征。

- 15 还有, 本发明的半导体器件包括: 有第 1 杂质浓度的第 1 导电型的半导体基片; 形成在半导体基片的主表面上、并有小于第 1 杂质浓度的杂质浓度峰值的第 2 杂质浓度的第 1 导电型的第 1 杂质层; 与第 1 杂质层的下侧接触的有小于第 1 杂质浓度的杂质浓度峰值的第 3 杂质浓度的第 2 导电型的第 2 杂质层; 和形成在第 1 杂质层上的元件。

- 20 此外, 本发明的半导体器件包括: 有第 1 杂质浓度的第 2 导电型的半导体基片; 形成在半导体基片的主表面上、并有杂质浓度峰值的第 2 杂质浓度的第 1 导电型的第 1 杂质层; 与第 1 杂质层的下侧接触的、有小于第 1 和第 2 杂质浓度的第 3 杂质浓度的第 2 杂质层; 和形成在第 1 杂质层上的元件。

- 其中, 半导体器件具有第 1 杂质层为反常规 P 阱、在第 1 杂质层上形成的
25 元件为 MOS 型晶体管的特征。

- 因此, 本发明的半导体器件的特征包括: 第 1 杂质层为反常规 P 阱; 在第 1 杂质层上形成的元件为 MOS 晶体管; 而且在半导体基片的其它主表面上有互相邻近地形成的有第 4 杂质浓度的第 2 导电型的第 3 杂质层和有第 5 杂质浓度的第 1 导电型的第 4 杂质层; 至少在第 3 和第 4 杂质层的表面上形成的、控制
30 MOS 型晶体管的 CMOS 晶体管。

并且,本发明的半导体器件的特征包括:第1杂质层为反常规P阱;在第1杂质层上形成的元件为MOS晶体管;而且在半导体基片的其它主表面上有互相邻近地形成的有第4杂质浓度的第2导电型的第3杂质层和有第5杂质浓度的第1导电型的第4杂质层;至少形成与第3和第4杂质层的下侧接触的、有
5 大于第1至第5杂质浓度的第6杂质浓度的第1导电型的第5杂质层;至少在第3和第4杂质层形成的、控制MOS型晶体管的CMOS晶体管。

并且,本发明的半导体器件的特征包括:第1杂质层为反常规P阱;在第1杂质层上形成的元件为MOS晶体管;而且在半导体基片的其它主表面上有互相邻近地形成的有第4杂质浓度的第2导电型的第3杂质层和有第5杂质浓度的
10 第1导电型的第4杂质层;至少在第3和第4杂质层的表面形成的、控制MOS型晶体管的CMOS晶体管。

本发明的半导体器件的制造方法包括下列步骤:在具有第1杂质浓度的第1导电型的半导体基片主表面上形成有小于第1杂质浓度的第2杂质浓度的第1杂质层;在第1杂质层的表面上,形成有大于第2杂质浓度的有杂质浓度峰值
15 的第3杂质浓度的第2杂质层;和在第2杂质层表面上形成元件。

此外,本发明的半导体器件的制造方法的步骤包括:在具有第1杂质浓度的第1导电型的半导体基片主表面上形成小于第1杂质浓度的有杂质峰值的第2杂质浓度的第2导电型的第1杂质层;在第1杂质层的表面上,形成有小于第1杂质浓度的有杂质浓度峰值的第3杂质浓度的第2杂质层;和在第2杂质
20 层表面上形成元件。

并且,本发明的半导体器件的制造方法的步骤还包括:在具有第1杂质浓度的第2导电型的半导体基片的主表面上形成小于第1杂质浓度的有第2杂质浓度的第11杂质层;在第1杂质层的表面上,形成有小于第1杂质浓度的有杂质浓度峰值的第3杂质浓度的第1导电型的第2杂质层;和在第2杂质层表
25 面上形成元件。

还有,该制造方法的特征在于,具有利用外延生长形成第1杂质层的工艺、利用离子注入形成第2杂质层的工艺的特征。

而且,本发明的半导体器件的制造方法还包括下列步骤:在半导体基片的其它主表面上有互相邻近地形成的有第4杂质浓度的第2导电型的第3杂质层和有第5杂质浓度的第1导电型的第4杂质层;和至少在第3和第4杂质层的
30

表面上形成控制 MOS 晶体管的 CMOS 晶体管。

再有，本发明的半导体器件的制造工艺步骤还包括：在与第 1 杂质层邻近的半导体基片上有大于第 1 至第 5 杂质浓度的第 6 杂质浓度的第 1 导电型的第 5 杂质层的形成工艺。

- 5 此外，本发明的半导体器件的制造方法还包括：有第 1 杂质浓度的第 1 导电型的半导体基片的主表面上形成有小于第 1 杂质浓度的第 2 杂质浓度的第 1 杂质层的工艺；在第 1 杂质层的第 1 部分形成小于第 1 杂质浓度的有第 3 杂质浓度的第 2 导电型的第 2 杂质层；在第 1 杂质层的第 1 部分的表面上，形成有大于第 2 和第 3 杂质浓度的杂质峰值的第 4 杂质浓度的第 1 导电型的第 3 杂质层；形成与第 1 杂质层的第 2 部分的表面相互邻接，有第 5 杂质浓度的第 2 导电型的第 4 杂质层和有第 6 杂质浓度的第 1 导电型的第 5 杂质层；在第 3 杂质层的表面上形成 MOS 型晶体管；和至少在第 4 和第 5 杂质层的表面上，形成控制 MOS 晶体管的 CMOS 晶体管。

- 15 并且，本发明的半导体器件的制造方法的特征还在于，第 1 杂质层浓度大于第 2 至第 4 杂质浓度、第 2 杂质浓度有杂质浓度峰值。

再有，本发明的半导体器件的制造方法的特征还在于，在第 1 杂质层的第 2 部分的底部形成有大于第 2 至第 3 杂质浓度的第 7 杂质浓度的第 1 导电型的第 6 杂质层。

- 20 而且，本发明的半导体器件的制造方法的特征还在于，利用外延生长形成第 1 杂质层、利用离子注入形成第 3 至第 5 杂质层。

图 1 是表示本发明实施例 1 的半导体器件剖面图。

图 2 是表示本发明实施例 1 的半导体器件基片剖面图。

图 3 是表示示于图 2 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

- 25 图 4 是表示示于图 2 的半导体器件基片的 A - A'剖面中基片的内部势垒图。

图 5 是表示本发明实施例 1 的半导体器件制造方法的剖面图。

图 6 是表示本发明实施例 1 的半导体器件制造方法的剖面图。

图 7 是表示本发明实施例 1 的半导体器件制造方法的剖面图。

- 30 图 8 是表示示于图 5 的半导体器件基片的 A - A'剖面中杂质浓度的分布

图。

图 9 是表示本发明实施例 2 的半导体器件基片的剖面图。

图 10 是表示示于图 9 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

5 图 11 是表示示于图 9 的半导体器件基片的 A - A'剖面中基片的内部势垒图。

图 12 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 13 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 14 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

10 图 15 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 16 是表示示于图 14 的半导体器件基片的 A - A'剖面中硼和磷的杂质浓度分布图。

图 17 是表示示于图 15 的半导体器件基片的 A - A'剖面中硼和磷的杂质浓度分布图。

15 图 18 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 19 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 20 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 21 是表示示于图 19 的半导体器件基片的 A - A'剖面中硼和磷的杂质浓度分布图。

20 图 22 是表示示于图 20 的半导体器件基片的深度方向上硼和磷的杂质浓度分布图。

图 23 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

图 24 是表示本发明实施例 2 的半导体器件制造方法的剖面图。

25 图 25 是表示示于图 23 的半导体器件基片的 A - A'剖面中硼和磷的杂质浓度分布图。

图 26 是表示示于图 24 的半导体器件基片的深度方向中硼和磷的杂质浓度分布图。

图 27 是表示本发明实施例 3 的半导体器件基片的剖面图。

30 图 28 是表示示于图 27 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 29 是表示本发明实施例 3 的半导体器件制造方法的剖面图。

图 30 是表示本发明实施例 3 的半导体器件制造方法的剖面图。

图 31 是表示示于图 29 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

5 图 32 是表示本发明实施例 4 的半导体器件基片的剖面图。

图 33 是表示示于图 32 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 34 是表示本发明实施例 4 的半导体器件制造方法的剖面图。

图 35 是表示本发明实施例 4 的半导体器件制造方法的剖面图。

10 图 36 是表示示于图 34 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 37 是表示示于图 35 的半导体器件基片的深度方向上硼和磷的杂质浓度的分布图。

图 38 是表示本发明实施例 5 的半导体器件基片的剖面图。

15 图 39 是表示示于图 38 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 40 是表示本发明实施例 5 的半导体器件制造方法的剖面图。

图 41 是表示本发明实施例 5 的半导体器件制造方法的剖面图。

20 图 42 是表示示于图 40 的半导体器件基片的深度方向上硼和磷的杂质浓度的分布图。

图 43 是表示示于图 41 的半导体器件基片的深度方向上硼和磷的杂质浓度的分布图。

图 44 是表示本发明实施例 6 的半导体器件基片的剖面图。

25 图 45 是表示示于图 44 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 46 是表示示于图 44 的半导体器件基片的 A - A'剖面中硼和磷的杂质浓度的分布图。

图 47 是表示本发明实施例 6 的半导体器件制造方法的一过程中硼和磷的杂质浓度的分布图。

30 图 48 是表示本发明实施例 7 的半导体器件基片的剖面图。

图 49 是表示示于图 48 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 50 是表示示于图 48 的半导体器件基片的 A - A'剖面中硼和磷在深度方向上的杂质浓度的分布图。

5 图 51 是表示示于图 48 的半导体器件基片的 A - A'剖面中杂质浓度的分布图。

图 52 是表示示于图 48 的半导体器件基片的 A - A'剖面中硼和磷的杂质浓度的分布图。

图 53 是表示本发明实施例 8 的半导体器件的剖面图。

10 图 54 是表示本发明实施例 8 的半导体器件基片的剖面图。

图 55 是表示示于图 54 的半导体器件基片的 B - B'剖面中杂质浓度的分布图。

图 56 是表示本发明实施例 8 的半导体器件基片的剖面图。

图 57 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

15 图 58 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

图 59 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

图 60 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

图 61 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

图 62 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

20 图 63 是表示本发明实施例 8 的半导体器件制造方法的剖面图。

图 64 是表示本发明实施例 9 的半导体器件基片的剖面图。

图 65 是表示本发明实施例 9 的半导体器件基片的剖面图。

图 66 是表示示于图 64 的半导体器件基片的 C - C'剖面中杂质浓度的分布图。

25 图 67 是表示本发明实施例 9 的半导体器件制造方法的剖面图。

图 68 是表示本发明实施例 10 的半导体器件基片的剖面图。

图 69 是表示本发明实施例 10 的半导体器件制造方法的剖面图。

图 70 是表示本发明实施例 11 的半导体器件基片的剖面图。

30 图 71 是表示示于图 70 的半导体器件基片的 C - C'剖面中杂质浓度的分布图。

图 72 是表示本发明实施例 11 的半导体器件制造方法的剖面图。

图 73 是表示本发明实施例 12 的半导体器件基片的剖面图。

图 74 是表示本发明实施例 12 的半导体器件制造方法的剖面图。

图 75 是表示本发明实施例 13 的半导体器件基片的剖面图。

5 图 76 是表示本发明实施例 13 的半导体器件制造方法的剖面图。

图 77 是表示以往的半导体器件基片的剖面图。

图 78 是表示示于图 77 的半导体器件基片部分的深度方向上杂质硼和磷的图。

图 79 是表示示于图 77 的半导体器件的深度方向上的势垒图。

10 图 80 是表示以往的半导体器件基片的剖面图。

图 81 是表示示于图 80 的半导体器件深度方向上杂质硼和磷的图。

图 82 是表示以往的半导体器件基片的剖面图。

图 83 是表示示于图 82 的半导体器件深度方向上杂质硼和磷的图。

实施例 1

15 图 1 是表示本发明实施例 1 的半导体器件的剖面图。参照图，1 是 P 型半导体基片，2 是在 P 型半导体基片 1 中形成的 P 型杂质层，3 是 P 型半导体基片 1 中形成的反常规 P 阱，21 是单元极板，23 是电介质膜，24 是单元隔离氧化膜，25 是源/漏，26 是栅氧化膜，27 是栅电极，28 是氧化硅膜，30 是层间绝缘膜，31 是位线。由存储节点 22、电介质膜 23 及单元极板 21 构成电
20 容。

图 2 是图 1 所示的半导体器件的半导体基片的剖面图，图 3 是图 2 所示的半导体基片的 A - A'剖面中的杂质浓度分布图，图 4 是图 2 所示的半导体基片的 A - A'剖面中基片的内部势垒的示意图。

该半导体器件的基片由硼浓度为 $1 \times 10^{15} \sim 10^{16}/\text{cm}^3$ 的 P 型半导体基片 1、硼
25 浓度 $1 \times 10^{15}/\text{cm}^3$ 的 P 型杂质层 2、硼浓度 $1 \times 10^{18}/\text{cm}^3$ 的反常规阱 3 构成。

图 1 中反常规 P 阱 3 表面上形成的晶体管有 2 个，在实际结构中可形成多个这样的晶体管。并且，在反常规 P 阱 3 内距表面 $0 - 0.2\mu\text{m}$ 深度处，按需要形成具有防止穿通及阈值控制作用的沟道注入层，和在隔离氧化膜 24 的下面抑制沟道形成的阻断沟道注入等的杂质层。P 型杂质层 2 靠近反常规 P 阱 3 的
30 底部形成，也可以不在相关的反常规阱的侧面形成那一种情况都可以。

由图 4 可知, 按照这种半导体基片的结构, 由于 P 型杂质层 2 的存在, 在半导体基片 1 中由 α 线等产生的电子的相对于反常规阱上部的势垒就变大, 妨碍了电子到达在反常规 P 阱表面上已形成的源/漏区 25, 所以可抑制因电子造成的软错误。

- 5 并且, 由于半导体基片 1、P 型杂质层 2 及反常规 P 阱 3 为同一导电型, 并电气导通, 所以不必分别单独地固定电位。因此, 没有因端子数增加在元件配置上受到制约。还可获得半导体集成电路微细化的效果。

图 5 - 7 是表示本发明实施例 1 的半导体器件基片的制造方法的剖面图。参照图, 29 是下敷氧化膜。

- 10 图 8 是表示图 5 所示的半导体基片的 A - A' 剖面中的杂质浓度的分布图。

首先, 如图 5 所示, 在硼浓度 $1 \times 10^{16}/\text{cm}^3$ 的 P 型半导体基片 1 的表面上, 利用外延生长, 形成 $2 - 10\mu\text{m}$ 的硼浓度 $1 \times 10^{15}/\text{cm}^3$ 的 P 型杂质层 2。接着, 如图 6 所示, 在 P 型杂质层 2 的表面隔离区上形成元件隔离氧化膜, 在有源区形成作为栅氧化膜的下敷氧化膜 29。但是, 并不在乎元件隔离层 24 与下敷氧化层 29 形成顺序的先后。

然后, 如图 7 所示, 若需要, 对抗蚀剂构图, 形成在反常规 P 阱 3 形成区上部开口的掩膜后, 按 $200\text{keV} - 1.5\text{meV}$ 、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件, 高能离子注入 P 型杂质的离子态硼, 形成反常规 P 阱 3。然后, 形成晶体管、层间绝缘膜、接触孔、电容等, 进行布线(图中未示出)。

- 20 如上所述, 按照这种半导体器件的制造方法, 在半导体基片 1 中由 α 线等产生的电子相对于反常规阱 3 上部的势垒变大, 妨碍电子到达已形成在反常规 P 阱 3 上的源/漏区 25, 可获得能抑制因电子产生的软错误的半导体器件。

此外, 由于半导体基片 1、P 型杂质层 2 及反常规 P 阱 3 为同一导电型, 是电气导通的, 所以不必分别单独地固定电位。因此, 没有因端子数增加在元件配置上受到制约。还可获得半导体集成电路微细化的效果。

- 30 并且, 由于利用外延生长形成 P 型杂质层 2 使半导体基片 1 的浓度升高, 所以可获得在构成晶体管的反常规 P 阱 3 的表面杂质浓度低的半导体器件。因此, 在使半导体基片 1 和反常规 P 阱 3 的导通变得容易的同时, 可防止阈值电压等的晶体管特性的劣化, 在制造工艺上, 也可较宽地设定杂质浓度控制等的工艺范围。

实施例 2

图 9 是表示本发明实施例 2 的半导体器件的基片的剖面图。下面参照图，1 是 P 型半导体基片，5 是 N 型杂质层，3 是反常规 P 阱，并且 N 型杂质层 5 的 N 型杂质浓度十分低，P 型半导体基片 1 和反常规 P 阱 3 在电气上不绝缘。在 5 这种反常规 P 阱 3 上，可形成与实施例 1 一样的元件(图中未示出)。

图 10 是表示图 9 所示的半导体基片的 A - A' 的剖面中的杂质浓度分布图，图 11 是表示图 9 所示的半导体基片的 A - A' 剖面中基片内部势垒的图。

该半导体器件的基片由硼浓度为 $1 \times 10^{15} \sim 10^{16}/\text{cm}^3$ 的 P 型半导体基片 1、磷浓度 $1 \times 10^{15}/\text{cm}^3$ 的 N 型杂质层 5、硼浓度 $1 \times 10^{18}/\text{cm}^3$ 的反常规阱 3 构成。

10 在反常规 P 阱 3 内距表面 $0 - 0.2 \mu\text{m}$ 深度处，按需要形成具有防止穿通及阈值控制作用的沟道注入层，在隔离氧化膜 24 的下面抑制沟道形成的阻断沟道注入等的杂质层。并且，N 型杂质层 5 靠近反常规 P 阱 3 的底部形成，也可以不在相关的反常规阱的侧面形成那一种情况都可以。

由图 11 可知，利用 N 型杂质层 5 的存在，在半导体基片 1 中由 α 线等产生的电子的相对于反常规阱的上部的势垒就变大，由于妨碍了电子到达在反常规 P 阱 3 表面上已形成的源/漏区，所以可抑制因电子造成的软错误。

此外，N 型杂质层 5 与半导体基片 1 及反常规 P 阱 3 为不同的导电型，虽然半导体基片 1 与反常规 P 阱 3 是电气导通的，但由于 N 型杂质层 5 有十分低的浓度，所以不必单独地固定各自的层电位。因此，没有因端子数增加在元 20 件配置上受到制约，还可获得半导体集成电路微细化的效果。

图 12 - 15 是表示本发明实施例 2 的半导体器件基片的制造方法的剖面图，图 16 是表示图 14 所示的半导体基片 A - A' 剖面中硼和磷的杂质浓度的分布图，图 17 是表示图 15 所示的半导体基片深度方向上硼和磷的杂质浓度的分布图。

25 首先，如图 12 所示，在硼浓度 $1 \times 10^{15}/\text{cm}^3$ 的 P 型半导体基片 1 的主表面上的隔离区形成元件隔离氧化膜 24，在有源区形成作为栅氧化膜的下敷氧化膜 29。但是，并不在乎元件隔离层 24 与下敷氧化层 29 形成顺序的先后。

接着，如图 13 所示，若有必要，在 P 型半导体基片的表面上，对抗蚀剂构图，形成在 N 型杂质层 5 形成区上部开口构成掩膜后，按 $50\text{keV} - 200\text{keV}$ 、 30 $1 \times 10^{11} \sim 5 \times 10^{12}/\text{cm}^2$ 的条件，注入 N 型杂质的离子态磷，形成 N 型杂质层 51。

然后,如图14所示,利用 $1100^{\circ}\text{C} - 1200^{\circ}\text{C}$ 、0.5小时-3小时的热处理进行磷扩散后,形成N型杂质层5。

其中,在注入磷的杂质浓度低的情况下,或热处理温度高的情况下,或热处理时间长的情况下,在形成N型杂质层5的区域就形成像实施例1中那样的P型杂质层2,即使形成了P型杂质层2也不存在特殊的问题。

然后,如图15所示,若有必要,在P型半导体基片1表面上,对抗蚀剂构图,形成在反常规P阱3形成区上部开口构成掩膜后,按 $200\text{keV} - 1.5\text{MeV}$ 、 $1 \times 10^{12} \sim 5 \times 10^{14}/\text{cm}^2$ 的条件,高能量注入P型杂质的离子态硼,形成反常规阱3。然后,在该反常规P阱3上,形成与实施例1相同的元件(图中未示出)。

10 如上所述,按照这种半导体器件的制造方法,使在半导体基片1和反常规P阱3之间能够保证插入的N型层持续导通的半导体器件的制造成为可能。因此,在半导体基片1中由 α 线等产生的电子的相对于反常规阱上部的势垒变大,妨碍电子到达已形成在反常规P阱3上的源/漏区,故可获得能抑制因电子产生的软错误的半导体器件的制造方法。

15 此外,N型杂质层5与半导体基片1及反常规P阱3为不同的导电型,虽然半导体基片1与反常规P阱3是电气导通的,但由于N型杂质层5有十分低的浓度,所以不必单独地固定各自的层电位。因此,没有因端子数增加在元件配置上受到制约,还可获得半导体集成电路微细化的效果。

20 图18-20是表示本发明实施例2的半导体器件基片的其它制造方法的剖面图,图21是表示图19所示的半导体基片A-A'剖面中硼和磷的杂质浓度的分布图,图22是表示图20所示的半导体基片深度方向上硼和磷的杂质浓度的分布图。

首先,与实施例1相同,在硼浓度 $1 \times 10^{16}/\text{cm}^3$ 的P型半导体基片1的表面上,利用外延生长,形成 $2 - 10\mu\text{m}$ 的硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的P型杂质层2之后,在P型杂质层2的表面隔离区上形成元件隔离氧化膜24,在有源区形成作为栅氧化膜的下敷氧化膜29。但是,并不在乎元件隔离氧化膜24与下敷氧化膜29形成顺序的先后。

然后,如图18所示,若有必要,对抗蚀剂构图,形成对N型杂质层5形成区上部开口构成掩膜后,按 $50\text{keV} - 200\text{keV}$ 、 $1 \times 10^{11} \sim 1 \times 10^{13}/\text{cm}^2$ 的条件,30 注入N型杂质的离子态磷,形成N型杂质层51。

然后,如图 19 所示,利用 $1100^{\circ}\text{C} - 1200^{\circ}\text{C}$ 、0.5 小时 - 3 小时的热处理进行磷扩散后,形成 N 型杂质层 5。

其中,在注入磷的杂质浓度低的情况下、热处理温度高的情况下、或热处理时间长的情况下,在形成 N 型杂质层 5 的区域就形成像实施例 1 中那样的 P 型杂质层 2,即使形成了 P 型杂质层 2 也不存在特殊的问题。

然后,如图 20 所示,若有必要,对抗蚀剂构图,形成对反常规 P 阱形成区上部开口的掩膜后,按 $200\text{keV} - 1.5\text{MeV}$ 、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件,高能注入 P 型杂质的离子态硼,形成反常规 P 阱 3。然后在反常规 P 阱 3 上形成与实施例 1 相同的元件(图中未示出)。

10 如上所述,按照这种半导体器件的制造方法,在半导体基片 1 中由 α 线等产生的电子的相对于反常规阱 3 上部的势垒变大,妨碍电子到达已形成在反常规 P 阱 3 上的源/漏区,可获得能抑制因电子产生的软错误的半导体器件的制造方法。

并且,由于外延生长后形成 N 型杂质层 5,使半导体基片 1 的浓度升高,15 所以可获得构成晶体管的反常规 P 阱 3 的表面杂质浓度低的半导体器件。因此,在使半导体基片 1 和反常规 P 阱 3 的导通变得容易的同时,可防止阈值电压等的晶体管特性的劣化,在制造工艺上,也可较宽地设定杂质浓度控制等的工艺范围。

此外, N 型杂质层 5 与半导体基片 1 及反常规 P 阱 3 为不同的导电型,虽然20 半导体基片 1 与反常规 P 阱 3 是电气导通的,但由于 N 型杂质层 5 有十分低的浓度,所以不必单独地固定各自的层电位。因此,没有因端子数增加在元件配置上受到制约,还使微细化的半导体集成电路的制造成为可能。

图 23 - 24 是表示本发明实施例 2 的半导体器件基片的其它制造方法的剖面图,图 25 是表示图 23 所示的半导体器件基片 A - A'剖面中硼和磷的杂质定25 点测定的结果图,图 26 是表示图 24 所示的半导体器件基片深度方向上硼和磷的杂质浓度的分布图。

首先,如图 23 所示,在硼浓度 $1 \times 10^{16}/\text{cm}^3$ 的 P 型硅基片 1 上,生长 $2 - 5\mu\text{m}$ 的磷浓度为 $1 \times 10^{15}/\text{cm}^3$ 的 N 型外延层 5 之后,在 P 型杂质层 2 表面的隔离区上形成元件隔离氧化膜 24,在有源区形成作为栅氧化膜的下敷氧化膜 29。30 但是,并不在乎元件隔离氧化膜 24 与下敷氧化膜 29 形成顺序的先后。

然后,如图 24 所示,若有必要,对抗蚀剂构图,形成对反常规 P 阱 3 形成区上部开口的掩膜后,按 $200\text{keV} - 1.5\text{MeV}$ 、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件,高能量注入 P 型杂质的离子态硼,形成反常规 P 阱 3。然后形成与实施例 1 相同的元件(图中未示出)。

- 5 如上所述,按照这种半导体器件的制造方法,在半导体基片 1 中由 α 线等产生的电子的相对于反常规阱 3 上部的势垒变大,妨碍电子到达已形成在反常规 P 阱 3 上的源/漏区,可获得能抑制因电子产生的软错误的半导体器件。

并且,由于利用外延生长形成 N 型杂质层 5,使半导体基片 1 的浓度升高,所以可获得构成晶体管的反常规 P 阱 3 的表面杂质浓度低的半导体器件。因此,在使半导体基片 1 和反常规 P 阱 3 的导通变得容易的同时,可防止阈值电压等的晶体管特性的劣化,在制造工艺上,也可实现工艺的简化,还可较宽地设定杂质浓度控制等的工艺范围。

此外, N 型杂质层 5 与半导体基片 1 及反常规 P 阱 3 为不同的导电型,虽然半导体基片 1 与反常规 P 阱 3 是电气导通的,但由于 N 型杂质层 5 有十分低的浓度,所以不必单独地固定各自的层电位。因此,没有因端子数增加在元件配置上受到制约,还使微细化的半导体集成电路的制造成为可能。

实施例 3

图 27 是表示本发明实施例 3 的半导体器件的基片的剖面图。下面参照图,是 P 型半导体基片, 2 是 P 型半导体基片中形成的 P 型杂质层, 3 是 P 型半导体基片 6 中形成的反常规 P 阱。

图 28 是表示图 27 所示的半导体基片 A - A'剖面中杂质浓度的分布图。

如图 28 所示,该半导体器件的基片由硼浓度为 $1 \times 10^{19}/\text{cm}^3$ 的高浓度 P 型半导体基片 6、硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的 P 型杂质层 2、硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的反常规 P 阱 3 构成。

25 此外,在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后,在反常规 P 阱 3 内距表面 $0 - 0.2\mu\text{m}$ 深度处,也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。P 型杂质层 2 在靠近反常规 P 阱 3 的底部形成,也可以不在相关的反常规阱的侧面形成,那一种情况都可以。

30 在这种基片结构上形成存储元件的情况下(图中未示出),由图 28 所示的杂

质浓度分布可知,在P型半导体基片6中由 α 线等产生的电子的相对于反常规阱上部中的势垒,因P型杂质层2的存在而未变大,在P型半导体基片6中,由于电子的寿命时间变短,所以防止了电子到达反常规P阱3表面上形成的源/漏区,具有更能抑制软错误的效果。

- 5 此外,在这个基片结构上形成作为控制电路的CMOS晶体管的情况下,利用P型半导体基片使基片阻抗变低,同时,由于形成了反常规P阱3,所以具有提高耐闭锁的效果。

并且,由于P型半导体基片6、P型杂质层2及反常规P阱3为同一导电型,是电导通的,所以不必分别单独地固定电位。因此,即使在形成存储元件
10 CMOS的那一种情况下,都没有因端子数增加在元件配置上受到制约,也具有半导体集成电路微细化的效果。

再有,由于P型半导体基片6的浓度较高,形成晶体管的反常规P阱3的表面杂质浓度较低,所以,在使P型半导体基片6和反常规P阱3的导通变得容易的同时,还具有所谓的抑制阈值电压等的晶体管特性劣化的效果。

- 15 图29~30是表示本发明实施例3的半导体器件基片的制造方法的剖面图,图31是表示图29所示的半导体器件基片A-A'剖面中杂质浓度的分布图。

首先,如图29所示,在硼浓度为 $1 \times 10^{19}/\text{cm}^3$ 的高浓度P型半导体基片6的表面上,形成2~10 μm 的硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的P型外延层2。

- 然后,在P型杂质层2表面的隔离区上形成元件隔离氧化膜24,在有源区
20 形成作为栅氧化膜的下敷氧化膜29。但是,并不在乎元件隔离氧化膜24与下敷氧化膜29形成顺序的先后。

- 然后,如图20所示,若有必要,对抗蚀剂构图,形成对反常规P阱3形成区上部开口的掩膜后,按200keV~1.5MeV、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件,高能注入P型杂质的离子态硼,形成硼浓度为 $1 \times 10^{18}/\text{cm}^2$ 反常规P阱3。然后
25 根据需要形成单个或多个晶体管、层间绝缘膜、接触孔、电容等,进行布线(图中未示出)。

在反常规P阱3内距表面0~0.2 μm 深度处,也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜24下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

- 30 P型杂质层2在靠近反常规P阱3的底部形成,也可以不在相关的反常规

阱的侧面形成, 那一种情况都可以

如上所述, 按照这种半导体器件的制造方法, 在 P 型半导体基片 6 中由 α 线等产生的电子的相对于反常规阱上部中的势垒, 因 P 型杂质层 2 的存在而未变大, 由于在 P 型半导体基片 6 中电子的寿命时间变短, 所以防止了电子到达反常规 P 阱 3 表面上形成的源/漏区, 并还可获得提高抗软错误性的半导体存储器件的制造方法。

此外, 在这种基片结构上形成 CMOS 晶体管的情况下, 由于半导体基片 6 的浓度较高, 所以, 在使基片阻抗变低的同时, 因形成反常规 P 阱 3 而具有进一步提高耐闭锁性的效果。

并且, 由于 P 型半导体基片 6、P 型杂质层 2 及反常规 P 阱 3 为同一导电型, 是电导通的, 所以不必分别单独地固定电位。因此, 即使在形成存储元件 CMOS 的那种情况下, 没有因端子数增加在元件配置上受到制约, 使微细化的半导体集成电路的制造成为可能。

再有, 由于利用外延生长形成 P 型杂质层 2, 所以 P 型半导体基片 6 的浓度较高, 形成晶体管的反常规 P 阱 3 的表面杂质浓度变得较低, 在使 P 型半导体基片 6 和反常规 P 阱 3 的导通变得容易的同时, 还具有所谓的抑制阈值电压等的晶体管特性劣化的效果。

实施例 4

图 32 是表示本发明实施例 4 的半导体器件的基片的剖面图。下面参照图, 6 是 P 型半导体基片, 5 是 P 型半导体基片中形成的 N 型杂质层, 3 是 P 型半导体基片 6 中形成的反常规 P 阱。

图 33 是表示图 32 所示的半导体基片 A - A' 剖面中杂质浓度的分布图。

如图 33 所示, 该半导体器件的基片由硼浓度为 $1 \times 10^{19}/\text{cm}^3$ 的高浓度 P 型半导体基片 6、磷浓度为 $1 \times 10^{15}/\text{cm}^3$ 的 N 型杂质层 5、硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的反常规 P 阱 3 构成。

此外, 在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后, 在反常规 P 阱 3 内距表面 $0 - 0.2\mu\text{m}$ 深度处, 也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。N 型杂质层 5 在靠近反常规 P 阱 3 的底部形成, 也可以不在相关的反常规阱的侧面形成, 那一种情况都可以。

在这种基片结构上形成存储元件的情况下，由图 33 所示的杂质浓度分布可知，在 P 型半导体基片 6 中由 α 线等产生的电子的相对于反常规阱上部中的势垒，因 N 型杂质层 5 的存在而未变大，在 P 型半导体基片 6 中，由于电子的寿命时间变短，所以防止了电子到达反常规 P 阱 3 表面上形成的源/漏区，具有更能抑制软错误的效果。

此外，在这个基片结构上形成作为控制电路的 CMOS 晶体管的情况下，利用 P 型半导体基片 6 使基片阻抗变低，同时，由于形成了反常规 P 阱 3，所以具有提高耐闭锁性的效果。

此外，虽然 N 型杂质层 5 与半导体基片 6 及反常规 P 阱 3 为不同的导电型，半导体基片 6 与反常规 P 阱 3 是电气导通的，但由于 N 型杂质层 5 有十分低的浓度，所以不必单独地固定各自的层电位。因此，没有因端子数增加在元件配置上受到制约，在半导体集成电路的微细化方面有效果。

再有，由于形成 P 型半导体基片 6 的浓度较高、晶体管的反常规 P 阱 3 的表面杂质浓度较低，所以在使 P 型半导体基片 6 和反常规 P 阱 3 的导通变得容易的同时，还具有所谓的抑制阈值电压等的晶体管特性劣化的效果。

图 34 - 35 是表示本发明实施例 4 的半导体器件基片的制造方法的剖面图，图 36 是表示图 34 所示的半导体器件基片 A - A' 剖面中杂质浓度的分布图。图 37 是表示图 35 所示的半导体器件基片深度方向上的硼和磷的杂质浓度的分布图。

首先，如图 34 所示，在硼浓度为 $1 \times 10^{18} - 1 \times 10^{19}/\text{cm}^3$ 的 P 型半导体基片 6 上，形成 $2 - 10\mu\text{m}$ 的外延生长的磷浓度为 $1 \times 10^{15}/\text{cm}^3$ 的 N 型杂质层 5。

然后，在 N 型杂质层 5 表面的隔离区上形成元件隔离氧化膜 24，在有源区形成作为栅氧化膜的下敷氧化膜 29。但是，并不在乎元件隔离氧化膜 24 与下敷氧化膜 29 形成顺序的先后。

然后，如图 35 所示，若有必要，对抗蚀剂构图，形成对反常规 P 阱 3 形成区上部开口的掩膜后，按 $200\text{keV} - 1.5\text{MeV}$ 、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件，高能注入 P 型杂质的离子态硼，形成硼浓度为 $1 \times 10^{18}/\text{cm}^2$ 反常规 P 阱 3。然后根据需要形成单个或多个晶体管、层间绝缘膜、接触孔、电容等，进行布线。

在反常规 P 阱 3 内距表面 $0 - 0.2\mu\text{m}$ 深度处，也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道

注入等的杂质层的情况。

N 型杂质层 5 在靠近反常规 P 阱 3 的底部形成，也可以不在相关的反常规阱的侧面形成，那一种情况都可以。

如上所述，按照这种半导体器件的制造方法，在 P 型半导体基片 6 中由 α 线等产生的电子的相对于反常规阱上部中的势垒，因 N 型杂质层 5 的存在而未变大，由于在 P 型半导体基片 6 中电子的寿命时间变短，所以防止了电子到达反常规 P 阱 3 表面上形成的源/漏区，并还可获得提高抗软错误性的半导体存储器件的制造方法。

此外，在这种基片结构上形成 CMOS 晶体管的情况下，由于半导体基片 6 的浓度较高，所以，在使基片阻抗变低、半导体基片与反常规 P 阱 3 的导通变得容易的同时，还可获得进一步提高耐闭锁性的半导体器件的制造方法。

此外，N 型杂质层 5 与半导体基片 6 及反常规 P 阱 3 为不同的导电型，虽然半导体基片 1 与反常规 P 阱 3 是电气导通的，但由于 N 型杂质层 5 有十分低的浓度，所以不必单独地固定各自的层电位。因此，没有因端子数增加在元件配置上受到制约，还使微细化的半导体集成电路的制造成为可能。

再有，由于利用外延生长形成 N 型杂质层 5，所以在可获得 P 型半导体基片 6 的浓度较高、形成晶体管的反常规 P 阱 3 的表面杂质浓度较低的半导体器件，在使 P 型半导体基片 6 和反常规 P 阱 3 的导通变得容易的同时，还具有所谓的抑制阈值电压等的晶体管特性劣化的效果。

20 实施例 5

图 38 是表示本发明实施例 4 的半导体器件的基片的剖面图。下面参照图，6 是 P 型半导体基片，7 是 P 型半导体基片中形成的 N 型杂质层，3 是 P 型半导体基片 6 中形成的反常规 P 阱。

图 39 是表示图 38 所示的半导体基片 A - A'剖面中杂质浓度的分布图。

如图 39 所示，该半导体器件的基片由硼浓度为 $1 \times 10^{19}/\text{cm}^3$ 的高浓度 P 型半导体基片 6、磷浓度为 $1 \times 10^{18}/\text{cm}^3$ 的 N 型杂质层 7、硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的反常规 P 阱 3 构成。

此外，在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后，在反常规 P 阱 3 内距表面 0 - 0.2 μm 深度处，也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等

的杂质层的情况。N型杂质层7是围绕在反常规P阱3的周围形成的。

在这种基片结构上形成存储元件的情况下，由图39所示的杂质浓度分布可知，在P型半导体基片6中，电子的寿命时间并未变短，由 α 线等产生的电子的相对于反常规阱上部中的势垒因N型杂质层7的存在而变大，所以防止了电子到达在反常规P阱3表面上形成的源/漏区，具有抑制软错误的效果。

此外，在这个基片结构上形成作为控制电路的CMOS晶体管的情况下，利用P型半导体基片6使基片阻抗变低，同时，由于形成了围绕反常规P阱3周围的N型杂质层7，使P型基板6与反常规P阱3隔离，所以具有提高耐闭锁性的效果。

图40 - 41是表示本发明实施例5的半导体器件基片的制造方法的剖面图，图42是表示图40所示的半导体器件基片深度方向上硼和磷的杂质浓度的分布图。图43是表示图42所示的半导体器件基片深度方向上的硼和磷的杂质浓度的分布图。

首先，与实施例3一样，在硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的P型半导体基片6上，形成利用 $2 - 10\mu\text{m}$ 的外延生长的磷浓度为 $1 \times 10^{15}/\text{cm}^3$ 的P型杂质层2。

然后，在P型杂质层2表面的隔离区上形成元件隔离氧化膜24，在有源区形成作为栅氧化膜的下敷氧化膜29。但是，并不在乎元件隔离氧化膜24与下敷氧化膜29形成顺序的先后。

然后，如图40所示，若有必要，对抗蚀剂构图，形成对反常规P阱3形成区上部开口构成掩膜后，按 $500\text{keV} - 10\text{MeV}$ 、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件，高能注入N型杂质的离子态磷，形成N型杂质层7。

然后，如图41所示，若有必要，对抗蚀剂构图，形成，对反常规P阱3形成区上部开口的掩膜后，按 $200\text{keV} - 1.5\text{MeV}$ 、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件，高能注入P型杂质的离子态硼，形成反常规P阱3。

然后根据需要，形成单个或多个晶体管、层间绝缘膜、接触孔、电容等，进行布线。

再有，在形成N型杂质层7和形成反常规P阱3中，如果形成围绕反常规P阱3的N型杂质层7，那么无论先形成哪一个都行。

在反常规P阱3内距表面 $0 - 0.2\mu\text{m}$ 深度处，也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜24下面抑制沟道形成的阻断沟道

注入等的杂质层的情况。

如上所述,按照这种半导体器件的制造方法,在P型半导体基片6中由 α 线等产生的电子的相对于反常规阱上部中的势垒,因N型杂质层7的存在而未变大,由于在P型半导体基片6中电子的寿命时间变短,所以防止了电子到达反常规P阱3表面上形成的源/漏区,并还可获得提高抗软错误性的半导体存储器件的制造方法。

此外,在此基片的结构上形成CMOS晶体管的情况下,在P型半基片6上,由于利用外延生长形成P型杂质层2后形成N型杂质层7及反常规P阱3,所以半导体基片6的浓度较高,可获得形成晶体管的P阱3的表面杂质浓度较低
10 的半导体器件。因此,在抑制阈值电压等的晶体管特性劣化的同时,利用较低的基片阻抗和反常规P阱3,可获得提高耐闭锁性的半导体器件。

实施例6

图44是表示本发明实施例6的半导体器件的基片的剖面图。下面参照图,11是N型半导体基片,2是N型半导体基片中形成的P型杂质层,3是N型
15 半导体基片11中形成的反常规P阱。图45是表示图44所示的半导体基片A-A'剖面中杂质浓度的分布图。图46是表示图44所示的半导体基片A-A'剖面中硼和磷的杂质浓度的分布图。

如图45所示,该半导体器件的基片由磷浓度为 $1 \times 10^{16}/\text{cm}^3$ 的高浓度N型半导体基片11、硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的P型杂质层2、硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的
20 反常规P阱3构成。

此外,在反常规P阱3上形成多个或单个晶体管(图中未示出)。然后,在反常规P阱3内距表面 $0 - 0.2\mu\text{m}$ 深度处,也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜24下面抑制沟道形成的阻断沟道注入等的杂质层的情况。P型杂质层2在靠近反常规P阱3的底部形成,也可以不在
25 相关的反常规阱的侧面形成,那一种情况都可以。

根据这种基片结构,由于缓和了反常规P阱3和半导体基片11的电场,所以有提高耐压的效果。

再有,由于半导体基片11的浓度较高、形成晶体管的反常规P阱3的表面杂质浓度较低,所以可防止阈值电压等的晶体管特性劣化。

30 下面,说明本发明实施例6的半导体器件的基片的制造方法。

首先,与实施例1一样在磷浓度为 $1\times 10^{16}/\text{cm}^3$ 的N型半导体基片11上,利用生长 $2\sim 10\mu\text{m}$ 的外延形成硼浓度为 $1\times 10^{15}/\text{cm}^3$ 的P型杂质层2后,形成元件氧化膜24、下敷氧化膜29。图47是表示此时的硼和磷的深度方向上的杂质浓度图。

- 5 然后,与实施例1一样,根据需要,形成单个或多个反常规P阱3、晶体管、层间绝缘膜、接触孔、电容等,进行布线。

在反常规P阱3内距表面 $0\sim 0.2\mu\text{m}$ 深度处,也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜24下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

- 10 如上所述,按照这种半导体器件的制造方法,因为缓和了反常规P阱3和半导体基片11的电场,所以可获得具有提高耐压效果的半导体器件的制造方法。

- 并且,由于半导体基片11的浓度高、形成晶体管的反常规P阱3的表面杂质浓度低,所以可防止阈值电压等的晶体管特性的劣化,在制造工艺上,也可较宽地设定杂质浓度控制等的工艺条件的范围。

实施例7

- 图48是表示本发明实施例7的半导体器件的基片的剖面图。下面参照图,11是N型半导体基片,5是N型半导体基片11中形成的N型杂质层,3是N型半导体基片11中形成的反常规P阱。图49是表示图48所示的半导体器件基片A-A'剖面中杂质浓度的分布图。图50是表示图48所示的半导体器件基片A-A'剖面中硼和磷在深度方向上的杂质浓度的分布图。

该半导体器件具有由磷浓度为 $1\times 10^{16}/\text{cm}^3$ 的N型半导体基片11、磷浓度为 $1\times 10^{15}/\text{cm}^3$ 的N型杂质层5、硼浓度为 $1\times 10^{18}/\text{cm}^3$ 的反常规阱层3构成的基片结构。

- 25 N型半导体基片11最好采用磷浓度为 $1\times 10^{18}/\text{cm}^3$ 的基片。这时,图51是表示图48所示的半导体器件基片A-A'剖面中的杂质浓度的分布图,图52是表示图48所示的半导体器件基片A-A'剖面中硼和磷的杂质浓度的分布图。

- 此外,在反常规P阱3上形成多个或单个晶体管(图中未示出)。然后,在反常规P阱3内距表面 $0\sim 0.2\mu\text{m}$ 深度处,也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜24下面抑制沟道形成的阻断沟道注入等

的杂质层的情况。N型杂质层5在靠近反常规P阱3的底部形成,也可以不在相关的反常规阱的侧面形成,那一种情况都可以。

根据这种基片结构,利用N型杂质层5,由于缓和了反常规P阱3和半导体基片11的电场,所以有提高耐压的效果。

5 再有,由于半导体基片11的浓度较高、晶体管的反常规P阱3的表面杂质浓度较低,所以可防止阈值电压等的晶体管特性劣化。

此外,在N型半导体基片11的磷深度为 $1 \times 10^{18}/\text{cm}^3$ 的情况下,由于基片阻抗变低、同时形成了反常规P阱,在形成CMOS晶体管的情况下,具有使耐闭锁性进一步提高的效果。

10 下面,说明本发明实施例7的半导体器件基片的制造方法。

首先,与实施例2一样,在磷浓度为 $1 \times 10^{16}/\text{cm}^3$ 的N型半导体基片11上,利用 $2 - 10\mu\text{m}$ 的外延生长形成磷浓度为 $1 \times 10^{15}/\text{cm}^3$ 的N型杂质层5之后,形成元件隔离氧化膜24、下敷氧化膜29。

15 然后,与实施例2相同,根据需要,形成单个或多个反常规P阱3、晶体管、层间绝缘膜、接触孔、电容等,进行布线。

在反常规P阱3内距表面 $0 - 0.2\mu\text{m}$ 深度处,也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜24下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

20 如上所述,按照这种半导体器件的制造方法,因为缓和了反常规P阱3和半导体基片11的电场,所以可获得具有提高耐压效果的半导体器件的制造方法。

并且,由于半导体基片11的浓度高、形成晶体管的反常规P阱3的表面杂质浓度低,所以可防止阈值电压等的晶体管特性的劣化,在制造工艺上,也可较宽地设定杂质浓度控制等的工艺条件的范围。

25 此外,如果利用磷浓度为 $1 \times 10^{18}/\text{cm}^3$ 的N型半导体基片11,由于基片阻抗变低、同时形成了反常规P阱、所以在形成了CMOS晶体管的情况下,可获得具有进一步提高耐闭锁性的半导体器件的制造方法。

实施例8

30 图53是表示本发明实施例8的半导体器件的剖面图。下面参照图,1是P型半导体基片,5是P型半导体基片中形成的N型杂质层,3和8是P型半导

体基片中形成的反常规 P 阱，4 和 9 是反常规 N 阱，24 是元隔离氧化膜，25 是源/漏，26 是栅氧化膜，27 是栅电极。

此外，图 54 是表示本发明实施例 8 的半导体器件基片的剖面图。

这种半导体器件大体区分为以存储主要容量的信息为目的的元件区(存储单元区)和以一边获取存储单元区的大量信息一边进行逻辑运算为目的的元件区(逻辑电路区)。

存储单元区主要由 NMOSFET 构成，逻辑电路区主要由 CMOSFET 构成。

图 55 是表示图 54 所示的半导体基片 C - C' 剖面中杂质浓度的分布图。此外，图 54 所示的半导体基片 B - B' 剖面中杂质浓度的分布就像图 10 所示的那样。由图 54 可知，存储单元区具有与实施例 2 相同的基片结构。

在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后，在反常规 P 阱 3 内距表面 0 - 0.2 μ m 深度处，也有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。N 型杂质层 5 在靠近反常规 P 阱 3 的底部形成，也可以不在相关的反常规阱的侧面形成那一种情况都可以。

在反常规 P 阱 8、反常规 N 阱 4 及反常规 N 阱 9 上形成多个或单个晶体管(图中未示出)、形成逻辑电路区的 CMOS。这种情况下，也在反常规阱内距表面 0 - 0.2 μ m 深度处，有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

此外，通过在反常规 N 阱 4 和反常规 P 阱 3 上分别形成晶体管，也可以形成作为逻辑电路的 CMOS。这时，在反常规 P 阱上也形成了作为存储单元的晶体管。此时，在图 56 所示的 N 型杂质层 5 未形成的区中也可以形成经扩散反常规 P 阱，通过它可维持逻辑电路区的耐闭锁性。

用于逻辑电路区 CMOS 的阱可以仅是反常规 P 阱 3 的一部分和反常规 N 阱 4，相反地，也可以多于本实施例中所述的阱。

按照存储单元区的基片结构，由图 10 可知，在 P 型半导体基片 1 中由 α 线等产生的电子的相对于反常规阱上部的势垒，因 N 型杂质层的存在变大，妨碍电子到达已形成在反常规 P 阱 3 表面上的源/漏区，具有抑制软错误的效果。

此外，半导体基片 1、N 型杂质层 5 及反常规 P 阱 3 是电气导通的，不必分别单独地固定各自的电位。因此，没有因端子数增加在元件配置上受到制

约, 在半导体集成电路微细化上也有效果。

图 57 ~ 图 63 是表示本发明实施例 8 的半导体器件基片的制造方法的剖面图。

首先, 如图 57 所示, 在硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的 P 型半导体基片 1 主表面上的隔离区的形成元件隔离氧化膜 24, 在有源区形成作为栅氧化膜的下敷氧化膜 29。但是, 并不在乎元件隔离氧化膜 24 与下敷氧化膜 29 形成顺序的先后。

然后, 如图 58 所示, 对抗蚀剂 40 构图、对存储单元区开口之后, 按 50 keV - 200keV、 $1 \times 10^{11} \sim 1 \times 10^{12}/\text{cm}^2$ 的条件, 注入 N 型杂质的离子态磷, 在基片表面上形成 N 型杂质层 51。除去抗蚀剂后, 如图 59 所示, 利用 $1100^\circ\text{C} - 1200^\circ\text{C}$ 、0.5 小时 - 3 小时的热处理进行磷扩散, 形成 N 型杂质层 5。

其中, 在注入磷的杂质浓度低的情况下、热处理温度高的情况下、或热处理时间长的情况下, 如图 60 所示, 在形成 N 型杂质层 5 的区域就形成像实施例 1 中那样的 P 型杂质层 2, 并且即使形成了 P 型杂质层 2 也不存在特殊的问题。

然后, 如图 61 所示, 在再次对抗蚀剂 40 构图、并对存储单元区的反常规 P 阱形成区开口之后, 按 200keV - 1.5MeV、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件, 高能量注入 P 型杂质的离子态硼, 形成反常规 P 阱 3。

然后, 如图 62 所示, 在对抗蚀剂 40 构图、并对逻辑电路区内的 NMOSFET 形成部分开口之后, 按 200keV - 1.5MeV、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件, 高能量注入 P 型杂质的离子态硼, 形成反常规 P 阱 8。

然后, 如图 63 所示, 在对抗蚀剂 40 构图、并对逻辑电路区内的 PMOSFET 形成部分开口之后, 按 300keV - 2.5MeV、 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 的条件, 高能量注入 N 型杂质的离子态磷, 形成反常规 N 阱 4 和 9。此后, 形成晶体管、层间绝缘膜、接触孔、电容等, 进行布线(图中未示出)。

再有, 并不在乎分别同时形成或单独形成反常规 P 阱 3、8 和反常规 N 阱 4、9。此外, 其形成顺序也可适当变更。

如上所述, 按照这种半导体器件的制造方法, 在半导体基片 1 中由 α 线等产生的电子使的相对于反常规阱上部的势垒变大, 妨碍电子到达已形成在反常规 P 阱 3 上的源/漏区, 可获得能抑制因电子而产生的软错误的半导体器件。

此外，通过使半导体基片 1、反常规 P 阱 3 和 P 型杂质层 2 或 N 型杂质层 5 电气导通，就不必单独地固定各自的电位。因此，没有因端子数增加在元件配置上受到制约，还使微细化的半导体集成电路的制造成为可能。

实施例 9

5 图 64 是表示本发明实施例 9 的半导体器件基片的剖面图，图 65 是表示本发明实施例 9 的半导体器件的其它基片的剖面图。下面参照图，1 是 P 型半导体基片，5 是 P 型半导体基片 1 中形成的 N 型杂质层，3 和 8 是 P 型半导体基片 1 中形成的反常规 P 阱，4 和 9 是反常规 N 阱，10 是 P 型杂质层。

图 66 是表示图 64 所示的半导体基片 C - C' 剖面中杂质浓度的分布图。此外，图 64 所示的半导体基片 B - B' 剖面中杂质浓度的分布就像图 10 所示的那样。

与实施例 8 一样，这种半导体器件大体分为以存储主要容量的信息为目的的元件区(存储单元区)和一边获取存储单元区的大量信息一边以进行逻辑运算为目的的元件区(逻辑电路区)。

15 存储单元区主要由 NMOSFET 构成，与实施例 8 有相同的结构。逻辑电路区主要由 CMOSFET 构成。

在反常规 P 阱 8、反常规 N 阱 4 和反常规 N 阱 9 上形成多个或单个晶体管(图中未示出)、形成逻辑电路区的 CMOS。这种情况下，也在反常规阱内距表面 0 - 0.2 μm 深度处，有形成具有防止穿通及阈值控制作用的沟道注入层、和在 20 隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

此外，通过在反常规 N 阱 4 和反常规 P 阱 3 上分别形成晶体管，也可以形成作为逻辑电路的 CMOS。这时，在反常规 P 阱 3 上形成作为存储单元的晶体管。此时，在图 65 所示的 P 型杂质层 10 未形成的区中也可以经扩散形成反常规 P 阱 3，通过它可维持逻辑电路区的耐闭锁性。

25 按照本半导体器件存储单元区的基片结构，由图 10 可知，在 P 型半导体基片 1 中由 α 线等产生的电子的相对于反常规阱上部的势垒，因 N 型杂质层 5 的存在变大，妨碍电子到达已形成在反常规 P 阱 3 表面上的源/漏区，具有抑制软错误的效果。

此外，使半导体基片 1、反常规 P 阱 3 和 8、P 型杂质层 10 和 N 型杂质 30 层 5 或 P 型杂质层 2 电气导通时，不必分别单独地固定各自的电位。因此，没

有因端子数增加在元件配置上受到制约，在半导体集成电路微细化上也有效果。

并且，因逻辑电路区中存在P型埋置层10，使基片阻抗减小，对必须有特别高耐闭锁性的逻辑电路区可提高有效的耐闭锁性。这时，从提高耐闭锁性的观点来看，期望P型埋置层的峰值浓度高于P阱的峰值浓度。

图67是表示本发明实施例9的半导体器件基片制造方法的剖面图。

首先，与实施例8一样，在硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的P型半导体基片1的主表面的元件隔离区上形成元件隔离氧化膜24、在有源区形成下敷氧化膜29之后，在存储单元区形成低浓度N型层5。

其中，在注入磷的杂质浓度低的情况下，热处理温度高时，或热处理时间长时，如图60所示，在形成N型杂质层5的区域就形成像实施例1中那样的P型杂质层2，并且即使形成了P型杂质层2也不存在特殊的问题。

然后，如图67所示，对抗蚀剂40构图、对存储单元区开口之后，按 $500\text{keV} - 10\text{MeV}$ 、 $5 \times 10^{12} \sim 1 \times 10^{16}/\text{cm}^2$ 的条件，高能量注入P型杂质的离子态硼，形成P型杂质层10。

然后，与实施例8一样，形成反常规P阱3、反常规P阱8、反常规N阱4和9。

这里，并不在乎分别形成反常规P阱3、4、8和9、P型杂质层10的顺序相反与否。

然后，形成晶体管、层间绝缘膜、接触孔、电容等，进行布线(图中未示出)。

如上所述，按照这种半导体器件的制造方法，在半导体基片1中由 α 线等产生的电子的相对于反常规阱上部的势垒变大，妨碍电子到达形成在反常规P阱3表面上的源/漏区，可获得能抑制因电子而产生的软错误的半导体器件。

此外，利用半导体基片1、反常规P阱3和8、P型杂质层10和N型杂质层5或P型杂质层2为同一导电型并是电气导通的，所以不必分别单独地固定各自的电位。因此，没有因端子数增加在元件配置上受到制约，使半导体集成电路微细化的制造成为可能。

并且，因逻辑电路区中存在P型埋置层10，使基片阻抗减小，可获得对必须有特别高耐闭锁性的逻辑电路区提高有效的耐闭锁性的半导体器件的制造

方法。这时，从提高耐闭锁性的观点来看，期望 P 型埋置层的峰值浓度高于 P 阱的峰值浓度。

实施例 10

图 68 是表示本发明实施例 10 的半导体器件基片的剖面图。下面参照图， 6 是 P 型半导体基片， 5 是 P 型半导体基片 6 中形成的 N 型杂质层， 2 是 P 型半导体基片 6 中形成的 P 型杂质层， 3 和 8 是 P 型半导体基片 6 中形成的反常规 P 阱， 4 和 9 是反常规 N 阱。

这种半导体器件大体区分为以存储主要容量的信息为目的的元件区（存储单元区）和一边获取存储单元区的大量信息一边以进行逻辑运算为目的的元件区（逻辑电路区）。存储单元区主要由 NMOSFET 构成，逻辑电路区主要由 CMOSFET 构成。

而且，半导体基片的杂质结构、存储单元区与实施例 3 一样，逻辑电路与实施例 4 一样。

在反常规 P 阱 3 上形成多个或单个晶体管（图中未示出）。在反常规 P 阱内距表面 $0 - 0.2\mu\text{m}$ 深度处，有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。N 型杂质层 5 在靠近反常规 P 阱 3 的底部形成，也可以不在相关的反常规阱的侧面形成，那一种情况都可以。

在反常规 P 阱 8、反常规 N 阱 4 和反常规 N 阱 9 上形成多个或单个晶体管（图中未示出），并形成逻辑电路区的 CMOS。这种情况下，也在反常规阱内距表面 $0 - 0.2\mu\text{m}$ 深度处，有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

此外，通过在反常规 N 阱 4 和反常规 P 阱 3 上分别形成晶体管，也可以形成作为逻辑电路的 CMOS。这时，在反常规 P 阱 3 上也形成了作为存储单元的晶体管。此时，如实施例 9 所示那样的 P 型杂质层 2 未形成的区中也可以经扩散形成反常规 P 阱 3，通过它可维持逻辑电路区的 CMOSFET 的耐闭锁性。

按照本半导体器件存储单元区的基片结构，在 P 型半导体基片 6 中由 α 线等产生的电子的相对于反常规阱上部的势垒，因 N 型杂质层 5 的存在而未变大，由于 P 型半导体基片 6 中的电子寿命变短，妨碍电子到达已形成在反常规 P 阱 3 表面上的源/漏区，具有抑制软错误的效果。

此外, 半导体基片 6、P 型杂质层 2、N 型杂质层 5、反常规 P 阱 3 和 8 是电气导通的, 不必分别单独地固定各自的电位。因此, 没有因端子数增加在元件配置上受到制约, 在半导体集成电路微细化上也有效果。

并且, 由于半导体基片 6 的杂质浓度高, 使基片阻抗变低, 可提高逻辑电路区的耐闭锁性。

再有, 由于利用外延生长形成 N 型杂质层 5, 所以可获得 P 型半导体基片 6 的浓度较高、形成晶体管的反常规 P 阱 3 的表面杂质浓度较低的半导体器件, 因此, 在使 P 型半导体基片 6 和反常规阱的导通变得容易的同时, 还可防止抑制阈值电压等的晶体管特性的劣化。

10 图 69 是表示本发明实施例 10 的半导体器件基片制造方法的剖面图。

首先, 如图 69 所示, 在硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的 P 型硅基片 6 的主表面上形成 $2 - 10\mu\text{m}$ 的硼浓度为 $1 \times 10^{15}/\text{cm}^3$ 的 P 型外延层。

接着, 形成 P 型杂质层 2 的表面隔离区中的元件隔离氧化膜 24, 在有源区形成作为栅氧化膜的下敷氧化膜 29。但是, 并不在乎元件隔离氧化膜 24 与下敷氧化膜 29 形成顺序的先后。

然后, 与实施例 8 一样形成 N 型杂质层 5、反常规 P 阱 3 和 8、反常规 N 阱 4 和 9、晶体管等。

如上所述, 按照这种半导体器件的制造方法, 在半导体基片 6 中由 α 线等产生的电子使反常规阱上部的势垒变大, 妨碍电子到达已形成在反常规 P 阱 3 上的源/漏区, 可获得能抑制因电子而产生的软错误的半导体器件的制造方法。

此外, 利用半导体基片 6、反常规 P 阱 3 和 8、P 型杂质层 2 和 N 型杂质层 5 为同一导电型并是电气导通的, 所以不必分别单独地固定各自的电位。因此, 没有因端子数增加在元件配置上受到制约, 使微细化的半导体集成电路的制造成为可能。

此外, 由于半导体基片 6 的杂质浓度高使基片阻抗变低, 所以可获得能提高逻辑电路中的耐闭锁性的半导体器件的制造方法。

再有, 由于利用外延生长形成 N 型杂质层 5, 所以可获得 P 型半导体基片 6 的浓度较高、形成晶体管的反常规 P 阱 3 的表面杂质浓度较低的半导体器件。因此, 使 P 型半导体基片 6 和反常规阱的导通变得容易的同时, 还可防止抑制

阈值电压等的晶体管特性的劣化，在制造工艺上，也可较宽地设定杂质浓度控制等的工艺条件的范围。

实施例 11

图 70 是表示本发明实施例 11 的半导体器件基片的剖面图。下面参照图，6
5 是 P 型半导体基片，5 是 P 型半导体基片 6 中形成的 N 型杂质层，10 是 P 型
半导体基片 6 中形成的 P 型杂质层，3 和 8 是 P 型半导体基片 6 中形成的反常
规 P 阱，4 和 9 是反常规 N 阱。

这种半导体器件大体区分为以存储主要容量的信息为目的的元件区(存储
单元区)和一边获取存储单元区的大量信息一边以进行逻辑运算为目的的元件
10 区(逻辑电路区)。存储单元区主要由 NMOSFET 构成，逻辑电路区主要由 CMOSFET
构成。

图 71 是表示图 70 所示的半导体基片 C - C'剖面中杂质浓度的分布图。此
外，图 70 所示的半导体基片 B - B'剖面中杂质浓度的分布与实施例 4 一样如
图 33 所示。

15 在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后，在反常规 P
阱 3 内距表面 0 - 0.2 μ m 深度处，有形成具有防止穿通及阈值控制作用的沟道
注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的
情况。N 型杂质层 5 在靠近反常规 P 阱 3 的底部形成，也可以不在相关的反常
规阱的侧面形成，那一种情况都可以。

20 在反常规 P 阱 8、反常规 N 阱 4 和反常规 N 阱 9 上形成多个或单个晶体管(图
中未示出)，并形成逻辑电路区的 CMOS。这种情况下，也在反常规阱内距表面
0 - 0.2 μ m 深度处，有形成具有防止穿通及阈值控制作用的沟道注入层、和在
隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

此外，通过在反常规 N 阱 4 和反常规 P 阱 3 上分别形成晶体管，也可以形
25 成作为逻辑电路的 CMOS。这时，在反常规 P 阱 3 上也形成了作为存储单元的
晶体管。此时，如实施例 9 所示那样的 P 型杂质层 10 未形成的区中也可以经
扩散形成反常规 P 阱 3，通过它可维持逻辑电路区的 CMOSFET 的耐闭锁性。

按照这种半导体器件的存储区的基片结构，在半导体基片 6 中由 α 线等产
生的电子的相对于反常规阱上部的势垒因 N 型杂质层 5 的存在变大，妨碍电子
30 到达在反常规 P 阱 3 表面上形成的源/漏区，具有抑制软错误的效果。

此外, 半导体基片 6、反常规 P 阱 3 和 8、P 型杂质层 10 和 N 型杂质层 5 或 P 型杂质层 2 是电气导通的, 不必分别单独地固定各自的电位。因此, 没有因端子数增加在元件配置上受到制约, 在半导体集成电路微细化上也有效果。

并且, 由于不仅半导体基片 6 的杂质浓度较高, 并且在逻辑电路区中存在 P 型埋置层 10, 使基片阻抗减小, 所以对必须有特别高耐闭锁性的逻辑电路区可提高有效的耐闭锁性。这时, 从提高耐闭锁性的观点来看, 期望 P 型杂质层的峰值浓度高于反常规 P 阱 3 的峰值浓度。

图 72 是表示本发明实施例 11 的半导体器件基片制造方法的剖面图。

首先, 与实施例 10 一样, 在硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的 P 型硅基片 6 的主表面上的单元隔离区中形成单元分氧化膜 24、在有源区形成下敷氧化膜 29 后, 在存储单元区形成低浓度 N 型层。

其中, 在注入磷的杂质浓度低的情况下, 热处理温度高时, 或热处理时间长时, 在形成 N 型杂质层 5 的区域中形成像实施例 1 中那样的 P 型杂质层 2, 并且即使形成了 P 型杂质层 2 也不存在特殊的问题。

然后, 如图反常规反常规反常规所示, 对抗蚀剂构图、存储单元区开口之后, 按 $500\text{keV} - 10\text{MeV}$ 、 $5 \times 10^{12} \sim 1 \times 10^{16}/\text{cm}^2$ 的条件, 高能量注入 P 型杂质的离子态硼, 形成 P 型杂质层 10。

然后, 与实施例 8 一样, 形成反常规 P 阱 3、反常规 P 阱 8、反常规 N 阱 4 和 9、晶体管等。

这里, 并不在乎反常规 P 阱 3、4、8 和 9、P 型杂质层 10 的形成顺序相反与否。

此后, 形成晶体管、层间绝缘膜、接触孔、电容等, 进行布线(图中未示出)。

如上所述, 按照这种半导体器件的制造方法, 在半导体基片 6 中由 α 线等产生的电子的相对于反常规阱上部的势垒变大, 妨碍电子到达形成在反常规 P 阱 3 表面上的源/漏区, 可获得能抑制因电子而产生的软错误的半导体器件。

此外, 利用半导体基片 1、反常规 P 阱 3 和 8、P 型杂质层 10 和 N 型杂质层 5 或 P 型杂质层 2 为同一导电型并是电气导通的, 所以不必分别单独地固定各自的电位。因此, 没有因端子数增加在元件配置上受到制约, 使半导体集成电路微细化的制造成为可能。

并且, 由于在逻辑电路区中存在 P 型埋置层 10, 使芯片阻抗减小, 所以可获得对必须有特别高耐闭锁性的逻辑电路区可提高有效的耐闭锁性的半导体器件制造的方法。这时, 从提高耐闭锁性的观点来看, 期望 P 型埋置层的峰值浓度高于反常规 P 阱的峰值浓度。

5 实施例 12

图 73 是表示本发明实施例 12 的半导体器件基片的剖面图。下面参照图, 6 是 P 型半导体基片, 7 是 P 型半导体基片 6 中形成的 N 型杂质层, 2 是 P 型半导体基片 6 中形成的 P 型杂质层, 3 和 8 是 P 型半导体基片 6 中形成的反常规 P 阱, 4 和 9 是反常规 N 阱。

- 10 这种半导体器件大体区分为以存储主要容量的信息为目的的元件区(存储单元区)和一边获取存储单元区的大量信息一边以进行逻辑运算为目的的元件区(逻辑电路区)。存储单元区主要由 NMOSFET 构成, 逻辑电路区主要由 CMOSFET 构成。

而且, 半导体基片的杂质结构、存储单元区与实施例 5 一样, 逻辑电路区
15 与实施例 3 相同。

在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后, 在反常规 P 阱内距表面 $0 - 0.2\mu\text{m}$ 深度处, 有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

- 20 N 型杂质层 7 在靠近反常规 P 阱 3 的底部形成, 也可以不在相关的反常规阱的侧面形成, 那一种情况都可以。但是, 利用 N 型杂质层 7 和反常规 N 阱 4, 分隔反常规 P 阱 3 和 P 型杂质层。

在反常规 P 阱 8、反常规 N 阱 4 和反常规 N 阱 9 上形成多个或单个晶体管(图中未示出), 并形成逻辑电路区的 CMOS。这种情况下, 也在反常规阱内距表面
25 $0 - 0.2\mu\text{m}$ 深度处, 有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

按照这种半导体器件的基片结构, 利用高浓度的 P 型半导体基片 6, 不仅使存储单元区的 P 型半导体基片 6 中的电子的寿命变短, 而且由于利用反常规 N 阱 4、N 型杂质层 7 电气隔离反常规 P 阱 3, 妨碍 P 型半导体基片 6 中由 α
30 线产生的电子到达在反常规 P 阱 3 表面上形成的源/漏区, 具有抑制软错误的

效果。

此外，由于隔离了存储单元区的反常规 P 阱 3 和逻辑电路区的反常规 P 阱 8、反常规 N 阱 4 和 9，所以可有不同的电位，并能用不同的基片偏压进行动作。

- 5 此外，半导体基片 6、P 型杂质层 2 和反常规 P 阱 8 是电气导通的，不必分别单独地固定各自的电位。因此，没有因端子数增加在元件配置上受到制约，在半导体集成电路微细化上也有效果。

而且，由于半导体基片 6 的浓度高，使基片阻抗变低，具有提高逻辑电路区的耐闭锁性的效果。

- 10 图 74 是表示本发明实施例 12 的半导体器件基片制造方法的剖面图。

首先，如图 74 所示，在硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的 P 型硅基片 6 的主表面上形成 P 型杂质层 2，在其表面的元件分隔区形成元件分隔氧化膜 24、在有源区形成下敷氧化膜 29。

- 15 然后，如图 74 所示，对抗蚀剂构图、存储单元区开口之后，按 $500\text{keV} - 10\text{MeV}$ 、 $1 \times 10^{12} \sim 5 \times 10^{14}/\text{cm}^2$ 的条件，高能量注入 N 型杂质的离子态磷，形成 N 型杂质层 7。

然后，与实施例 8 一样，形成反常规 P 阱 3、反常规 P 阱 8、反常规 N 阱 4 和 9。

- 20 这里，并不在乎分别形成反常规 P 阱 3、4、8 和 9、N 型杂质层 7 的顺序相反与否。

此后，形成晶体管、层间绝缘膜、接触孔、电容等，进行布线(图中未示出)。

- 25 按照这种半导体器件的制造方法，由于通过分隔存储区的反常规 P 阱 3 和逻辑电路区的反常规 P 阱 8、反常规 N 阱 4 和 9，可获得有不同电位、可用不同的基片偏压进行动作的半导体器件。

- 30 按照这种半导体器件的基片结构，利用高浓度的 P 型半导体基片 6，不仅使存储单元区的 P 型半导体基片 6 中的电子的寿命变短，而且由于利用反常规 N 阱 4、N 型杂质层 7 电气隔离反常规 P 阱 3，妨碍 P 型半导体基片 6 中由 α 线产生的电子到达在反常规 P 阱 3 表面上形成的源/漏区，可获得能进一步抑制软错误的半导体器件的制造方法。

而且, 由于半导体基片 6 的浓度高, 使基片阻抗变低, 具有提高逻辑电路区的耐闭锁性的效果。

再有, 由于利用外延生长形成 P 型杂质层 2, 所以在逻辑电路中, 可获得 P 型半导体基片 6 的浓度较高、形成晶体管的反常规 P 阱 3 的表面杂质浓度较低的半导体器件。因此, 使 P 型半导体基片 6、P 型杂质层 2 和反常规 P 阱 8 的导通变得容易的同时, 还可防止抑制阈值电压等的晶体管特性的劣化, 在制造工艺上, 也可较宽地设定杂质浓度控制等的工艺条件的范围。

而且, 在逻辑电路中, 由于不必固定各自单独的电位, 所以没有因端子数增加在元件配置上受到制约, 使微细化的半导体集成电路的制造成为可能。

10 实施例 13

图 75 是表示本发明实施例 13 的半导体器件基片的剖面图。下面参照图, 6 是 P 型半导体基片, 7 是 P 型半导体基片 6 中形成的 N 型杂质层, 10 是 P 型半导体基片 6 中形成的 P 型杂质层, 3 和 8 是 P 型半导体基片 6 中形成的反常规 P 阱, 4 和 9 是反常规 N 阱。

15 这种半导体器件大体区分为以存储主要容量的信息为目的的元件区(存储单元区)和以一边获取存储单元区的大量信息一边进行逻辑运算为目的的元件区(逻辑电路区)。存储单元区主要由 NMOSFET 构成, 逻辑电路区主要由 CMOSFET 构成。

而且, 半导体基片的杂质结构、存储单元区与实施例 5 一样, 逻辑电路区
20 与实施例 11 相同。

在反常规 P 阱 3 上形成多个或单个晶体管(图中未示出)。然后, 在反常规 P 阱内距表面 $0 - 0.2\mu\text{m}$ 深度处, 有形成具有防止穿通及阈值控制作用的沟道注入层、和在隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

25 N 型杂质层 7 在靠近反常规 P 阱 3 的底部形成, 也可以不在相关的反常规阱的侧面形成, 那一种情况都可以。但是, 利用 N 型杂质层 7 和反常规 N 阱 4, 分隔反常规 P 阱 3 和 P 型杂质层 2。

在反常规 P 阱 8、反常规 N 阱 4 和反常规 N 阱 9 上形成多个或单个晶体管(图中未示出), 并形成逻辑电路区的 CMOS。这种情况下, 也在反常规阱内距表面
30 $0 - 0.2\mu\text{m}$ 深度处, 有形成具有防止穿通及阈值控制作用的沟道注入层、和在

隔离氧化膜 24 下面抑制沟道形成的阻断沟道注入等的杂质层的情况。

按照这种半导体器件的基片结构, 利用高浓度的 P 型半导体基片 6, 不仅使存储单元区的 P 型半导体基片 6 中的电子的寿命变短, 而且由于利用反常规 N 阱 4、N 型杂质层 7 电气隔离反常规 P 阱 3, 妨碍 P 型半导体基片 6 中由 α 线产生的电子到达在反常规 P 阱 3 表面上形成的源/漏区, 具有抑制软错误的效果。

此外, 由于通过分隔存储区的反常规 P 阱 3 和逻辑电路区的反常规 P 阱 8、反常规 N 阱 4 和 9, 所以可获得不同的电位, 能用不同的基片偏压进行动作。

逻辑电路中, 半导体基片 6、P 型杂质层 10 和反常规 P 阱 8 是电气导通的, 不必分别单独地固定各自的电位。因此, 没有因端子数增加在元件配置上受到制约, 在半导体集成电路微细化上也有效果。

而且, 由于半导体基片 6 的浓度高, 使基片阻抗变低, 具有提高逻辑电路区的耐闭锁性的效果。

图 76 是表示本发明实施例 13 的半导体器件基片制造方法的剖面图。

首先, 与实施例 12 一样, 在硼浓度为 $1 \times 10^{18}/\text{cm}^3$ 的 P 型半导体基片 6 的主表面上形成 P 型杂质层 2。然后, 在其表面的元件分隔区形成元件分隔氧化膜 24、在有源区形成下敷氧化膜 29。

然后, 如图 76 所示, 对抗蚀剂构图、存储单元区开口之后, 按 $500\text{keV} - 10\text{MeV}$ 、 $5 \times 10^{12} \sim 1 \times 10^{16}/\text{cm}^2$ 的条件, 高能量注入 P 型杂质的离子态硼, 形成 P 型杂质层 10。

然后, 与实施例 8 一样, 形成反常规 P 阱 3、反常规 P 阱 8、反常规 N 阱 4 和 9。

这里, 并不在乎分别形成反常规 P 阱 3、4、8 和 9、N 型杂质层 7 的顺序相反与否。

此后, 形成晶体管、层间绝缘膜、接触孔、电容等, 进行布线(图中未示出)。

按照这种半导体器件的制造方法, 由于通过分隔存储单元区的反常规 P 阱 3 和逻辑电路区的反常规 P 阱 8、反常规 N 阱 4 和 9, 可获得有不同电位、可用不同的基片偏压进行动作的半导体器件。

再有, 利用高浓度的 P 型半导体基片 6, 不仅使存储单元区的 P 型半导体

基片 6 中的电子的寿命变短, 还由于利用反常规 N 阱 4、N 型杂质层 7 电气分隔反常规 P 阱 3, 所以妨碍 P 型半导体基片 6 中由 α 线产生的电子到达在反常规 P 阱 3 表面上形成的源/漏区, 可获得进一步抑制软错误的半导体器件的制造方法。

- 5 由于在逻辑电路区中存在着高浓度的 P 型半导体基片 6 和混合的 P 型埋置层 10, 使基片阻抗减小, 所以可获得对必须有特别高耐闭锁性的逻辑电路区可提高有效的耐闭锁性的半导体器件制造的方法。这时, 从提高耐闭锁性的观点来看, 期望 P 型埋置层的峰值浓度高于反常规 P 阱的峰值浓度。

- 10 再有, 由于利用外延生长形成 P 型杂质层 2, 所以在逻辑电路中, 可获得 P 型半导体基片 6 的浓度较高、形成晶体管的反常规阱的表面杂质浓度较低的半导体器件。因此, 使 P 型半导体基片 6、P 型杂质层 10 和反常规 P 阱 8 的电导通变得容易的同时, 还可防止抑制阈值电压等的晶体管特性的劣化, 在制造工艺上, 也可较宽地设定杂质浓度控制等的工艺条件的范围。

- 15 而且, 由于不必固定各自单独的电位, 所以没有因端子数增加在元件配置上受到制约, 使微细化的半导体集成电路的制造成为可能。

由于有如上所述的结构, 所以本发明具有以下效果。

本发明是利用比半导体基片浓度低的第 2 杂质层的存在, 使半导体基片中由 α 线产生的电子的相对于元件形成区中的势垒变大, 由于妨碍了电子到达元件, 所以可抑制因电子产生的软错误。

- 20 再有, 由于半导体基片与第 1 杂质层为同一导电型、第 2 杂质层的浓度低, 所以电导通时, 不必固定各自单独的电位。因此, 没有因端子数增加在元件配置上受到制约, 在半导体集成电路微细化上也有效果。

并且, 由于半导体基片的浓度高, 使半导体基片中电子的寿命时间变短, 防止了电子到达源/漏区, 所以具有抑制软错误的效果。

- 25 再有, 由于第 2 导电型的第 2 杂质层的存在, 在半导体基片中由 α 线等产生的电子的元件形成区中的势垒变大, 由于妨碍了电子到达元件, 所以可进一步抑制因电子产生的软错误。

此外, 由于利用第 2 杂质层缓和了第 1 杂质层和半导体基片的电场, 所以实现了提高半导体器件的耐压的效果。

- 30 再有, 由于在半导体基片中产生电子的、相对于晶体管形成区的势垒变

大,在形成晶体管的第1杂质层表面的杂质浓度低,因而可防止阈值电压等晶体管特性的劣化。

此外,由于利用第2杂质层,使导体基片中产生的电子的相对于反常规阱上部的势垒变大,抑制了电子到达在存储单元区形成的MOS晶体管的源/漏区,所以取得了提高抗软错误性的效果。

再有,半导体基片、第1、第2和第4的杂质层是电气导通的,没有必要固定各自单独的电位。因此,没有因端子数增加在元件配置上受到制约,在半导体集成电路微细化上也有效果。

并且,由于第5杂质层的浓度高,所以,实现了抑制逻辑电路区中形成的CMOS闭锁的效果。

此外,由于利用第2导电型的第2杂质层,不仅使半导体基片中产生的电子的相对于反常规阱上部的势垒变大,并由于隔离了存储单元区,因而进一步抑制了电子到达存储单元区中所形成的MOS晶体管的源/漏区,所以实现了提高耐软错误性的效果。

再有,半导体基片、第4和第5的杂质层是电气导通的,没有必要固定各自单独的电位。因此,没有因端子数增加在元件配置上受到制约,在半导体集成电路微细化上也有效果。

此外,利用形成比半导体基片浓度低的第2杂质层,由于使半导体基片中由 α 等产生的电子的相对于元件形成区的势垒变大,妨碍了电子到达元件,所以可抑制因电子产生的软错误。

再有,由于半导体基片和第1杂质层为同一导电层、第2杂质层浓度低,电气导通时没有必要分别单独固定各自的电位,所以,没有因端子数增加在元件配置上受到制约,还使微细化的半导体集成电路的制造变为可能。

还有,利用形成具有杂质浓度峰值的第2导电型的第2杂质层,不仅使半导体基片中由 α 线等产生的电子的相对于元件形成区的势垒变大,还由于半导体基片的杂质浓度还比第2和第3杂质浓度大、半导体基片中的寿命时间变短,所以妨碍了电子到达元件,可获得进一步抑制软错误的半导体器件的制造方法。

并且,由于利用第1杂质层缓和了半导体基片和第2杂质层的电场,所以可获得具有提高耐压效果的半导体器件的制造方法。

再有，由于利用外延生长形成第 1 杂质层，所以可获得半导体基片浓度较高、形成元件表面的杂质浓度较低的半导体器件。因此，在使半导体基片和第 2 杂质层的导通变得容易的同时，还可防止阈值电压等晶体管特性的劣化，在制造工艺上，也可较宽地设定杂质浓度控制等的工艺条件的范围。

- 5 并且，利用第 1 杂质层，在半导体基片中由 α 线等产生的电子的、相对于第 2 杂质层上部的势垒变大，妨碍了电子到达 MOS 晶体管的源/漏，可获得抑制因电子产生的软错误的半导体器件的制造方法。

- 再有，利用第 1、第 2 和第 4 杂质层和半导体基片是电气导通的，没有必要分别固定各自单独的电位，没有因端子数增加在元件配置上受到制约，使微
10 细化的半导体集成电路的制造成为可能。

由于形成了杂质浓度高的第 5 杂质层，所以实现了抑制 CMOS 晶体管闭锁的效果。

- 并且，利用第 2 杂质层，在半导体基片中由 α 线等产生的电子的、相对于第 3 杂质层上部的势垒变大，妨碍了电子到达 MOS 晶体管的源/漏，可获得抑
15 制因电子而产生的软错误的半导体器件的制造方法。

再有，利用第 1、第 5 杂质层和半导体基片的电气导通，没有必要分别固定各自单独的电位，没有因端子数增加在元件配置上受到制约，使微细化的半导体集成电路的制造成为可能。

- 此外，由于第 2 杂质层的浓度高，所以不仅使半导体基片中由 α 线等产生的电子的、相对于第 3 杂质层上部的势垒变得更大，还因隔离了 MOS 晶体管，
20 妨碍了电子到达 MOS 晶体管的源/漏，可获得进一步抑制因电子而产生的软错误的半导体器件制造方法。

还有，由于形成了杂质浓度高的第 6 杂质层，所以实现了抑制 CMOS 晶体管闭锁的效果。

- 25 再有，由于利用外延生长形成第 1 杂质层，所以可获得半导体基片浓度较高、形成晶体管的第 3、第 4 和第 5 杂质层的表面杂质浓度较低的半导体器件。因此，在使第 1 或第 6 杂质层和第 5 杂质层及半导体基片的导通变得容易的同时，可防止阈值电压等晶体管特性的劣化，在制造工艺上，也可较宽地设定杂质浓度控制等的工艺条件的范围。

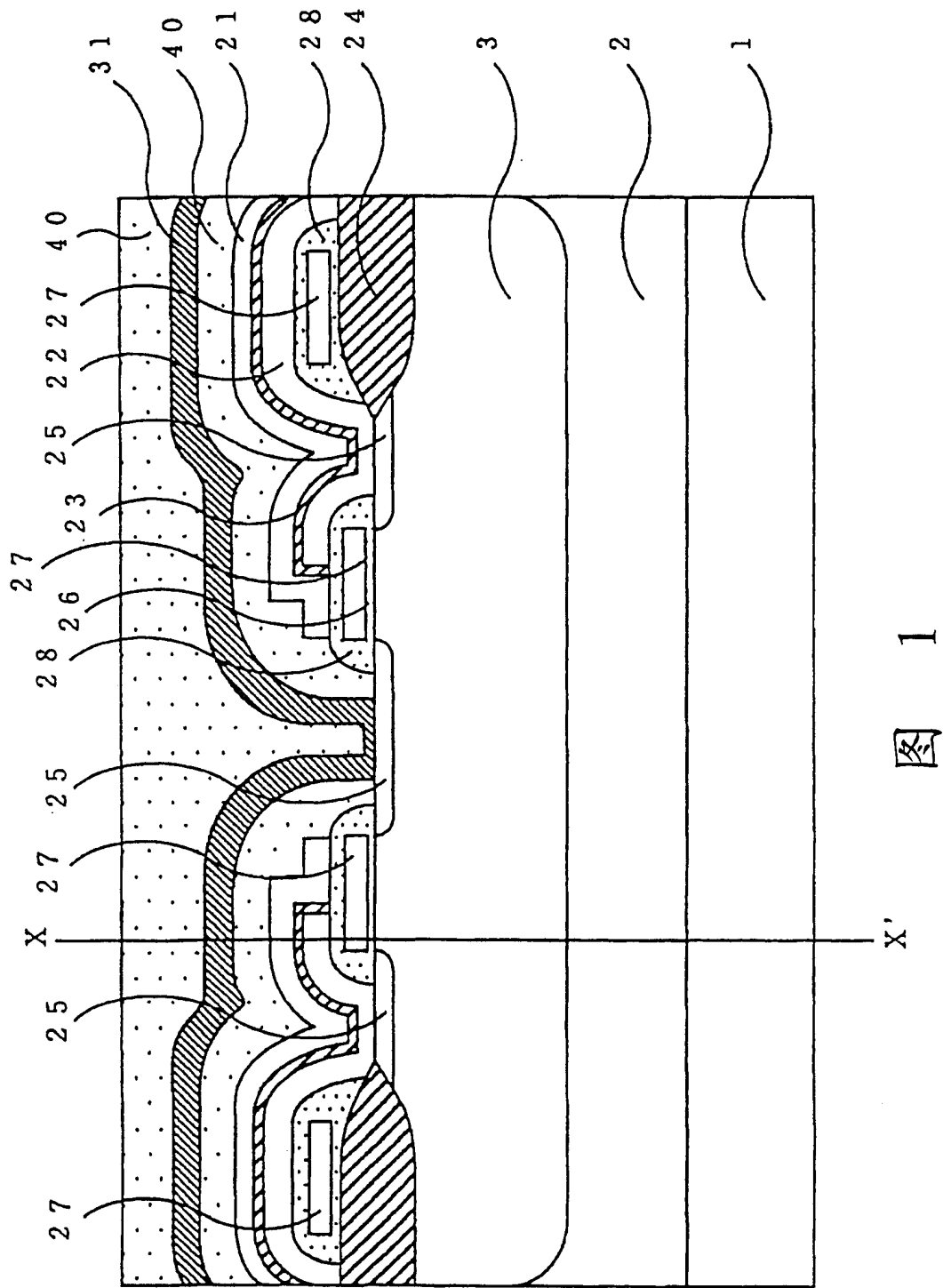


图 1

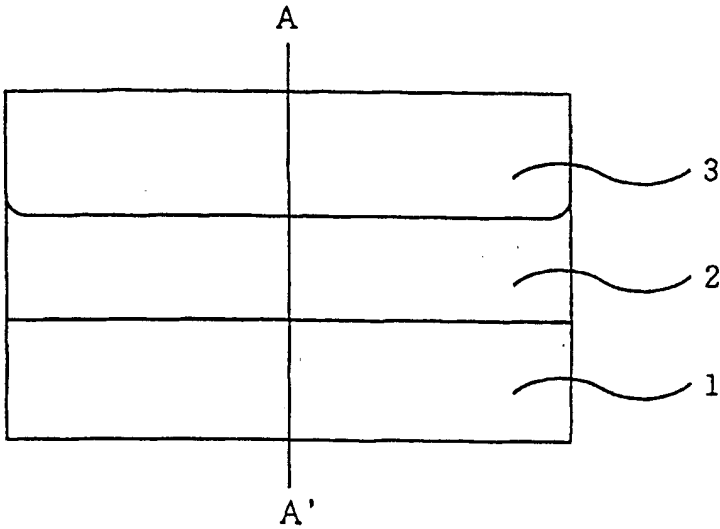


图 2

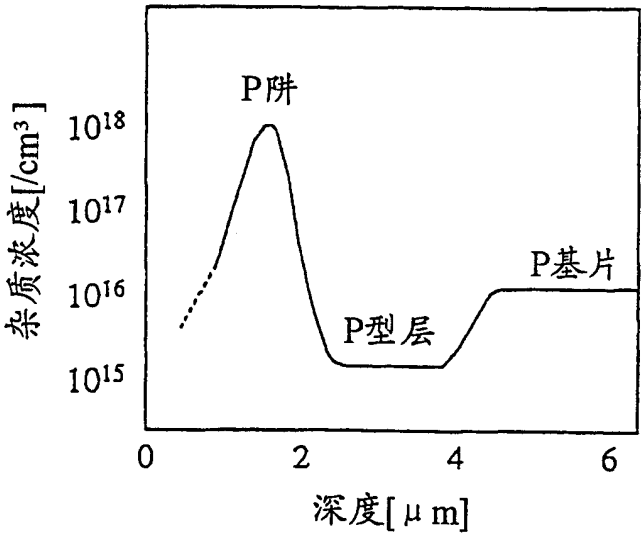


图 3

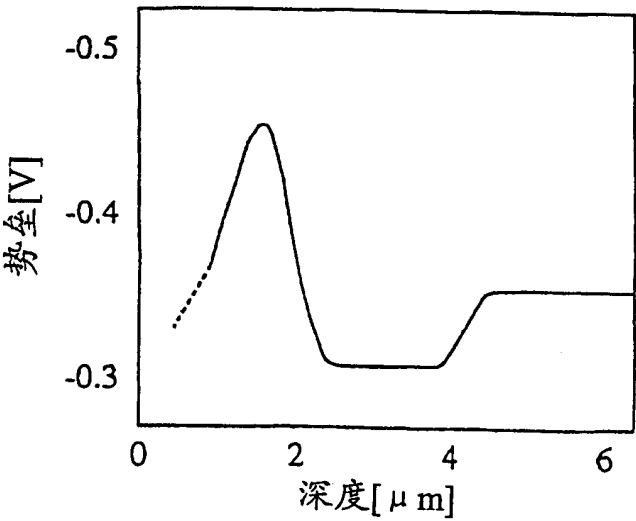


图 4

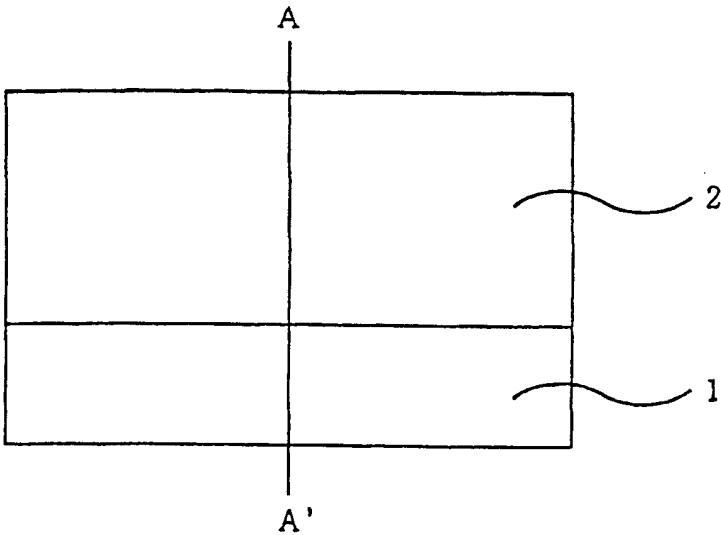


图 5

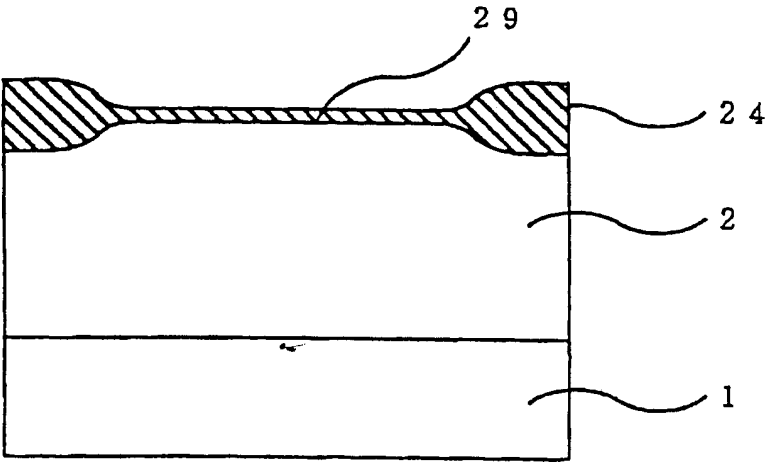


图 6

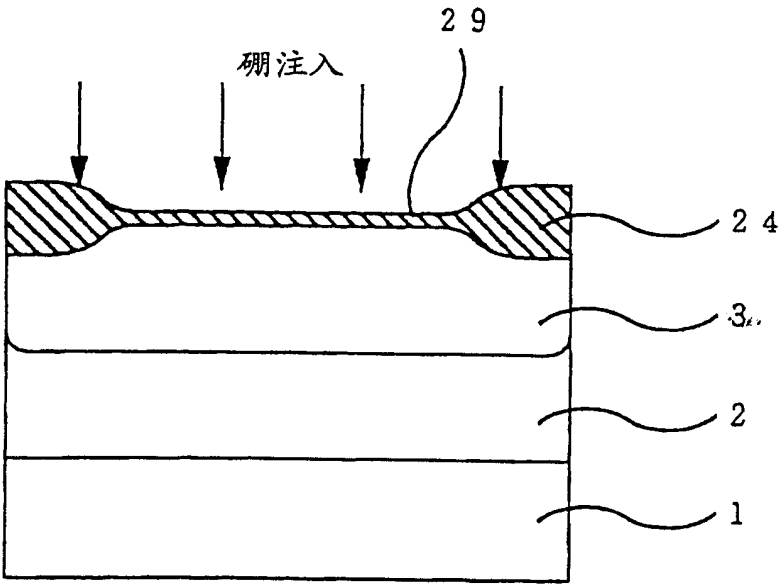


图 7

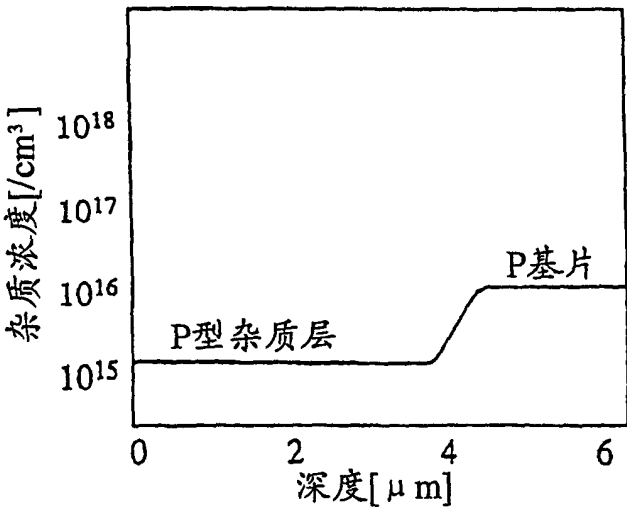


图 8

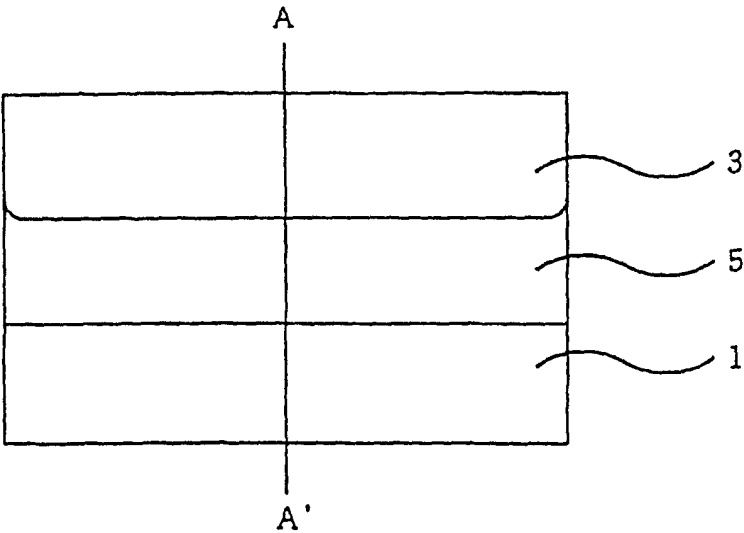


图 9

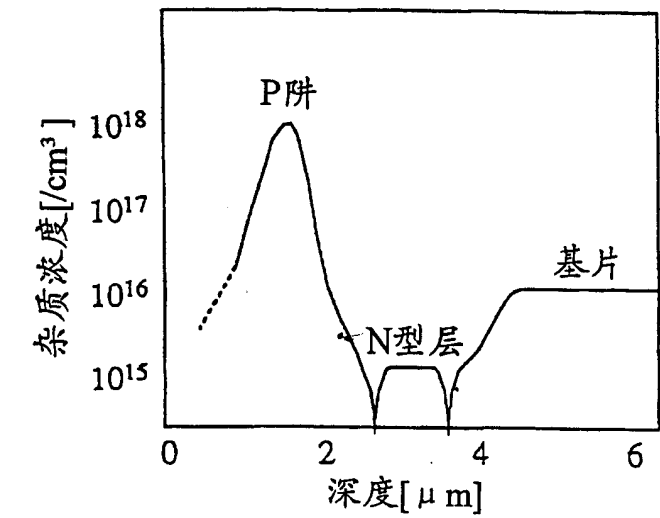


图 10

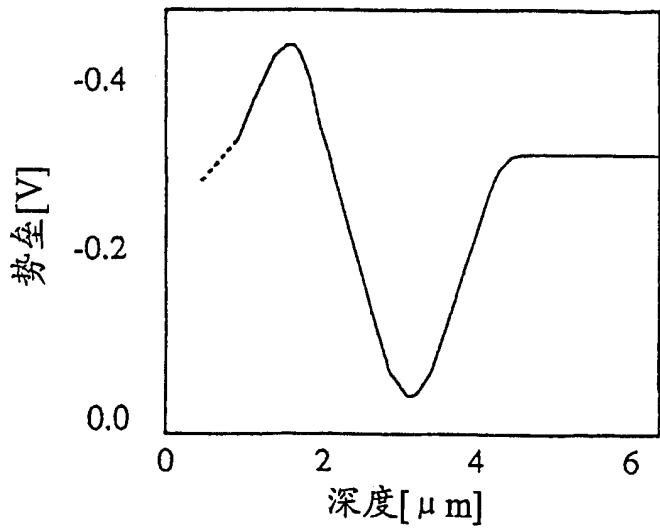


图 11

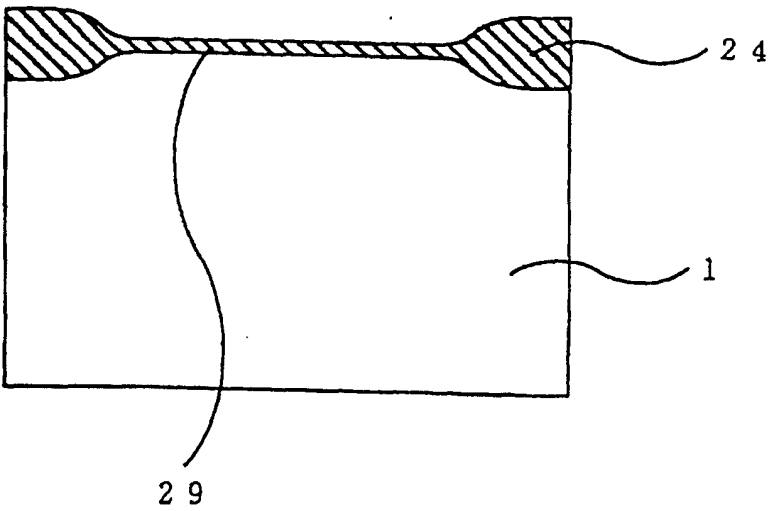


图 12

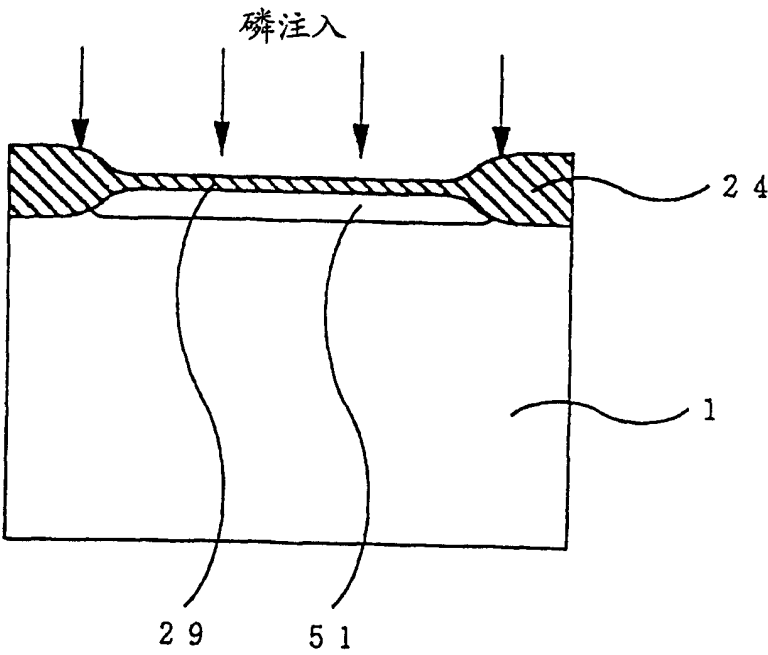


图 13

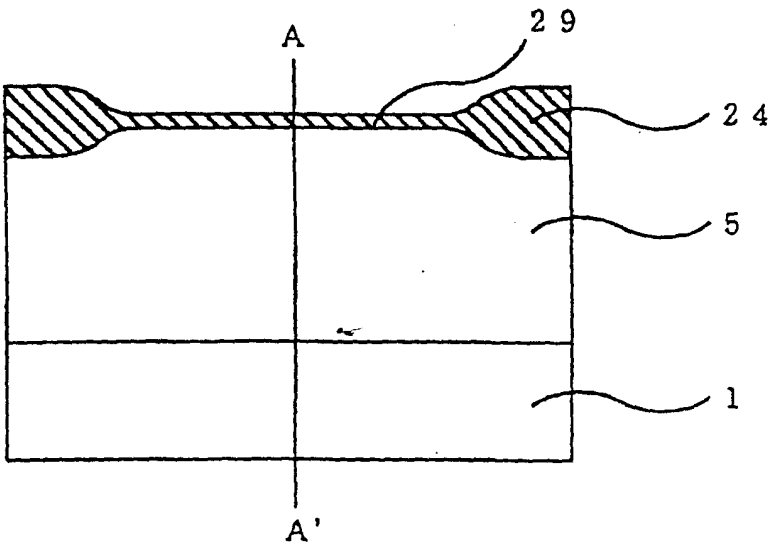


图 14

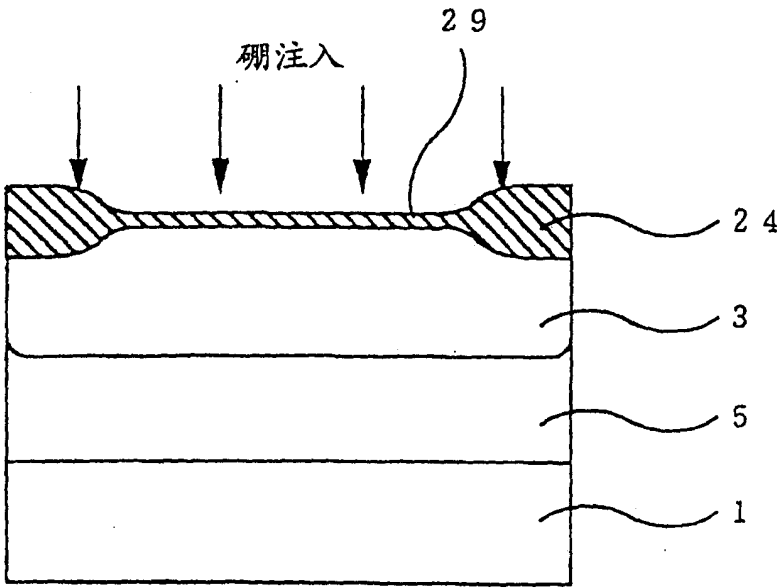


图 15

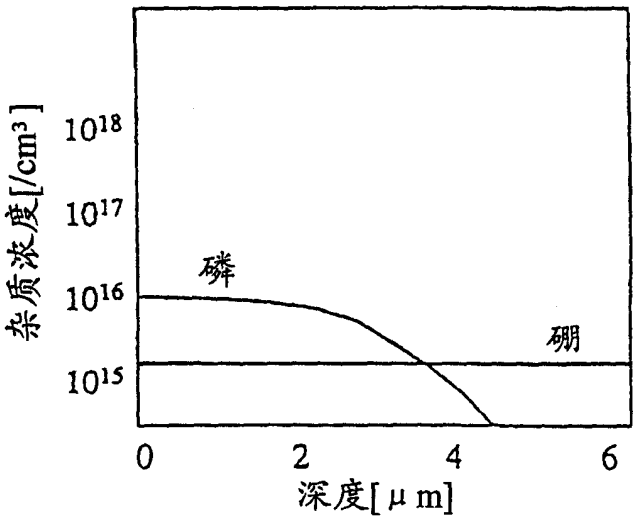


图 16

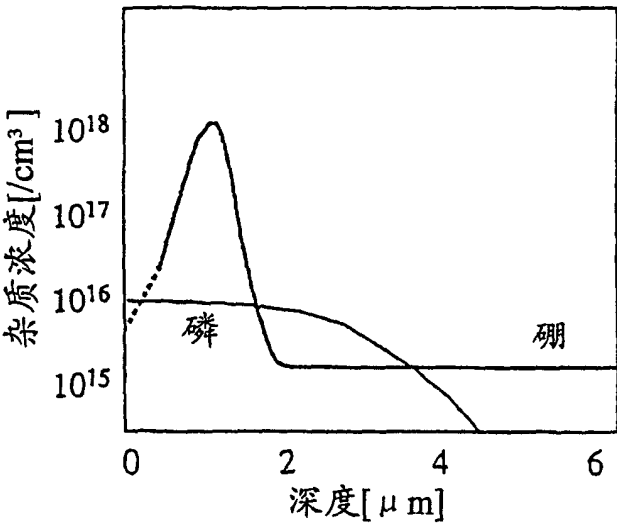


图 17

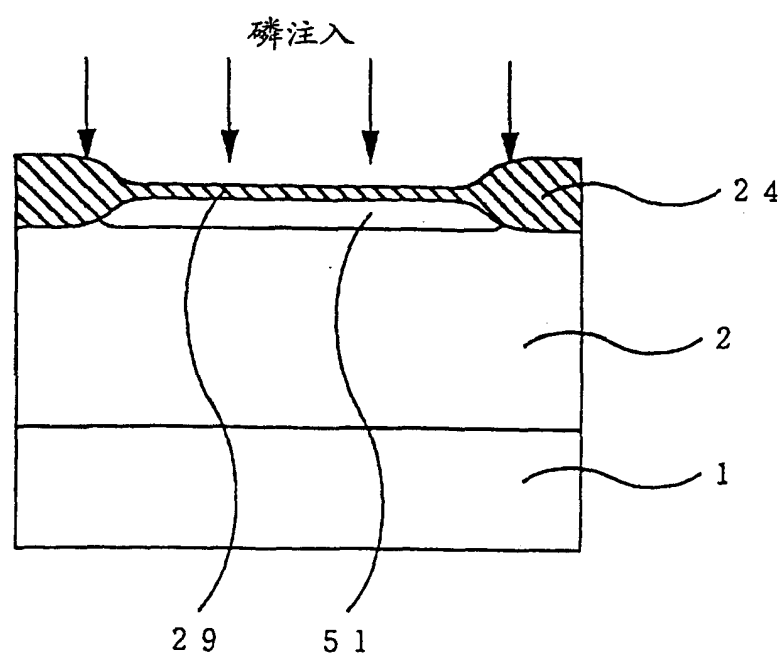


图 18

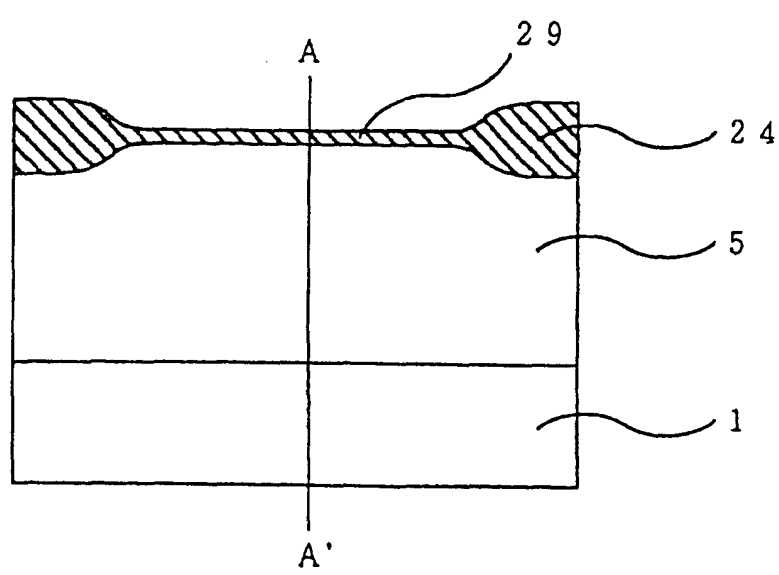


图 19

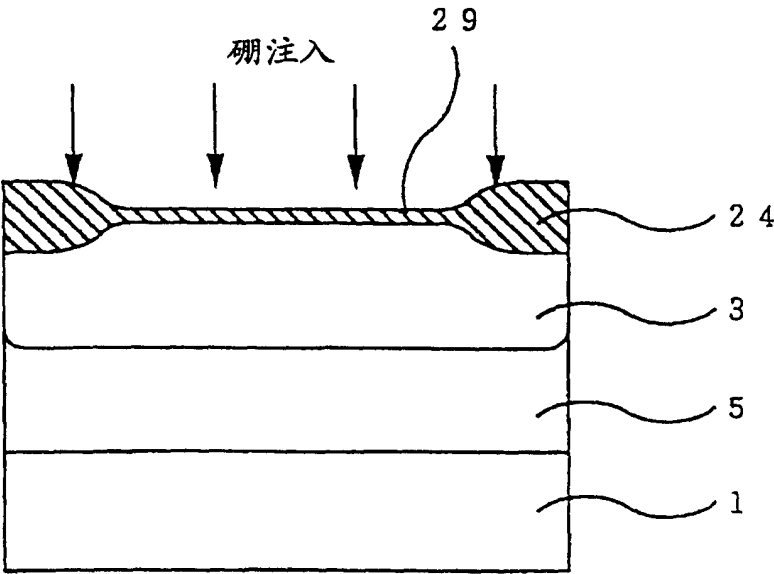


图 20

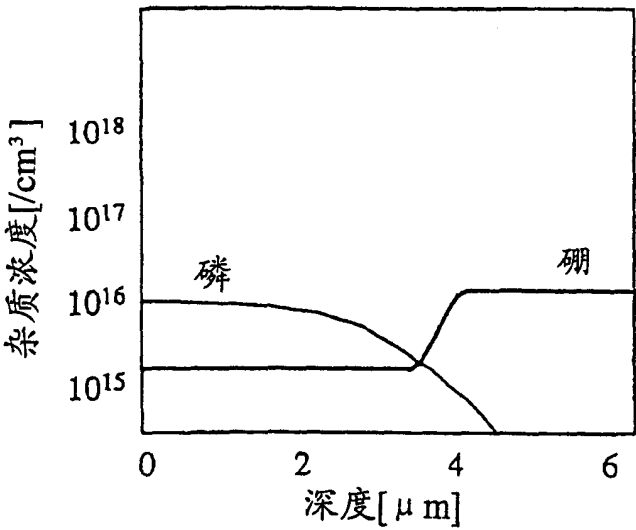


图 21

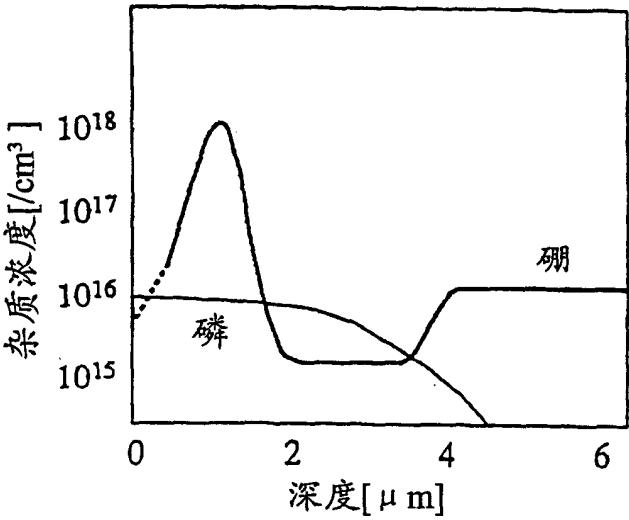


图 22

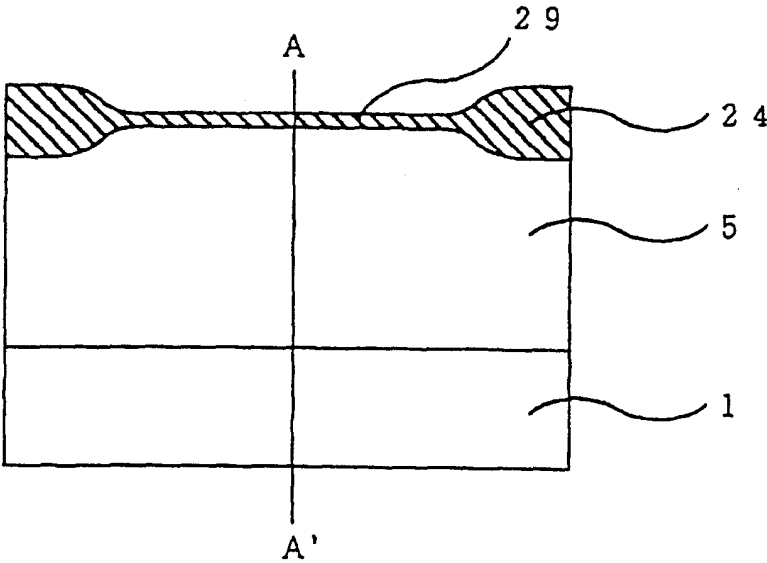


图 23

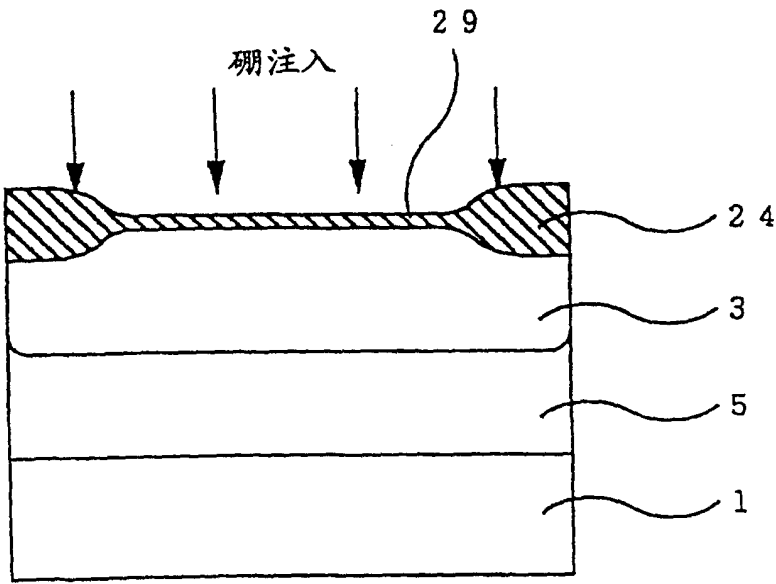


图 24

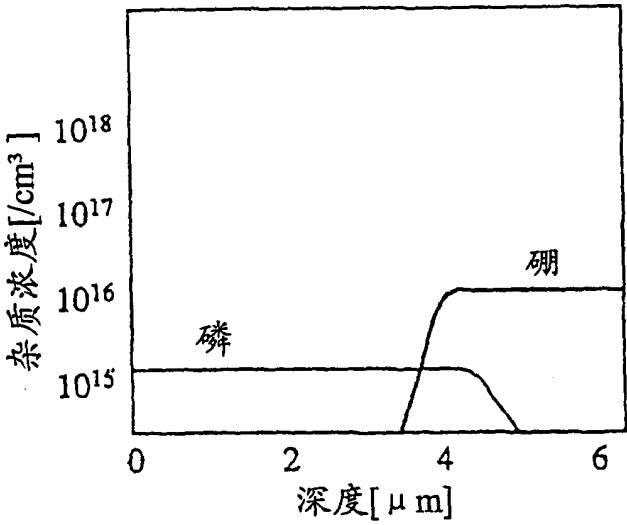


图 25

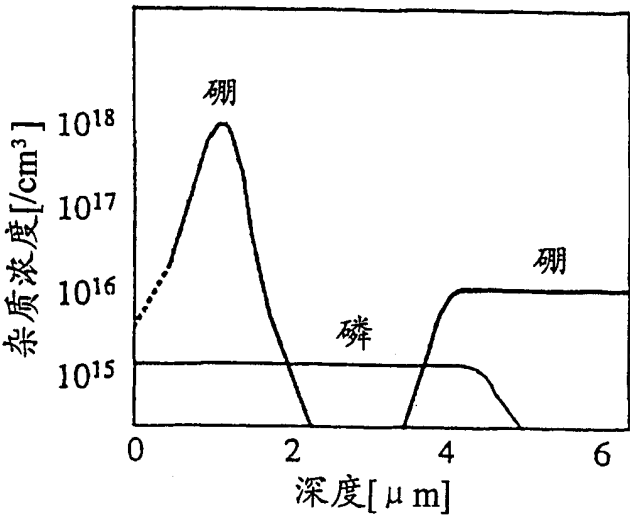


图 26

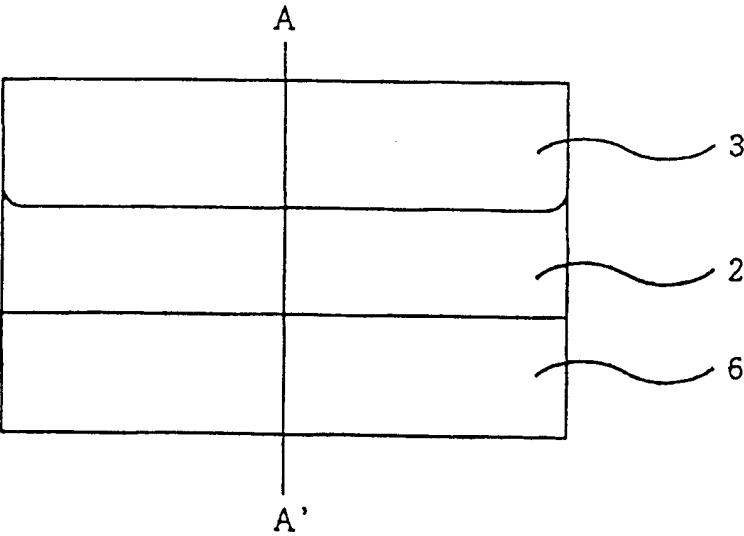


图 27

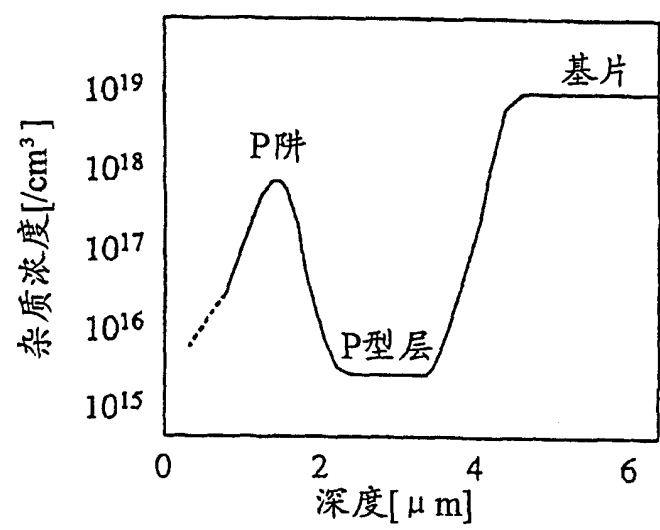


图 28

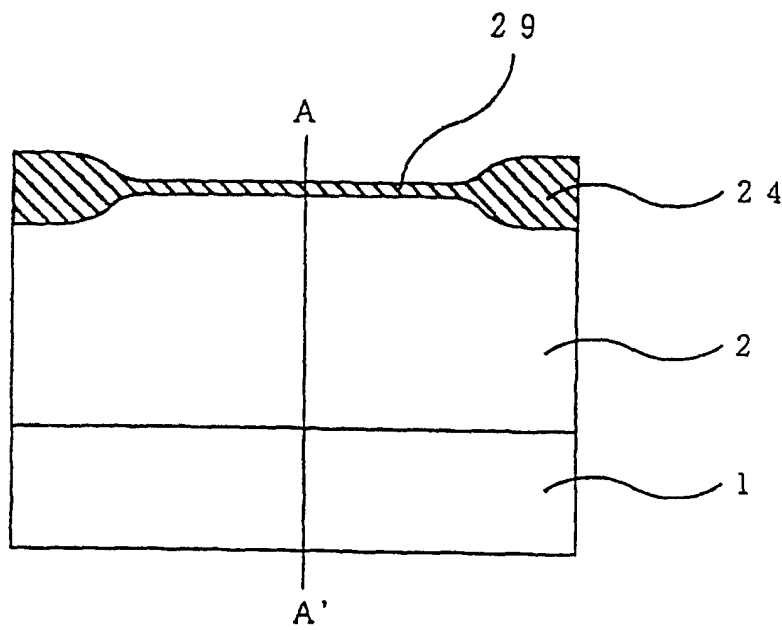


图 29

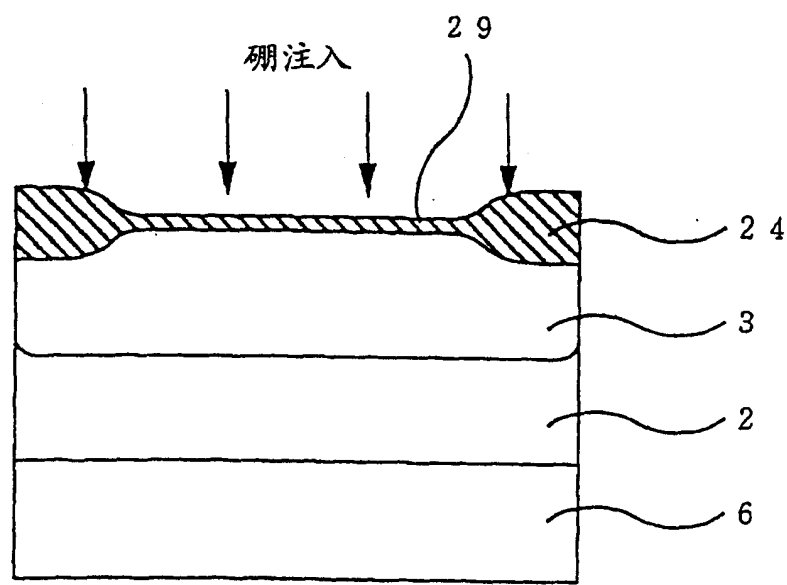


图 30

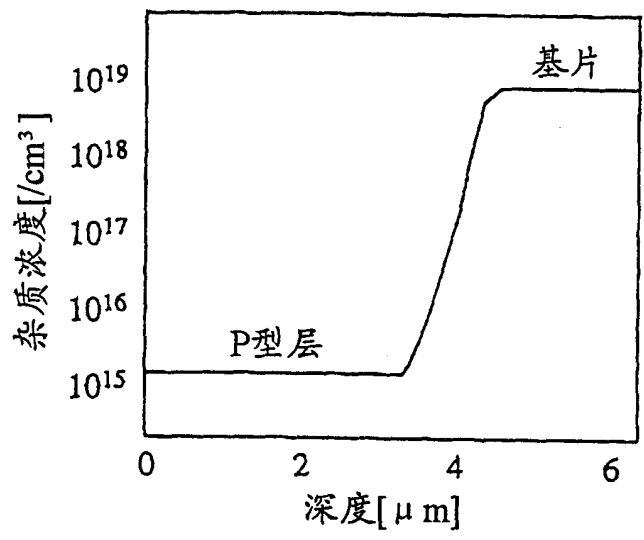


图 31

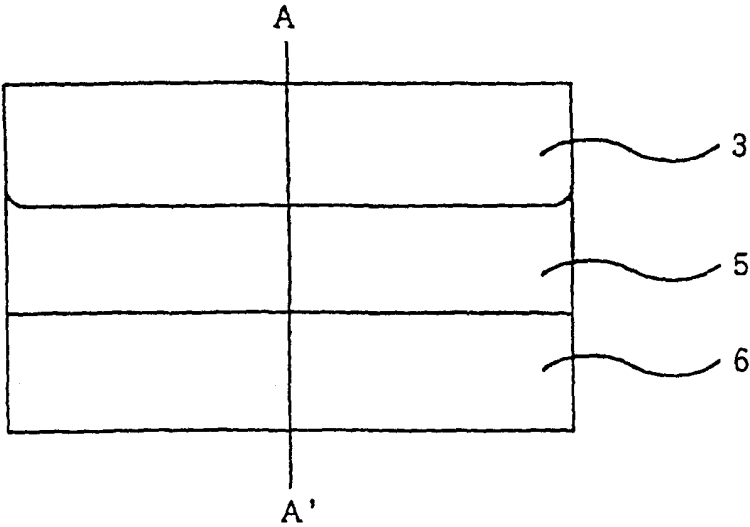


图 32

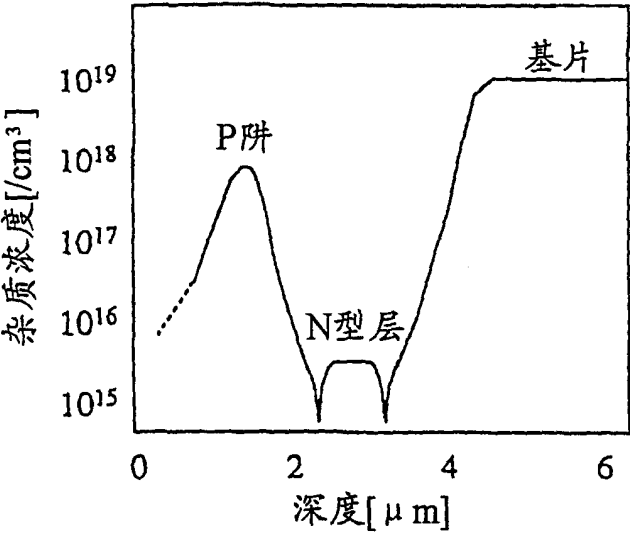


图 33

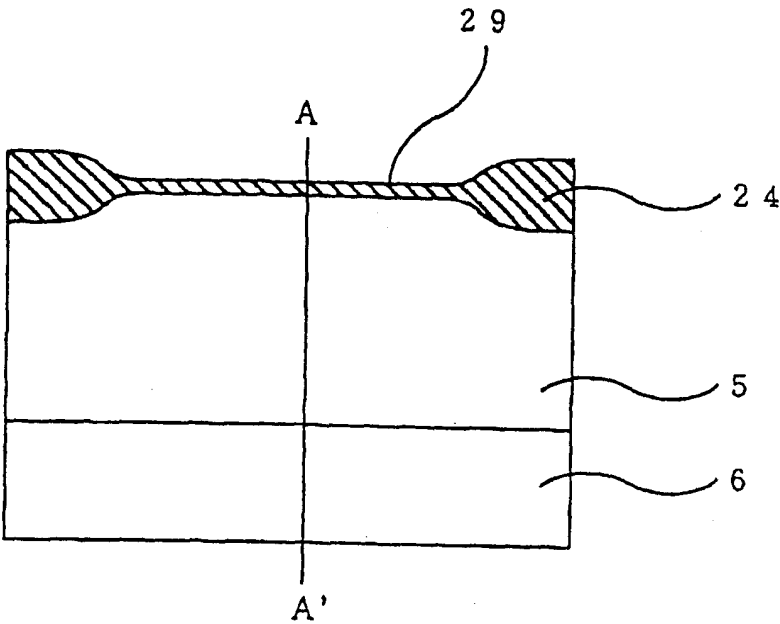


图 34

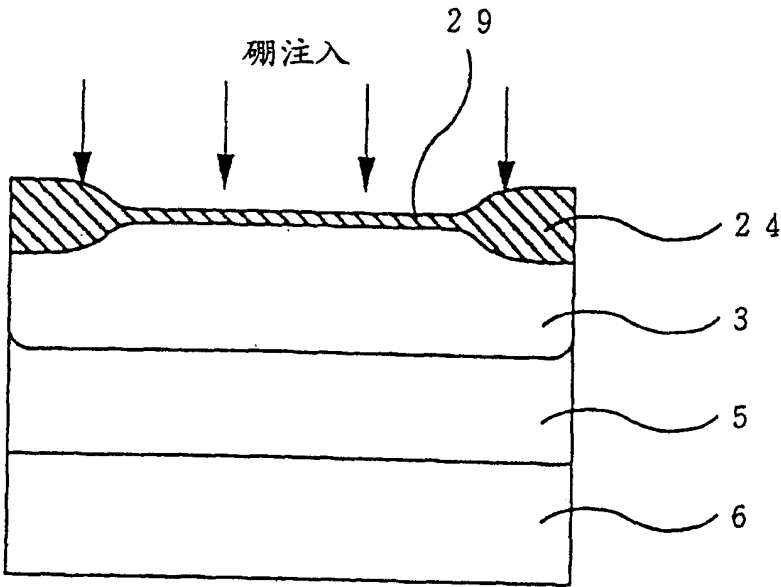


图 35

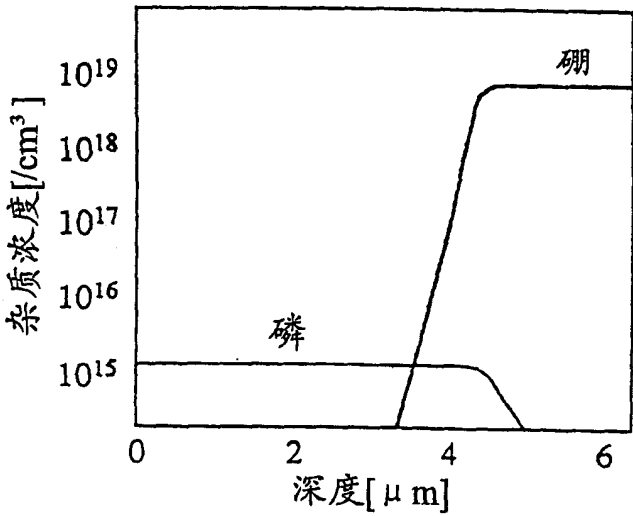


图 36

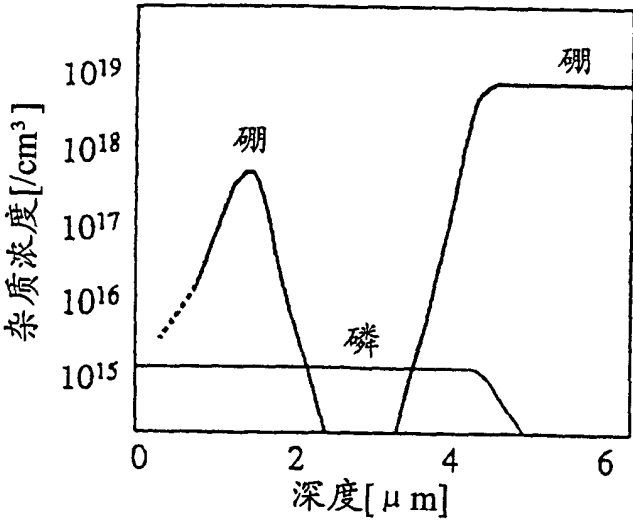


图 37

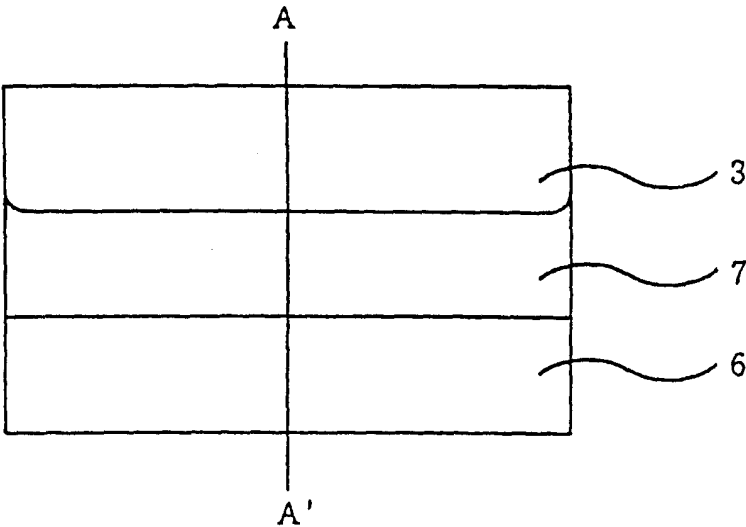


图 38

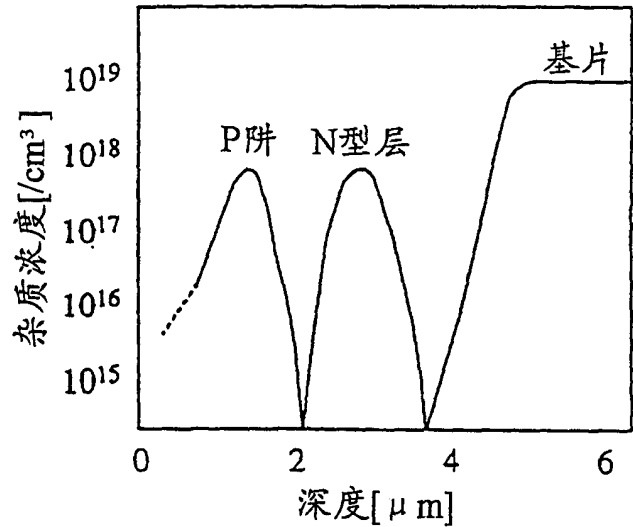


图 39

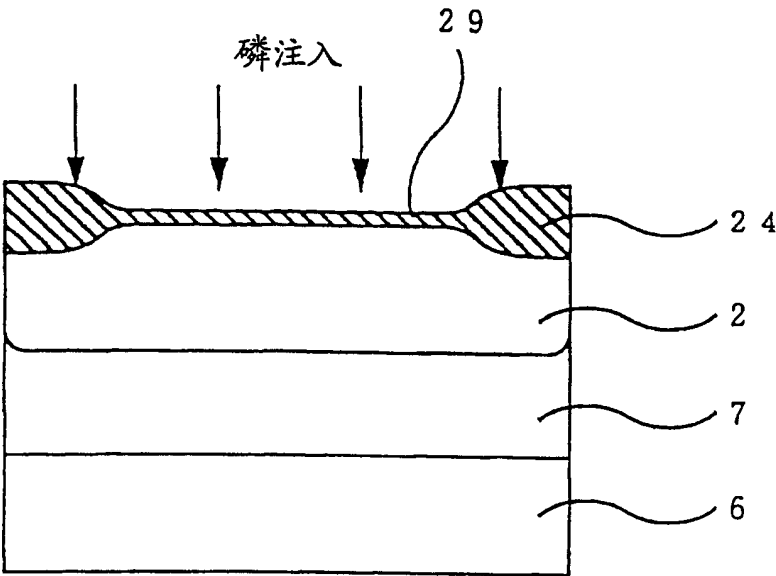


图 40

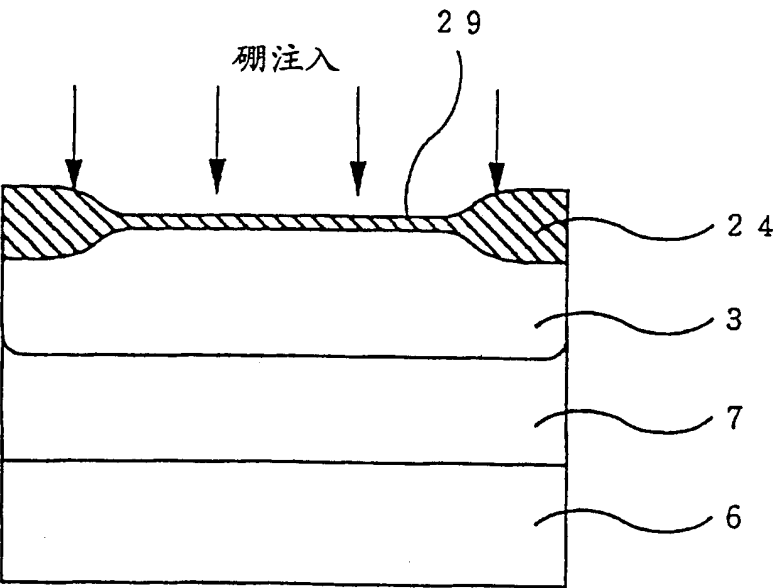


图 41

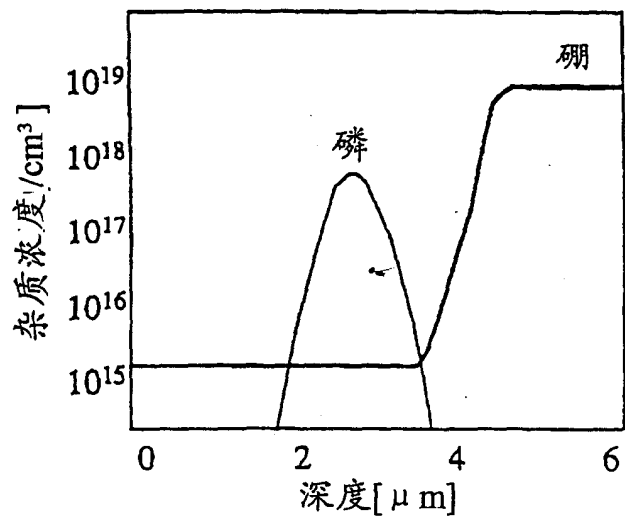


图 42

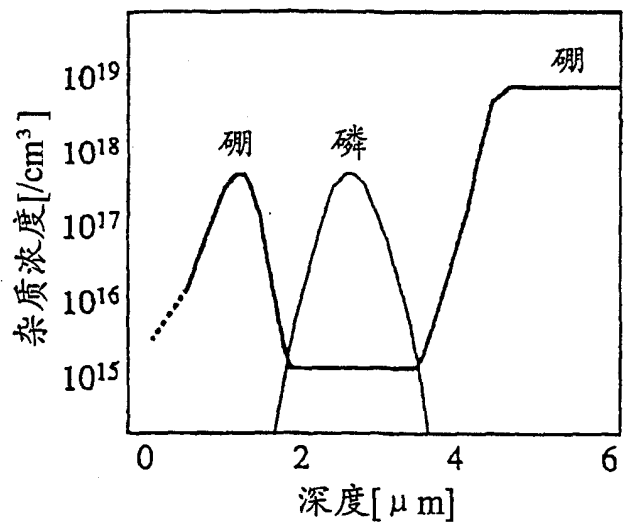


图 43

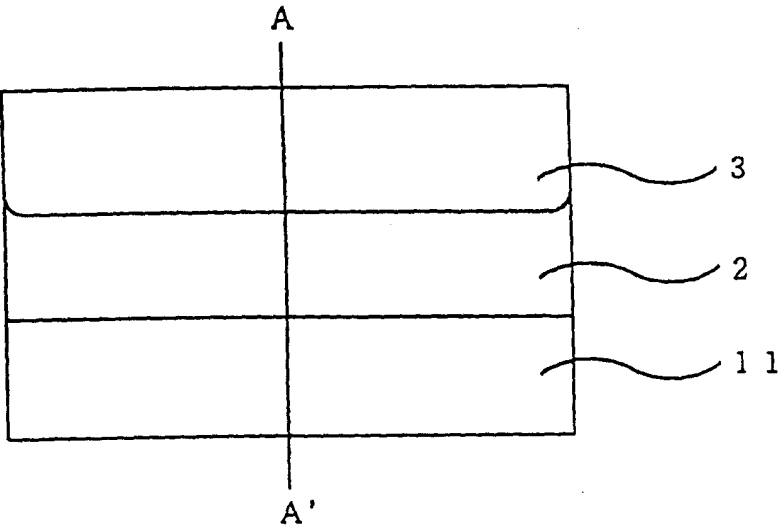


图 44

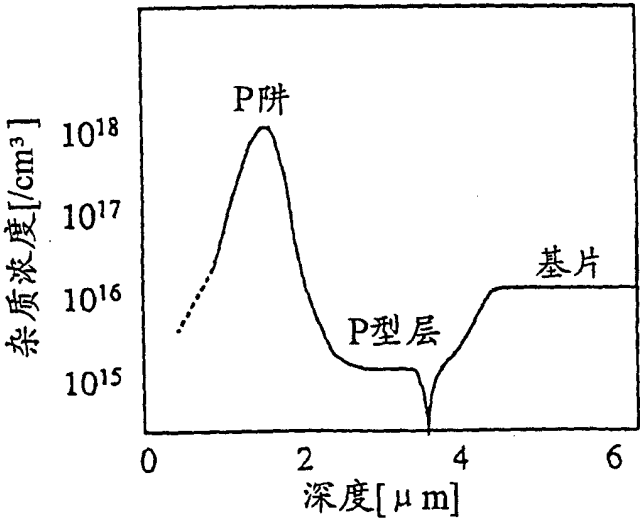


图 45

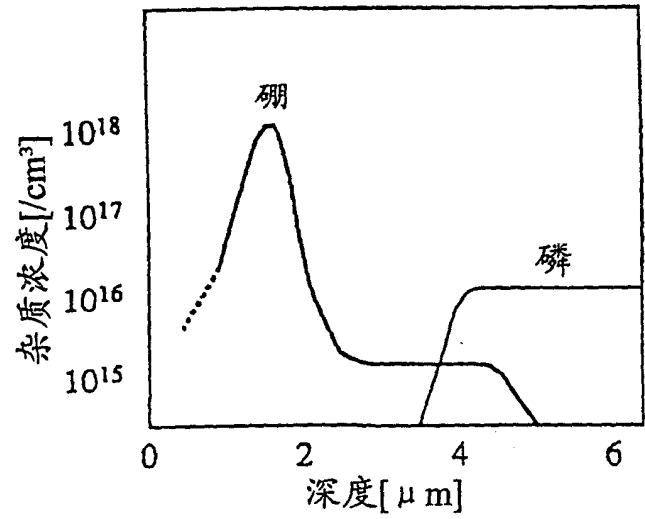


图 46

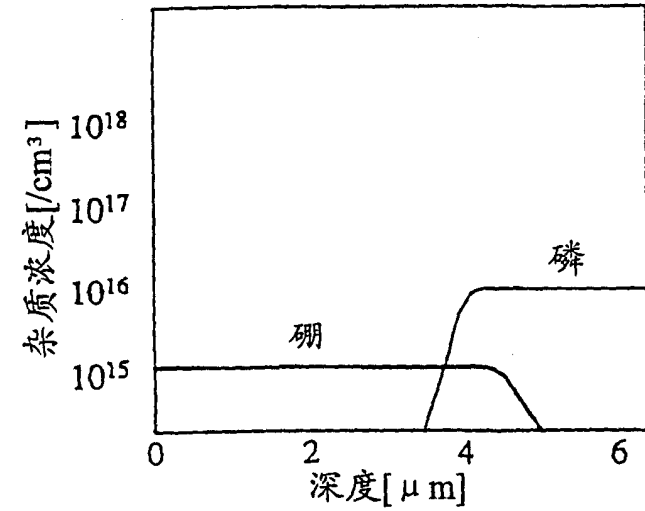


图 47

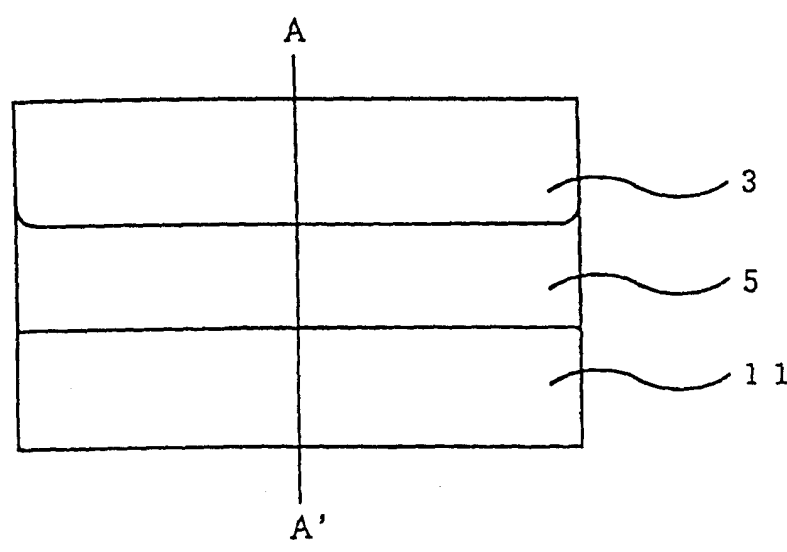


图 48

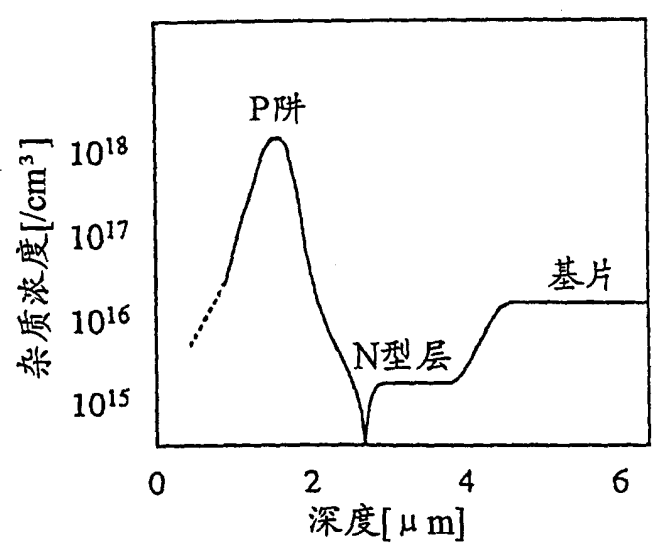


图 49

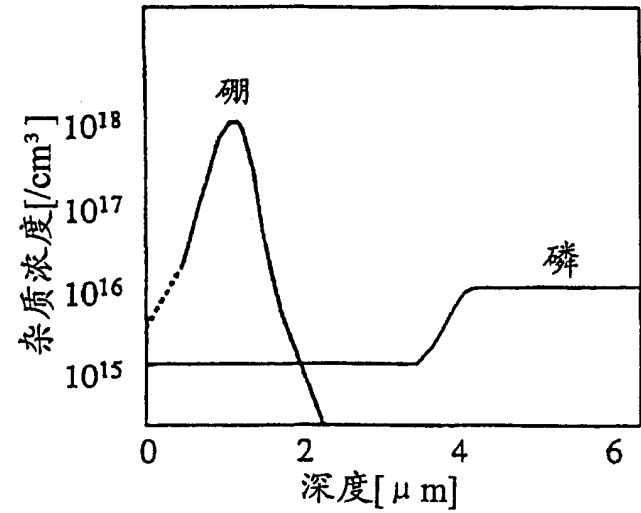


图 50

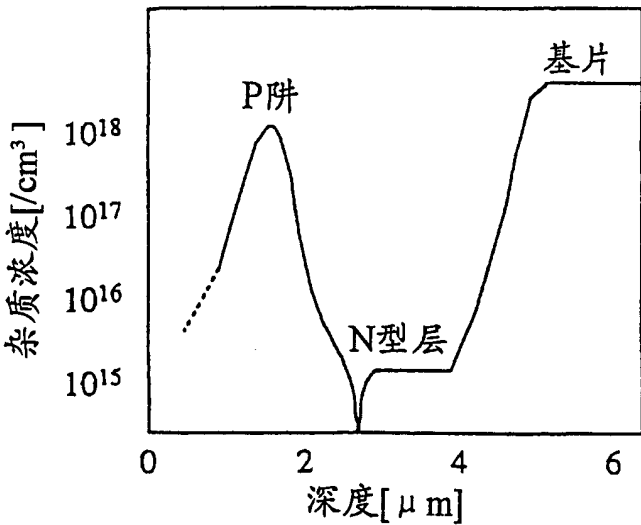


图 51

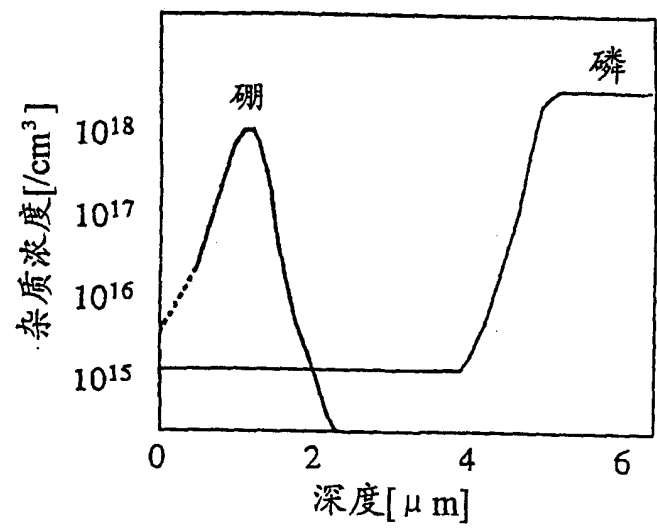
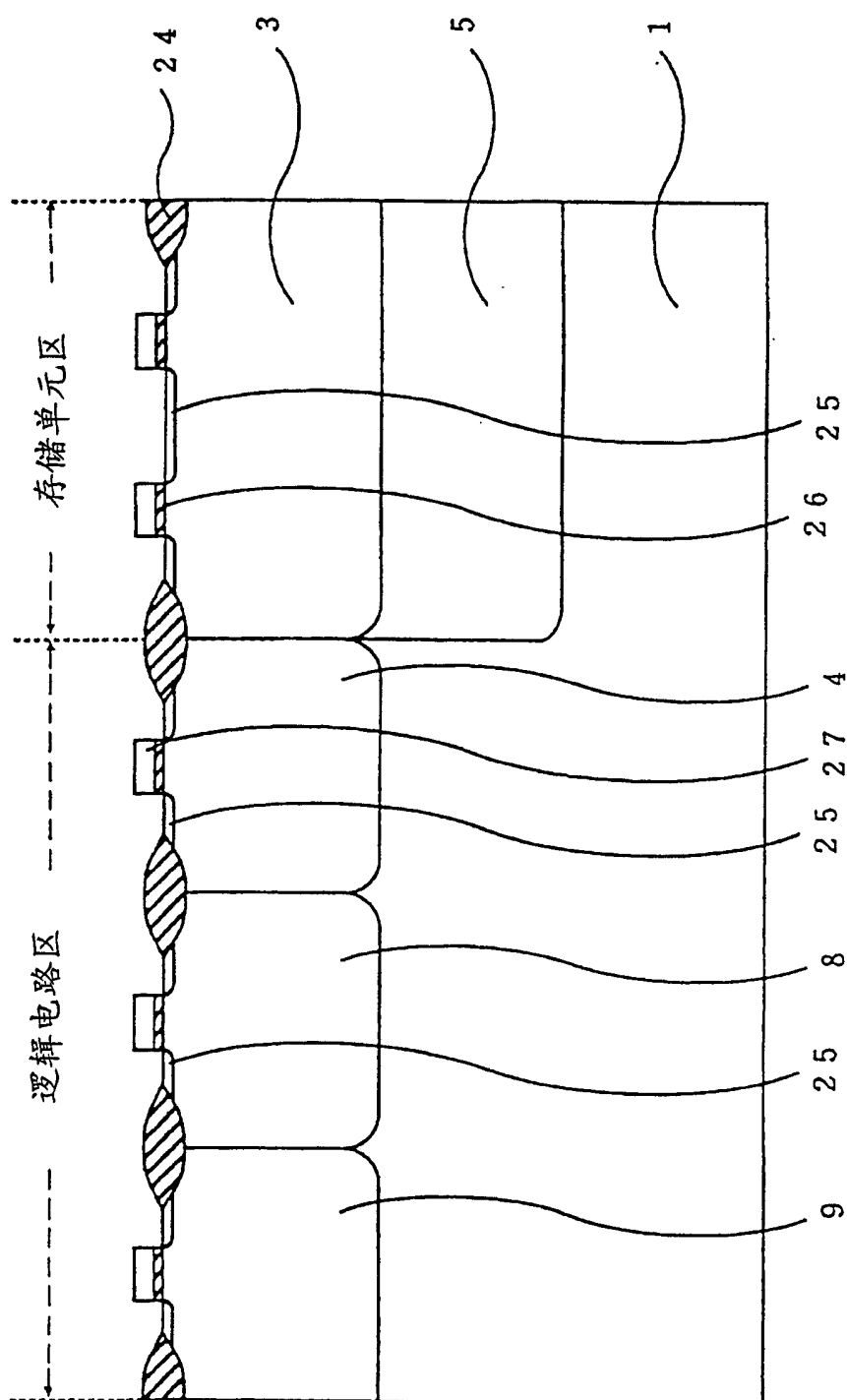


图 52



53

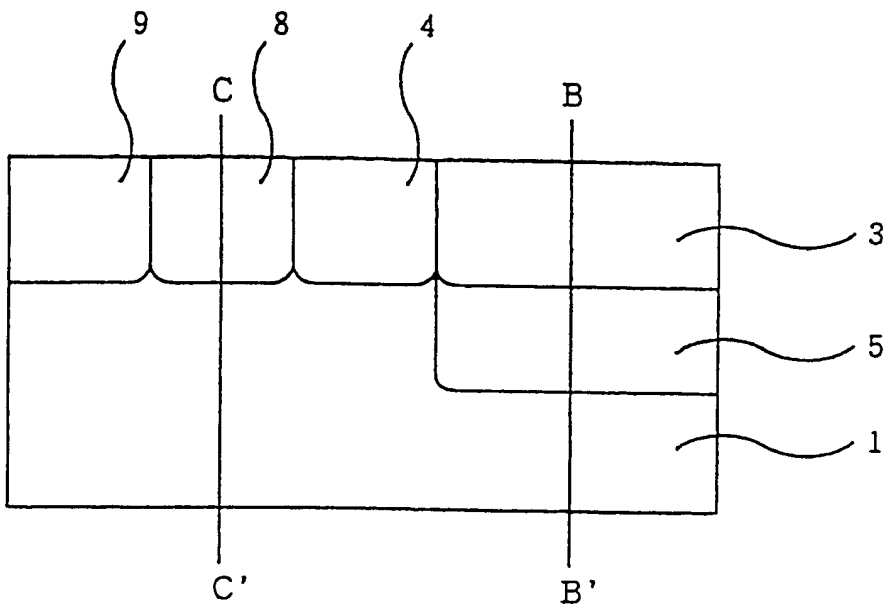


图 54

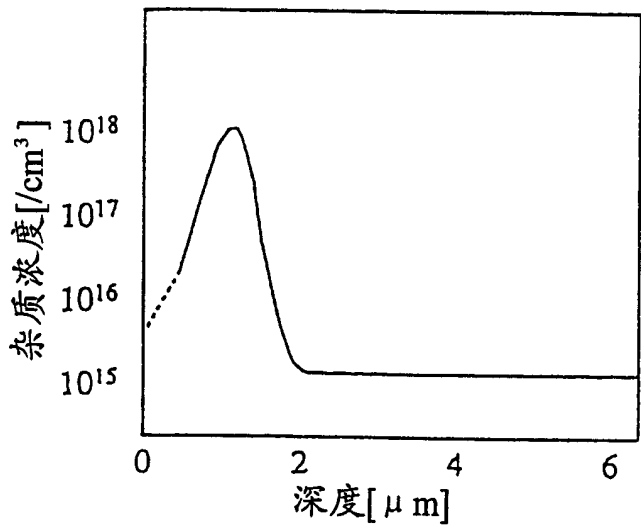


图 55

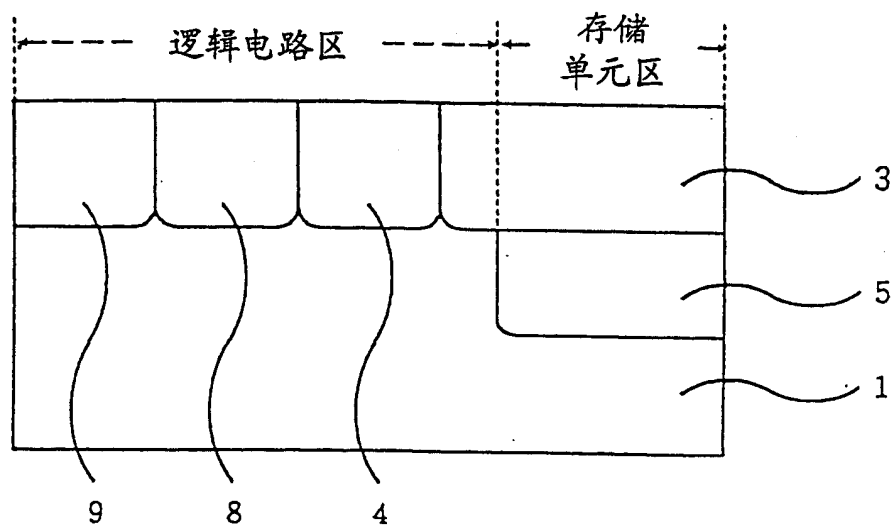


图 56

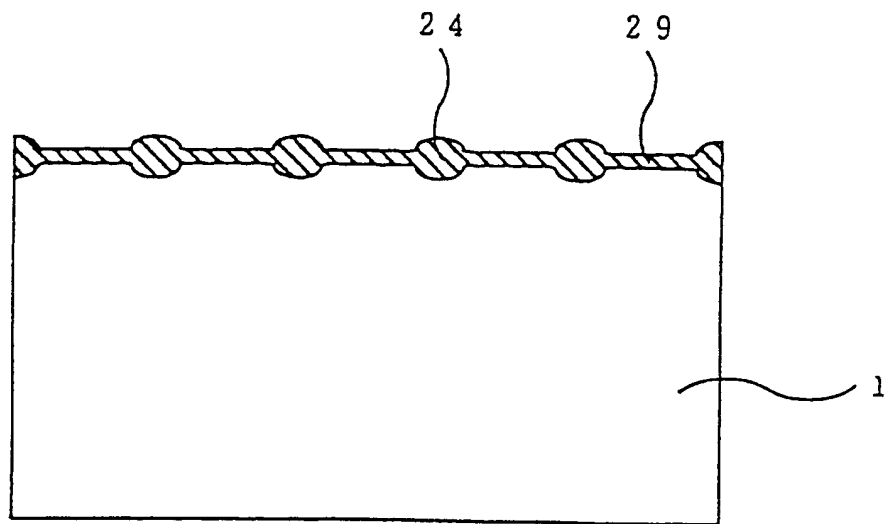


图 57

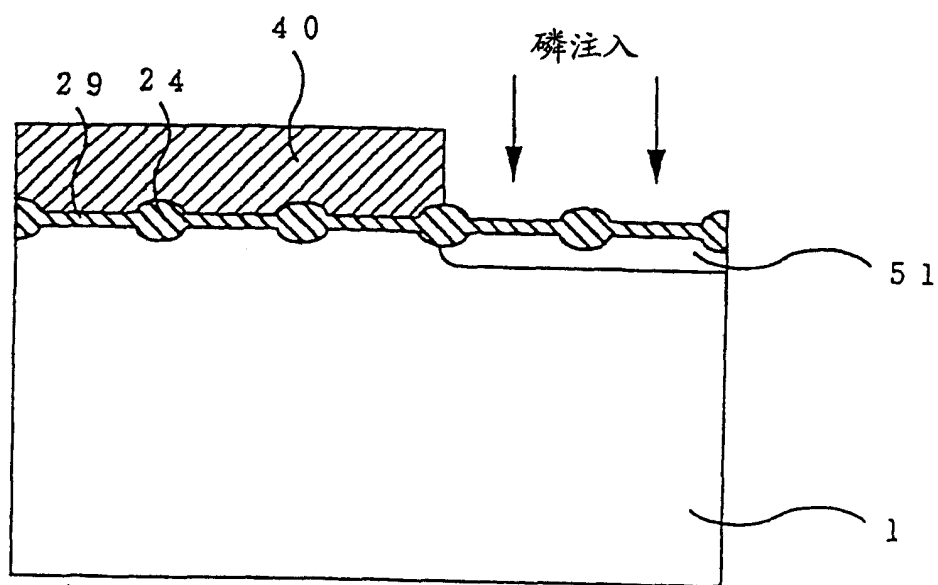


图 58

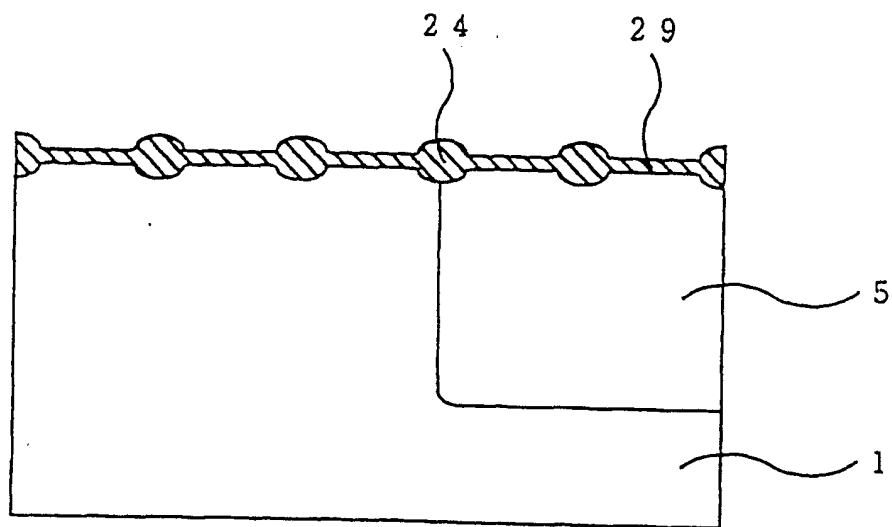


图 59

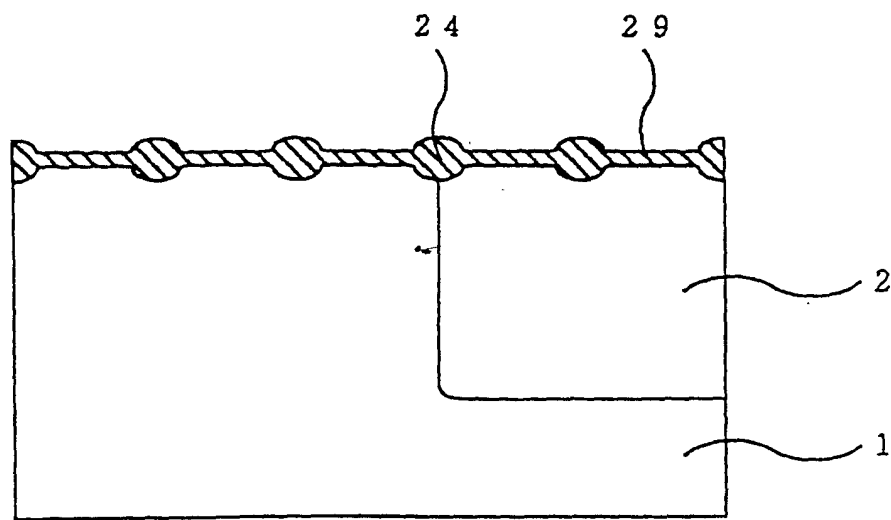


图 60

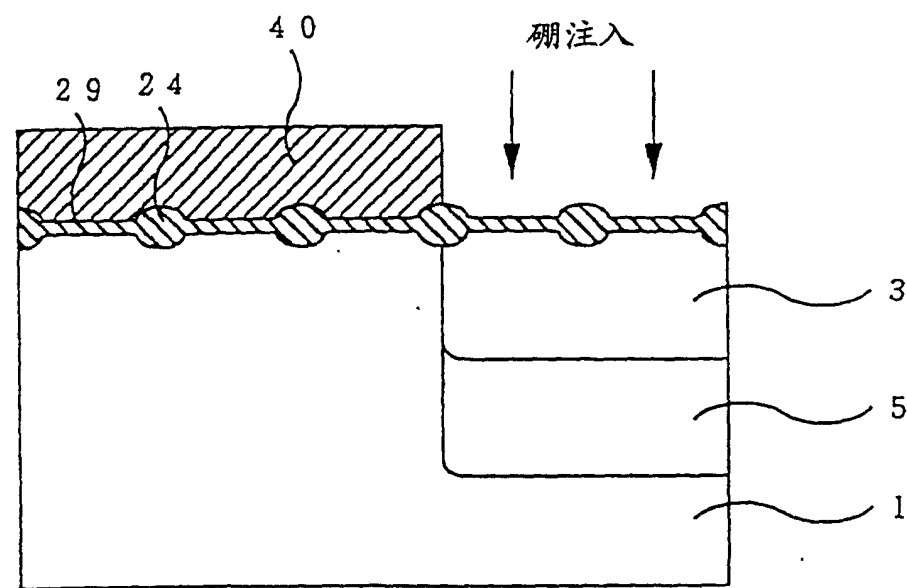


图 61

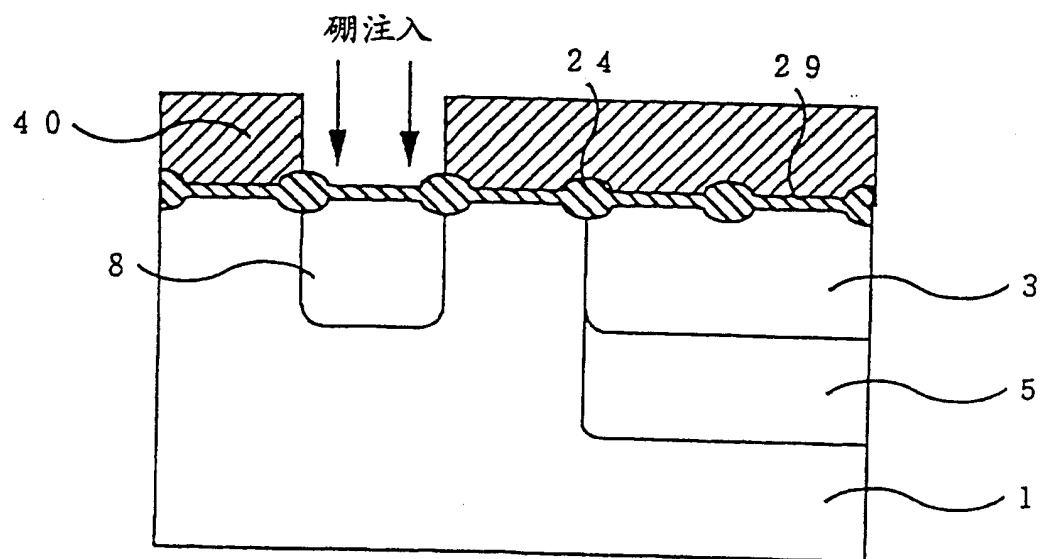


图 62

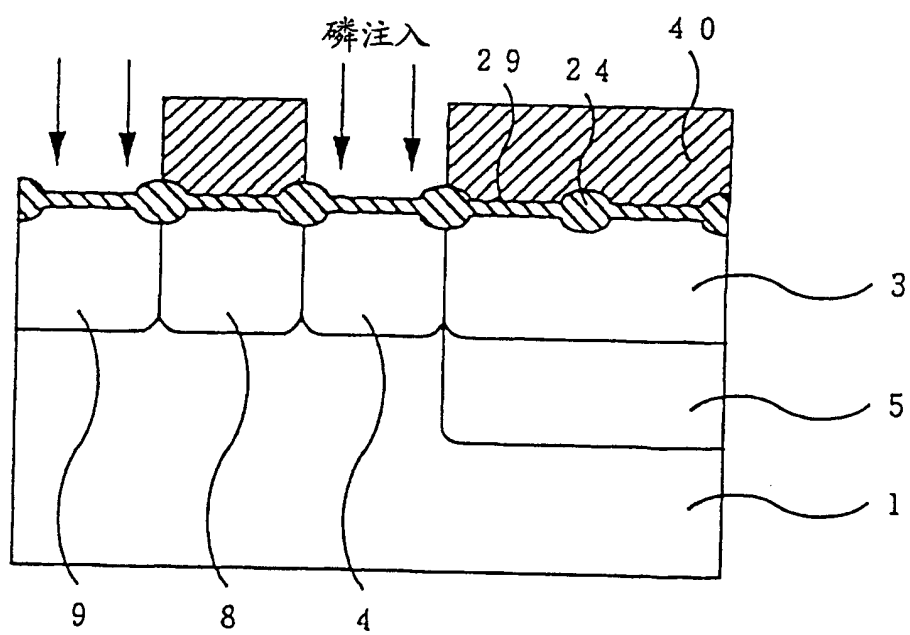


图 63

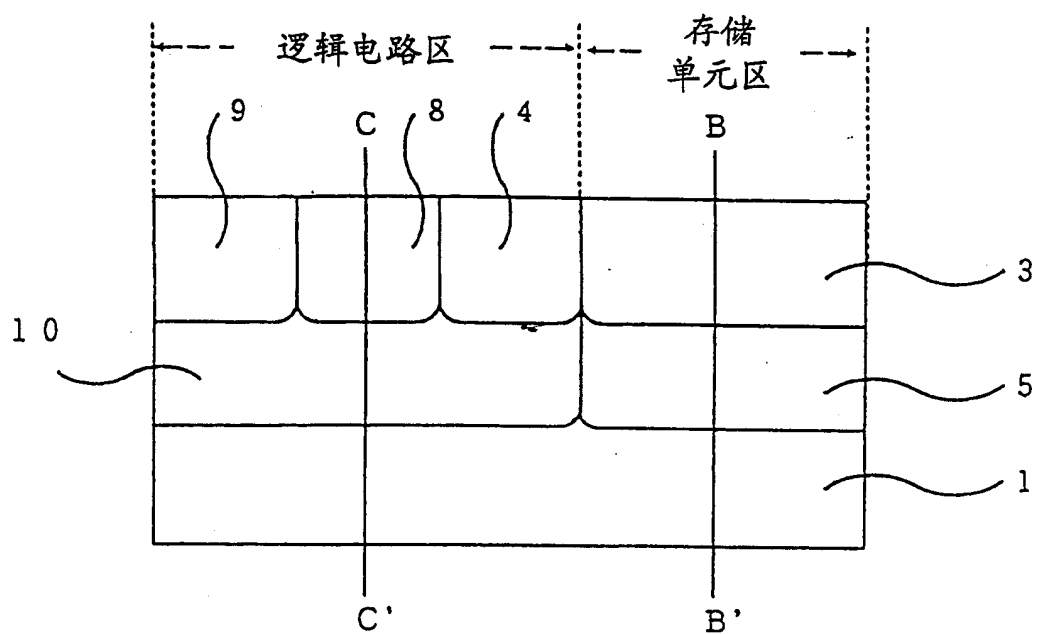


图 64

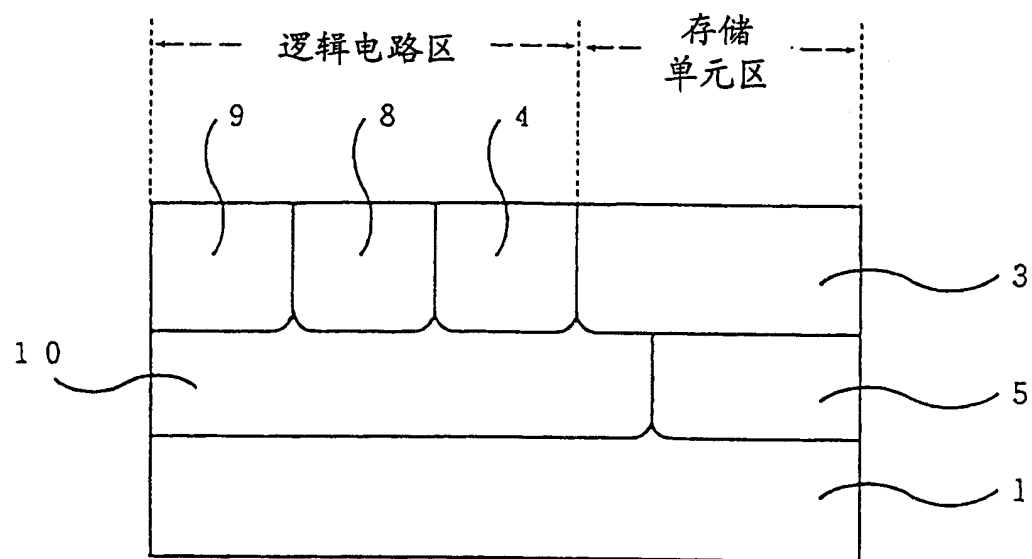


图 65

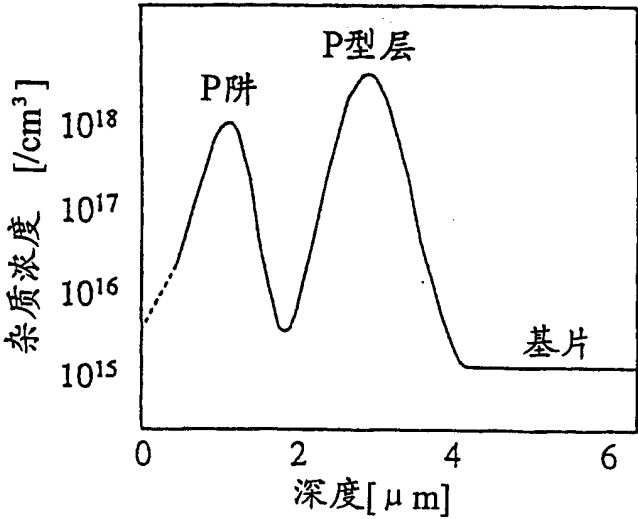


图 66

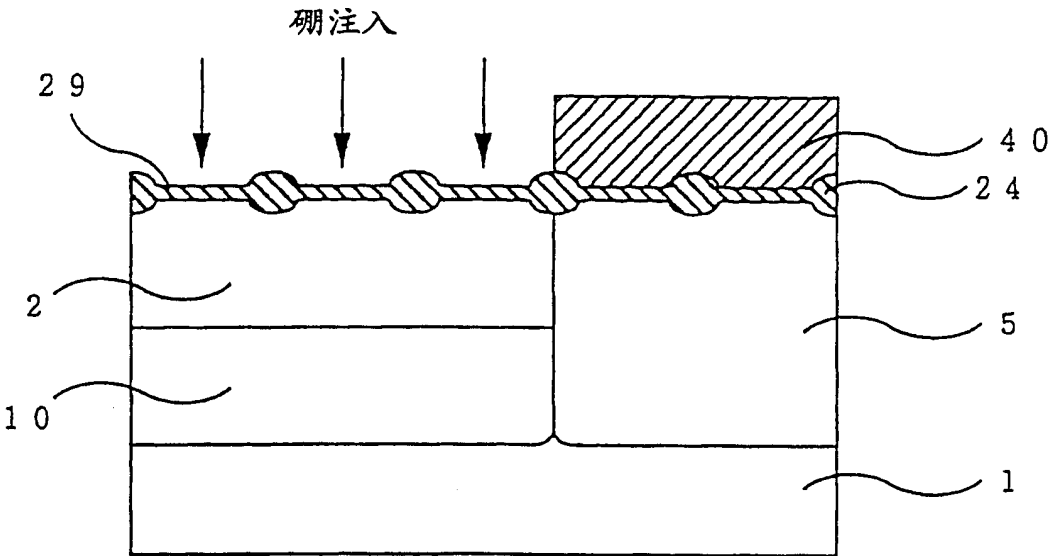


图 67

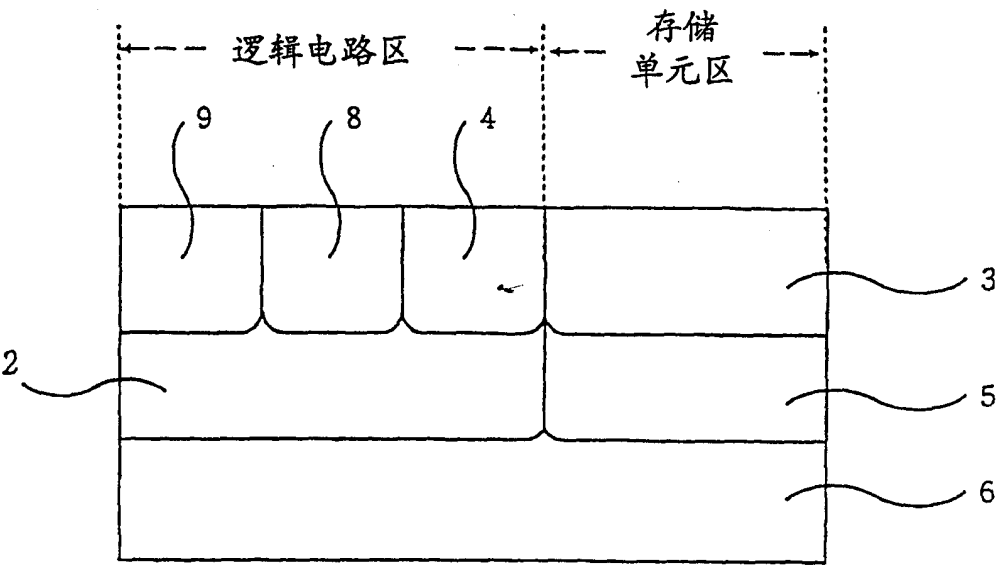


图 68

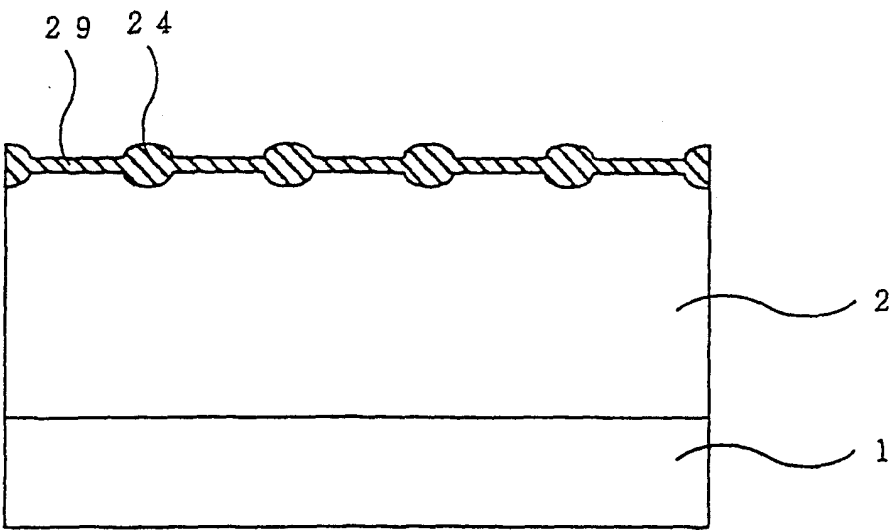


图 69

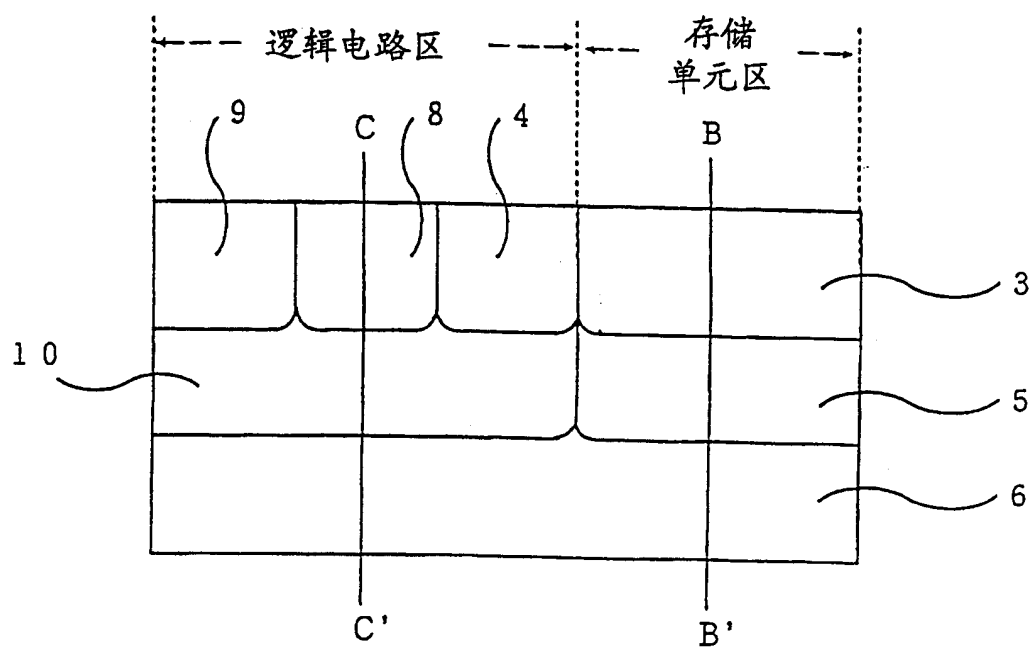


图 70

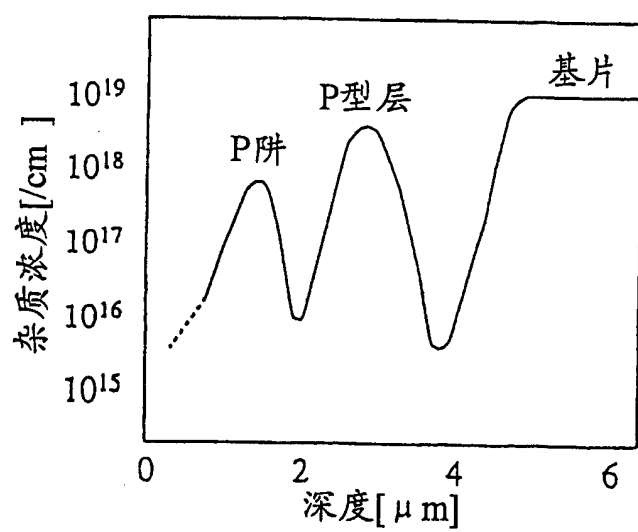


图 71

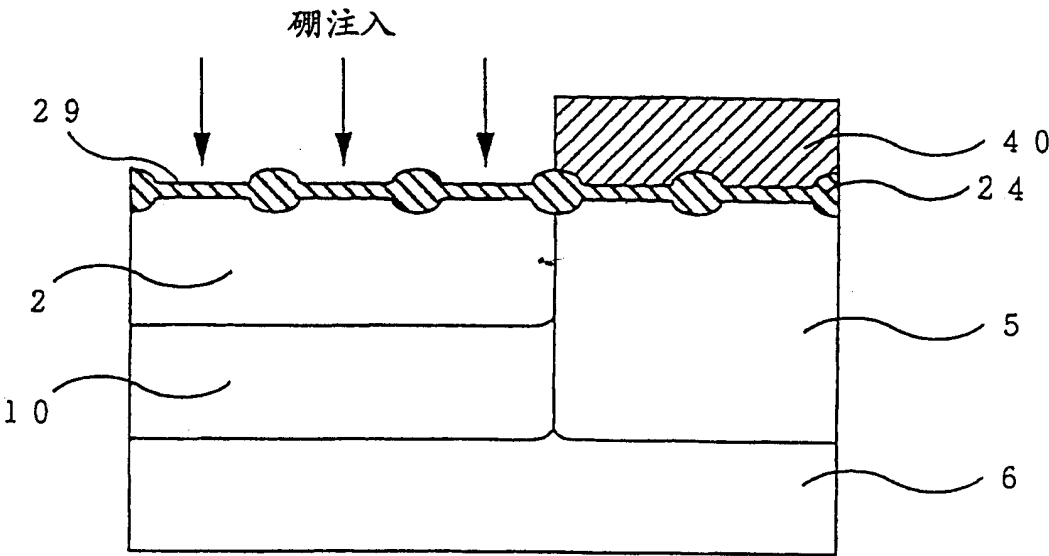


图 72

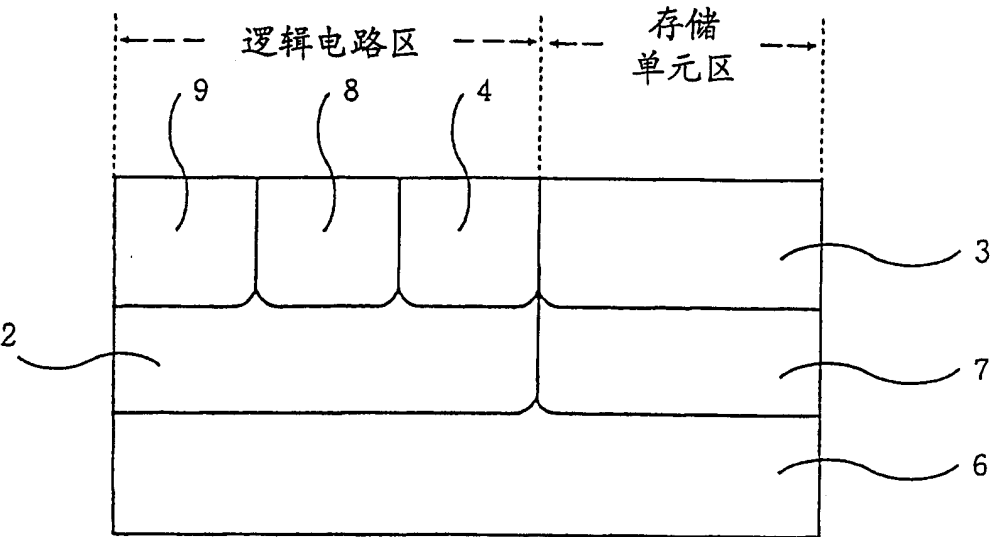


图 73

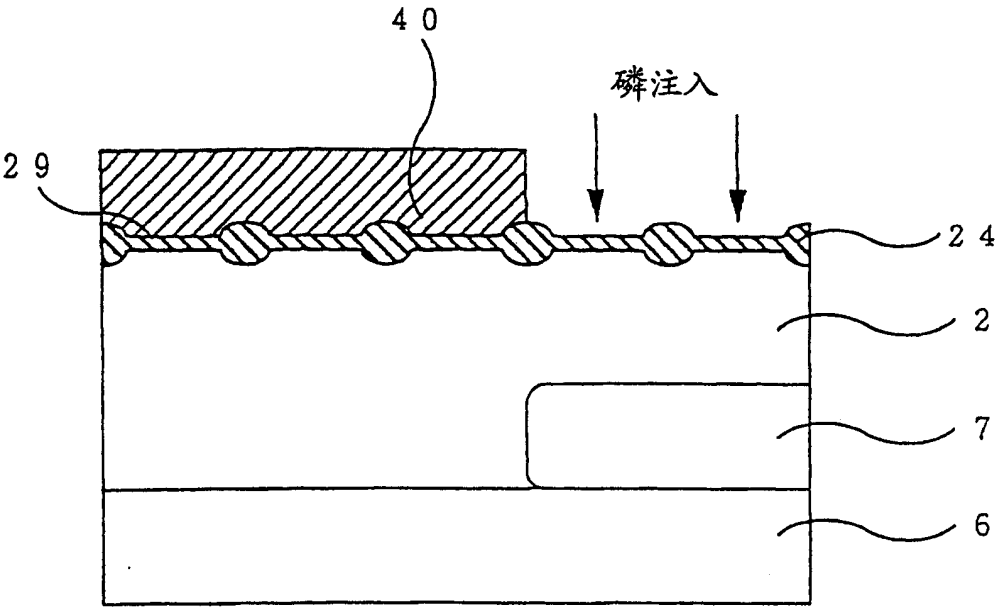


图 74

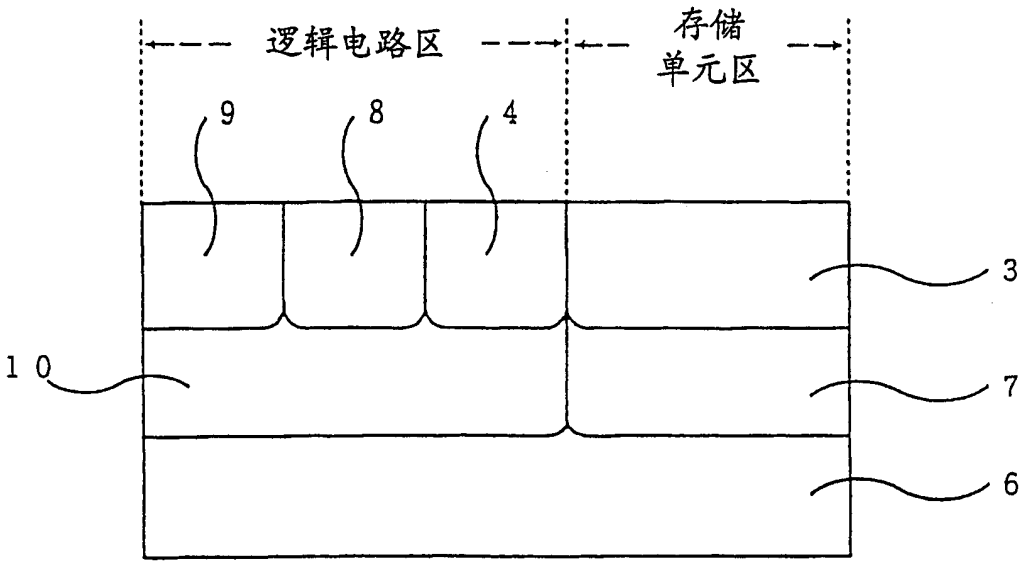


图 75

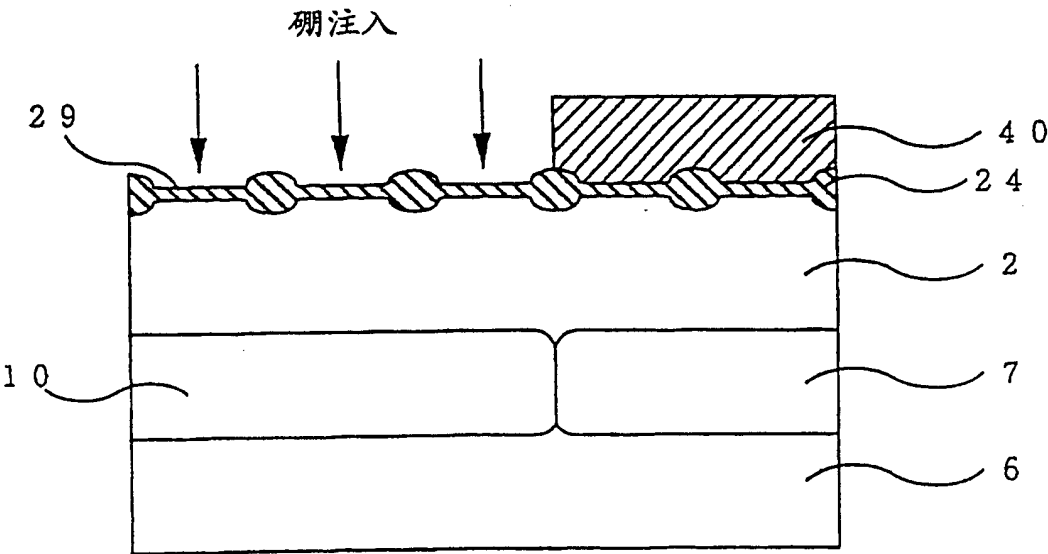


图 76

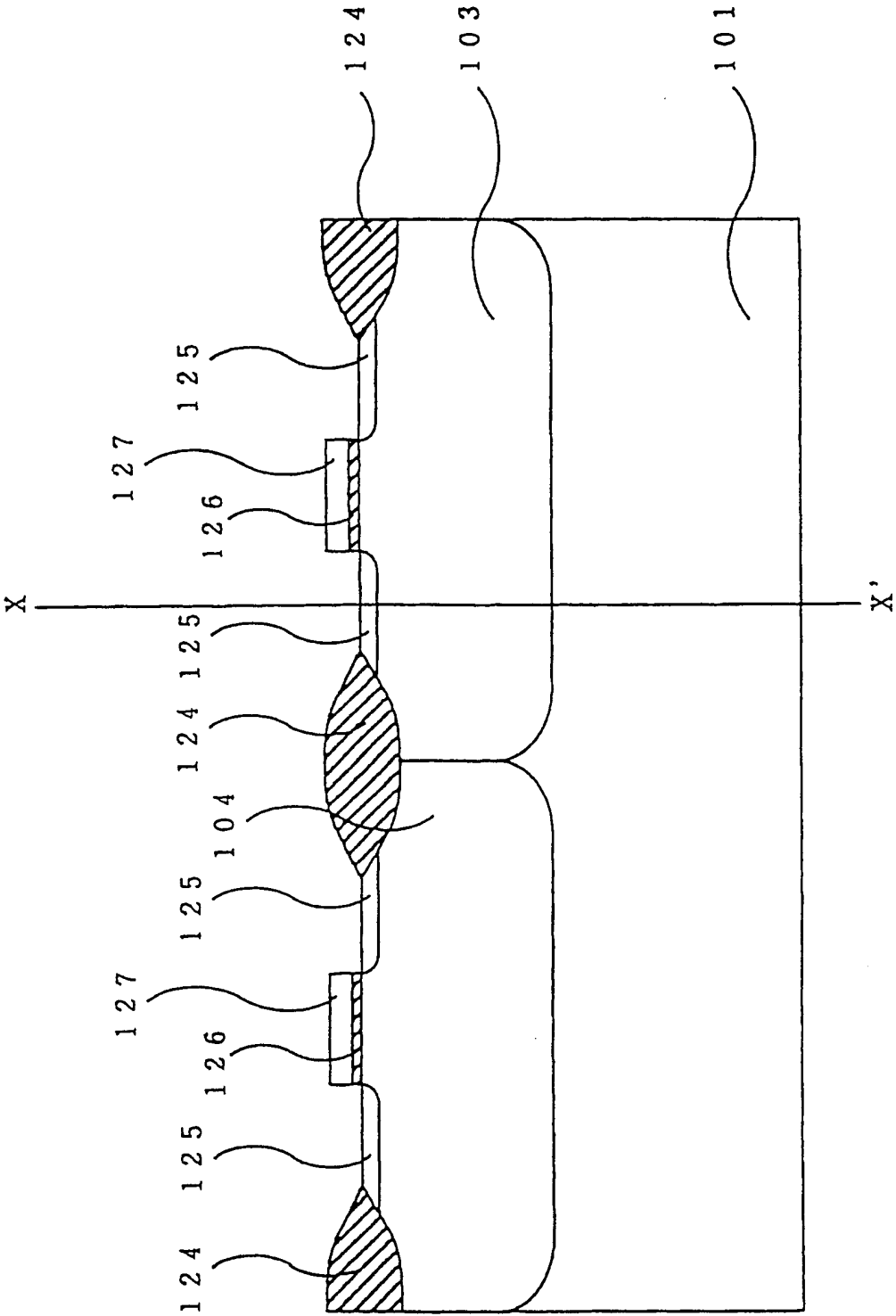


图 77

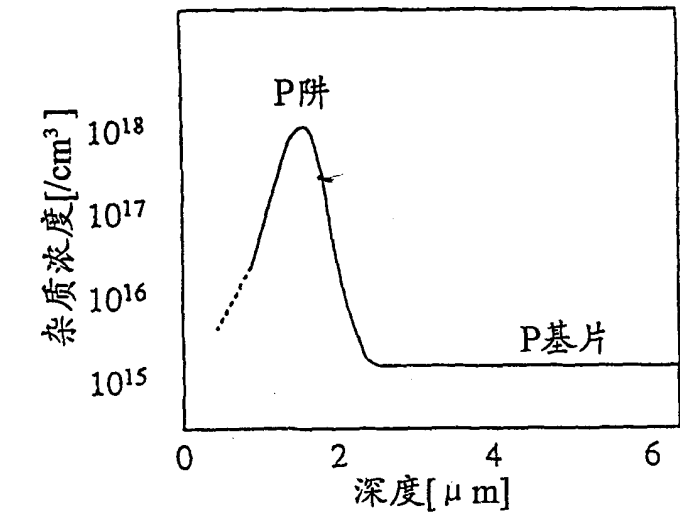


图 78

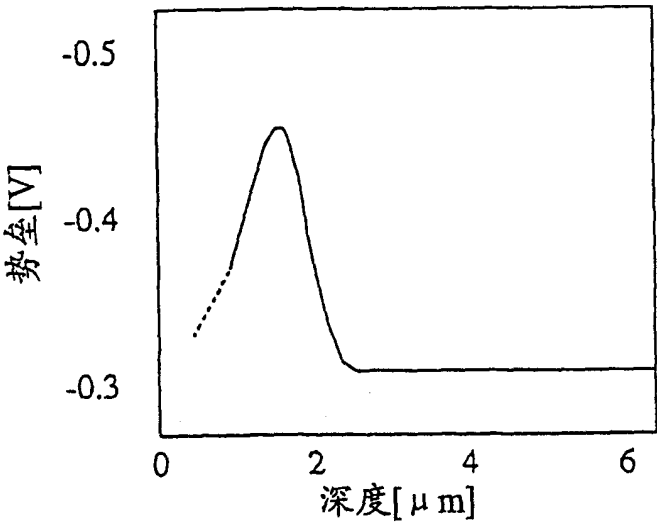


图 78

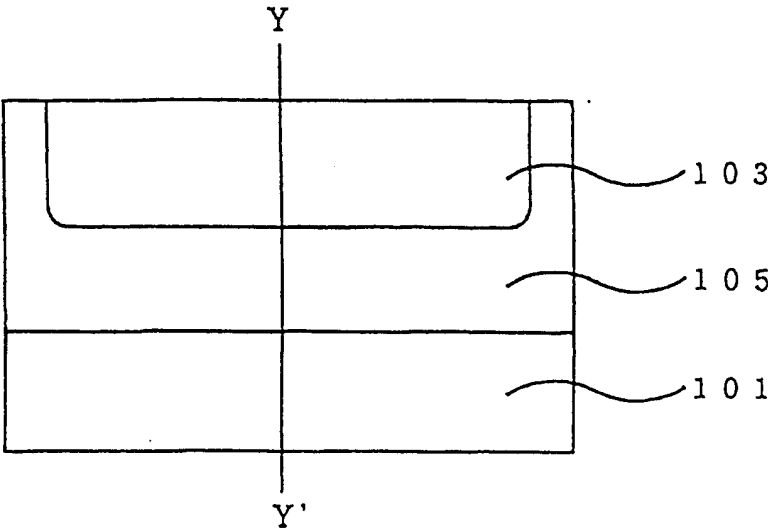


图 80

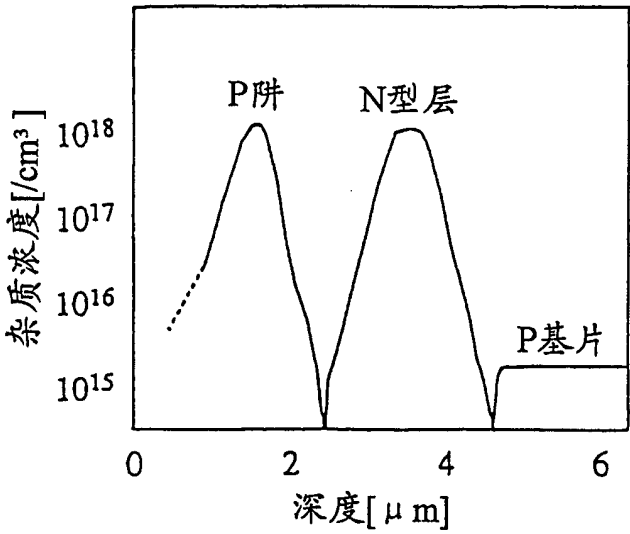


图 81

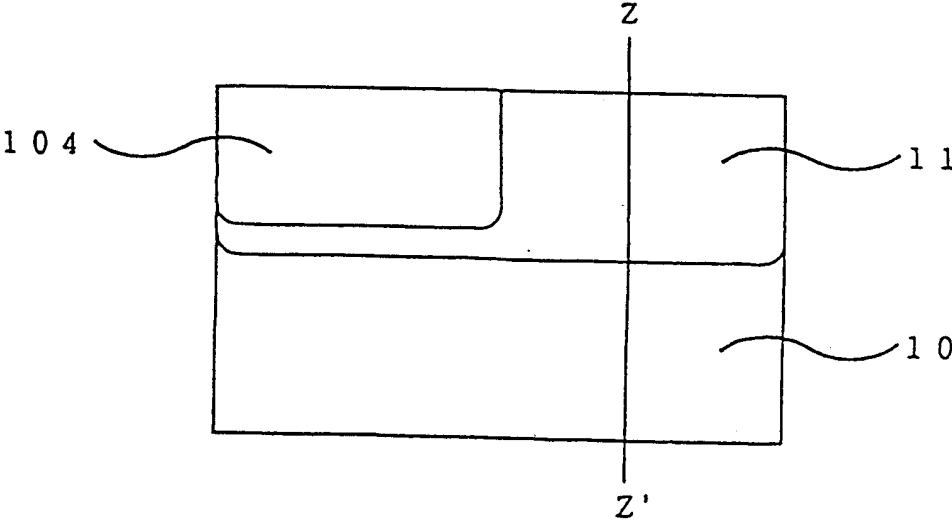


图 82

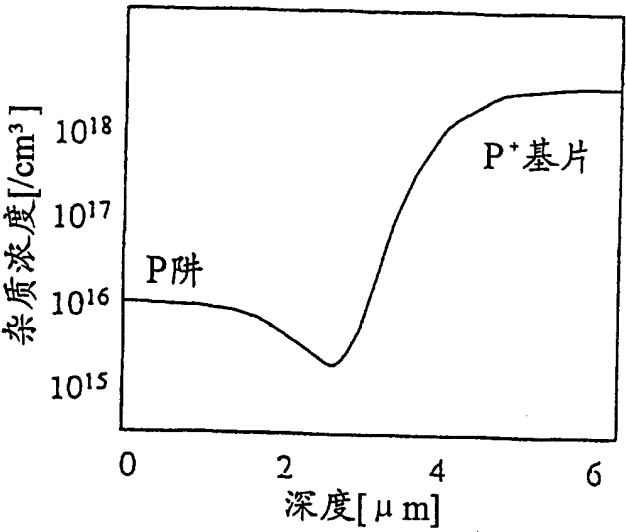


图 83