



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월14일

(11) 등록번호 10-1520284

(24) 등록일자 2015년05월08일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) *H01L 21/8247* (2006.01)
H01L 27/115 (2006.01)

(21) 출원번호 10-2010-7001655

(22) 출원일자(국제) 2008년06월12일

심사청구일자 2013년06월11일

(85) 번역문제출일자 2010년01월25일

(65) 공개번호 10-2010-0033521

(43) 공개일자 2010년03월30일

(86) 국제출원번호 PCT/JP2008/061167

(87) 국제공개번호 WO 2009/001733

국제공개일자 2008년12월31일

(30) 우선권주장

JP-P-2007-166495 2007년06월25일 일본(JP)

(56) 선행기술조사문헌

US20070228453 A1

JP2007294911 A

JP2001326289 A

JP07058225 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

이에다 요시노리

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

(74) 대리인

이화의, 김홍두

전체 청구항 수 : 총 9 항

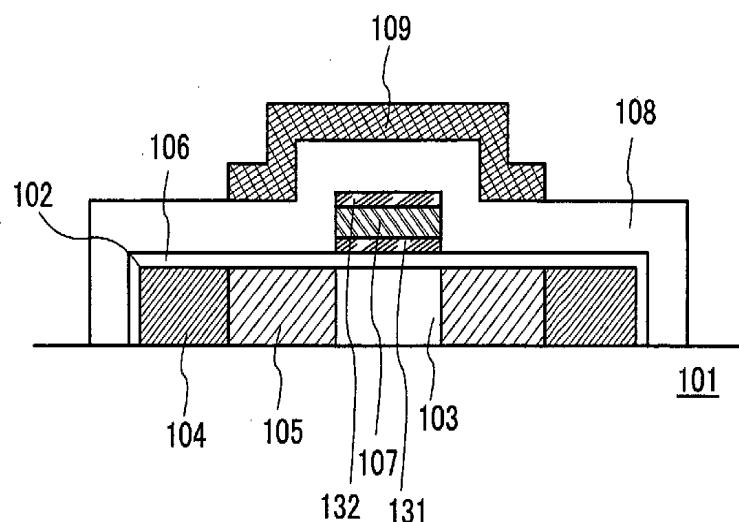
심사관 : 설관식

(54) 발명의 명칭 반도체장치

(57) 요 약

부유 게이트를 갖는 기억소자의 신뢰성의 저하를 억제한다. 본 발명은, 절연 표면 위에 형성되고, 채널 형성 영역과 고농도 불순물 영역을 갖는 섬 형상 반도체막과, 상기 섬 형상 반도체막 위에 형성된 터널 절연막과, 상기 터널 절연막 위에 형성된 부유 게이트와, 상기 부유 게이트 위에 형성된 게이트 절연막과, 상기 게이트 절연막 위에 형성된 컨트롤 게이트와, 상기 터널 절연막과 상기 부유 게이트와의 사이에 형성된 제1의 절연막을 갖는 반도체장치에 관한 것이다. 상기 제1의 절연막은, 상기 부유 게이트의 재료의 산화막으로 형성되어서, 상기 부유 게이트의 재료가, 상기 터널 절연막에 확산하는 것을 막는다.

대 표 도 - 도1



명세서

청구범위

청구항 1

절연 표면 위에 형성되고, 채널 형성 영역과 고농도 불순물 영역을 갖는 섬 형상 반도체막;
상기 섬 형상 반도체막 위에 형성된 제1의 절연막;
상기 제1의 절연막 위에 형성되고, 제1의 금속을 포함하는 제2의 절연막;
상기 제2의 절연막 위에 접하여 형성되고, 제2의 금속을 포함하는 부유 게이트;
상기 부유 게이트 위에 형성된 게이트 절연막; 및
상기 게이트 절연막 위에 형성된 컨트롤 게이트를 포함하고,
상기 제1의 금속과 상기 제2의 금속은 동일한 금속이고,
상기 컨트롤 게이트의 일부는 상기 게이트 절연막이 개재된 상기 부유 게이트의 단부 바깥쪽에 위치하고,
상기 게이트 절연막은 상기 섬 형상 반도체막의 측면을 덮는, 반도체장치.

청구항 2

안테나;
상기 안테나에 접속되어 동작하는 변조회로;
상기 안테나에 접속되어 동작하는 복조회로;
상기 변조회로 및 상기 복조회로에 접속되어 동작하는 연산 처리회로;
상기 복조회로에 접속되어 동작하는 전원회로; 및
상기 전원회로에 접속되어 동작하는 기억회로로서, 청구항 1의 반도체 장치를 포함하는 상기 기억회로를 포함하는, 반도체장치.

청구항 3

제 1 항에 있어서,
상기 섬 형상 반도체막은, 단결정 반도체층으로 형성된, 반도체장치.

청구항 4

제 1 항에 있어서,
상기 섬 형상 반도체막에 저농도 불순물 영역을 더 포함하고,
상기 컨트롤 게이트는 상기 채널 형성영역 및 상기 저농도 불순물 영역과 포갠, 반도체장치.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 부유 게이트와 상기 게이트 절연막과의 사이에, 제3의 절연막을 더 포함하고, 상기 제3의 절연막은 상기 제2의 금속의 산화막을 포함하는, 반도체장치.

청구항 7

제 1 항에 있어서,

상기 제2의 금속은 티타늄, 반도체장치.

청구항 8

제 1 항에 있어서,

상기 제2의 금속은 티타늄, 탄타르 및 텉스텐으로 이루어진 군으로부터 선택된 하나인, 반도체장치.

청구항 9

제 1 항에 있어서,

상기 게이트 절연막은, 상기 부유 게이트의 상면 및 측면을 덮는, 반도체장치.

청구항 10

제 1 항에 있어서,

상기 게이트 절연막은, 상기 제1의 절연막의 측면과 상기 제2의 절연막의 측면을 덮는, 반도체장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 기억소자를 갖는 반도체장치와 그 반도체 제작 방법에 관한 것이다.

[0002] 이때, 본 발명에 있어서, 반도체장치란, 반도체소자(트랜지스터나 다이오드등)를 포함하는 회로를 갖는 장치를 말한다.

배경 기술

[0003] 많은 전자기기를 사용하는 오늘날의 사회에서는, 여러 가지 종류의 데이터가 생성되어 사용되고 있다. 이러한 데이터를 보존하기 위해서는, 기억소자(이하, "메모리"라고도 한다)를 사용하는 것이 필요하다. 생산 및 사용되고 있는 여러 가지 종류의 메모리는, 각각에 장점 및 단점이 존재하고, 사용 및 보존하는 데이터의 종류에 따라 선택적으로 사용된다.

[0004] 메모리의 종류는 크게 2가지, 즉, 휘발성 메모리와 불휘발성 메모리로 나눌 수 있다. 휘발성 메모리는, 전원을 끄면 기억 내용이 손실되는 메모리이다. 불휘발성 메모리는, 전원을 꺼도 기억 내용이 유지되어 있는 메모리다. 예를 들면, 휘발성 메모리로는, DRAM(Dynamic Random Access Memory)이나 SRAM(Static Random Access Memory)이 있다. 휘발성 메모리는, 전원을 끄면 기억 내용이 손실되므로, 그 용도가 매우 한정되지만, 액세스에 요하는 시간이 짧은 이점 때문에, 컴퓨터의 캐시 메모리 등에 사용되고 있다. DRAM은, 메모리 셀의 사이즈가 작고, 대용량이지만, 그 DRAM 제어 방법이 복잡해서, 소비 전력이 크다. SRAM의 메모리 셀은 CMOS로 구성되므로, SRAM을 제조 및 제어하는 방법이 간단하지만, SRAM은 각 메모리 셀에 6개의 트랜지스터를 필요로 하기 때문에, 대용량화에는 맞지 않다.

[0005] 전원을 꺼도 기억 내용이 유지되는 불휘발성 메모리의 종류는, 크게 3종류, 즉, 리라이터블 메모리, 라이트 원스(write-once) 메모리 및 마스크ROM(Read Only Memory)이다. 리라이터블 메모리는, 유한 회수내에서 데이터를 재기록할 수 있다. 라이트 원스 메모리는, 사용자가 한번만 데이터를 기록할 수 있다. 마스크 ROM은 메모리의 제조시에 데이터의 내용이 결정되고, 그 데이터 내용을 재기록할 수 없다.

[0006] 리라이터블형 불휘발성 메모리로서는, EPROM, 플래시 메모리, 강유전체 메모리 등을 들 수 있다. EPROM은 데이터를 쉽게 기록할 수 있고, 비트당의 단가도 비교적 저가이다. 그렇지만, EPROM은 데이터를 기록 및 소거하기 위한 전용의 프로그램 장치와 소거 장치가 필요하다. 한편, 플래시 메모리나 강유전체 메모리는, 사용하고 있는 기판상에 데이터를 재기록할 수 있고, 액세스에 요하는 시간도 짧고, 저소비 전력이다.

[0007] 플래시 메모리의 구조의 일례로서는, 활성층 위에, 터널 절연막, 부유 게이트, 게이트 절연막 및 컨트롤 게이트

를 형성한 구조를 들 수 있다(특허문헌1참조:일本国 공개특허공보 특개2006-13481호). 부유 게이트형의 불휘발성 메모리는, 활성층에 형성된 채널 형성 영역 위에, 터널 절연막을 거쳐서 부유 게이트에 전하를 주입해서, 그 전하를 그 메모리에 유지시키는 것이다.

발명의 내용

해결하려는 과제

[0008] 부유 게이트를 금속막, 예를 들면 티타늄 막으로 형성하면, 제조 공정중에 인가된 온도에 따라 티타늄의 원자가 터널 절연막에 확산할 가능성이 있다. 티타늄의 원자가 터널 절연막에 확산해버리면, 터널 절연막의 두께가 얇아진다. 그래서, 터널 절연막의 두께를 제어할 수 없다고 하는 문제가 발생해버린다.

[0009] 이에 따라, 기억소자 자체의 신뢰성이 저하해버릴 우려가 있다. 그래서, 본 발명의 목적은 상기의 문제를 해결하는데 있다.

과제의 해결 수단

[0010] 본 발명에서는, 부유 게이트의 재료를 포함하는 산화막을, 부유 게이트와 터널 절연막과의 사이에 형성한다. 이에 따라, 부유 게이트를 구성하는 원소가 열에 의해 확산한다고 하여도, 산화막이 있어서 터널 절연막까지 확산하지 않는다. 산화막은, 부유 게이트를 구성하는 원소를 원래 가지고 있으므로, 부유 게이트를 구성하는 원소가 확산해도 문제는 없다.

[0011] 또한, 부유 게이트와 게이트 절연막과의 사이에도, 부유 게이트의 재료를 포함하는 산화막을 형성하면, 부유 게이트를 구성하는 원소가 게이트 절연막까지 확산되지 않는다. 그래서, 보다 신뢰성이 높은 기억소자를 제공할 수 있다.

[0012] 본 발명은, 이하의 불휘발성 반도체 기억장치, 기억소자 및 그 제조 방법에 관한 것이다.

[0013] 본 발명은, 절연 표면 위에 형성되고, 채널 형성 영역과 고농도 불순물 영역을 갖는 섬 형상 반도체막; 상기 섬 형상 반도체막 위에 형성된 제1의 절연막; 상기 제1의 절연막 위에 형성되고, 제1의 금속을 포함하는 제2의 절연막; 상기 제2의 절연막 위에 접하여 형성되고, 제2의 금속을 포함하는 부유 게이트; 상기 부유 게이트 위에 형성된 게이트 절연막; 및 상기 게이트 절연막 위에 형성된 컨트롤 게이트를 포함하고, 상기 제1의 금속과 상기 제2의 금속은 동일한 금속이고, 상기 컨트롤 게이트의 일부는 상기 게이트 절연막이 개재된 상기 부유 게이트의 단부 바깥쪽에 위치하고, 상기 게이트 절연막은 상기 섬 형상 반도체막의 측면을 덮는 반도체장치에 관한 것이다. 상기 제1의 절연막은, 상기 부유 게이트의 재료의 산화막으로 형성되어서, 상기 부유 게이트의 재료가, 상기 터널 절연막에 확산하는 것을 막는다.

[0014] 본 발명의 일 국면에 있어서, 상기 부유 게이트와 상기 게이트 절연막과의 사이에 제2의 절연막이 형성되고, 상기 제2의 절연막은 상기 부유 게이트의 재료의 산화막으로 형성되어서, 상기 부유 게이트의 재료가, 상기 게이트 절연막에 확산하는 것을 막는다.

[0015] 본 발명의 일 국면에 있어서, 상기 부유 게이트는 티타늄으로 형성되고, 상기 제1의 절연막은 산화티탄으로 형성된다.

[0016] 본 발명의 일 국면에 있어서, 상기 부유 게이트는, 티타늄으로 형성되고, 상기 제2의 절연막은 산화티탄으로 형성된다.

[0017] 본 발명의 일 국면에 있어서, 상기 섬 형상 반도체막은, 단결정 반도체층으로 형성되어 있다.

발명의 효과

[0018] 본 발명에 의하면, 부유 게이트를 구성하는 원소가 확산해도, 터널 절연막이나 게이트 절연막에는 영향이 없다. 그래서, 터널 절연막과 게이트 절연막의 막 두께를 제어할 수 있다. 이에 따라, 신뢰성이 높은 기억소자를 제공할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 기억소자의 단면도,

도 2a 내지 2c는 본 발명의 기억소자의 제조 공정을 나타내는 단면도,
 도 3a 내지 3d는 본 발명의 기억소자의 제조 공정을 나타내는 단면도,
 도 4a 내지 4c는 본 발명의 기억소자의 제조 공정을 나타내는 단면도,
 도 5는 본 발명의 기억소자의 단면도,
 도 6은 본 발명의 기억소자를 사용한 무선교신 가능한 반도체장치의 블럭도,
 도 7a 및 7b는 본 발명의 기억소자를 사용한 무선교신 가능한 반도체장치의 회로도,
 도 8a 내지 8f는 본 발명의 반도체장치의 응용의 예들을 도시한 도면,
 도 9a 및 9b는 SOI구조를 갖는 기판의 구성을 나타내는 단면도,
 도 10a 내지 10c는 SOI구조를 갖는 기판의 구성을 나타내는 단면도,
 도 11a 내지 11c는 SOI구조를 갖는 기판의 제조 방법을 설명하는 단면도,
 도 12a 및 12b는 SOI구조를 갖는 기판의 제조 방법을 설명하는 단면도,
 도 13a 내지 13c는 SOI구조를 갖는 기판의 제조 방법을 설명하는 단면도,
 도 14a 내지 14c는 SOI구조를 갖는 기판의 제조 방법을 설명하는 단면도,
 도 15a 및 15b는 SOI구조를 갖는 기판의 제조 방법을 설명하는 단면도,
 도 16a 내지 16c는 SOI구조를 갖는 기판의 제조 방법을 설명하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 실시예들에 대해서 첨부도면을 참조하여 설명한다. 이때, 본 발명은 많은 다른 방식으로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 각 종 변경 및 변형을 할 수 있는 것은 당업자라면 용이하게 이해될 것이다. 따라서, 본 발명은 본 실시예의 기재 내용에 한정해서 해석되는 것은 아니다.

[0021] [실시예1]

[0022] 본 실시예를, 도 1, 도 2a~도 2c, 도 3a~도 3d, 도 4a~도 4c, 도 5를 참조하여 설명한다.

[0023] 도 1은, 본 실시예의 기억소자의 단면구조를 보이고 있다. 절연 표면(101) 위에, 활성층인 섬 형상 반도체막(102)이 형성된다. 그 섬 형상 반도체막(102)에는, 채널 형성영역(103), 저농도 불순물영역(105), 소스영역 또는 드레인영역인 고농도 불순물영역(104)이 형성되어 있다.

[0024] 섬 형상 반도체막(102) 위에는, 터널 절연막(106), 절연막131, 부유 게이트(107), 절연막132, 게이트 절연막(108) 및 컨트롤 게이트(109)가 형성되어 있다.

[0025] 절연 표면(101)은, 기판이거나, 그 기판 위에 절연막을 형성한 기판일 수 있다. 기판으로서는, 유리 기판, 플라스틱 기판, SOI(Silicon On Insulator)기판 등을 들 수 있다. 기판 위에 절연막을 형성하는 경우, 절연막은, 산화실리콘막, 질화실리콘막, 산소를 포함한 질화실리콘막, 또는 질소를 포함하는 산화실리콘막을 사용해도 된다.

[0026] 활성층인 섬 형상 반도체막(102)으로는, 실리콘(Si)을 사용하여도 된다. 그 섬형상 반도체막(102)의 두께는, 예를 들면 60nm이어도 된다. 또한, 터널 절연막(106)은, 산화실리콘을 사용하여도 되고, 그 막 두께를 8nm~10nm로 형성한다.

[0027] 본 발명에서는, 부유 게이트(107)와 같은 재료의 산화막으로 절연막131 및 절연막132를 각각 형성한다. 이에 따라, 부유 게이트(107)의 금속 원소가 열에 의해 확산한다고 하여도, 절연막131 및 절연막132는 부유 게이트(107)와 같은 재료를 포함하고 있으므로 문제는 없고, 금속 원소가 터널 절연막(106)이나 게이트 절연막(108)에 확산하지 않는다. 이에 따라, 기억소자의 신뢰성을 향상시킬 수 있다.

[0028] 부유 게이트(107)는, 티타늄(Ti)으로 형성되는 것이 바람직하다. 그 밖에도, 탄타르(Ta), 텅스텐(W) 등을 사용할 수 있다. 따라서, 절연막131 및 절연막132는, 산화티탄으로 형성되는 것이 바람직하다. 이와는 달리, 부유 게이트(107)를 탄타르(Ta)나 텅스텐(W)으로 형성한 경우에, 절연막131 및 절연막132는, 산화탄탈, 산화텅스텐 등으

로 형성될 수 있다.

[0029] 이때, 후의 공정으로 형성되는 게이트 절연막(108)이 충분히 두꺼운 경우, 부유 게이트(107)의 금속 원소가 게이트 절연막(108)에 확산해도, 게이트 절연막(108)이 그 절연기능을 손상하지 않는 정도로 남아있으면, 절연막 132는 형성할 필요는 없다.

[0030] 절연막(132) 위에는, 게이트 절연막(108) 및 컨트롤 게이트(109)가 형성된다. 절연막(132)이 형성되지 않은 경우에, 부유 게이트(107) 위에, 게이트 절연막(108) 및 컨트롤 게이트(109)를 형성한다.

[0031] 게이트 절연막(108)은, 산화실리콘막, 질화실리콘막, 산소를 포함하는 질화실리콘막, 질소를 포함하는 산화실리콘막등을 사용해서 형성하면 좋다. 또한, 컨트롤 게이트(109)는, 텅스텐(W), 탄타르(Ta), 티타늄(Ti), 알루미늄(A1)등을 사용해서 형성하여 된다.

[0032] 이하에, 본 실시예의 기억소자의 상세한 제조 방법에 대해서 서술한다.

[0033] 기판(111) 위에, 하지막(112)과 비정질 반도체막(113)을 형성한다(도 2a 참조). 기판(111)은, 예를 들면 유리 기판, 석영기판등일 수 있다. 그 하지막(112)은, 산화실리콘막, 질화실리콘막, 산소를 포함하는 질화실리콘막, 질소를 포함하는 산화실리콘막, 또는 이 막들의 적층막일 수 있다. 예를 들면, 두께 100nm의 산화실리콘막을 사용하면 좋다. 비정질 반도체막(113)은, 두께 20~150nm로 형성된다. 본 실시예에서는, 두께 60nm의 비정질 실리콘막을 형성한다.

[0034] 다음에, 비정질 반도체막(113)을 결정화해서 결정성 반도체막(114)을 형성한다. 결정화를 촉진하는 원소를 비정질 반도체막에 도입하고 이에 가열처리를 행해서 결정화해도 좋거나, 레이저빔을 조사해서 결정화해도 좋다. 본 실시예에서는, 비정질 실리콘막에 레이저빔(115)을 조사해서 비정질 실리콘막을 결정화하고, 결정성 실리콘막을 형성한다(도 2b 참조).

[0035] 다음에, 얻어진 결정성 반도체막(114)을 사용해서 섬 형상 반도체막(102)을 형성한다(도 2c 참조).

[0036] 섬 형상 반도체막(102)을 형성 후, 터널 절연막(터널 산화막이라고도 한다)(106)을 8nm~10nm의 두께로 형성한다(도 3a 참조). 여기에서는, 터널 절연막(106)을 10nm의 두께로 형성한다.

[0037] 다음에, 부유 게이트(107)와 같은 재료를 구성하는 산화막(제1의 산화막)을 성막한다. 부유 게이트(107)는, 바람직하게는 티타늄(Ti)으로 형성되지만, 탄타르(Ta) 또는 텅스텐(W)으로 형성되어도 된다. 그러므로, 산화티탄, 산화탄타르, 산화텅스텐등을 사용해서 제1의 산화막을 형성하면 좋다. 본 실시예에서는, 스팍터링법으로 5nm의 두께로 성막한 산화티탄막을, 제1의 산화막으로서 사용한다.

[0038] 다음에, 제1의 산화막 위에, 부유 게이트(107)를 형성하기 위한 도전막, 여기에서는 티타늄 막을 스팡터링법으로, 두께 20nm로 성막한다. 상기한 바와 같이, 부유 게이트(107)를 형성하기 위한 도전막으로서, 탄타르(Ta)막, 텅스텐(W)막등을 사용하는 것도 가능하다.

[0039] 다음에, 부유 게이트(107)를 형성하기 위한 도전막 위에, 제1의 산화막과 같은 재료를 사용해서 제2의 산화막을, 예를 들면 두께 5nm로 성막한다.

[0040] 다음에, 상기 제1의 산화막, 상기 도전막 및 상기 제2의 산화막을 에칭하여, 절연막131, 부유 게이트(107) 및 절연막132를 형성한다(도 3b 참조).

[0041] 이때, 후의 공정으로 형성되는 게이트 절연막(108)이 충분히 두꺼운 경우, 부유 게이트(107)의 금속 원소가 게이트 절연막(108)에 확산해도, 게이트 절연막(108)이 그 절연기능을 손상하지 않는 정도로 남아있으면, 절연막 132는 형성할 필요는 없다(도 5 참조).

[0042] 절연막131, 부유 게이트(107) 및 절연막132를 형성한 후, 절연막131, 부유 게이트(107) 및 절연막132를 마스크로서 사용한 섬 형상 반도체막(102)에 일 도전형을 부여하는 불순물을 도핑한다. 본 실시예에서는, 일 도전형을 부여하는 불순물로서 인(P)을 사용하고, $1.0 \times 10^{14} \text{ atoms/cm}^2$ 의 도즈량과 40keV의 가속 전압에서 첨가한다. 이에 따라, 섬 형상 반도체막(102)의, 절연막131, 부유 게이트(107) 또는 절연막132와 겹치지 않는 영역에, 농도 $1 \times 10^{12} \text{ atoms/cm}^3$ 의 인을 포함하는 저농도 불순물영역(121)이 형성된다(도 3c 참조).

[0043] 이어서, 절연막132를 형성하지 않은 경우에, 절연막132 및 터널 절연막(106) 위에, 또는 부유 게이트(107) 및 터널 절연막(106) 위에, 게이트 절연막(108)을 20nm~50nm의 두께로 형성한다(도 3d 참조).

[0044] 한층 더, 게이트 절연막(108) 위에, Ta나 W등으로 이루어진 도전막을 사용해서 컨트롤 게이트(109)를 형성한다 (도 4a 참조). 컨트롤 게이트(109)는, 후의 공정으로 저농도 불순물영역(105)을 형성하기 위한 마스크로서 사용되도록, 저농도 불순물영역(121)의 일부와 겹치게 배치된다.

[0045] 다음에, 섬 형상 반도체막(102)에, 컨트롤 게이트(109)를 마스크로서 사용한 일 도전형을 부여하는 불순물원소를 도핑하고, 소스영역 또는 드레인영역인 고농도 불순물영역(104), 저농도 불순물영역(105) 및 채널 형성영역(103)을 형성한다(도 4b 참조). 본 실시예에서는, 도핑법에 의해, $3.0 \times 10^{15} \text{ atoms/cm}^2$ 의 도즈량과 25keV의 가속 전압에서 인(P)을 첨가한다. 이때, 일 도전형을 부여하는 불순물원소가 마스크로서 사용된 컨트롤 게이트(109)에 첨가되므로, 고농도 불순물영역(104)과 저농도 불순물영역(105)의 경계는, 컨트롤 게이트(109)의 단부와 일치한다.

[0046] 다음에, 섬 형상 반도체막(102) 및 컨트롤 게이트(109)를 덮도록 층간 절연막(118)을 형성한다. 한층 더, 층간 절연막(118)에, 소스영역 또는 드레인영역인 고농도 불순물영역(104)에 이르는 컨택트홀을 형성한다.

[0047] 한층 더, 층간 절연막(118) 위에 도전막을 형성한다. 이 도전막을 사용하여, 층간 절연막(118)의 컨택트홀을 통해서, 소스영역과 드레인영역인 고농도 불순물영역(104)에 전기적으로 접속되는 배선(119)을 형성한다. 이와 같이 하여, 기억소자를 형성한다(도 4c 참조).

[0048] 본 실시예에 의하면, 부유 게이트(107)를 구성하는 원소가 열에 의해 확산한 경우도, 절연막131이 형성되어 있기 때문에, 터널 절연막(106)에 확산되지 않는다. 한층 더, 절연막132가 형성되어 있기 때문에, 게이트 절연막(108)에 원소가 확산되지 않는다. 이에 따라, 신뢰성이 높은 기억소자를 제공할 수 있다.

[0049] [실시예2]

[0050] 본 실시예에서는, 무선교신 가능한 반도체장치에 있어서, 본 발명의 기억소자를 사용했을 경우에 대해서, 도 6, 도 7a, 및 도 7b를 참조하여 설명한다.

[0051] 도 6에 나타나 있는 바와 같이, 본 실시예의 무선교신 가능한 반도체장치(200)는, 연산 처리회로(201), 기억회로(202), 안테나(203), 전원회로(204), 복조회로(205) 및 변조회로(206)를 가진다. 무선교신 가능한 반도체장치(200)는, 안테나(203)와 전원회로(204)를 필수적인 구성요소로 하고, 다른 요소는, 무선교신 가능한 반도체장치(200)의 용도에 따라 적당하게 설치된다.

[0052] 연산 처리회로(201)는, 복조회로(205)로부터 입력된 신호에 근거하여, 예를 들면 명령의 해석, 기억회로(202)의 제어, 또는 외부에 송신하는 데이터의 변조회로(206)에의 출력을 행한다.

[0053] 기억회로(202)는, 기억소자를 갖는 회로와, 데이터의 기록 및 데이터의 판독을 행하는 제어회로를 구비한다. 기억회로(202)에는, 적어도, 반도체장치의 고유의 식별번호가 기억되어 있다. 고유의 식별번호는, 상기 반도체장치(200)를 다른 반도체장치와 구별하는데 사용된다. 추가로, 기억회로(202)는, 실시예1에서 서술한 기억소자를 사용해서 형성하여도 된다.

[0054] 안테나(203)는, 리더/라이터(207)로부터 공급된 반송파를, 교류의 전기신호로 변환한다. 또한, 변조회로(206)에 의해, 부하 변조가 가해진다. 전원회로(204)는, 안테나(203)에 의한 상기 반송파의 변환으로 얻어진 교류의 전기신호를 사용해서 전원전압을 생성하여, 각 회로에 전원전압을 공급한다.

[0055] 복조회로(205)는, 안테나(203)에 의한 상기 반송파의 변환으로 얻어진 교류의 전기신호를 복조하고, 그 복조된 신호를, 연산 처리회로(201)에 공급한다. 변조회로(206)는, 연산 처리회로(201)로부터 공급되는 신호에 근거하여, 안테나(203)에 부하 변조를 인가한다.

[0056] 리더/라이터(207)는, 안테나(203)에 인가된 부하 변조를, 반송파로서 수신한다. 또한, 리더/라이터(207)는, 반송파를 무선교신 가능한 반도체장치(200)에 송신한다. 이때, 반송파란, 리더/라이터(207)가 송수신 하는 전자파이며, 리더/라이터(207)는 변조회로(206)에 의해 변조된 반송파를 수신한다.

[0057] 기억회로(202)에 본 발명에 따른 기억소자를 탑재하고, 매트릭스 모양으로 배치한 구성에 대해서 도 7a에 나타낸다. 또한, 도 7a에서는 기억소자의 모두에 본 발명의 기억소자를 사용한 구조를 나타내지만, 그 기억소자는 이것에 한정되는 것이 아니다. 본 발명의 기억소자를 사용하고 반도체장치의 식별정보를 기억한 메모리부와, 또 다른/다른 기억부/기억부들을 기억회로(202)에 탑재해도 된다.

[0058] 도 7a는, 본 발명의 기억소자를 매트릭스 모양으로 배치한 기억회로(202)의 구성의 일례다. 기억회로(202)는,

메모리 셀(1021)이 메트릭스 모양으로 설치된 메모리 셀 어레이(1023); 칼럼 디코더(1025), 판독회로(1026) 및 셀렉터(1027)를 갖는 비트선 구동회로(1024); 로우(row) 디코더(1030)와 레벨 시프터(1031)를 갖는 워드선 구동회로(1029); 및 기록회로 등을 갖고 외부와의 통신을 행하는 인터페이스(1028)를 구비한다. 이때, 여기에서 나타내는 기억회로(202)의 구성은 어디까지나 일례이며, 센스 증폭기, 출력회로, 및/또는 버퍼 등의 다른 회로를 갖고 있어도 된다. 기록회로를 비트선 구동회로에 형성해도 된다.

[0059] 각 메모리 셀(1021)은, 워드선 W_y ($1 \leq y \leq n$)에 대응하는 제1의 배선과, 비트선 B_x ($1 \leq x \leq m$)에 대응하는 제2의 배선과, TFT1032와, 기억소자(1033)를 구비한다.

[0060] 다음에, 본 발명의 메모리 셀에/메모리 셀로부터의 데이터를 기록 및 판독하는 동작에 대해서, 도 7b를 참조하여 설명한다. 이때, 여기에서는, 메모리 셀에 "0"이 기록된 상태를 "제2의 상태"라고 하고, "1"이 기록된 상태를 "제1의 상태"라고 한다.

[0061] 우선, 메모리 셀(1021)에 "0"을 기록하기 위한 회로 동작의 일례를 서술한다. 기록 동작은, 메모리 셀(1021)의 워드선 W_0 을 선택하고, 비트선 B_0 를 통해 전류를 흘려보내는 것으로 행해진다. 즉, 데이터를 기록하고 싶은 메모리 셀을 워드선 W_0 에 의해 선택하고, 기억소자(1033)가 제1의 상태로부터 제2의 상태로 이행하도록 상기 기억소자(1033)를 절연시킬만큼 높은 전압을 인가하는 한 허용 가능하다. 예를 들면, 이 전압을 10V라고 한다. 이 때, 다른 메모리 셀의 기억소자506, 기억소자507 및 기억소자508에 데이터가 기록되는 것을 방지하기 위해서 TFT502, TFT503 및 TFT504를 오프한다. 예를 들면, 워드선 W_1 및 비트선 B_1 은 0V로 설정되어도 된다. 워드선 W_0 만이 선택된 상태에서, 비트선 B_0 에, 기억소자(1033)를 제1의 상태로부터 제2의 상태로 이행하는데도 충분히 높은 전압을 인가함으로써, 기억소자(1033)에 "0"이 기록된 상태를 얻는 것이 가능하다.

[0062] 다음에, 메모리 셀(1021)로부터 데이터를 판독하는 동작의 예를 기술한다. 판독 동작은, 메모리 셀(1021)의 기억소자(1033)에 "1"이 기록된 제1의 상태이거나, "0"이 기록된 제2의 상태인지를 판별하여 행해져도 된다. 예를 들면, 메모리 셀(1021)에 "0"이 기록되고 있는 상태이거나, "1"이 기록되고 있는 상태일지를 판독할 경우에 판하여 설명한다. 기억소자(1033)는, "0"이 기록된 상태에 있다. 즉, 기억소자(1033)는 절연된다. 워드선 W_0 를 선택해서 TFT1032를 온으로 한다. 여기에서, TFT1032가 온의 상태에서 비트선 B_0 에 소정의 전압이상의 전압을 인가한다. 여기에서는, 소정의 전압을 5V라고 한다. 이 때, 기억소자(1033)가 제1의 상태, 즉, 기억소자(1033)가 절연되지 않고 있으면, 전류는 메모리 셀(1021)내의 접지하고 있는 배선을 통해 전류가 흘러, 비트선 B_0 의 전압은 0V가 된다. 반대로, 기억소자(1033)가 제2의 상태, 즉, 기억소자(1033)가 절연되면, 전류를 메모리 셀(1021)내에 접지하고 있는 배선을 통해 흘리지 않고 비트선 B_0 의 전압은 5V로 유지된다. 이렇게, 비트선의 전압을 판독하여 "0"이 기록되고 있는지, "1"이 기록되고 있는지를 판별할 수 있다.

[0063] 이상과 같이 하여, 본 발명의 기억소자는 무선교신 가능한 반도체장치에 적용하는 것이 가능하다.

[실시예3]

[0065] 실시예2에 의거하여 제조된 무선교신 가능한 반도체장치(200)는, 전자파의 송신과 수신을 할 수 있다고 하는 기능을 활용하고, 여러가지 물품이나 시스템에 사용할 수 있다. 물품은, 예를 들면 열쇠(도 8a 참조), 지폐, 동전, 유가 증권류, 무기명 채권류, 증서류(예를 들면, 운전면허증이나 주민표; 도 8b 참조), 서적류, 용기류(예를 들면, 페트리(petri) 접시; 도 8c 참조), 포장용 용기류(예를 들면, 포장지나 병; 도 8e, 8f 참조), 기록 매체(예를 들면, 디스크나 비디오테일), 탈것류(예를 들면, 자전거), 장신구(예를 들면, 가방이나 안경; 도 8d 참조), 식품류, 의복류, 생활 용품류, 전자기기(예를 들면, 액정표시장치, EL표시장치, 텔레비전 장치 및 휴대 단말) 등이다.

[0066] 본 발명을 적용해서 제조된 무선교신 가능한 반도체장치(200)는, 상기와 같은 여러가지 형상의 물품의 표면에 붙이거나, 매립하거나 해서, 고정된다. 또한, 시스템은, 물품 관리 시스템, 인증 기능 시스템, 유통 시스템 등을 말한다. 본 발명의 반도체장치를 사용함으로써, 시스템의 고기능화, 다기능화, 고부가 가치화를 꾀할 수 있다.

[실시예4]

[0068] 본 실시예에서는, 실시예1의 섬 형상 반도체막(102)을, SOI구조를 갖는 기판을 사용해서 제조하는 방법에 대해서, 도 9a, 도 9b, 도 10a~도 10c, 도 11a~도 11c, 도 12a, 도 12b, 도 13a~도 13c, 도 14a~도 14c, 도

15a, 도 15b, 도 16a~도 16c를 참조하여 설명한다.

[0069] 우선, SOI구조를 갖는 기판의 구조에 대해서, 도 9a, 도 9b 및 도 10a~도 10c를 참조하여 설명한다.

[0070] 도 9a에 있어서, 지지 기판(300)은, 절연성 기판, 또는 절연 표면을 갖는 기판, 및 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자공업용에 사용되어지는 유리 기판("무 알칼리 유리 기판"이라고도 불린다)이 사용된다.

[0071] 즉, 지지 기판(300)으로서, 열팽창계수가 $25 \times 10^{-7} / ^\circ\text{C}$ 로부터 $50 \times 10^{-7} / ^\circ\text{C}$ (바람직하게는, $30 \times 10^{-7} / ^\circ\text{C}$ 로부터 $40 \times 10^{-7} / ^\circ\text{C}$)이며, 변형점이 580°C 내지 680°C (바람직하게는, 600°C 내지 680°C)의 유리 기판을 사용할 수 있다. 또는, 석영기판, 세라믹 기판, 표면이 절연막으로 폐복된 금속기판 등이 사용될 수 있다.

[0072] LTSS(Low Temperature Single crystal Semiconductor)층(301)으로는 단결정 반도체층을 사용하고, 대표적으로 단결정 실리콘이 사용된다.

[0073] 이와는 달리, LTSS층(301)으로서, 수소 이온주입 박리법 등에 의해 단결정 반도체 기판으로부터 박리가능한 실리콘, 게르마늄, 또는, 갈륨 비소나 인듐 인듐의 화합물을 반도체에 의한 결정성 반도체층을 사용할 수 있다.

[0074] 지지 기판(300)과 LTSS층(301)의 사이에는, 평활면을 갖고 친수성 표면을 형성하는 접합층(302)을 설치한다. 이 접합층(302)은, 평활면과 친수성 표면을 갖는 층이다. 이러한 표면을 형성가능한 층으로서, 화학적인 반응에 의해 형성되는 절연층이 바람직하다. 예를 들면, 열적 또는 화학적인 반응에 의해 형성되는 산화반도체막이 적합하다. 주로, 화학적인 반응에 의해 형성되는 막이 그 표면의 평활성을 확보할 수 있기 때문이다.

[0075] 또한, 평활면을 갖고 친수성 표면을 형성하는 접합층(302)은, 0.2nm 내지 500nm 의 두께로 설치된다. 이 두께이면, 괴성막 표면의 표면 거칠기를 평활화함과 동시에, 해당 막의 성장 표면의 평활성을 확보하는 것이 가능하다.

[0076] LTSS층(301)이 실리콘으로 형성되면, 산화성 분위기 하에서 열처리에 의해 형성되는 산화 실리콘, 산소 라디칼의 반응에 의해 성장하는 산화실리콘, 산화성의 화학액에 의해 형성되는 케미컬 옥사이드 등을 사용하여 접합층(302)을 형성할 수 있다.

[0077] 접합층(302)으로서 케미컬 옥사이드를 사용할 경우에는, 접합층(302)은 0.1nm 내지 1nm 의 두께이면 된다. 적합하게는, 그 접합층(302)은 화학 기상 증착법에 의해 증착되는 산화실리콘으로 형성된다. 이 경우, 유기 실란 가스를 사용해서 화학 기상 증착법에 의해 제조되는 산화실리콘막이 바람직하다.

[0078] 유기 실란 가스의 예로서는, 테트라에톡시실란(TEOS)(화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS)(화학식: $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)등의 실리콘 함유 화합물을 사용할 수 있다.

[0079] 접합층(302)은, LTSS층(301)측에 설치되고, 지지 기판(300)의 표면과 밀접함으로써, 실온에서도 접합을 하는 것이 가능하다. 보다 강한 접합을 형성하기 위해서는, 지지 기판(300)과 LTSS층(301)을 서로에 대해 눌러도 된다. 이종재료인 지지 기판(300)과 접합층(302)을 접합할 때, 표면을 청정화한다. 지지 기판(300)과 접합층(302)의 서로 청정화된 표면을 밀접시키면 표면간 인력에 의해 접합이 형성된다.

[0080] 지지 기판(300)의 표면에 복수의 친수기를 부착되게 하는 처리를 가하면, 접합을 형성하는데 보다 바람직하다. 예를 들면, 지지 기판(300)의 표면을 산소 플라즈마 처리 혹은 오존처리 해서 친수성으로 하는 것이 바람직하다.

[0081] 이와 같이 지지 기판(300)의 표면을 친수성으로 하는 처리를 가했을 경우에는, 표면의 수산기가 작용해서 수소 결합에 의해 접합이 형성된다. 더욱이, 청정화된 표면끼리를 밀접시켜서 접합을 형성한 접합층(302)과 지지 기판(300)에 대해서 실온이상의 온도로 가열하면, 접합강도를 보다 높일 수 있다.

[0082] 이종재료인 지지 기판(300)과 접합층(302)을 접합하기 위한 처리로서, 접합을 형성하는 표면에 아르곤등의 불활성가스에 의한 이온빔을 조사해서 청정화해도 된다. 이온빔의 조사에 의해, 지지 기판(300) 혹은 접합층(302)의 표면에 땅글링(dangling) 접합이 노출되고, 대단히 활성적인 표면이 형성된다.

- [0083] 이와 같이 활성화된 표면끼리를 밀접시키면, 지지 기판(300)과 접합층(302)간의 접합을 저온에서도 형성하는 것이 가능하다. 표면 활성화 후 접합을 형성하는 방법은, 해당 표면을 고도로 청정화해 두는 것이 요구되므로, 진공중에 행하는 것이 바람직하다.
- [0084] LTSS층(301)은, 결정 반도체 기판을 박편화해서 형성되는 것이다. 예를 들면, 단결정 반도체 기판으로서 단결정 실리콘 기판을 사용하는 경우, LTSS층(301)은, 단결정 실리콘 기판의 소정의 깊이로 수소 또는 불소를 이온 주입하고, 그 후 열처리를 행해서 표층의 단결정 실리콘층을 박리하는 이온주입 박리법으로 형성할 수 있다. 또는, 다공성 실리콘 위에 단결정 실리콘을 에피택셜 성장시킨 후, 다공성 실리콘층을 워터 제트로 벽개해서 박리하는 방법을 적용해도 좋다. LTSS층(301)의 두께는 5nm 내지 500nm, 바람직하게는 10nm 내지 200nm이다.
- [0085] 도 9b는 지지 기판(300)에 배리어 층(303)과 접합층(302)을 설치한 구조를 나타낸다. 배리어 층(303)을 설치함으로써, 지지 기판(300)으로서 사용되는 유리 기판으로부터 알칼리 금속 혹은 알칼리토류 금속과 같은 가동 이온 불순물이 확산해서 LTSS층(301)이 오염되어지는 것을 막을 수 있다. 배리어 층(303) 위에는 접합층(302)을 설치하는 것이 바람직하다.
- [0086] 지지 기판(300) 위에서, 불순물의 확산을 방지하는 배리어 층(303)과 접합강도를 확보하는 접합층(302)에 의한 기능이 다른 복수의 층을 설치함으로써, 지지 기판의 선택 범위를 확대할 수 있다. LTSS층(301)측에도 접합층(302)을 설치해두는 것이 바람직하다. 즉, 지지 기판(300)에 LTSS층(301)을 접합할 때, 접합을 형성하는 면의 한쪽 혹은 양쪽에 접합층(302)을 설치하는 것이 바람직하고, 그것에 의해 접합강도를 높일 수 있다.
- [0087] 도 10a는 LTSS층(301)과 접합층(302)의 사이에 절연층(304)을 설치한 구조를 나타낸다. 절연층(304)은 질소를 함유하는 절연층인 것이 바람직하다. 예를 들면, 그 절연층(304)은, 질화실리콘막, 산소를 포함하는 질화실리콘막 혹은 질소를 포함하는 산화실리콘막으로부터 선택된 단일막 또는 복수의 적층막을 사용해서 형성될 수 있다.
- [0088] 예를 들면, 절연층(304)으로서, LTSS층(301)측으로부터 질소를 포함하는 산화실리콘막과, 산소를 포함하는 질화실리콘막을 적층한 적층막을 사용할 수 있다. 접합층(302)이 지지 기판(300)과 접합을 형성하는 기능을 갖는 한편, 절연층(304)은 불순물에 의해 LTSS층(301)이 오염되어지는 것을 방지한다.
- [0089] 이때, 여기에서 질소를 포함하는 산화실리콘막이란, 질소보다도 산소의 함유량이 많은 막이며, 농도범위에서 산소가 55~65원자%, 질소가 1~20원자%, 실리콘이 25~35원자% 및 수소가 0.1~10원자%의 범위에서 포함되는 막이다. 또한, 산소를 포함하는 질화실리콘막이란, 산소보다도 질소의 함유량이 많은 막이며, 농도범위에서 산소가 15~30원자%, 질소가 20~35원자%, Si가 25~35원자%, 수소가 15~25원자%의 범위에서 포함되는 막이다.
- [0090] 도 10b는, 지지 기판(300)에 접합층(302)을 설치한 구조이다. 지지 기판(300)과 접합층(302)과의 사이에는 배리어 층(303)이 설치되는 것이 바람직하다. 이것은, 지지 기판(300)으로서 사용되는 유리 기판으로부터 알칼리 금속 혹은 알칼리토류 금속과 같은 가동 이온 불순물이 확산해서 LTSS층(301)이 오염되어지는 것을 막기 위해서다. LTSS층(301)에는 직접 산화로 형성된 산화실리콘층(305)이 형성되어 있다. 이 산화실리콘층(305)이 접합층(302)과 접합을 형성하고, 지지 기판(300) 위에 LTSS층을 고정한다. 산화실리콘층(305)은, 열산화에 의해 형성되는 것이 바람직하다.
- [0091] 도 10c는, 지지 기판(300)에 접합층(302)을 설치한 별도의 구조를 나타낸다. 지지 기판(300)과 접합층(302)과의 사이에는, 배리어 층(303)이 설치된다.
- [0092] 도 10c에서는, 배리어 층(303)은 일층 또는 복수의 층으로 형성된다. 예를 들면, 나트륨등의 이온을 차단하는 효과가 높은 질화실리콘막 또는 산소를 포함하는 질화실리콘막을 제1층으로서 사용하고, 그 층 위에 제2층으로서 산화실리콘막 또는 질소를 포함하는 산화실리콘막을 설치한다.
- [0093] 배리어 층(303)의 제1층은, 불순물의 확산을 방지할 목적을 가진 절연막이며 치밀한 막인 한편, 제2층은 제1층의 막의 내부응력이 상층에 작용하지 않도록, 응력을 완화하는 것을 하나의 목적으로 하고 있다. 이렇게 지지 기판(300) 위에 배리어 층(303)을 설치함으로써, LTSS층을 접합할 때의 기판의 선택 범위를 확대할 수 있다.
- [0094] 배리어 층(303) 위에는, 접합층(302)이 형성되어, 지지 기판(300)과 LTSS층(301)을 고정한다.
- [0095] 도 9a~도 9b, 도 10a~도 10c에 나타내는 SOI구조를 갖는 기판의 제조 방법에 대해서, 도 11a~도 11c, 도 12a, 도 12b, 도 13a~도 13c, 도 14a~도 14c, 도 15a, 도 15b, 도 16a~도 16c를 사용하여 설명한다.
- [0096] 청정화된 반도체 기판(306)의 표면으로부터 전계로 가속된 이온을 소정의 깊이에 주입해서 분리층(307)을 형성

한다(도 11a 참조). 반도체 기판(306)에 형성되는 분리층(307)의 깊이는, 이온의 가속 에너지와 이온의 입사각에 의해 제어된다. 반도체 기판(306)의 표면으로부터 이온의 평균 진입 깊이에 가까운 깊이 영역에서 분리층(307)이 형성된다. 예를 들면, LTSS층의 두께는, 5nm 내지 500nm, 바람직하게는 10nm 내지 200nm의 두께이며, 이온을 주입할 때의 가속 전압은 이러한 두께를 고려해서 결정된다. 이온 주입은, 이온 도핑 장치를 사용해서 행하는 것이 바람직하다. 즉, 소스 가스의 플라즈마로부터 생성된 복수의 이온종을 질량분리하지 않고 주입하는 도핑 방식을 사용한다.

[0097] 본 실시예에서는, 질량이 다른 하나 또는 복수의 동일한 원자의 이온을 주입하는 것이 바람직하다. 이온 도핑은, 가속 전압 10keV 내지 100keV, 바람직하게는 30keV 내지 80keV, 도즈량은 $1 \times 10^{16} / \text{cm}^2$ 내지 $4 \times 10^{16} / \text{cm}^2$, 빔 전류밀도가 $2 \mu\text{A}/\text{cm}^2$ 이상, 바람직하게는 $5 \mu\text{A}/\text{cm}^2$ 이상, 더 바람직하게는 $10 \mu\text{A}/\text{cm}^2$ 이상으로 하면 좋다.

[0098] 수소 이온을 주입할 경우에는, H^+ , H_2^+ 및 H_3^+ 이온을 포함시킴과 동시에, H_3^+ 이온의 비율을 높여 두는 것이 바람직하다. 수소 이온을 주입할 경우에는, H^+ , H_2^+ 및 H_3^+ 이온을 포함시킴과 동시에, H_3^+ 이온의 비율을 높여 두면 주입 효율을 높일 수 있고, 주입 시간을 단축할 수 있다. 그에 따라서, 반도체 기판(306)에 형성된 분리층(307)은 $1 \times 10^{20} / \text{cm}^3$ (바람직하게는, $5 \times 10^{20} / \text{cm}^3$) 이상의 수소를 포함시키는 것이 가능하다.

[0099] 반도체 기판(306)에 국소적으로 고농도의 수소 주입영역을 형성하면, 결정구조가 흐트러져서 미소한 공동이 형성되어서, 분리층(307)을 다공질 구조로 할 수 있다. 이 경우, 비교적 저온의 열처리에 의해, 분리층(307)에 형성된 미소한 공동의 체적변화가 발생하고, 분리층(307)을 따라 벽개하는 것에 의해 얇은 LTSS층을 형성할 수 있다.

[0100] 이온을 질량분리해서 반도체 기판(306)에 주입해도, 상기와 같이 마찬가지로 분리층(307)을 형성할 수 있다. 이 경우에, 질량이 큰 이온(예를 들면, H_3^+ 이온)을 선택적으로 주입하는 것은, 상기와 같은 효과를 나타내므로 바람직하다.

[0101] 이온을 생성하는 가스로서는, 수소뿐만 아니라, 중수소 또는 헬륨과 같은 불활성가스를 선택할 수 있다. 원료 가스로서 헬륨을 사용하고, 질량분리 기능을 갖지 않는 이온 도핑 장치를 사용함으로써, He^+ 이온의 비율이 높은 이온빔을 얻을 수 있다. 이러한 이온을 반도체 기판(306)에 주입함으로써, 미소한 공동을 형성할 수 있어 상기와 같은 분리층(307)을 반도체 기판(306)에 형성할 수 있다.

[0102] 분리층(307)의 형성시에, 이온을 고 도즈(dosage) 조건에서 주입할 필요가 있고, 반도체 기판(306)의 표면이 거칠어져버릴 경우가 있다. 그 때문에, 이온이 주입되는 표면에 치밀한 막을 설치해도 된다. 예를 들면, 질화실리콘막, 산소를 포함하는 질화실리콘막 등으로 이루어진 이온주입에 대해서 보호막을 50nm 내지 200nm의 두께로 설치해도 된다.

[0103] 다음에, 지지 기판(300)과 접합을 형성하는 면에 접합층(302)으로서 산화실리콘막을 형성한다(도 11b 참조). 산화실리콘막의 두께는, 10nm 내지 200nm, 바람직하게는 10nm 내지 100nm, 더 바람직하게는 20nm 내지 50nm이어야 된다.

[0104] 산화실리콘막으로서는, 전술한 바와 같이 유기 실란 가스를 사용해서 화학 기상 증착법에 의해 형성된 산화실리콘막이 바람직하다. 이와는 달리, 실란 가스를 사용해서 화학 기상 증착법에 의해 형성된 산화실리콘막을 사용할 수 있다. 화학 기상 증착법에 의한 성막은, 단결정 반도체 기판에 형성한 분리층(307)으로부터 탈가스가 발생하지 않는 온도로서, 예를 들면 350°C이하에서 행해진다. 또한, 단결정 혹은 다결정 반도체 기판으로부터 LTSS층을 박리하는 열처리는, 산화실리콘막을 형성하는 온도보다도 높은 온도에서 행해진다.

[0105] 지지 기판(300)과, 반도체 기판(306)의 접합층(302)이 형성된 면을 대향시켜, 서로 접착시킴으로써 접합을 형성한다(도 11c 참조). 접합을 형성하는 면은 충분하게 청정화해둔다. 그리고, 지지 기판(300)과 접합층(302)을 서로 접착시킴으로써 접합이 형성된다. 접합은 초기의 단계에 있어서 반데르발스 힘이 작용하는 것이라고 생각되고, 지지 기판(300)과 반도체 기판(306)을 압접함으로써 수소결합에 의해 강한 접합을 형성하는 것이 가능하다.

[0106] 양호한 접합을 형성하기 위해서, 표면을 활성화해도 된다. 예를 들면, 접합을 형성하는 면에 원자빔 혹은 이온빔을 조사한다. 원자빔 혹은 이온빔을 사용할 경우에는, 아르곤 등의 불활성가스 중성원자빔 혹은 불활성가스 이온빔을 사용할 수 있다. 이와는 달리, 플라즈마 조사 혹은 라디칼 처리를 행한다. 이러한 표면처리에 의해

200°C 내지 400°C의 온도에서도 이종재료간의 접합강도를 높이는 것이 가능해진다.

[0107] 반도체 기판(306)과 지지 기판(300)을 서로 포갠 상태에서 제1의 열처리를 행한다. 제1의 열처리에 의해 지지 기판(300) 위에 얇은 반도체층(LTSS층)을 남긴채로 반도체 기판(306)을 분리를 행한다(도 12a 참조). 제1의 열처리는, 접합층(302)의 성막 온도 이상의 온도에서 행하는 것이 바람직하고, 400°C 이상 600°C 미만의 온도에서 행하는 것이 바람직하다. 이 온도범위에서 열처리를 행함으로써, 분리층(307)에 형성된 미소한 공동에 체적변화가 발생하고, 분리층(307)을 따라 반도체층을 벽개할 수 있다. 접합층(302)은, 지지 기판(300)과 접합하고 있으므로, 이러한 방식에서 지지 기판(300)에는 반도체 기판(306)과 같은 결정성의 LTSS층(301)이 고정된다.

[0108] 다음에, 지지 기판(300)에 LTSS층(301)이 접합된 상태에서 제2의 열처리를 행한다(도 12b 참조). 제2의 열처리는, 제1의 열처리 온도보다도 높고, 지지 기판(300)의 변형점보다 낮은 온도에서 행하는 것이 바람직하다. 또는, 제1의 열처리와 제2의 열처리는 같은 온도에서 행해져도, 제2의 열처리의 처리 시간을 보다 길게 하는 것이 바람직하다. 열처리는, 열전도 가열, 대류 가열, 복사 가열 등에 의해 지지 기판(300) 및/또는 LTSS층(301)이 가열되도록 하여도 된다. 열처리 장치로서는, 전열로, 램프 아닐로 등을 사용할 수 있다. 제2의 열처리는, 다단계로 온도를 변화시켜 행해도 된다. 또는, 순간 열 어닐(RTA)장치를 사용해도 된다. RTA 장치에 의해 열처리를 행할 경우에는, 기판의 변형점 근방 또는 그것보다도 약간 높은 온도로 가열할 수도 있다.

[0109] 제2의 열처리를 행함으로써, LTSS층(301)에 잔류하는 응력을 완화할 수 있다. 즉, 제2의 열처리는, 지지 기판(300)과 LTSS층(301)간의 팽창계수의 차이에 의해 생긴 열변형을 완화할 수 있다. 또한, 제2의 열처리는, 이온을 주입함으로써 손상된 LTSS층(301)의 결정성을 회복시킬 때 효과적이다. 한층 더, 제2의 열처리는, 반도체 기판(306)을 지지 기판(300)과 접합시킨 후, 제1의 열처리에 의해 분할할 때에 생기는 LTSS층(301)의 데미지를 회복시킬 때 효과적이다. 또한, 제1의 열처리와 제2의 열처리를 행함으로써, 수소결합을, 보다 강한 공유 결합으로 변화시킬 수 있다.

[0110] LTSS층(301)의 표면을 보다 평탄화하기 위해서, 화학적 기계 연마(CMP)처리를 행해도 된다. CMP 처리는, 제1의 열처리 후 혹은 제2의 열처리후에 행할 수 있다. 이때, 제2의 열처리전에 CMP처리를 행하면, LTSS층(301)의 표면을 CMP처리에 의해 평탄화함과 아울러, CMP처리로 인해 형성된 표면의 손상 층을 제2의 열처리로 회복할 수 있다.

[0111] 어떻든간에, 제1의 열처리와 제2의 열처리를 본 형태와 같이 조합해서 행함으로써, 유리 기판과 같은 열에 대해 취약한 지지 기판 위에, 결정성이 우수한 결정성 반도체층을 설치하는 것이 가능해진다.

[0112] 도 11a~도 11c 및 도 12a, 도 12b의 공정을 통해, 도 9a에 나타낸 SOI기판이 형성된다.

[0113] 도 9b에 나타낸 SOI구조의 기판을 형성하는 방법에 대해서, 도 15a 및 도 15b를 참조하여 설명한다.

[0114] 도 11a 및 도 11b에 나타내는 제조 공정에 의거하여, 반도체 기판(306)에 분리층(307)을 형성하고, 반도체 기판(306)의, 지지 기판(300)과 접합을 형성하는 면에, 접합층(302)을 형성한다.

[0115] 다음에, 배리어 층(303) 및 접합층(302)이 형성된 지지 기판(300)과, 반도체 기판(306)의 접합층(302)을 서로 밀착시켜서, 접합을 형성한다(도 15a 참조).

[0116] 이 상태에서, 제1의 열처리를 행한다. 제1의 열처리는, 접합층(302)이 형성되는 온도이상으로 행하는 것이 바람직하고, 400°C 이상 600°C 미만의 온도로 행하는 것이 바람직하다. 이에 따라, 분리층(307)에 형성된 미소한 공동에 체적변화가 발생하여, 반도체 기판(306)을 벽개할 수 있다. 지지 기판(300) 위에는, 반도체 기판(306)과 같은 결정성을 갖는 LTSS층(301)이 형성된다(도 15b 참조).

[0117] 다음에, 지지 기판(300)에 LTSS층(301)이 접합된 상태에서 제2의 열처리를 행한다. 제2의 열처리는, 제1의 열처리 온도보다도 높고 지지 기판(300)의 변형점보다 낮은 온도로 행하는 것이 바람직하다. 또는, 제1의 열처리와 제2의 열처리는 같은 온도이여도, 제2의 열처리의 처리 시간을 보다 길게 하는 것이 바람직하다. 열처리는, 열전도 가열, 대류가열, 복사 가열등에 의해 지지 기판(300) 및/또는 LTSS층(301)이 가열되도록 하여도 된다. 제2의 열처리를 행함으로써, LTSS층(301)에 잔류하는 응력을 완화할 수 있고, 제1의 열처리에 의한 분할에 의해 생긴 LTSS층(301)의 데미지를 회복시킬 때도 효과적이다.

[0118] 이상과 같이 하여, 도 9b에 나타내는 SOI기판이 형성된다.

[0119] 다음에, 도 10a에 나타낸 SOI구조의 기판의 제조 방법에 대해서, 도 16a~도 16c를 참조하여 설명한다.

[0120] 우선, 도 11a에 나타낸 제조 공정에 의거하여, 반도체 기판(306)에 분리층(307)을 형성한다.

[0121] 다음에, 반도체 기판(306)의 표면에 절연층(304)을 형성한다. 절연층(304)은, 질소를 함유하는 절연층인 것이 바람직하다. 예를 들면, 질화실리콘막, 산소를 포함하는 질화실리콘막 혹은 질소를 포함하는 산화실리콘막으로부터 선택된 단일막 또는 복수의 적층막을 사용해서 형성할 수 있다.

[0122] 더욱이, 절연층(304) 위에 접합층(302)으로서 산화실리콘막을 형성한다(도 16a 참조).

[0123] 지지 기판(300)과, 반도체 기판(306)의 접합층(302)이 형성된 면을 대향시켜, 서로 밀착시킴으로써, 접합을 형성한다(도 16b 참조).

[0124] 이 상태에서, 제1의 열처리를 행한다. 제1의 열처리는, 접합층(302)이 형성되는 온도이상으로 행하는 것이 바람직하고, 400°C 이상 600°C 미만의 온도로 행하는 것이 바람직하다. 그것에 의해, 분리층(307)에 형성된 미소한 공동에 체적변화가 발생하고, 반도체 기판(306)을 벽개할 수 있다. 지지 기판(300) 위에는, 반도체 기판(306)과 같은 결정성을 갖는 LTSS층(301)이 형성된다(도 16c 참조).

[0125] 다음에, 지지 기판(300)에 LTSS층(301)이 접합된 상태에서 제2의 열처리를 행한다. 제2의 열처리는, 제1의 열처리 온도보다도 높고 지지 기판(300)의 변형점보다 낮은 온도로 행하는 것이 바람직하다. 또는, 제1의 열처리와 제2의 열처리는 같은 온도이여도, 제2의 열처리의 처리 시간을 보다 길게 하는 것이 바람직하다. 열처리는, 열전도 가열, 대류 가열 또는 복사가열등에 의해 지지 기판(300) 및/또는 LTSS층(301)이 가열되도록 하여도 된다. 제2의 열처리를 행함으로써, LTSS층(301)에 잔류하는 응력을 완화할 수 있고, 제1의 열처리에 의한 분할에 의해 생긴 LTSS층(301)의 데미지를 회복시키는데 효과적이다.

[0126] 도 16a~도 16c에 나타나 있는 바와 같이 절연층(304)을 반도체 기판(306) 위에 형성하면, 절연층(304)에 의해 불순물이 LTSS층(301)에 혼입하는 것을 막으므로, LTSS층(301)이 오염되는 것을 방지하는 것이 가능해진다.

[0127] 도 13a~도 13c는, 지지 기판측에 접합층을 설치해서 LTSS층을 갖는 SOI구조의 기판을 제조하는 공정을 나타낸다.

[0128] 우선, 산화실리콘층(305)이 형성된 반도체 기판(306)에 전계로 가속된 이온을 소정의 깊이에 주입하고, 분리층(307)을 형성한다(도 13a 참조). 산화실리콘층(305)은, 반도체 기판(306) 위에 스팍터링법이나 CVD법으로 형성되어도 되거나, 반도체 기판(306)이 단결정 실리콘 기판일 경우, 반도체 기판(306)을 열산화해서 산화실리콘층(305)을 형성해도 된다. 본 실시예에서는, 반도체 기판(306)이 단결정 실리콘 기판이고, 산화실리콘층(305)은 단결정 실리콘 기판을 열산화 해서 형성된다.

[0129] 반도체 기판(306)에의 이온의 주입은, 도 11a의 경우와 같은 방식으로 행해진다. 반도체 기판(306)의 표면에 산화 실리콘층(305)을 형성함으로써, 이온주입에 의해 표면이 데미지를 받고, 그 평탄성이 손상되는 것을 막을 수 있다.

[0130] 배리어 층(303) 및 접합층(302)이 형성된 지지 기판(300)과 반도체 기판(306)의 산화실리콘층(305)이 형성된 면을 서로 밀착시켜서, 접합을 형성한다(도 13b 참조).

[0131] 이 상태에서, 제1의 열처리를 행한다. 제1의 열처리는, 접합층(302)이 형성되는 온도이상에서 행하는 것이 바람직하고, 400°C 이상 600°C 미만의 온도로 행하는 것이 바람직하다. 그것에 의해 분리층(307)에 형성된 미소한 공동에 체적변화가 발생하여, 반도체 기판(306)을 벽개할 수 있다. 지지 기판(300) 위에는 반도체 기판(306)과 같은 결정성을 갖는 LTSS층(301)이 형성된다(도 13c 참조).

[0132] 다음에, 지지 기판(300)에 LTSS층(301)이 접합된 상태에서 제2의 열처리를 행한다. 제2의 열처리는, 제1의 열처리 온도보다도 높고 지지 기판(300)의 변형점미만의 온도로 행하는 것이 바람직하다. 또는, 제1의 열처리와 제2의 열처리는 같은 온도이여도, 제2의 열처리의 처리 시간을 보다 길게 하는 것이 바람직하다. 열처리는, 열전도 가열, 대류 가열, 복사가열등에 의해 지지 기판(300) 및/또는 LTSS층(301)이 가열되도록 하여도 된다. 제2의 열처리를 행함으로써, LTSS층(301)에 잔류하는 응력을 완화할 수 있고, 제1의 열처리에 의한 분할에 의해 생긴 LTSS층(301)의 데미지를 회복시킬 때에 효과적이다.

[0133] 이상과 같이 하여, 도 10b에 나타낸 SOI기판이 형성된다.

[0134] 도 14a~도 14c는 지지 기판측에 접합층을 설치해서 LTSS층을 접합하는 경우에 있어서의 다른 예를 나타낸다.

[0135] 최초에, 반도체 기판(306)에 분리층(307)을 형성한다(도 14a 참조). 분리층(307)을 형성하기 위한 이온의 주입은, 이온 도핑 장치를 사용해서 행한다. 이 공정에서는, 고전계로 가속된 질량이 다른 이온이 반도체 기판(306)

6)에 조사된다.

[0136] 이 때, 반도체 기판(306)의 표면은 이온의 조사에 의해 평탄성이 손상될 우려가 있으므로, 보호막으로서 산화실리콘층(305)을 설치해두는 것이 바람직하다. 산화실리콘층(305)은, 열산화에 의해 형성해도 좋거나, 케미컬 옥사이드를 사용해도 좋다. 케미컬 옥사이드는, 산화성의 화학액에 반도체 기판(306)을 담금으로써 형성가능하다. 예를 들면, 오존 함유 수용액으로 반도체 기판(306)을 처리하면 표면에 케미컬 옥사이드가 형성된다.

[0137] 이와는 달리, 보호막으로서, 플라즈마 CVD법으로 형성한 질소를 포함하는 산화실리콘막, 또는 산소를 포함하는 질화실리콘막, 또는 TEOS를 사용해서 형성된 산화실리콘막을 사용해도 된다.

[0138] 지지 기판(300)에는 배리어 층(303)을 설치하는 것이 바람직하다. 배리어 층(303)을 설치함으로써, 지지 기판(300)으로서 사용된 유리 기판으로부터 알칼리 금속 혹은 알칼리토류 금속과 같은 가동 이온 불순물이 확산해서 LTSS층(301)이 오염되는 것을 막을 수 있다.

[0139] 배리어 층(303)은, 단일층 또는 복수의 층으로 형성된다. 예를 들면, 나트륨등의 이온을 블록킹하는 효과가 높은 질화실리콘막 또는 산소를 포함하는 질화실리콘막을 제1층으로서 사용하고, 그 층 위에 제2층으로서 산화실리콘막, 또는 질소를 포함하는 산화실리콘막을 설치한다.

[0140] 배리어 층(303)의 제1층은, 불순물의 확산을 방지할 목적을 가진 절연막이며 치밀한 막인 것에 대해서, 제2층은 제1층의 막의 내부응력이 상층에 작용하지 않도록, 응력을 완화시키는 것을 하나의 목적으로 한다. 이렇게, 지지 기판(300) 위에 배리어 층(303)을 설치함으로써, LTSS층을 접합할 때의 기판의 선택 범위를 넓힐 수 있다.

[0141] 배리어 층(303) 위에 접합층(302)을 설치한 지지 기판(300)과 반도체 기판(306)을 접합시킨다(도 14b 참조). 반도체 기판(306)의 표면은, 보호막으로서 설치한 산화실리콘층(305)을 불산으로 제거해 노출된다. 반도체 기판(306)의 최표면은, 불산용액의 처리에 의해 수소로 중단되어 있는 상태에 있어도 된다. 접합 형성에 있어서, 표면 중단 수소에 의해 수소결합이 형성되고, 양호한 접합을 형성할 수 있다.

[0142] 또한, 불활성가스의 이온을 조사해서 반도체 기판(306)의 최표면에 맹글링 결합이 노출하고, 진공중에서 접합을 형성해도 좋다.

[0143] 이 상태에서, 제1의 열처리를 행한다. 제1의 열처리는, 접합층(302)이 형성되는 온도이상으로 행하는 것이 바람직하고, 400°C이상 600°C미만의 온도로 행하는 것이 바람직하다. 그것에 의해 분리층(307)에 형성된 미소한 공동에 체적변화가 발생하고, 반도체 기판(306)을 벽개할 수 있다. 지지 기판(300) 위에는, 반도체 기판(306)과 같은 결정성을 갖는 LTSS층(301)이 형성된다(도 14c 참조).

[0144] 다음에, 지지 기판(300)에 LTSS층(301)이 접합된 상태에서 제2의 열처리를 행한다. 제2의 열처리는, 제1의 열처리 온도보다도 높고 지지 기판(300)의 변형점미만의 온도에서 행하는 것이 바람직하다. 또는, 제1의 열처리와 제2의 열처리는 같은 온도에서 행하는 경우도, 제2의 열처리의 처리 시간을 보다 길게 하는 것이 바람직하다.

[0145] 열처리는, 열전도 가열, 대류 가열, 복사가열등에 의해 지지 기판(300) 및/또는 LTSS층(301)이 가열되도록 하여도 된다. 제2의 열처리를 행함으로써, LTSS층(301)에 잔류하는 응력을 완화할 수 있고, 제1의 열처리에 의한 분할에 의해 생긴 LTSS층(301)의 데미지를 회복시키는 데에도 효과적이다.

[0146] 이상과 같이 해서, 도 10c에 나타내는 SOI기판을 형성한다.

[0147] 본 실시예에 의하면, 유리 기판등의 허용가능한 온도 한계가 700°C이하인 지지 기판(300)이 사용되는 경우도, 접합부에서 강한 접착력을 갖는 LTSS층(301)을 얻을 수 있다. 지지 기판(300)으로서, 알루미노실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 및 바륨 보로실리케이트 유리기판 등의 무알칼리 유리 기판이라고 불리는 전자공업용에 사용되어지는 각종 유리 기판을 사용하는 것이 가능해진다.

[0148] 상기 실시예1에 나타내는 섬 형상 반도체막(102)은, LTSS층(301)을 섬 형상으로 패터닝하여 얻어질 수 있다. 본 실시예에서 얻어진 LTSS층(301)은, 단결정 반도체층이므로, 응답 속도가 높은 반도체장치를 제조할 수 있다.

[0149] 본 출원은 2007년 6월 25일에 제출된 일본특허출원 제2007-166495호에 기초하고, 여기서는 그 전체 내용을 참고로 포함한다.

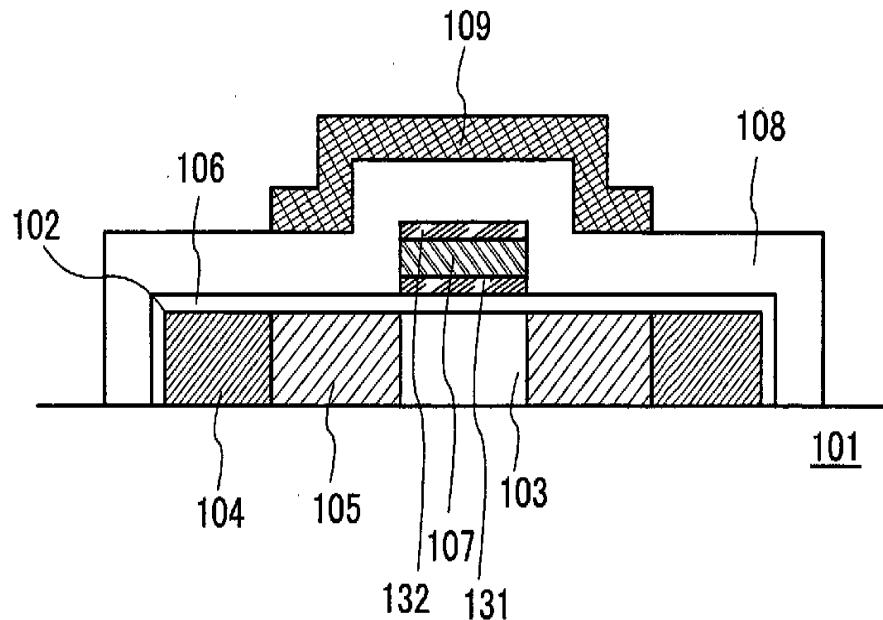
부호의 설명

[0150] 101: 절연표면, 102: 섬형상 반도체막, 103: 채널 형성영역, 104: 고농도 불순물 영역, 105: 저농도 불순물 영역, 106: 터널 절연막, 107: 부유 게이트, 108: 게이트 절연막, 109: 컨트롤 게이트, 111: 기판, 112: 하지막,

113: 비정질 반도체막, 114: 결정성 반도체막, 115: 레이저 범, 118: 충간 절연막, 119: 배선, 121: 저농도 불순물 영역, 131: 절연막, 132: 절연막, 200: 반도체장치, 201: 연산처리회로, 202: 기억회로, 203: 안테나, 204: 전원회로, 205: 복조회로, 206: 변조회로, 207: 리더/라이터, 300: 지지 기판, 301: LTSS층, 302: 접합층, 303: 배리어 층, 304: 절연층, 305: 산화실리콘층, 306: 반도체 기판, 307: 분리층, 502: TFT, 503: TFT, 504: TFT, 506: 기억소자, 507: 기억소자, 508: 기억소자, 1021: 메모리 셀, 1023: 메모리 셀 어레이, 1024: 비트선 구동회로, 1025: 칼럼 디코더, 1026: 판독회로, 1027: 셀렉터, 1028: 인터페이스, 1029: 워드선 구동회로, 1030: 로우 디코더, 1031: 레벨 시프터, 1032: TFT, 1033: 기억소자.

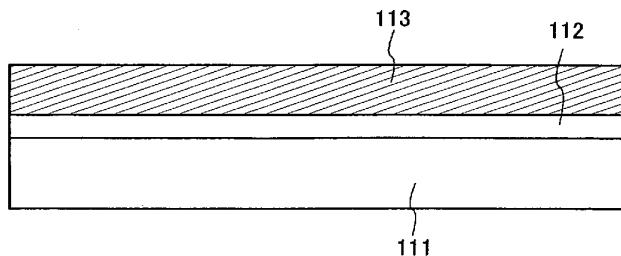
도면

도면1

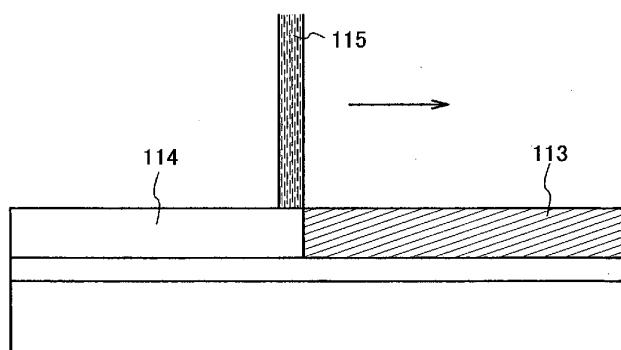


도면2

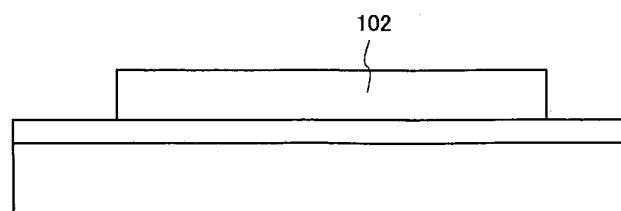
(a)



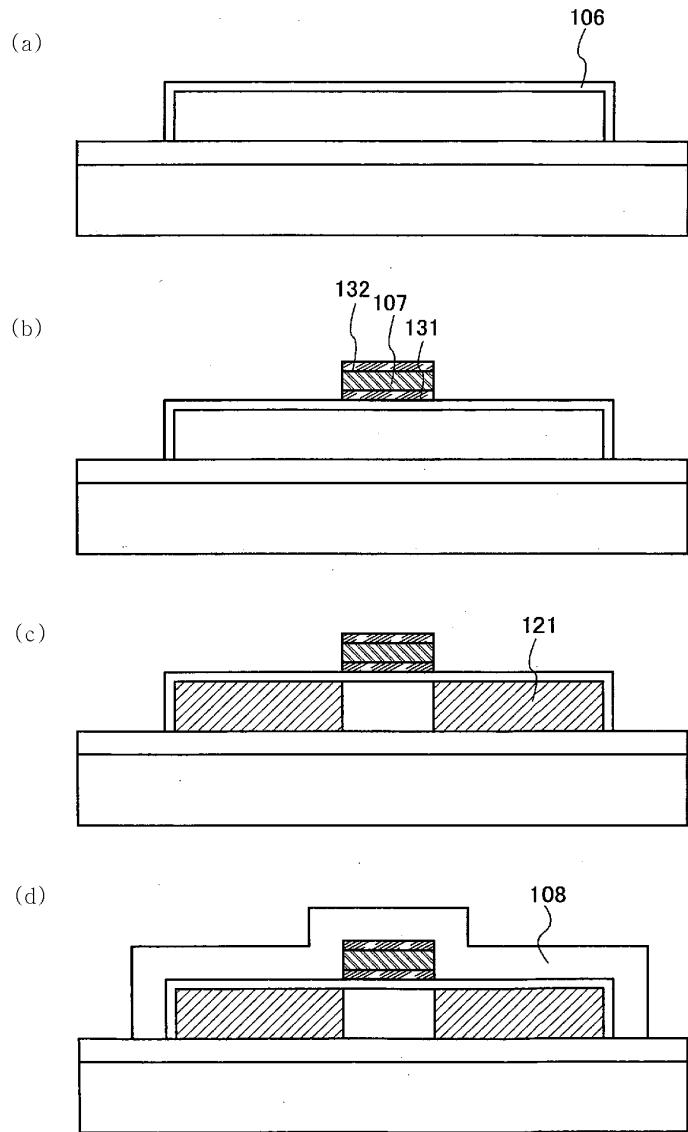
(b)



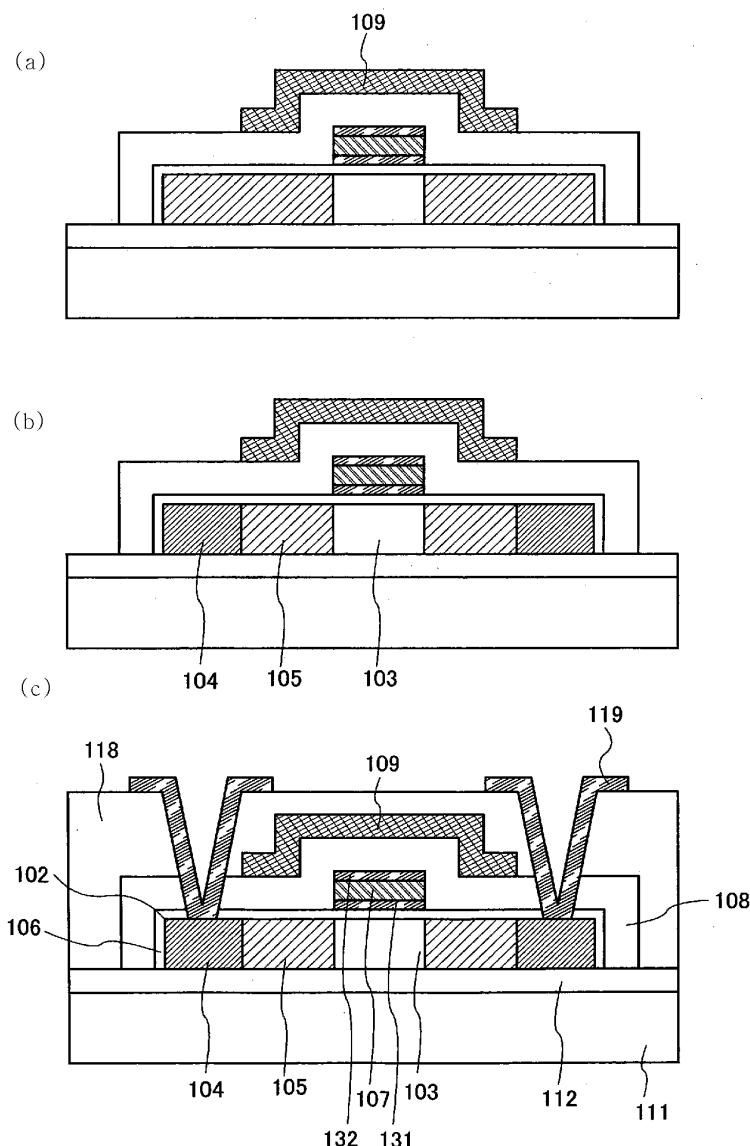
(c)



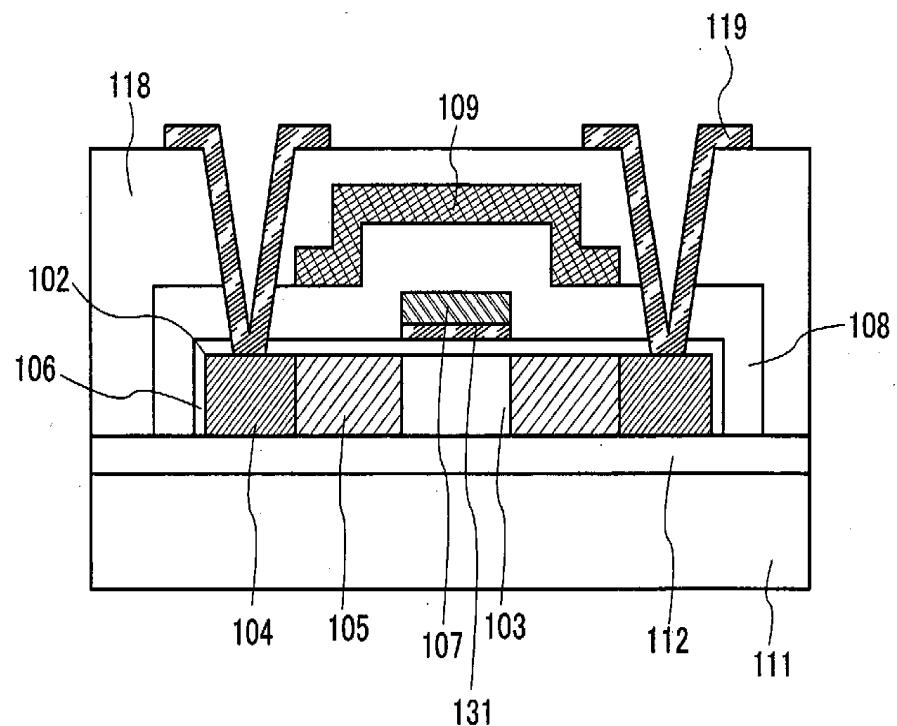
도면3



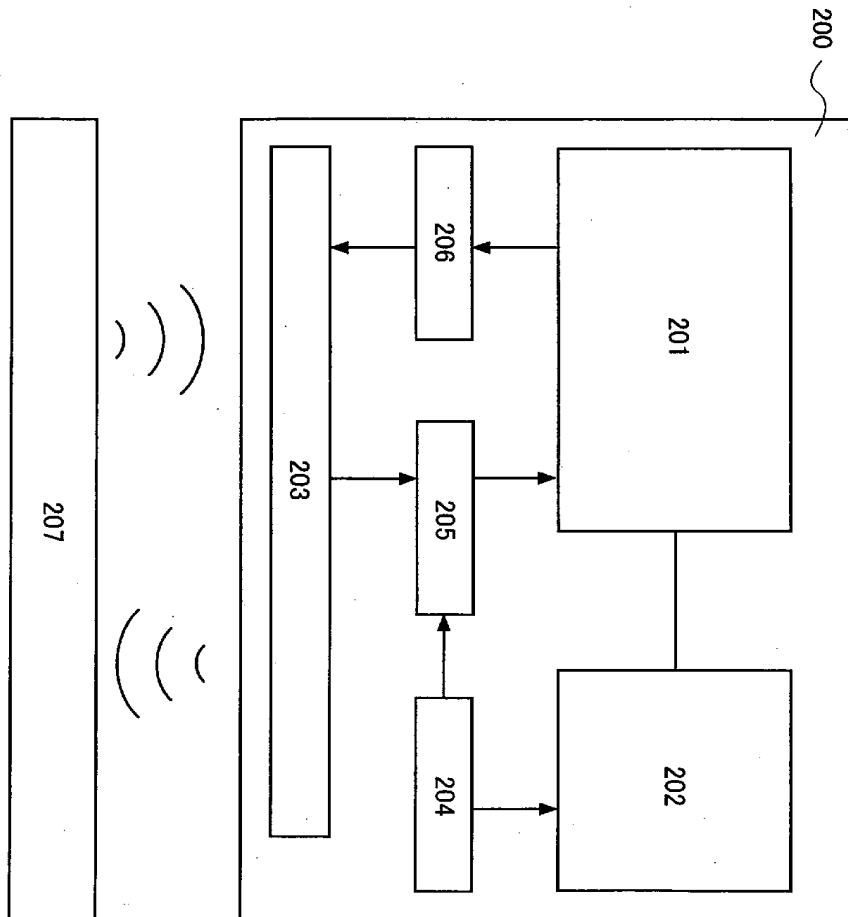
도면4



도면5

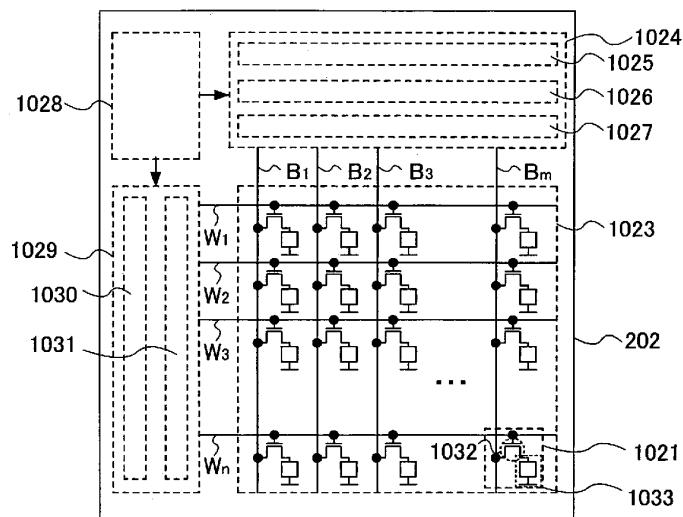


도면6

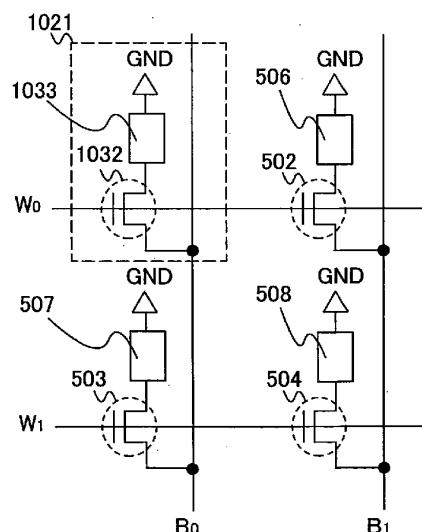


도면7

(a)

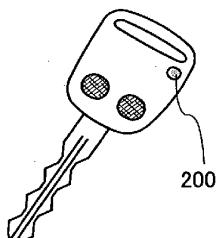


(b)

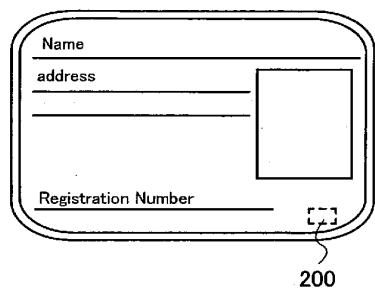


도면8

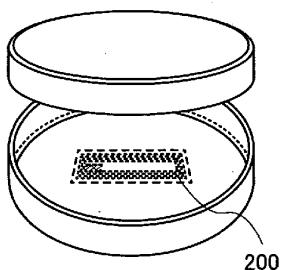
(a)



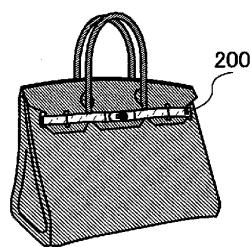
(b)



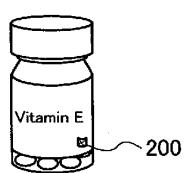
(c)



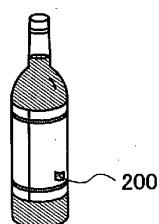
(d)



(e)

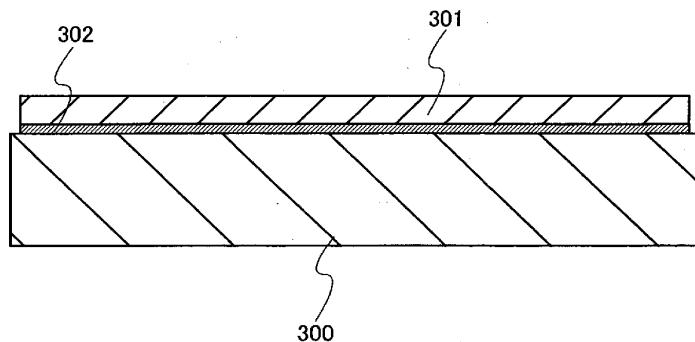


(f)

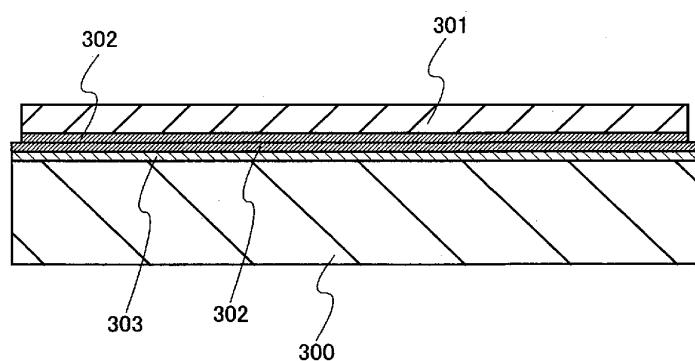


도면9

(a)

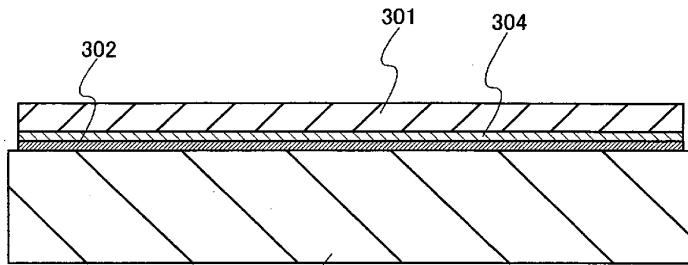


(b)

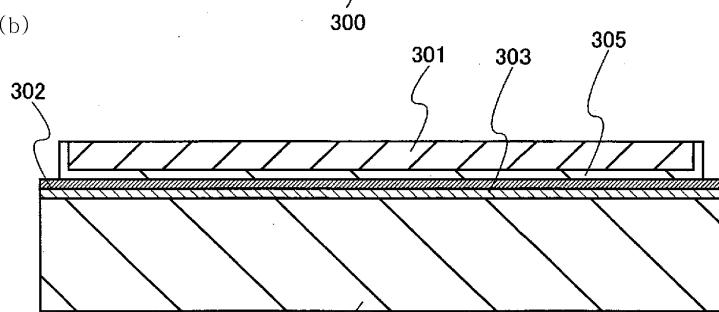


도면10

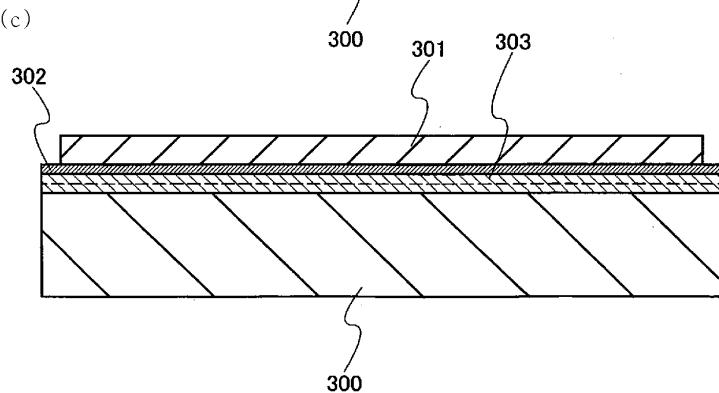
(a)



(b)

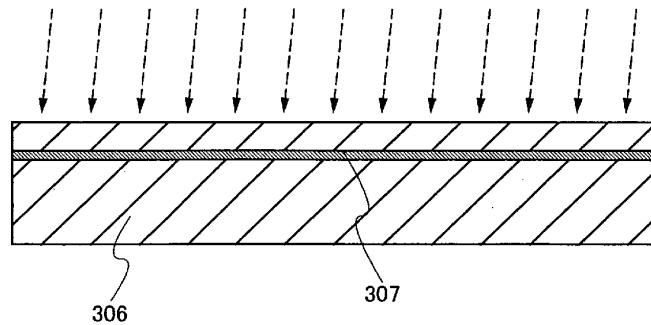


(c)

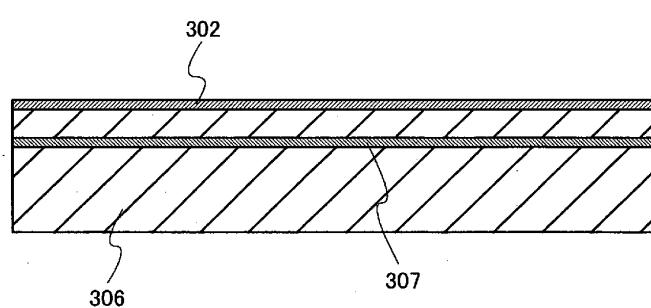


도면11

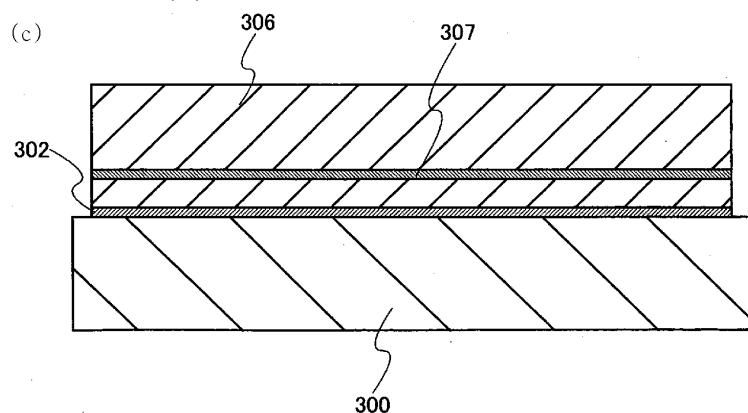
(a)



(b)

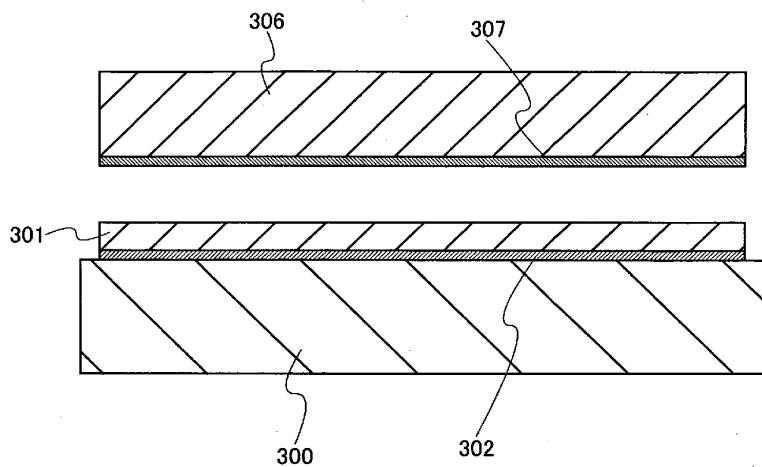


(c)

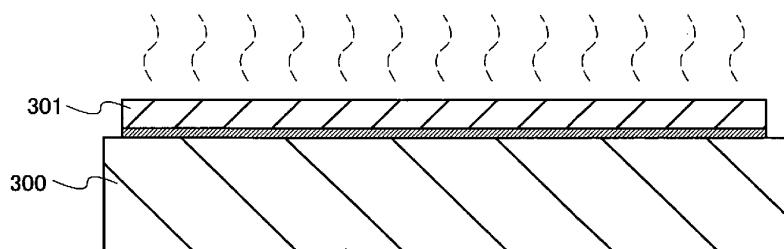


도면12

(a)

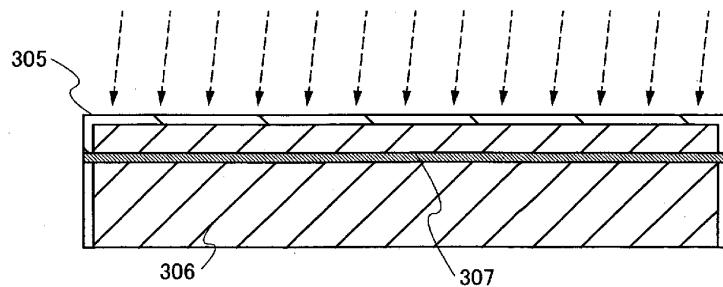


(b)

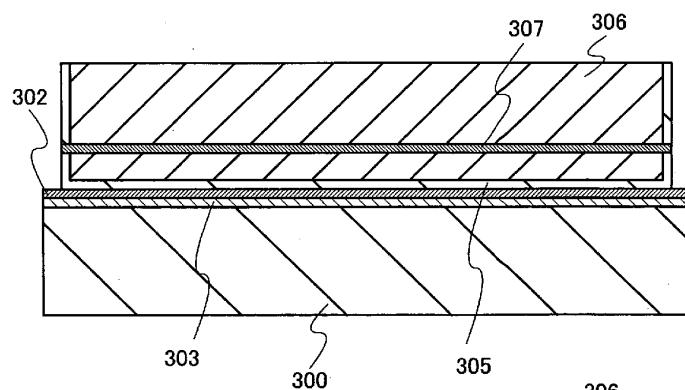


도면13

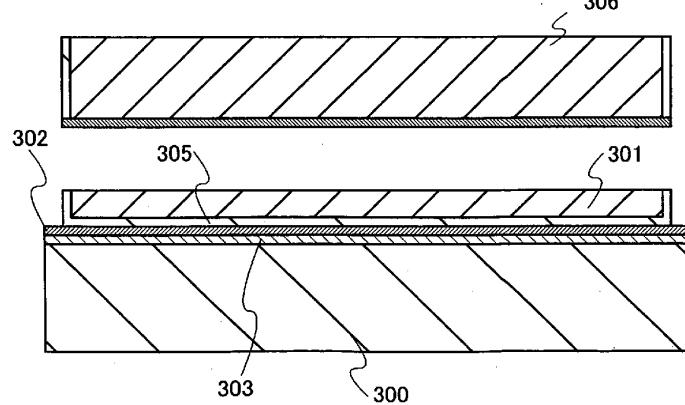
(a)



(b)

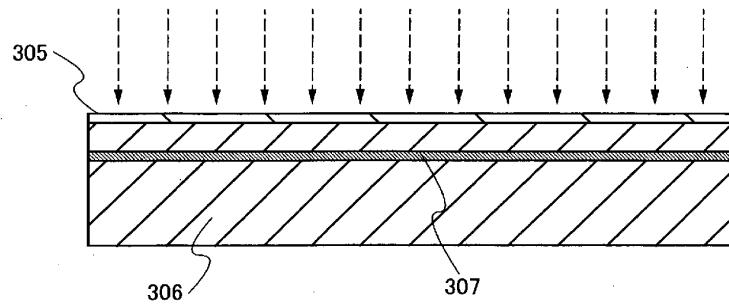


(c)

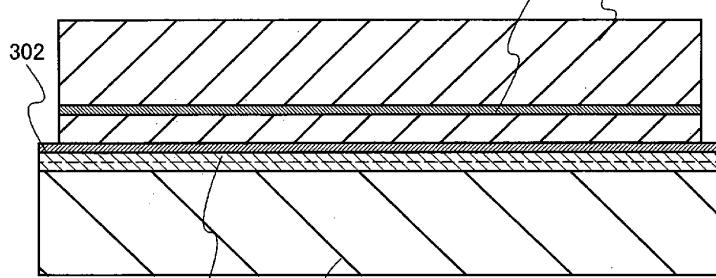


도면14

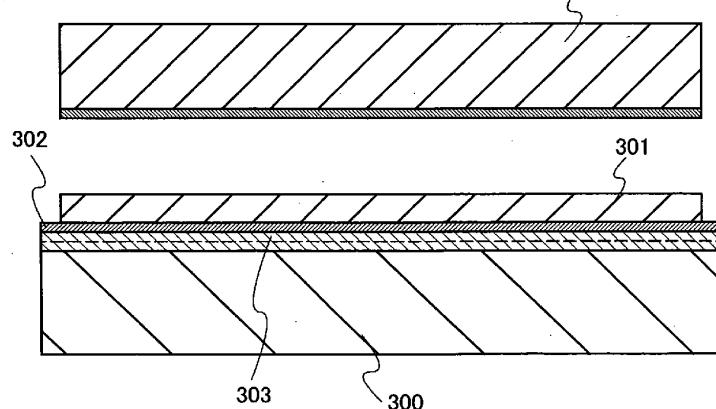
(a)



(b)

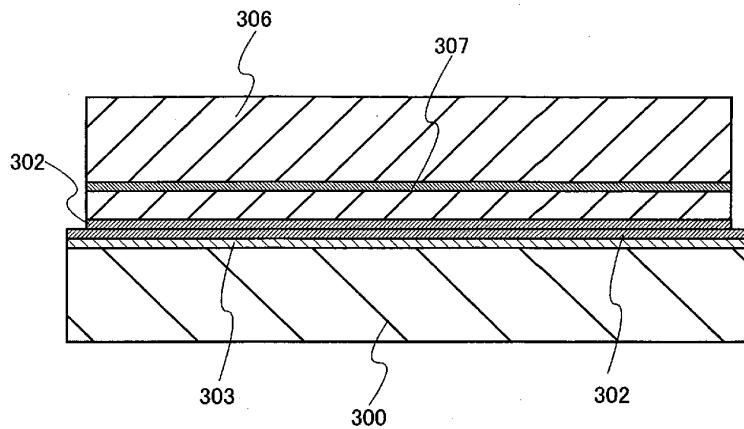


(c)

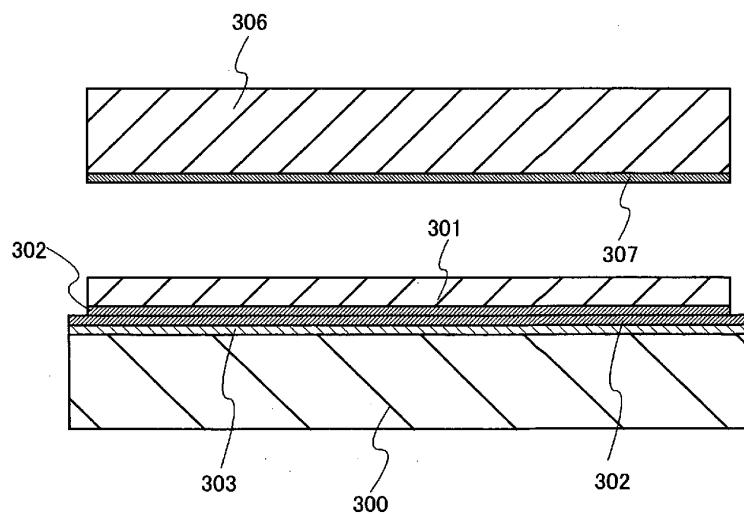


도면15

(a)



(b)



도면16

