

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4844027号
(P4844027)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月21日(2011.10.21)

(51) Int. Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1337 (2006.01) GO2F 1/1337 505

請求項の数 16 (全 12 頁)

<p>(21) 出願番号 特願2005-204619 (P2005-204619) (22) 出願日 平成17年7月13日 (2005.7.13) (65) 公開番号 特開2006-53546 (P2006-53546A) (43) 公開日 平成18年2月23日 (2006.2.23) 審査請求日 平成20年7月9日 (2008.7.9) (31) 優先権主張番号 特願2004-210412 (P2004-210412) (32) 優先日 平成16年7月16日 (2004.7.16) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号 (74) 代理人 100095407 弁理士 木村 満 (72) 発明者 水迫 亮太 東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子技術センタ 一内 審査官 藤田 都志行</p>
---	--

最終頁に続く

(54) 【発明の名称】 垂直配向型の液晶表示素子

(57) 【特許請求の範囲】

【請求項1】

第1の基板と、

前記第1の基板に対向配置した第2の基板と、

前記第1の基板の前記第2の基板と対向する面に形成された少なくとも1つの第1の電極と、

前記第2の基板における前記第1の基板の前記第1の電極と対向する面に形成された複数の第2の電極と、

前記第1の基板の前記第1の電極が形成された面と、前記第2の基板の前記第2の電極が形成された面と、のそれぞれに形成された垂直配向膜と、

前記第1の基板と前記第2の基板との間に封入され、負の誘電異方性を有する液晶層と、を備え、

前記第2の電極は、前記第1の電極と対向する領域により画素領域を画定し、前記画素領域を複数のサブ画素領域に区分するスリットを有し、

前記第2の電極に設けられた前記スリットの全領域と重なるとともに前記スリットの幅よりも広い幅を有する第1の補助電極が形成され、

前記第1の補助電極と前記第2の電極との間に第1の補償容量が形成され、

前記第1の電極と前記第2の電極との間に電界が発生したときに、前記液晶層の液晶分子が前記サブ画素領域の周辺部から前記サブ画素領域の中央部に向かって倒れるように配列する、

10

20

ことを特徴とする液晶表示素子。

【請求項 2】

前記スリットは、前記第 2 の電極の中央部から前記第 2 の電極の周辺部に向かって延びるように形成され、前記第 2 の電極の中央部で互いに繋がるように形成された複数の切り欠き部を有することを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

前記スリットは十字形状を有していることを特徴とする請求項 2 に記載の液晶表示素子

【請求項 4】

前記スリットと重なる前記第 1 の補助電極は十字形状を有していることを特徴とする請求項 3 に記載の液晶表示素子。

10

【請求項 5】

前記第 2 の電極の周辺部の少なくとも一部と平面視して重なり、且つ、前記第 2 の電極を実質的に取り囲む第 2 の補助電極が形成され、

前記第 2 の補助電極の前記第 2 の電極と平面視して重なる領域は第 2 の補償容量を形成する、

ことを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 6】

前記第 1 の補助電極及び前記第 2 の補助電極は、前記第 1 の電極の電位と等しい電位に設定されることを特徴とする請求項 5 に記載の液晶表示素子。

20

【請求項 7】

前記第 1 の補助電極及び前記第 2 の補助電極は、前記第 2 の基板面上に形成され、

前記第 2 の電極は、前記第 2 の基板の前記第 1 の補助電極及び前記第 2 の補助電極の上を覆う第 1 の絶縁膜上に形成されていることを特徴とする請求項 5 に記載の液晶表示素子

【請求項 8】

前記第 1 の補助電極及び前記第 2 の補助電極は、前記第 2 の基板面上に互いに接続して形成されていることを特徴とする請求項 5 に記載の液晶表示素子。

【請求項 9】

前記第 1 の補助電極と前記第 2 の電極との間に形成される前記第 1 の補償容量は前記第 1 の絶縁膜を介して形成されることを特徴とする請求項 7 に記載の液晶表示素子。

30

【請求項 10】

前記第 2 の補助電極と前記第 2 の電極との間に形成される前記第 2 の補償容量は前記第 1 の絶縁膜を介して形成されることを特徴とする請求項 7 に記載の液晶表示素子。

【請求項 11】

前記第 1 の補助電極は、透明導電膜から構成されることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 12】

前記垂直配向膜は、配向処理されていないことを特徴とする請求項 1 に記載の液晶表示素子。

40

【請求項 13】

さらに、前記第 2 の基板に形成された T F T 素子を備え、前記第 2 の電極は前記 T F T 素子のソース電極に接続し、外部から供給される画像信号を前記第 2 の電極に印加するための前記第 2 の電極と同一の層に形成されたドレイン配線は前記 T F T 素子のドレイン電極に接続され、外部から供給される走査信号を印加するための前記第 1 の補助電極及び前記第 2 の補助電極と同一の層に形成されたゲート配線は前記 T F T 素子のゲート電極に接続されることを特徴とする請求項 5 に記載の液晶表示素子。

【請求項 14】

前記第 2 の基板には、前記第 2 の電極の周辺部に沿った周辺凸部がさらに形成されていることを特徴とする請求項 1 に記載の液晶表示素子。

50

【請求項 15】

前記第2の基板に形成された前記周辺凸部は、複数の前記第2の電極の間に、前記ドレイン配線を覆って、前記第1の補助電極の一部と平面視して重なるように形成された第2の絶縁膜によって形成されていることを特徴とする請求項14に記載の液晶表示素子。

【請求項 16】

前記第2の絶縁膜は、前記第2の電極よりも厚く形成されているとともに、前記第1の補助電極と平面視して重なる端部が前記第2の電極と接触しないように配置されていることを特徴とする請求項15に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、垂直配向型の液晶表示素子に関する。

【背景技術】

【0002】

従来のTFT液晶パネルは、TFT(Thin Film Transistor)基板と、CF(Color Filter)基板と、これらの基板間に挟持された液晶層と、により構成される。TFT基板とCF基板間に封入される液晶材料としては、TN(ねじれネマティック)ディスプレイでは正の誘電異方性を示す材料が使用される。負の誘電異方性を示す材料を使用する液晶表示素子としては、液晶のダイレクタ(分子長軸方向)を、無電界の状態では基板と垂直な方向に向けた垂直配向型のTFT液晶表示素子が提案されている。

20

【0003】

垂直配向型のTFT液晶表示素子は、対向して配置された一对の基板間に、負の誘電異方性を示す液晶を封入することにより液晶セルが構成される。一对の基板の一方には、個々の画素毎に画素電極が形成され、他方の基板には、複数の前記画素電極と対向する共通(対向)電極が形成され、これらの各画素電極と共通電極の対向部分とその間の液晶により1つの画素が形成される。それぞれの基板には、前記画素電極と対向電極間に電圧が印加されたときに液晶分子が倒れる方向を定めるためのラビング処理された垂直配向膜が画素電極と、共通電極とを覆うように形成されている。

【0004】

前記画素電極と共通電極との間に電圧が印加されていない場合、共通電極と画素電極とは同電位であるため、画素電極と共通電極との間に電界が形成されず、その負の誘電異方性と垂直配向膜の作用により、液晶分子は基板に対して垂直に配向している。

30

【0005】

画素電極と共通電極との間に電圧が印加されると、画素電極と共通電極との間に形成される電界により液晶分子が傾くように挙動し、画素電極と共通電極間に十分高い電圧が印加されたときに、液晶分子は基板に対して実質的に水平に配向する。この場合、画素電極と共通電極との間に形成される電界により、液晶分子はラビング処理の方向に沿って一方方向に配向するため、コントラストの視野角依存性が大きく、視野角特性が悪い問題がある。

【0006】

40

そこで、垂直配向型の液晶表示装置において、広い視野角特性を得るために、各画素毎に液晶分子を複数の方向に配向させた複数のドメインを形成することが提案されている。例えば、特許文献1に記載されているように、共通電極にエックス形状の開口を形成し、対向する2つの電極間に電圧が印加されたとき、1つの画素において液晶分子を前記エックス形状開口の中央に向かって4つの方向に倒れるように配向させた液晶表示装置が提案されている。

【0007】

この液晶表示装置では、共通電極を画素電極より大きく形成し、画素電極と共通電極との間に電圧を印加した場合は、画素領域の画素電極と共通電極が対向する部分では縦電界が発生し、画素電極の周辺部には斜め電界を発生させ、共通電極の開口(スリット)が形

50

成されている部分に電界の不連続部分を形成することにより、液晶分子が各画素毎に前記エックス字形開口の中央に向かって倒れるように配列する。すなわち、この液晶表示装置では、液晶分子は各画素ごとにエックス字形開口によって区画された領域ごとに4つの方向に向かって傾くように配向する。

【特許文献1】特許第2565639号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、特許文献1に開示された液晶表示装置は、各画素の中に形成されたエックス字形開口によって配向方向の異なる領域を形成するため、各領域間の相互作用を絶つためにエックス字形開口は十分広い幅に形成される必要がある。そのため、各画素において、電界により制御することができない開口（スリット）の面積が多く、共通電極の面積が少なくなり、開口率が低くなるために透過率が低くなるという問題がある。

【0009】

本発明は上記実情に鑑みてなされたものであり、広視野角で高透過率、高コントラストの液晶表示素子を提供することを目的とする。

【課題を解決するための手段】

【0010】

上述した目的を達成するため、この発明の第1の観点による液晶表示素子は、

第1の基板と、前記第1の基板に対向配置した第2の基板と、前記第1の基板の前記第2の基板と対向する面に形成された少なくとも1つの第1の電極と、前記第2の基板における前記第1の基板の前記第1の電極と対向する面に形成された複数の第2の電極と、前記第1の基板の前記第1の電極が形成された面と、前記第2の基板の前記第2の電極が形成された面と、のそれぞれに形成された垂直配向膜と、前記第1の基板と前記第2の基板との間に封入され、負の誘電異方性を有する液晶層と、を備え、前記第2の電極は、前記第1の電極と対向する領域により画素領域を画定し、前記画素領域を複数のサブ画素領域に区分するスリットを有し、前記第2の電極に設けられた前記スリットの全領域と重なるとともに前記スリットの幅よりも広い幅を有する第1の補助電極が形成され、前記第1の補助電極と前記第2の電極との間に第1の補償容量が形成され、前記第1の電極と前記第2の電極との間に電界が発生したときに、前記液晶層の液晶分子が前記サブ画素領域の周辺部から前記サブ画素領域の中央部に向かって倒れるように配列する、ことを特徴とする

。

【発明の効果】

【0025】

本発明によれば、画素電極に形成されたスリットに対応する領域に補助電極を形成することによって、広視野角で高透過率、高コントラストの液晶表示素子を提供することができる。

【発明を実施するための最良の形態】

【0026】

本発明の実施形態に係る液晶表示素子について、以下図面を参照して説明する。

【0027】

（実施形態1）

本発明の実施形態1に係る液晶表示素子を図1～図3に示す。図1は、本発明の実施形態1に係る垂直配向型の液晶表示素子の概略構造を示す断面図、図2はこの液晶表示素子における1つの画素構造を示す平面図である。図3(a)は、図2に示す液晶表示素子の2B-2B線断面図であり、図3(b)は、図2に示す液晶表示素子の2C-2C線断面図である。

【0028】

液晶表示素子は、図示するように、一对の基板10、20と、それぞれの基板の互いに対向する内面に形成された画素電極30および対向電極40と、これらの電極の表面に形

成された垂直配向膜 50 と、前記一对の基板 10、20 を接合するためのシール材 90 と、前記一对の基板間 10、20 に封入された液晶層 60 とにより液晶パネル 100 が構成され、この液晶パネル 100 の前記一对の基板 10、20 それぞれの外側にこれらの基板 10、20 を挟むように配置された一对の偏光板 70、80 とにより構成される。

【0029】

前記一对の基板 10、20 のうち、一方の基板 10 の他方の基板 20 と対向する面には、前記対向電極 40 と、図示しないカラーフィルタとが形成されている。他方の基板 20 の一方の基板 10 と対向する面には、画素電極 30 と、この画素電極 30 に接続され、外部から供給される画素信号を前記画素電極 30 に印加するための TFT 素子 31 と、この TFT 素子 31 に画素信号を供給するドレイン配線 32 と、各画素における液晶分子の配向を制御し且つ安定化させ、且つ前記画素電極 30 との間に補償容量 (CS) を形成するための補助電極 33、TFT 素子 31 の動作を制御するためのゲート信号を前記 TFT 素子 31 に供給するゲート配線 34 と、前記 TFT 素子 31 のゲート電極を覆うゲート絶縁膜 35 と、前記ドレイン配線 32 を覆う絶縁膜 36 と、およびこれらの膜表面を覆う垂直配向膜 50 が形成されている。前記 TFT 素子 31 は、詳細は図示しないが、基板上に形成された逆スタガ型の薄膜トランジスタ (Thin Film Transistor) である。

【0030】

画素電極 30 は、酸化インジウムを主成分とする ITO (Indium Tin Oxide) 膜等から構成されたほぼ四角形の透明電極から形成される。また、画素電極 30 は、対向電極 40 と対向する領域により、画像を形成するための最小単位である 1 つの画素の領域を画定している。この画素電極 30 には、各画素ごとに複数のサブ画素領域に区分するための幅の狭い開口部が形成されている。この開口部は、画素電極 30 の中央から周縁に向かって延びるように形成され、前記画素電極 30 の中央部で互いに繋がった複数のスリット 30a から構成される。この実施形態では、画素電極 30 に、その画素電極 30 の中央部の縦方向及び横方向に延在するように、前記画素電極 30 を切り欠いたスリット 30a が形成されており、このスリット 30a により前記 1 つの画素が 4 つのサブ画素領域に区分されている。

【0031】

ドレイン配線 32 は、各画素列毎に、列方向に伸びるように形成されたアルミニウム配線等から構成される。ドレイン配線 32 は、同一画素列の TFT 素子 31 のドレイン電極に接続され、列ドライバからの画像信号をオンした TFT 素子 31 を介して画素電極 30 に供給する。

【0032】

補助電極 33 は、アルミニウム等から構成され、画素電極 30 の周囲に、画素電極 30 の周縁部との間でゲート絶縁膜 35 を介してその一部が重なるように形成される。さらに、補助電極 33 は、スリット 30a に対応するように画素電極 30 の下層に、スリット 30a の幅より広く、その周縁部と一部が重なるように形成される。この補助電極 33 は画素電極 30 よりも低い予め定めた電位に維持され、より好ましくは、対向電極 40 と同電位に設定され、前記画素電極 30 との間で、各画素電極 30 と対向電極 40 と液晶層 60 とで形成される画素容量と並列に接続された補償容量 (CS) を形成する。

【0033】

ゲート配線 34 は、各画素行毎に行方向に伸びるように形成されたアルミニウム配線等から構成され、ゲート絶縁膜 35 により他の電極と絶縁されている。このゲート配線 34 は、対応する画素行の TFT 素子 31 のゲート電極に接続され、TFT 素子 31 に走査信号を供給し、TFT 素子 31 のオン/オフを制御する。

【0034】

ゲート絶縁膜 35 は、TFT 素子 31 のゲート電極、ゲート配線 34、及び補助電極 33 が形成された基板 20 上に形成された絶縁膜であり、例えばシリコン窒化膜から構成される。なお、ゲート絶縁膜 35 は、TFT 素子 31 の図示せぬゲート電極とこのゲート電極に対向する半導体層及びソース/ドレイン電極とを電氣的に分離する。なお、この TFT

T素子31のソース電極は、対応する画素電極30に接続され、ドレイン電極は対応するドレイン配線32に接続される。

【0035】

絶縁膜36は、ドレイン配線32を被い、画素電極30と、隣接する画素の画素電極30との間に形成された絶縁膜であり、例えばシリコン窒化膜から構成される。

【0036】

垂直配向膜50は、例えばCVD (Chemical Vapor Deposition) により形成された、ヘキサメチルジシロキサン重合膜等から構成される。垂直配向膜50は、基板10上に形成された画素電極30と、基板20上に形成された対向電極40をそれぞれ覆うように形成される。また、対向する垂直配向膜50間に、液晶層60が封入される。なお、垂直配向膜50には、ラビングが形成されておらず、その配向規制力により、無電界時には、表面近傍の液晶分子を垂直に配向させる。

10

【0037】

次に、上記構成の液晶表示素子の製造方法について説明する。

ガラス等から形成された基板20上に、アルミニウム膜を形成し、これをパターニングすることによりTFT素子31のゲート電極とゲート配線34と補助電極33(補助電極33を相互に接続する配線を含む)を形成する。次いで、CVDによりゲート絶縁膜35を形成する。続いて、ゲート絶縁膜35上に、TFT素子31の半導体層、ソース電極、ドレイン電極などを形成する。

【0038】

20

続いて、ゲート絶縁膜35上にスパッタによりITO膜を形成する。形成されたITO膜の画素領域を構成する部分を残して、ITO膜をエッチングしてパターニングすることにより、画素中心部から画素領域の周辺部に延びるように形成された幅の狭いスリット30aを備える画素電極30が得られる。

【0039】

次に、画素電極30の周縁から離間してゲート絶縁膜35上にドレイン配線32を形成し、ドレイン配線32をTFT素子31のドレイン領域に接続する。画素電極30の周囲の非画素領域に形成されたドレイン配線32を覆うように、ゲート絶縁膜35上に絶縁膜36を形成する。

【0040】

30

続いて、全面にCVD、スピコート等により、垂直配向膜50を形成する。

【0041】

このようにして形成された基板20と、対向電極40、カラーフィルタなどが形成された対向基板10と、を図示しないスペーサを挟んで対向して配置して、周囲をシール材90によりシールして液晶セルを形成する。続いて、この液晶セルに液晶層60を注入し、図示しない注入口を封止する。さらに、基板20及び基板10の外面に偏光板70、80を配置して液晶表示素子が製造される。

【0042】

次に、上記のような構造を有する画素内の液晶の挙動について説明する。

1つの画素電極30と対向電極40とが互いに対向する領域によって定義される1つの画素は、画素電極30に形成された複数のスリット30aにより、4つのサブ画素領域に区分されている。各サブ画素領域は、その周囲が補助電極33により囲まれており、画素電極30と補助電極33との間に電圧が印加されると、各サブピクセルの四辺には、横方向の電界が発生する。

40

【0043】

図4(a)、(b)は、図3(a)に示す断面構造における前記スリット30a近傍部分の電界と液晶分子の配向を模式的に示す。図5に示すように、画素電極30には、3.0V乃至9.0Vの駆動電圧VDが、補助電極33と対向電極40には、-2V乃至4.0Vの駆動電圧VCが、16.6msのパルス周波数で印加される。画素電極30と対向電極40、補助電極33の間には、5.0Vの電位差が発生し、この電位差により、画素

50

電極 30 におけるスリット 30 a の縁部分に横方向の電界が発生し、また画素電極 30 の周囲の縁部分と補助電極 33 間に横電界が発生する。画素電極 30 の縁部分から画素電極 30 の内側に向かうにつれて、上記横電界は斜め電界となり、上記電極の縁から十分離れたところで縦電界となる。この状態を図 4 (a) に等電位線で表している。

【 0044 】

画素電極 30 の上記スリット 30 a で分割されたサブ画素領域の周辺部の液晶分子 60 a は、周縁の横電界とその内側の斜め電界の方向に対して垂直になるように、即ち図 4 (a) に示す等電位線に沿って、図 4 (b) に示すように、その長軸方向 (ダイレクタ) が傾いて配向する。そして、各サブ画素領域の液晶分子 60 a の挙動を模式的に示す図 6 (a) に示すように、各サブ画素領域の周辺部の液晶分子 60 a は各サブ画素領域の内側に向かって倒れるように挙動する。また各サブ画素領域の中心部の液晶分子 60 a は、周辺部の液晶分子が中心に向かって倒れ込むように配列するため、周りから均等に分子間力を受けて基板面に対して垂直に配列する。この状態を各サブ画素領域毎にその断面方向からみると、図 4 (b) に示すように、液晶分子 60 a は、そのダイレクタを画素電極 30 の周縁より外側と画素電極 30 のスリット 30 a で、基板面に対してほぼ垂直に向けて配列する。また、液晶分子 60 a は、そのダイレクタを画素の周縁及びスリット 30 a の縁から内側に進むに伴って斜めに向けて配列し、また十分内側では基板面にほぼ平行に配列する。そして、各ドメインの中心部では液晶分子 60 a は、そのダイレクタを基板に垂直な方向に向けて配向する。

【 0045 】

そして、各サブ画素領域の液晶分子 60 a の配向状態を模式的に示す図 6 (b) で示すように、各サブ画素領域を画素電極 30 の平面方向に見ると液晶分子 60 a は、そのダイレクタを、画素電極 30 をスリット 30 a により分割したそれぞれの各サブ画素領域ごとに、上記各サブ画素領域のほぼ中心の垂直に配列した液晶分子から、周辺に向かって放射状に配列する。

【 0046 】

以上説明したように、画素電極 30 に画素中心から画素周辺に向かうスリット 30 a を形成し、画素を複数のサブ画素領域に区分する。そして、区分されたサブ画素領域ごとにその周辺部では、画素電極 30 と補助電極 33 との間に印加される電圧に応じて発生する電界により、区画された各サブ画素領域ごとにその周縁から中心に向かうように液晶分子が配列される。結果として、上記分割された各サブ画素領域ごとに液晶配向が不連続なドメインが形成される。そして、上記スリット 30 a に対応する部分にも補助電極 33 を配置しているので、ドメイン周辺部の液晶の配向が安定化され、その結果、上記分割された各サブ画素領域ごとに形成される液晶分子の配列のドメイン形成が安定する。したがって、表示上のざらつきやむらを解消することができる。また、各ドメインで液晶分子はドメイン中心に向かって配向するため、視野角特性も向上する。

【 0047 】

また、画素を複数の各サブ画素領域に分割するためのスリット 30 a の基板側に補助電極としての補助電極 33 を形成し、この補助電極 33 の電位を画素電極 30 の電位より低く、好ましくは対向電極 40 の電位と等しくする。これにより、上記スリット 30 a による画素電極 30 周縁の電界の変化が明確になるので、スリット 30 a の幅を狭くすることができ、その結果、1つの画素の中で電界により液晶分子の挙動を制御可能な面積が増大し、開口率を高くすることができるため、透過率を高くすることができる。

【 0048 】

本発明は上述した実施形態に限定されず、その応用及び変形等は任意である。例えば、上記実施形態 1 では、補助電極 33 を金属膜で形成したが、この補助電極 33 は、画素電極 30 の周辺部に対応する部分をアルミニウム等の金属膜で形成し、画素電極 30 の内側のスリット 30 a に対応する部分に形成する補助電極 33 を透明導電膜によって形成するのが好ましい。

【 0049 】

このように、補助電極 33 を画素の周辺部の金属膜と、内側の透明導電膜とから形成することにより、画素電極 30 の内側を透過する光を補助電極 33 で遮断することが無くなるため、各画素の開口率が向上するため透過率が向上し、明るい表示が得られる。

【0050】

(実施形態 2)

本発明の実施形態 2 に係る液晶表示素子を図 7 及び図 8 に示す。

実施形態 2 に係る液晶表示素子が上述した実施形態 1 と異なるのは、実施形態 1 では補助電極 33 はアルミニウム等から形成されていたが、実施形態 2 の補助電極 37 は透明導電膜からなる透明電極から形成される点にある。上述した実施形態 1 と同様の構成要素については、同一の参照符号を付して説明は省略する。

10

【0051】

本実施形態の液晶表示素子は、基板 20 上にドレイン配線 32 が形成され、このドレイン配線 32 を覆ってシリコン窒化膜からなる絶縁膜 38 を形成する。絶縁膜 38 上に前記実施形態 1 と同様に TFT 素子 31、補助電極 37、ゲート配線 34 を形成し、その上にゲート絶縁膜 35 で覆い、その上に透明な画素電極 30 が形成されている。

【0052】

補助電極 37 は、酸化インジウムを主成分とする ITO 膜等から形成された透明電極から構成され、画素電極 30 の近傍に配置されたアルミニウム等からなる金属配線 37a に接続されている。

【0053】

前記ドレイン配線 32 は、絶縁膜 38 とゲート絶縁膜 35 に設けたスルーホール 38a によって前記ゲート絶縁膜 35 上の接続配線 32a に接続され、この接続配線 32a が TFT 素子 31 のドレイン電極に接続されている。

20

【0054】

上記構成の液晶表示素子の製造方法について説明する。

基板 20 上に、画素の領域から離してドレイン配線 32 を形成する。続いて、絶縁膜 38 を基板 20 上に形成する。次に、絶縁膜 38 上にアルミニウム膜を形成し、これをパターンニングすることにより TFT 素子 31 のゲート電極とゲート配線 34 とを形成する。

【0055】

次いで、絶縁膜 38 上にスパッタにより ITO 膜を形成する。ITO 膜をエッチングしてパターンニングすることにより、補助電極 37 を形成する。

30

【0056】

次いで、CVD によりゲート絶縁膜 35 を形成する。続いて、ゲート絶縁膜 35 上に、TFT 素子 31 の半導体層を形成し、ドレイン電極、ソース電極を形成する。

【0057】

続いて、ゲート絶縁膜 35 上に、スパッタにより ITO 膜を形成する。形成された ITO 膜の画素領域を構成する部分を残して、ITO 膜をエッチングしてパターンニングすることにより、画素中心部から画素の周辺部に延びるように形成された幅の狭いスリット 30a を備える画素電極 30 が得られる。絶縁膜 38 とゲート絶縁膜 35 に設けたスルーホール 38a を介して接続するようにメタルからなる接続配線 32a を形成し、TFT 素子 31 のドレイン電極に接続した後、画素の領域を除いた部分に絶縁膜 36 を形成する。続いて、全面に CVD、スピコート等により、配向膜 50 を形成する。

40

【0058】

以上説明したように、この実施形態 2 においても、前記実施形態 1 と同様に画素電極 30 に画素中心から画素周辺に向かうスリット 30a を形成し、画素を複数のサブ画素領域に区分し、且つスリット 30a に対応する部分にも補助電極 37 を配置しているため、ドメイン周辺部の液晶の配向が安定化され、その結果、上記分割された各サブ画素領域ごとに形成される液晶分子の配列のドメイン形成が安定する。したがって、表示上のざらつきやむらを解消することができる。また、各ドメインで液晶分子はドメイン中心に向かって配向するため、視野角特性も向上する。

50

【0059】

また、画素を複数の各サブ画素領域に分割するためのスリット30aの基板側に形成した補助電極としての補助電極37の電位を画素電極30の電位より低くし、好ましくは補助電極37の電位を対向電極40の電位と等しくする。これによって画素電極30周縁の電界の変化が明確になるので、スリット30aの幅を狭くすることができ、その結果、1つの画素の中で電界により液晶分子の挙動を制御可能な面積が増大し、開口率を高くすることができるため、透過率を高くすることができる。

【0060】

さらに、本実施形態では補助電極37を透明導電膜から形成するため、画素電極30と重なる領域からも光が透過し、前記画素電極30の全面積が光の透過を制御可能な領域となる。従って、画素の開口率が向上するため透過率が向上し、明るい表示が得られる。

10

【0061】

本発明は、上記の実施形態に限定されず、その応用及び変形等は任意である。

例えば、上述したそれぞれの実施形態では、スリット30aを、画素電極30の中心部から周辺部に向かって縦方向及び横方向に形成したが、このスリット30aは、画素電極30を略同一形状に区分するように配置されればよく、例えば画素電極30の対角線上を画素中心部から四隅に向かって形成されてもよい。また、スリットにより区分されるサブ画素領域の数は、4に限らず、2以上の任意の整数であり得る。

【図面の簡単な説明】

【0062】

20

【図1】本発明の実施形態1に係る液晶表示素子の構成例を示す断面図である。

【図2】本発明の実施形態1に係る液晶表示素子における1画素に対応する部分の構造を示す平面図である。

【図3】図3(a)は、図2に示す液晶表示素子の2B-2B線断面図である。図3(b)は、図2に示す液晶表示素子の2C-2C線断面図である。

【図4】図4(a)は、液晶表示素子の液晶層に発生する電界を示す等電位線図である。図4(b)は、液晶表示素子の液晶層の液晶分子の配列状態を模式的に示す図である。

【図5】図1に示す液晶表示素子の各電極に印加される駆動電圧の波形を示す駆動電圧波形図である。

【図6】図6(a)は、各サブ画素領域の周辺部に位置する液晶分子の配向状態を示し、図6(b)は各サブ画素領域ごとの液晶分子の配向状態を平面的に示す模式図である。

30

【図7】本発明の実施形態2に係る液晶表示素子における1画素に対応する部分の構造を示す平面図である。

【図8】図8(a)は図7に示す液晶表示素子の6B-6B線断面図である。図8(b)は、図7に示す液晶表示素子の6C-6C線断面図である。

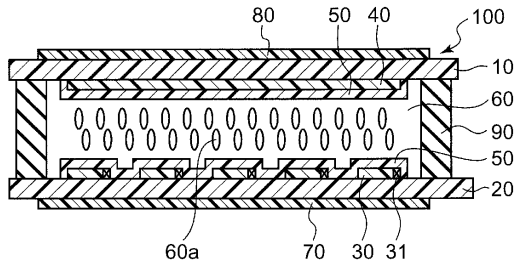
【符号の説明】

【0063】

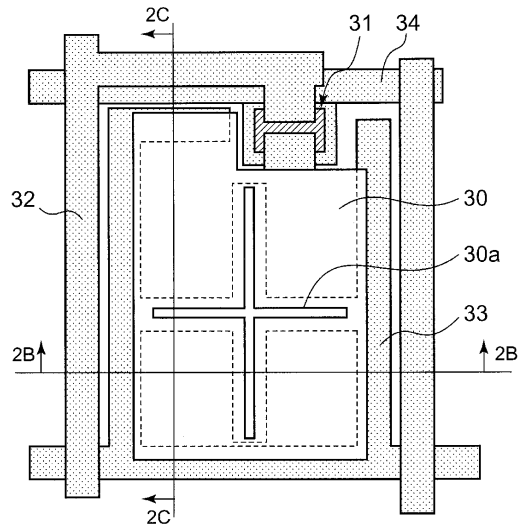
10, 20・・・基板、30・・・画素電極、31・・・TFT素子、32・・・ドレイン配線、33, 37・・・補助電極、34・・・ゲート配線、35・・・ゲート絶縁膜、36・・・絶縁膜、40・・・対向電極、50・・・垂直配向膜、60・・・液晶層、70, 80・・・偏光板、100・・・液晶パネル。

40

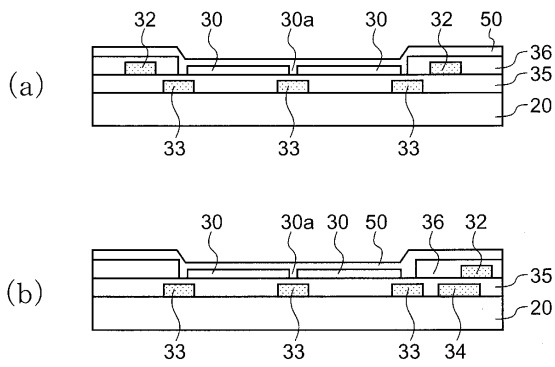
【図1】



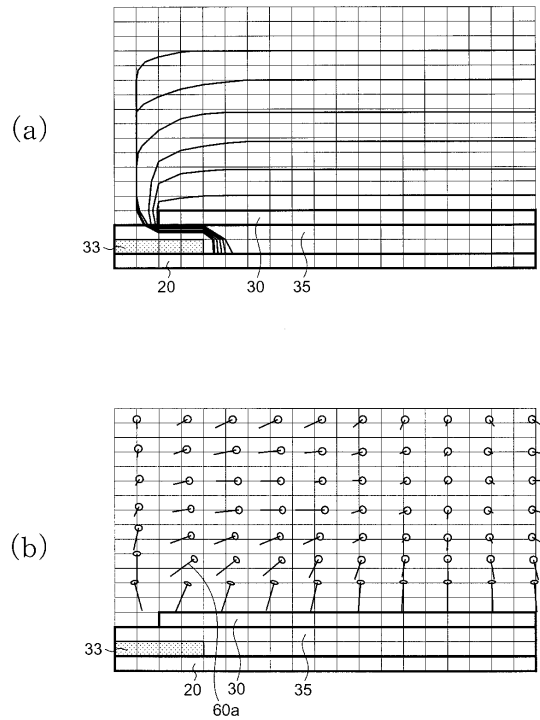
【図2】



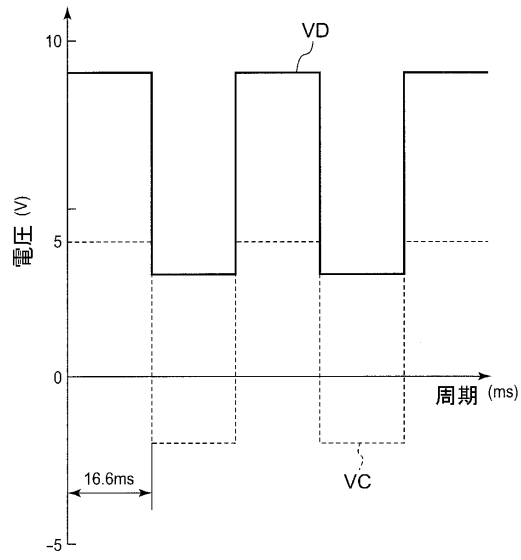
【図3】



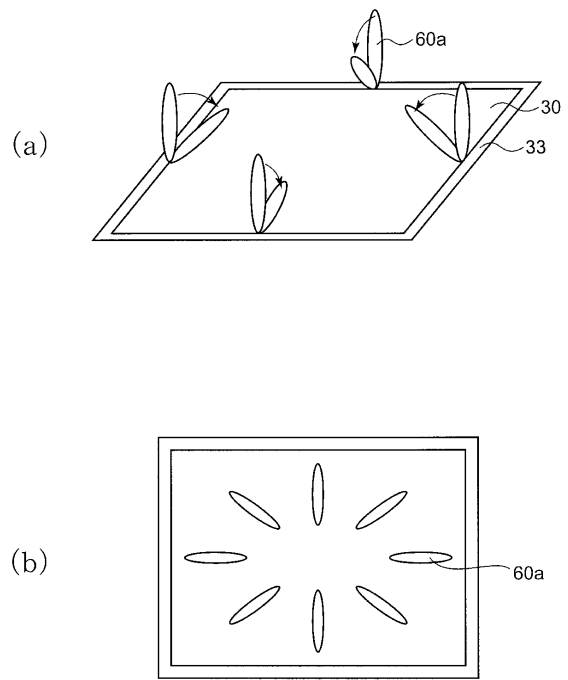
【図4】



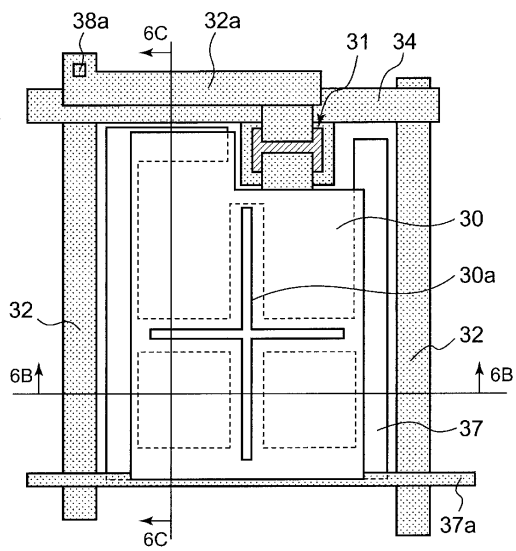
【 図 5 】



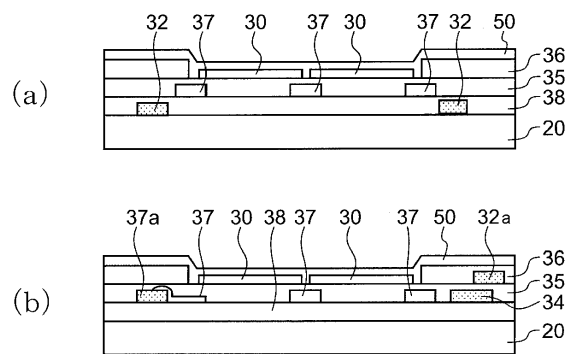
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開平07 - 199190 (JP, A)
特開2000 - 284329 (JP, A)
特表2005 - 522748 (JP, A)
特開2001 - 235752 (JP, A)
特開2001 - 264785 (JP, A)
特開平11 - 326927 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1337