



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4097683/24-24

(22) 25.07.86

(46) 23.12.87. Бюл. № 47

(72) А.Г.Голубев

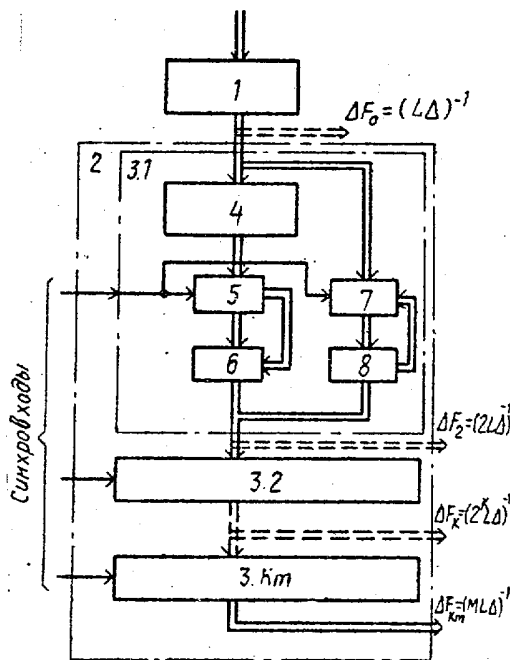
(53) 681.32(088.8)

(56) Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов. - М.: Мир, 1978.

Кочемасов В.Н. и др. Комбинированные Фурье - процессоры. - Зарубежная радиоэлектроника, 1985, № 2, с. 52.

(54) ПРОЦЕССОР ДИСКРЕТНОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ

(57) Изобретение относится к специализированным средствам цифровой вычислительной техники, предназначенным для выполнения процедуры дискретного преобразования Фурье, и может быть использовано в системах цифровой обработки сигналов в реальном масштабе времени. Цель изобретения - повышение быстродействия. Поставленная цель достигается за счет того, что в состав процессора входят блок L-точечного дискретного преобразования Фурье 1, выходной блок 2, узел удвоения 3, интерполятор 4, элемент задержки 5, вычитатель 6, элемент задержки 7 и сумматор 8. 2 ил.



Фиг.1

Изобретение относится к специализированным средствам цифровой вычислительной техники, предназначенным для выполнения процедуры дискретного преобразования Фурье (ДПФ), и может быть использовано в системах цифровой обработки сигналов в реальном масштабе времени.

Целью изобретения является повышение быстродействия.

На фиг.1 представлена схема процессора; на фиг.2 - временные диаграммы его работы.

Процессор дискретного преобразования Фурье (фиг.1) содержит блок L-точечного дискретного преобразования Фурье (ДПФ) 1, выходной блок 2, узлы удвоения (спектрального разрешения) 3.1-3.M, каждый из которых содержит интерполятор 4, элемент 5 задержки, вычитатель 6, элемент 7 задержки и сумматор 8.

Устройство работает следующим образом.

Входной массив из L комплексных выборок 1-го сегмента анализируемого сигнала параллельно подается в течение интервала времени $0-(L-1)\Delta$ на вход блока 1. Далее в течение интервала времени $L\Delta-(2L-1)\Delta$ на вход блока 1 подается массив из L выборок 2-го сегмента и т.д.

Подобная динамика обновления входного массива может быть обеспечена, например, включением перед входом блока 1 буферного запоминающего устройства (ЗУ), имеющего входной коммутатор, два многозарядных регистра сдвига и выходной коммутатор. Входной коммутатор подключает к входу буферного ЗУ вход 1-го (2-го) регистра сдвига при подаче управляющего импульса на его 1-й (соответственно 2-й) управляющий вход. Выходной коммутатор подключает к выходу буферного ЗУ выход 1-го (2-го) регистра сдвига при подаче управляющего импульса на его 1-й (соответственно 2-й) управляющий вход. Разноименные управляющие входы коммутаторов попарно объединены и образуют 1-й и 2-й управляющие входы буферного ЗУ. Входы тактирования (сдвига) 1-го и 2-го регистров сдвига являются соответственно 3-м и 4-м входами тактирования буферного ЗУ. С момента включения входной коммутатор в течение L тактов работы подключает к входу бу-

ферного ЗУ вход 1-го регистра сдвига, выполняющего в этот период времени функцию 1-й линии задержки с отводами (под входом регистра подразумевается входная шина последовательного кода в каждом разряде кода последовательности обрабатываемых выборок). По завершении $(L-1)$ -го такта осуществляется подключение выходным коммутатором на период времени $L\Delta-(2L-1)\Delta$ выходной шины параллельного кода 1-го регистра сдвига (в каждом разряде), т.е. отводов 1-й линии задержки к векторному входу блока 1; при этом на указанный период времени 1-й регистр выполняет функцию совокупности из L многозарядных регистров хранения, а входным коммутатором осуществляется подключение к входу буферного ЗУ входа 2-го регистра сдвига, который в этот период времени выполняет функцию 2-й линии задержки с отводами. Таким образом, путем поочередного изменения функций двух регистров обеспечивается поочередная подача на вход блока 1 массивов входных выборок. В процессе функционирования буферного ЗУ реализуется подача синхросигналов с частотой $f=1/\Delta$ на вход "УЗ" того из регистров сдвига, который в данной фазе работы выполняет функцию линии задержки с отводами.

Принцип действия процессора состоит в следующем. Пусть, например, $M=8$ и $N_0=N=L\cdot M$. В этом случае все узлы удвоения спектрального разрешения работают в "скачущем" режиме. В момент времени t , на вход блока 1 поступает совокупность выборок 1-го сегмента обрабатываемого сигнала. В момент t_2 на выходе блока 1 формируются результаты ДПФ 1-го входного массива. В момент t_p на выходе блока 1 формируются результаты ДПФ 1-го входного массива. В момент t_1 на выходе интерполятора 4 формируется L_p интерполированных коэффициентов B_e , соответствующих L-точечному разложению входного сигнала по гармоническим составляющим, частоты которых расположены в серединах частотных интервалов между частотами, соответствующими коэффициентам ДПФ A_k .

Гармонические составляющие, соответствующие ДПФ $(A_k \exp j \frac{2\pi k n}{L})$ име-

ют периоды, укладываемые ровно K (целое число) раз на интервале разложения в L точек. Поэтому суммирование значений $A_{k,n}$ и $A_{k,n-1}$ эквивалентно спектральному разложению входного сигнала по составляющим вида

$$\exp j \frac{2\pi \cdot K n}{2L}, \text{ где } K - \text{четное. Гармонические составляющие, разложение по которым дает значения } B_e, \text{ соответствуют частотам } \exp j \frac{2\pi (K + 0,5)n}{2L}$$

периоды которых на интервале в L точек укладываются $K + 0,5$ раз (т.е. они заканчиваются в конце интервала фазой π). Следовательно для фазовой "сшивки" базисных функций разложения, соответствующих коэффициентам B_e , необходимо повернуть фазу коэффициента $B_{e,n-1}$ относительно фазы коэффициента $B_{e,n}$ на π , что и реализуется вычитанием в вычитателе 6. Из сказанного следует, что для имитации удвоения числа точек разложения необходимо реализовать векторное сложение массивов чисел $A_{k,n}$ и $A_{k,n-1}$ и вычитание массивов чисел $B_{e,n}$ и $B_{e,n-1}$, полученных по смежным (неперекрывающимся) во времени сегментам входного сигнала. В результате получаем разложение сигнала по составляющим вида $A'_{k,n} \exp j \frac{2\pi \cdot K n}{2L}$, где при четных K взяты результаты с выхода вычитателя 6, а при нечетных — с выхода сумматора 8.

При повторении подобной итерации удвоения числа точек разложения в узле 3.2 необходимо учитывать, что для этого блока входной массив соответствует уже разложению на интервале в $2L$ точек, т.е. в узле 3.2, в скачущем режиме все операции могут выполняться в 2 раза реже, чем в блоке 1, но и при этом размерности входного и выходного массивов составляют $2L$ и $4L_p$ соответственно, т.е. в 2 раза превышают размерности массивов на входе и выходе узла 3.1. Каждый узел 3.К отличается от узла 3.К-1 замедлением (при работе в скачущем режиме) в 2 раза темпа поступления входного массива и увеличением в 2 раза его размерности. Под скачущим понимаем такой режим работы узла 3К, когда в нем блоки 8 и 6 обрабатывают свои функции один раз за два периода

обновления информации на входе этого каскада (т.е. вычитателем 6 реализуется векторное вычитание массива, полученного при нечетном шаге обновления массива на входе этого каскада, полученного на предыдущем четном шаге обновления; аналогично в сумматоре 8 реализуется векторное суммирование).

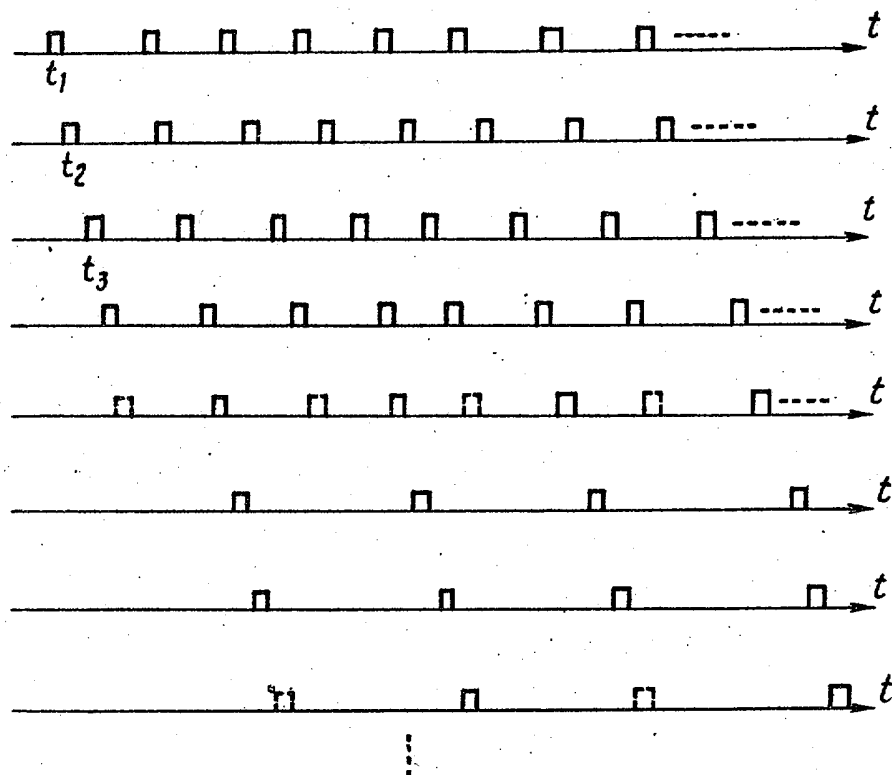
При необходимости реализации спектрального анализа с обновлением на $N_0 = N/2$ точек последний узел удвоения 3.Км работает в скользящем режиме. В последнем случае блоки 8 и 6 в этом каскаде обрабатывают свои функции один раз за каждый период обновления информации на входе этого каскада. При необходимости обновления на $N_0 = N/4$ в скользящем режиме работают последний и предпоследний узлы 3м и 3К_{м-1} (при $M = 8$ это узлы 3.3 и 3.2). Отличие этого режима от имевшего место при $N_0 = N/2$ состоит в том, что темп обновления массива на выходе узла 3.2 совпадает с темпом обновления массива на его входе (т.е. понижения темпа в 2 раза не происходит), что влечет за собой в этом случае двойную нагрузку на узел 3.3.

Ф о р м у л а и з о б р е т е н и я

Процессор дискретного преобразования Фурье, содержащий блок L-точечного дискретного преобразования Фурье и выходной блок, выход которого является информационным выходом процессора, информационным входом которого является информационный вход блока L-точечного дискретного преобразования Фурье, выход результата которого подключен к входу выходного блока, отличающийся тем, что, с целью повышения быстродействия, выходной блок содержит $\log_2 M$ ($M = N/L$, N — размер обрабатываемой входной последовательности) узлов удвоения, причем выход i -го ($i = \overline{1, M-1}$) узла удвоения подключен к входу $(i+1)$ -го узла удвоения, выход M -го узла удвоения является выходом выходного блока, выходом которого является вход первого узла удвоения, причем j -й ($j = \overline{1, M}$) узел удвоения содержит сумматор, вычитатель, два элемента задержки и интерполятор, выход которого подключен к информацион-

ному входу первого элемента задержки, первый и второй выходы которого подключены соответственно к первому и второму входам сумматора, выход которого соединен через монтажное ИЛИ с выходом вычитателя и является выходом узла удвоения, входом которого являются соединенные между собой вход

интерполятора и информационный вход второго элемента задержки, первый и второй выходы которого подключены соответственно к первому и второму входам вычитателя, а тактовые входы первого и второго элементов задержки соединены между собой и являются j -м тактовым входом процессора.



Фиг.2

Редактор В.Бугренкова

Составитель А.Баранов

Техред А.Кравчук

Корректор О.Кравцова

Заказ 6292/49

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4