

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/406

G11C 11/4076 G11C 7/10

G11C 7/22



[12] 发明专利申请公开说明书

[21] 申请号 01812427.5

[43] 公开日 2003 年 10 月 1 日

[11] 公开号 CN 1446358A

[22] 申请日 2001.6.29 [21] 申请号 01812427.5

[30] 优先权

[32] 2000. 7. 7 [33] CA [31] 2,313,954

[32] 2000. 7. 7 [33] US [31] 60/216,679

[86] 国际申请 PCT/CA01/00949 2001.6.29

[87] 国际公布 WO02/05281 英 2002.1.17

[85] 进入国家阶段日期 2003.1.7

[71] 申请人 睦塞德技术公司

地址 加拿大安大略省

[72] 发明人 保罗·德蒙

[74] 专利代理机构 中科专利商标代理有限责任公

司

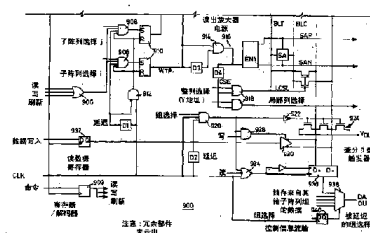
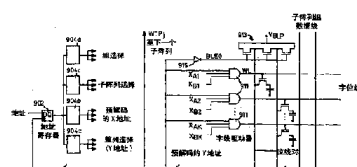
代理人 朱进桂

权利要求书 2 页 说明书 16 页 附图 16 页

[54] 发明名称 具有统一的存取执行时间的高速动态随机存取存储器结构

[57] 摘要

一种动态随机存取存储器 (DRAM)，执行读，写，与刷新操作。该 DRAM 包括多个子阵列，每个子阵列有多个存储单元，每个单元与互补位线对以及字线耦合。该 DRAM 还包括用于维持选中的字线的字线激活部件以及用于维持选中的一个位线对的列选择部件。定时电路用于根据字线定时脉冲对字线激活部件、列选择部件、以及读，写，和刷新操作进行控制。读，写，以及刷新操作是在等量的时间内执行的。



1. 一种动态随机存取存储器 (DRAM), 用于执行读, 写, 和刷新
5 操作, 所述的 DRAM 包括:

(a) 多个子阵列, 每个子阵列有多个存储单元, 每个存储单元与互
补位线对以及字线耦合;

(b) 字线激活装置, 用于维持选中的一条所述字线;

(c) 列选择装置, 用于维持选中的一个所述位线对;

10 (d) 定时电路, 用于根据字线定时脉冲对所述字线激活装置、所述
列选择装置、以及所述读, 写, 和刷新操作进行控制, 其中所述读, 写,
和刷新操作是在等量的时间内执行的。

2. 一种存储器设备, 用于把数据存入指定的输入地址的地址单元,
所述存储器设备只响应读, 写, 和刷新命令, 每条所述命令具有不依赖
15 所述输入地址的统一的执行时间。

3. 如权利要求 2 所述的存储器设备, 其特征在于所述存储器设备包
括动态随机存取存储器 (DRAM)。

4. 如权利要求 2 所述的存储器设备, 其特征在于所述存储器设备包
括嵌入式的动态随机存取存储器 (DRAM) 的宏单元。

20 5. 如权利要求 2 所述的存储器设备, 其特征在于不依赖输入地址的
所述读命令包括整行存取操作, 包括以下步骤:

(a) 位线预充电与补偿;

(b) 字线地址解码与字线维持;

(c) 存储单元存取相关位线对;

25 (d) 位线读出;

(e) 存储单元恢复;

(f) 字线脱离维持。

6. 如权利要求 2 所述的存储器设备, 其特征在于所述存储器设备能
利用系统时钟的每个上升沿接收新命令。

30

7. 如权利要求 2 所述的存储器设备，其特征在于所述存储器设备能根据同步读 / 写命令在单个系统时钟周期内执行读与写操作。

8. 如权利要求 7 所述的存储器设备，其特征在于，在所述同步读 / 写操作包括在行周期的第一部分期间执行写操作，同时，位线读出放大器对选中的位线上的差分电压进行放大，然后在所述位线上建立全值差分电位。

9. 如权利要求 5 所述的存储器设备，其特征在于所述字线地址解码和位线预充电与补偿的步骤实际上是在行周期的第一部分期间同步执行的。

10. 一种用于在存储器器件中以与系统时钟同步的方式执行读命令的方法，包括以下步骤：

(a) 生成一个从系统时钟衍生的自定时主脉冲；

(b) 生成多个自定时脉冲，这些脉冲根据所述自定时主脉冲以串行方式激活，用于对地址与数据电路的运行进行控制。

11. 如权利要求 9 所述的用于执行读命令的方法，其特征在于所述多个自定时脉冲包括第一自定时脉冲，用于激活所选的读出放大器电源，和从所述第一自定时脉冲生成的第二自定时脉冲，用于激活局部存储列。

具有统一的存取执行时间的高速动态随机存取存储器结构

5

技术领域

本发明一般涉及高速 DRAM 结构，而具体讲，涉及读、写与刷新操作的定时。

10 发明背景

按照惯例，动态随机存取存储器（DRAM）商品设计的重点并非高存储性能，而是更着重于通过较高的总的位密度来实现低廉的每位成本。其原因在于二维存储器阵列的单元容量与尺寸的平方成比例增长，而位线读出放大器，字线驱动器，以及行地址（或 x 地址）与列地址（或 y 地址）解码器的附加面积与尺寸成正比增长。因此，以存储密度为设计的突出重点已使所设计的商品 DRAM 所具的子阵列在实际上尽可能地大，尽管这会严重有损于执行单元读取，位线读出，单元恢复以及位线平衡与预充电所需的时间。结果，正如与静态随机存取存储器（SRAM）相比，传统的 DRAM 结构相对的低性能已在总体上使其应用局限于性能要求处于第二位的大容量、高密度、成本要求敏感的应用场合。

而且，传统的 DRAM 结构通过多路复用行地址分量与列地址分量之间的地址线的方式来把存储器器件上的数字信号引脚的量降至最低。结果，DRAM 阵列结构的二维特征就一直是存储控制或逻辑线路与 DRAM 存储器件之间的接口的固有部分。

25 同步接口 DRAM 技术如 SDRAM，直接存取的 RAMBUS，以及双数据率（DDR）SDRAM 的出现通过编码指令取代了异步接口 DRAM 技术，如快速页模式（FPM）与扩展数据输出（EDO）的分离的行和列控制信号。然而，仍保留前述结构的传统二维逻辑寻址的组织方式。

30 通过把执行时间与周期时间对由于大单元阵列的使用而造成的行存取操作速度慢的影响降至最低来增大 DRAM 性能的早期尝试导致出现业

内人士熟知的两种不同级别的存储。第一级包括存储体存取。存储体存取由跟随一个列存取的行打开命令组成。参见图 1a, 该图示出了一个存储体存取的定时图。第二级包括按页存取。按页存取包括以列的方式对由前面的列打开命令或存储体存取命令开打开的剩余列进行的存取。因此, 按页存取通常快于存储体存取。参见图 1b, 该图示出了按页存取的定时图。按页存取在缩短平均执行时间上的功效取决于许多计算与通信应用的存储器存取模式中的统计空间位置。也就是说, 以同一行为目标进行连续的存储器存取的概率是很大的。

这种双重的存储存取级别方案的进一步改进就是建立 DRAM 结构, 明确地将每个存储器设备分为两个或更多个相等规模的、称为存储体的区域。这种结构上的改进, 其目的在于使对一个存储体的存储存取进行迭加, 以部分地降低行存取的辅助操作, 而同时, 另一个存储体执行行打开或关闭操作。实现多存储体结构的系统是业内人士熟知的, 在图 2a 中概括地示出了这样的系统, 并用数字 200 标记。这种系统的定时图在图 2b 中示出。

所有这些方案的主要问题就是维持这一双级存储器存取的系统, 以部分地补偿与 DRAM 大阵列相关的低速行存取。许多实时应用, 如数字信号处理器, 都受到存储性能差的限制。因为连续存取的特有寻址模式的功能的缘故, 这些系统不能允许存储器存取定时上的差异。甚至嵌入式 DRAM 的宏组件设计的最优化性能也在力图维持商品 DRAM 结构的双级存取范例。

参见图 3a, 该图概括地图示了利用双口结构提高 DRAM 性能的另一项尝试, 该双口结构以数字 300 标识。该双口结构是为获得更高性能而在 DRAM 结构上进行的更新的改进。每个存储单元 MC 分别经由存取晶体管 N1 与 N2 与两条位线 BL1 与 BL2 连接。该单元结构能够通过一个存取晶体管及其相关位线, 如 N1 与 BL1, 实现对存储单元 MC 的同步存取, 同时, 与另一个存取晶体管 N2 相关的 BL2 进行预充电与补偿。因此, 可以通过 N2 实现第二存取, 而不会因位线 BL2 的预充电产生任何延迟。

通过在两个存取晶体管与其各自的位线间的往复交替, 该结构完全

可以掩盖与关闭行以及预充电和对位线进行补偿相关的辅助开销。然而，该方案的主要缺点是，与常规的 DRAM 设计相比，由于每个存储单元的访存取晶体管与位线的数量翻了一番，因而 DRAM 阵列内的位密度大为降低。而且，这样的系统还使用开放的位线结构，这是不符合要求的，
5 因为其敏感度与位线对的噪声耦合不相匹配。

本发明的一个目的就是预防与消除上述的缺陷。

发明内容

根据本发明的一个方面，提供了一种执行读、写与刷新操作的动态
10 随机存取存储器（DRAM）。该 DRAM 包括多个子阵列，每个子阵列有
多个存储单元，而每个单元与互补位线对以及字线耦合。该 DRAM 还包
括字线起动装置，用于维护所选的一条字线，以及列选择装置，用于维
护所选的位线对。所提供的定时电路用于根据字线定时脉冲的要求对字
15 线起动装置、列选择装置以及读、写和刷新操作进行控制。读、写与刷
新操作在等长的时间内进行。

附图简述

现在，将参照下面的图形并以之作为最佳范例，对本发明的实施例
进行描述。其中：

20 图 1a 是用于存储器的存储体存取的定时图；

图 1b 是用于存储器的按页存取的定时图；

图 2a 是用于图解多存储体的存储器结构（现有技术）的简化方块图；

图 2b 是用于图 2a 所示系统的定时图；

图 3a 是双口存储器结构（现有技术）的示意图；

25 图 3b 是用于图解图 3a 中所示的双口结构的读写操作的定时图；

图 4 是用于比较常规的 DRAM 单元（现有技术）与根据本发明一个
实施例的 DRAM 单元的曲线图；

图 5 是根据本发明的一个实施例的通用存储器结构的方块图；

图 6 是基本概念示意图，用于图解存储器地址字段及其作用范围；

30 图 7 是定时与信息流程图，用于对图 6 中所示的结构的操作进行图

解；

图 8 是定时与信息流程图，用于对图 6 中所示的电路根据单条命令进行读、写操作的性能进行图解；

图 9 是用于描述图 6 中所示的存储器结构的功能性方块图；

5 图 10a 是用于图解说明图 9 中所示的功能块的定时状态的定时图；

图 10b 是用于图解说明在子阵列被选中与未被选中的情况下字线定时脉冲的触发的定时图；

图 11a 是用于图解说明位线补偿和预充电以及存取时间所要求的最小定时量的定时图；

10 图 11b 是用于图解说明电路在优于最低条件的状态下运行的好处的定时图；

图 12a 是图 6 中所示的存储器结构的异步实施例的定时与信息流程图；

15 图 12b 是用于子阵列存取要求两个时钟周期的实施例的定时预信息流程图；

图 13a 是用于子阵列存取要求时钟周期并且具有一个时钟周期的执行时间的实施例的定时与信息流程图；

图 13b 是用于阵列存取要求一个时钟周期并且具有三个时钟周期的执行时间的实施例的定时与信息流程图。

20

具体实施方式

为获得高速性能，对 DRAM 结构进行优化，而与其连续进行的存储器存取操作的寻址方式无关，每一次读，写或刷新操作均有相同的定时。这一点与操作定时取决于目标地址的值以及上一次存储器操作的历史状况的传统 DRAM 结构不同。

25 使所有的存储器指令均获得相同的存取定时是通过对所接收到的每一条读出、写入或刷新命令均执行一次完整的行存取操作来实现的。完整的行存取操作包括字线维护，存储单元读出，位线读出，单元内信息的复原，字线脱离维护，以及位线补偿和预充电。下面的描述将对允许
30 通过使用常规 DRAM 处理技术制造的存储器设备和存储器宏组件执行具

有与由常规方式构成的 DRAM 执行的按页存取相似的执行时间与周期时间的数据存取的实现细节作出解释。但是，本结构并不象上述技术那样依赖于对存储器进行存取的模式。

本发明的实施例的关键执行部分包括但并不局限于实际结构，操作顺序与重叠，信号电平，计时，以及定时生成技术。该实施例描述了在同步接口时钟信号周期内执行完整的 DRAM 阵列存取并且每个时钟周期能接收新命令的执行过程。但是，本技术领域的专业人士将会意识到，在存储器操作与接口时钟定时之间可以存在其他关系。而且，在特定的情况下，只要不背离本发明的范围，甚至可以说，其他的定时关系是需要的。

参见图 5，该图概括地示出了根据本发明的一个实施例的存储器的总体结构，以数字 500 标识。概略示出了存储器 500 中一个区域的放大部分，标以数字 501。一个 DRAM 器件或存储器宏组件 502 包括多个大小相等的，按照折叠位线结构制成的相对小的矩形 DRAM 子阵列 504。为降低由于位线隔离器造成的延迟，相邻的子阵列 504 不能共享读出放大器。相反，相邻的子阵列 504 有着独立的、专用的读出放大器 506。

另外，在本实施例中，构制子阵列 504 的每条位线的实际存储单元数量接近以同样的处理技术按照常规为 DRAM 所设计的每条位线的单元数量的四分之一。每条位线使用较少数量的实际存储单元使位线电容降低，继而，又使位线电容与存储单元电容的比率降低。位线上的电压差用下面的表达式给出：

$$\Delta V_{BL} = (N_{CELL} - V_{BL}) * C_{CELL} / (C_{BL} + C_{CELL})$$

因此，如果位线电容 C_{BL} 减小，只要仍然获得相同的位线电压差 ΔV_{BL} ，则 V_{CELL} 也能被减小。正如将在下面详细描述的那样，这一比率的降低使存有已衰减的充电电平的存储单元能更迅速地获得与按照常规设计的 DRAM 的电压差相同的位线电压差。这还使存储单元的复原或行存取的写操作部分能在该单元达到处于不活跃条件（高温，低电压，慢处理）下的 VDD 或 VSS 的全值电平之前结束，同时利用标准的读出放大器电

路设计实现得以加强的读出。

参见图 4a 与 4b，概略地示出了用于图解对常规的 DRAM 单元以及根据本发明的 DRAM 单元进行充电所需要的时间的两条曲线，分别以数字 400 与 450 标识。对于该范例的目的，常规的 DRAM 每条位线段有 256 5 个单元。由于在最坏的情况下 $V_{DD} / 2$ 的预充电电压 V_{BLP} 为充电电平的 95%，用于储存逻辑“0”的单元电压约为 $0.025V_{DD}$ 。用于储存逻辑“1”单元的电压约为 $0.975V_{DD}$ 。另一方面，使用根据本发明的部分充电储存电平，考虑到了 60% 的最坏情况，可以提供 $0.20V_{DD}$ 的电压用于储存逻辑“0”，并提供 $0.80V_{DD}$ 的电压用于储存逻辑“1”。因此，对于单元的恢复或写操作，用 60% 的充电电平作为可接受的充电储存电平，达到所 10 需求的电平只需要一个时间常数 τ ，而作为比较，对于常规的 DRAM，则需求约为 3 个时间常数 3τ 。

为使信号能非常迅速地传播经过与一条给定的字线对应的子阵列，要对每个阵列的位线对的数量加以限制，以此来限制定时的迟滞。如果 15 字线在充分封闭的范围内恰当地与金属互连器搭接，则该结构就能使用较大的子阵列，以便对每个阵列的较小数量的位线进行补偿。这就限制了由 RC 寄生造成的字线传送的延迟。虽然出于简单的目的在图 5 中未明确示出，但字线与位线对是交错设置的。也就是说，字线由交替地设在子阵列边侧上的字线驱动器驱动，而位线与交替地设在子阵列边侧上的 20 读出放大器与均衡电路连接。

参见图 6，该图概括地说明了存储器地址信息组及其分布，以数字 600 标识。每个子阵列 602 包括字线阵列 604 与位线对 606。行（或 X） 25 解码器 608 选择字线而列（或 Y）解码器 610 选择位线对。列（或 Y）解码器 610 对存储地址 612 的 N 个最低有效位进行解码，以选择列地址。行（或 X）解码器对存储地址 612 的 M 个次最高有效位进行解码，以选择行地址。存储地址 612 的 LA 个最高有效位用于生成局部起动信号，以恰当地选择子阵列。存储地址 612 的第一段 612a 包括 N 个最低有效位，用于为行中的独立字内编址。因此，每条字线中包含 2^N 个字。一个字的长度用 W 表示。因此，每条字线可控制对每行中的 $W \cdot 2^N$ 个位的存取。 30 刷新操作要选择完整的行，因此对于这一刷新命令，这 N 个最低有效数

字实质上被忽视或者按照“不理睬”处理。

存储地址 612 的第二段 612b 包括紧挨着的 M 个较高的有效位，用于对子阵列中的字线进行编址。每个子阵列的字线数量为 2^M 。根据本发明的一个实施例， $M=7$ ，因此每个子阵列有 128 条字线，但不包括冗余的行单元（未示出）。

存储地址 612 的第三段 612c 包括 LA 个最高有效位，用于对存储器内特定的子阵列进行编址。完整的存储器器件或存储器宏组件包括 A 个子阵列。 LA 是最小的整数，因此 2^{LA} 大于或等于 A 。因此，存储器的总容量为 $(W \cdot 2^N) \cdot (2^M) \cdot A = A \cdot W \cdot 2^{(M+N)}$ 位。而且，存储器接口使用的地址量为 $LA+M+N$ 位。根据本发明的一个实施例， $N=3$ ， $M=7$ ， $A=104$ ， $LA=7$ ，而 $W=24$ 。因此，17 个地址位用于标识 106496 个 24 位字中的一个字，并且该存储器的总容量有 2555904 位。

对于所有的 DRAM 子阵列而言，默认的静态是指处于逻辑低电位的所有字线，以及以预定的预充电电平进行了均衡与预充电的所有位线与数据线。读、写与刷新操作只对由存储地址 612 中的 LA 个最高有效位 612c 寻址的那个子阵列产生作用。存储器器件或存储器宏组件中的 A 个子阵列由值 $0, 1, \dots, A-1$ 进行编址。在一个操作期间只有经过寻址的子阵列被存取。其他所有的子阵列仍处于默认的静态。读、写与刷新命令利用由存储地址 612 的中间段 612b 中的 M 个位的值选中的字线，在被寻址的子阵列内进行行操作。读与写操作对存储单元 612 的 N 个最低有效位 612a 选中的字进行存取。

参见图 7，该图给出了一个定时与信息传输流程图，对与该存储器结构的上述执行过程对应的两条读命令与一条写命令的一般性操作进行了图解说明。在该特定的执行过程中，命令、地址，以及写数据的输入利用同步接口时钟 CLK 的上升沿进行采样，而新的命令可利用每一个接着而来的时钟上升沿给出。第一条读命令 RD1 利用时钟 CLR 的第一个上升沿对地址 A1 执行读出操作 READ1。与此相似，利用第二个后续的时钟上升沿，第二条读命令 RD2 对地址 A2 执行读操作 READ2。接着，写命令 WR3 执行写操作 WRITE3，利用第二个后续的时钟上升沿把在数据输入端出现的数据 WD3 写入地址 A3 处的存储单元。经过两个周期的读出

执行时间之后，由读命令读出的数据 READ DATA1 以及 READ DATA2 被输出到数据车出线上。

正如在图 7 中所能见到的，根据本发明的一个实施例，依据所采样的每一条命令来执行一项完整的行存取操作。虽然行存取操作占用的时间
5 长于单个系统时钟周期，但是，可以利用时钟的每个上升沿以重叠的方式输入命令。例如，当利用连续的时钟周期紧接给出两条命令时，命令 READ1 的字线脱离维护和位线补偿及预充电与命令 READ2 的地址和命令解码，行冗余地址比较，以及信号传送相重叠。与此相似，命令 READ2 的预充电部分与命令 WRITE3 的解码部分同时执行。

10 预充电与补偿操作中的每项操作均在该项操作的末段示出，以图解说明该操作能够与另一条命令的建立重叠执行。概念性地示出了预充电与补偿操作，它与前一项读操作并合，因为在逻辑上预充电与补偿功能是前一条命令的末期操作，以使子阵列返回备用状态。但是，在实际执行过程中，时钟的上升沿是与和特定的命令相应的预充电及补偿步骤同步的。
15 例如在图 7 中，命令 READ2 利用第二个时钟边沿采样，而其相应的预充电及补偿也在同时，即在第二个时钟周期的起点采样。

参见图 8，这是定时与信息传输流程图，用数字 800 概括标识，该图图解说明了在一个系统时钟周期内对同一地址进行同步读与写操作进行支持的能力。在某些数据处理应用中，同步的读与写操作是有用的，
20 因为这允许将存入存储器中的数据送至接着而来的来自同一地址的载体。一般来讲，现行技术要求有一个起自存储器数据输入与数据输出引针或插脚独立的、外部的分流路径。利用时钟信号 CLK 的上升沿，出现在数据输入端的数据 VALUE X 被写入选中的地址 ADDR1。在接近为行存取规定的时间终结时，写入地址 ADDR1 的数据 VALUE X 被采样，并出现
25 在数据输出端上。经过与读，写，以及刷新操作相同的两个周期的执行时间之后，在该数据输出端上可以得到数据 VALUE X。

参见图 9，该图以数字 900 标识，概括地图解说明了用于根据本发明的一个实施例的子阵列的控制电路元件与数据路径元件。对选中的子阵列的操作的总体定时是基于称为字线定时脉冲 (WTPi) 的单一的校正定
30 时标准信号而进行的。目标地址被输入到地址寄存器 902。操作命令被输

入到寄存器 / 解码器 903。地址寄存器 902 与寄存器 / 解码器 903 均由同步接口时钟信号 CLK 计时。寄存器 / 解码器 903 根据所接收的外部命令生成 READ (读), WRITE (写), 或 REFRESH (刷新) 内部命令信号。

地址寄存器 902 的输出被送至多个地址解码器 904。第一解码器 904a 对输入的地址的 N 个最低有效位进行解码, 以生成整个列的选择信号, 或 Y 地址。第二解码器 904b 对 M 个挨着的有效位进行解码, 以生成预解码的 X 地址。第三解码器 904c 对存储地址的 LA 个最高有效位进行解码, 以生成子阵列选择信号。子阵列选择信号将存储器器件或存储器宏组件中的多个子阵列中的之一激活。第四解码器 904d 对子阵列组进行解码。存储器中有子阵列组。子阵列组共享相同的数据线, 读出数据寄存器 / 放大器以及写缓冲器, 这将在下面详细讨论。地址的 LA 个最高有效位选择子阵列组以及该组中的子阵列。

读, 写, 以及刷新信号由或门 906 组合。或门 906 的输出被输入到多个与门 908, 以生成字线定时脉冲 WTP_i。字线定时脉冲 WTP_i 是为每个子阵列局部生成的。因此, 与门 908 具有作为另一个输入信号的子阵列选择信号, 并且如果相关的子阵列被子阵列选择信号选中, 则与门 908 的输出只能被保持。与门 908 的另一个输入是经延迟器 D1 延迟的时钟信号 CLK。

与门 908 的输出是 SR 触发器 910 的 S 输入信号。SR 触发器 910 的 R 输入信号是通过时钟信号 CLK 与由延迟器 D1 延迟的时钟信号 CLK 的反相信号再经与门 912 组合而生成的。提供给 SR 触发器 910 的 R 输入端 R 的信号的反相信号还用作与门 908 的附加输入信号, 以确保 SR 触发器的 S 与 R 输入信号永不会都等于 1。SR 触发器 910 的输出信号是用于第 i 个 (ith) 子阵列的字线定时脉冲 WTP_i。字线定时脉冲 WTP_i 在局部与经由多个与门 911 来自预解码器 904b 的经过预解码的 X 地址组合。与门 911 的输出信号是字线激活信号 WL, 用于激活所选中的字线。字线定时脉冲 WTP_i 经过反相器 915 进一步与位线补偿电路 913 耦合, 以便当 WTP_i 处于低电位时补偿位线并预充电到位线预充电电压 V_{BLP}。经过反相的信号称为位线补偿信号 BLEQ。

字线定时脉冲 WTP_i 进一步与其本身经与门 914 延迟的变形进行组

合，以便向读出放大器提供电源激活信号 916。读出放大器电源激活信号 916 向读出放大器 SAP 供电，以便向位线读出放大器的 PMOS 器件供电，并向读出放大器 SAN 供电，以便向位线读出放大器的 NMOS 器件供电。字线定时脉冲 WTPi 由延迟器 D3 延迟。读出放大器激活信号 916 激活读出放大器电源，以便跨越与选中的子阵列对应的位线对向读出放大器供电。

读出放大器电源激活信号 916 进一步由延迟器 D4 延迟，以生成列选择激活信号 CSE。列选择激活信号 CSE 经过与该特定的子阵列相关的与门 918 与来自列解码器 904a 的整个列的选择地址信号组合。与门 918 的输出提供局部列选择信号 LCSL。该局部列选择信号 LCSL 通过用于读出，写入或刷新操作的列存取装置激活专用的位线对。

与门 920 对组选择信号、时钟信号 CLK、和经延迟器 D2 延迟的时钟信号进行组合。与门 920 的输出是读-写激活信号 RWACTIVE。信号 RWACTIVE 由反相器 922 反相，以便控制串行耦合的数据线预充电与补偿晶体管 924，当该子阵列未被选择中时把一对数据线 926 预充电到数据线预充电电压 V_{DLP} 。

RWACTIVE 信号还利用与门 928 与 WRITE 信号组合。与门 928 的输出信号激活写缓冲器 930，把所接收到的输入数据送至数据线对 926。从一个 D 型触发器 932 接收写缓冲器 930 的输入信号，该触发器接收外部输入的数据作为其输入信号并由时钟信号 CLK 计时。RWACTIVE 信号还通过或门 934 与读信号的反相信号以及时钟信号 CLK 组合。或门 934 的输出是读采样时钟信号 RWACTIVE，用于激活差分 D 型触发器 936，以便读取出现在数据线对 926 上的数据。差分 D 型触发器 936 的输出端子与字长多路复用器 938 耦合。多路复用器 938 是按照从概念出发的数据格式示出的，但是在实际执行过程中，它利用分布式多路复用器结构来构造。字长多路复用器 938 的激活信号来自 D 型触发器 940 的输出端。D 型触发器 940 的输入信号是组选择信号，并且 D 型触发器 940 由时钟信号 CLK 计时。

参见图 10a，这是一个定时图，用于对图 9 中的用于读操作的相关信号进行定时，以数字 1000 标识。电路的运行参照图 9 与图 10 描述如下。

当存储器处于备用状态时，字线定时脉冲 WTP_i 维持于逻辑低电位。 WTP_i 处于低电位时，所有的字线处于低电位并且该子阵列中的位线与数据线均自动维持于补偿与预充电状态。每个子阵列有专用的 WTP_i 信号，通过子阵列选择门 908 来选取。在从对存储器接口处的有效命令进行采样的时钟的上升沿开始的一个固定的延迟期之后，与选择的子阵列相关的 WTP_i 信号得以维持。在时钟周期持续期间， WTP_i 保持高电位，直至其被时钟的下一个上升沿无条件地复位。 WTP_i 起门控信号的作用，用于常规的以及冗余的（未示出）字线驱动器。随着 WTP_i 的上升与下降，由被采样的地址选中的子阵列中的字线随之一起上升与下降。 WTP_i 的上升沿还驱动用于激活位线读出放大器以及局部列选择存取装置的自定时电路。

再来参见图 10，经过可编程的预置延迟 D_1 之后，字线定时脉冲 WTP_i 变为高电位，致使位线补偿信号 $BLEQ$ 与字线信号 WL 变为高电位。应注意，延迟 D_1 ， D_2 ， D_3 ， D_4 都是利用在 09 / 616, 973 号 MOSAID 公司的待审专利申请中描述的新颖的延迟电路来实现的（这里引入以作为参考）。在经过从时钟信号的上升沿开始的可编程的预置延迟 D_2 之后， $RWACTIVE$ 信号得到维持，致使 $RSAMPCLK$ 信号变为高电位。根据字线维持信号 WL ，在位线对上开始形成电压差。经组合的延迟 D_1+D_3 之后，读出放大器电源信号 SAP ， SAN 均得以维持，对跨在位线对上的电压差进行放大。经过组合延迟 $D_1+D_3+D_4$ 之后，局部列选择信号 $LSCL$ 得以维持，借此选中传输了数据列。随着局部列选择信号 $LCSL$ 的确立，数据从所选的列传至一个相关的数据线对。

重要的是要注意到上述的每一步骤均是由从校正字线定时脉冲 WTP_i 导出的自定时信号起动的，以此来实现每个信号的定时的微调精度。还应注意，虽然上面的描述总体上参考了一个所选的列以及相关的数据线对，但是本技术领域的专业人士都会理解，实际上可以用一个列选择信号来选择多个列，而每个列均有相关的数据线。

对于读操作，输入的时钟信号 CLK 的经过延时的变形信号 $RSAMPCLK$ 把互补采样输入信号提供给一组 H 字长差分输入 D 型触发器 936，这些触发器也与一个或几个子阵列组的数据线 926 连接。这些 D

型触发器最好是 2000 年 7 月 30 日提交的 PCT / CA00 / 00879 号待审的 MOSAID 公司的专利申请书中描述的那种触发器。该专利在这里引入以作为参考。在时钟 CLK 的下一个上升沿, RSAMPCLK 将采样时钟输入锁存到在行存取操作的末期获得读出数据的读数据触发器 936。含有被存取

5 的子阵列的子阵列组的读数据触发器 936 的输出信号经过一个多路复用器网络 938 送出, 用于从相应的子阵列组选择最终的输出数据, 然后送至存储器引针或存储器宏组件的引针。采用这种自基准的定时方案来控制读操作, 其结果是读命令, 它在每个时钟周期中被送入存储器并且有两个周期的有效执行时间。也就是说, 利用时钟的上升沿 N 采样的读

10 命令将其输出数据送至具有充足的准备时间的接口, 以使存储器控制器能够利用时钟的上升沿 N+2 将其锁存。

写操作也利用自定时电路来生成 RWACTIVE, 参见在图 9 中所示的输入时钟信号 CLK 的经过延时的变形信号。该自定时电路通过从反相器 922 输出的逻辑低电位来关闭数据线补偿与预充电电路 924。它通过提供

15 来自与门 928 的输出端的逻辑高电压的方式来启动写缓冲器 930, 以便把在接口上采样的写数据送至数据线 926。如前所述, 子阵列中的列存取装置利用由与门 918 生成的局部列选择信号 LCSL 进行控制。

列存取装置的位线读出与激活之间的相关定时的精确控制对于执行写操作而言是重要的。一般来讲, 字线一旦被选中, 与该特定字线相关

20 的所有存储单元均将被存取, 并且存储数据将通过字线存取晶体管被送至各自的位线。接着, 与所选子阵列相关的所有读出放大器均将开始读取它们的所有相关位线上的数据 (以确保该行中未被选择的位线中的数据完整性)。在常规的 DRAM 中, 对于写操作而言, 一旦特定的列被选中, 写驱动器将重写位线读出放大器读出的数据。然而, 根据本发明,

25 在读出放大器开始根据被激活的字线增大位线电压等信号区的时间与位线等信号区接近全值的干线电位的时间之间的写操作初期存在一个较短的时间间隔。在该时间间隔中, 可以通过对在位线读出放大器的激活与列存取装置的激活之间的定时的精确控制来执行写操作。如果列装置被激活得太晚, 则要把反相的数据写在位线上的写操作将花费较长的时间,

30 因为写驱动器必须克服反相的全值电压等信号区。如果列存取装置被激

活得太早，就存在由局部数据总线（在本实施例中与位线平行布设）与未被写操作选中的位线之间的噪声耦合而引起的数据不可靠的风险。未中选的线实际上只在执行读出与恢复操作。

为此，本发明的自定时特性为在位线激活、位线读出放大器激活、写驱动器激活及列选择激活的定时之间进行严格控制创造了条件。准确地说，WTPi 信号从时钟信号 CLK 起，经延迟器 D1，门 912 以及触发器 910 而自定时，继而，根据包括延迟器 D3 和门 914 的自定时电路而把读出放大器激活。由门 914 生成的同一自定时信号则用于驱动延迟器 D4 与门 918，D4 与 918 因此而从读出放大器的激活起被自定时，并且将在同时，在位线读出放大器被激活之后，而被准确激活。同时，写驱动器 930 也通过由延迟器 D2 和门 920 以及 928 构成的自定时电路而被激活。通过这种方式，写驱动器能够比在常规的 DRAM 器件中更迅速地把位线上的反相的逻辑状态翻转成它们正在写的状态。参见图 10b，该图示出了用于生成 WTPi 的定时图，用 1050 标识。如果该子阵列是激活的，或是被选中的，则 SR 触发器 910 的 S 输入端转为高电位。因此，WTPi 变为高电压，并且开始运行要求命令的一系列控制操作。WTPi 在时钟的下一个上升沿处被重置为低电位。这种情况被图解为例 1。然而，如果子阵列是未激活的，或未中选，则 SR 触发器 910 的 S 输入端维持低电位，并且，因此，WTPi 维持低电位。这种情况被图解为例 2。

关于命令以及组选择的信息输送，回过来参见图 9，如果在周期 N 中在给定的子阵列组中执行了读操作，则在周期 N 期间其组选择将得以维持。寄存器 940 利用把时钟周期 N 与 N+1 隔离开的时钟上升沿锁存组选信号。904 的输出在时钟周期 N+1 期间对多路复用器 938 的选择进行控制。

由一个外部存储控制器控制刷新存储器器件或存储器宏组件 502 的存储信息。该外部存储控制器以一种最优化的模式为特定的应用建立刷新模式。然而，在预定义的刷新时间间隔内，每个单元至少应被刷新一次。刷新时间间隔取决于所使用的装置与技术。

为了周期性地对全部存储单元进行刷新，该存储控制器给出 $A \cdot 2^M$ 条刷新命令，每个行地址一条命令，每个最大的刷新时间间隔中至少刷新

一次。刷新命令对子阵列中的完整行的单元同时执行操作，并且对存储地址 612 的 N 个最低有效位 612a 采取“不理睬”的态度。

执行读与写操作时，含有被编址的字的整个行的信息均被刷新。因此，能够保证每个行中的至少一个字将在小于或等于最大刷新时间间隔的时间间隔内成为读或写命令的目标的应用无需执行明确的刷新命令。

体现上述的本发明的 DRAM 结构与电路被确定为众多的高性能应用的目标。本发明的结构与电路取代传统 DRAM 结构的双级存取模式。这样，就不再有把存储地址分为行与列分量的明显分法，并且存储器接口也不再包括行状态这一概念。没有了行状态，就没有了把存储容量分为存储体的分法，也就没有了明确开启与关闭行的命令。该结构支持并要求读，写，和刷新命令。这些操作的执行时间与周期时间也因此是恒定的，并且不取决于输入地址的值。

由于不支持明显的行状态，在每一操作的开始，所有的 DRAM 阵列的状态均表现相同。所有操作的初始条件都是所有的字线都被预充电为低电位，并且所有的位线与数据线均被补偿并被预充电为预充电电压。每一存储操作执行完整的行存取操作与相邻的位线和数据线的补偿与预充电。这就大为简化了外部存储控制器的设计，因为它不再需要跟踪开启的存储体。

而且，外部存储控制器无需以检查每个读或写操作的地址，以选择合适的 DRAM 命令序列来执行该操作。经比较，在常规的 DRAM 系统中，存储控制器必须判断它要存取的存储地址是否会找到打开页的存储体，封闭的存储体，或对不同的页打开的存储体。

虽然已参照具体的实施例对上面的设备进行了描述，但是本技术领域的专业人士清楚各种修改。例如，用差分放大器替换差分采样触发器 936 能把读执行时间从两个时钟周期降至一个，使最大执行时钟速率得以充分下降。相反，利用上述结构组建的容量巨大的 DRAM 可以在该存储器中的读数据或写数据的内部路径中采用一个或多个附加的信息传送寄存器级。为了增大存储器的最大时钟或者增大所读的数据，以便对所规定的可为外部存储控制器利用的时间进行计时，就可以这样做。这种情况对于在很大程度上被分解为多个子阵列的 DRAM 而言是相似的。

本发明的该实施例在每个存储单元子阵列中提供了附加的行与列部分，作为备份，用于修复某些种类的生产缺陷。一般来讲，这一作法使子阵列的规模稍有增大，并导致存储器的存取小有延迟。这是由于子阵列的操作较慢，并且在列冗余的情况下对字线驱动器进行维持之前或者在列冗余的情况下对列进行维持之前需要把输入地址与故障地址表进行比较的缘故。本实施例中所述的定时序列能够消除存储周期时间中的部分的或全部的行地址冗余比较延迟成分，其方式是在行周期的开始使该延迟成分与位线补偿以及预充电进行重叠。但是，一个替代的可能性是，从子阵列中完全取消冗余部分，代之以为存储器器件或存储器宏组件配备冗余的子阵列，以通过故障子阵列的冗余替换的方式达到维修的目的。

列冗余是通过在子阵列组数据线 926 与采样触发器 936 / 写缓冲器 930 之间设置多路复用器（图 9 中未示出）而实现的，这样就能为常规数据部分替换冗余的列装置。此外，互补的冗余装置数据线对能够或者是单独地或者是作为较大的存储体的装置而被替换，用作互补的常规数据线对。数据线补偿与预充电电路设于数据线冗余多路复用器的旁边，以便把执行这一操作所需的时间降至最低。

在用于存取选择的行的定时序列启动的 WTP_i 之后的行周期的第一部分中执行执行位线预充电与补偿的作法具有高于常规实施例的几个优点。对于用于在输入时钟的上升沿之后延迟字线定时脉冲（ WTP_i ）的维持的延迟部件 D1，其设计目的在于生成最小的必需的时间段，在此时间段内， WTP_i 为低电位。对于 WTP_i 的这一最小的必需的低电位时间段，其设计目的在于在处理变量以及电源电压与器件温度情况最差的情况下确保足够的位线补偿—预充电。结果，字线定时脉冲 WTP_i 是尽可能精确的。

参见图 11a，该定时图示出了延迟环节 D1 与位线补偿之间的这种相关性。存储器的最大时钟速率是在能有效执行行存取与读或写操作的最糟条件下由必需的 WTP_i 的高电位持续期确定的。由 WTP_i 低电位期间所占用的、以及因此而由相邻的操作之间的位线与预充电所占用的时钟周期的时间段，是在处理、电压以及温度的情况最差的延迟条件下以最大的时钟率进行的存储器操作的最大值的时间段。

对于以较慢的时钟速率进行的、或者在好于逻辑延迟最差的情况的条件下进行的操作，相邻操作之间的 WTPi 处于低电位的时钟周期的时间段被减小。这就增大了在子阵列的行存取期间选择的字线得以维持的时间。于是，为了所有的操作以及用于读操作的数据线上的等信号区电压而进行的存储单元恢复的质量得以提高。参见图 11b，该定时图图解说明了以慢于最大时钟速率的时钟速率进行的、或者在好于逻辑延迟最差的情况的条件下进行的存储操作。

该实施例还描述了使用同步接口的系统，该接口以接口输入时钟的每个周期一条命令的速率来接收与执行命令。然而，用异步接口来实现上述的 DRAM 结构，对于本技术领域的专业人士而言，这是透明的。在图 12a 中给出了用于异步接口的定时图。

在另一个可代替的实施例中，同步接口把子阵列存取延迟乃至跨过两个以上的接口时钟周期，这也是可行的。参见图 12b，该图给出了用于这种实施例的定时图。

在另一个可供选择的实施例中，同步接口以每个时钟周期一项操作的速率执行操作，而每个时钟周期具有一个时钟周期的读数据执行时间，这是可行的。这样的实施例在图 13a 中给出。

在另一个供选的实施例中，实现了同步接口，该接口以每个时钟周期一项操作的速率执行操作，而每个时钟周期具有三个以上时钟周期的读数据执行时间。这样的实施例在图 13b 中给出。

虽然已参照的具体实施例对本发明进行了描述，但是只要不背离如在所附的权利要求中阐述的本发明的精神与范围，对其进行和种修改对于本技术领域的专业人士而言将会是透明的。而且，本发明可用于任何种类的使用冗余存储装置以增加有效输出量的电子存储器。这包括但不局限于 SRAM 以及各种非易失性的存储器，如 EPROM，EEPROM，闪速 EPROM，和 FRAM。

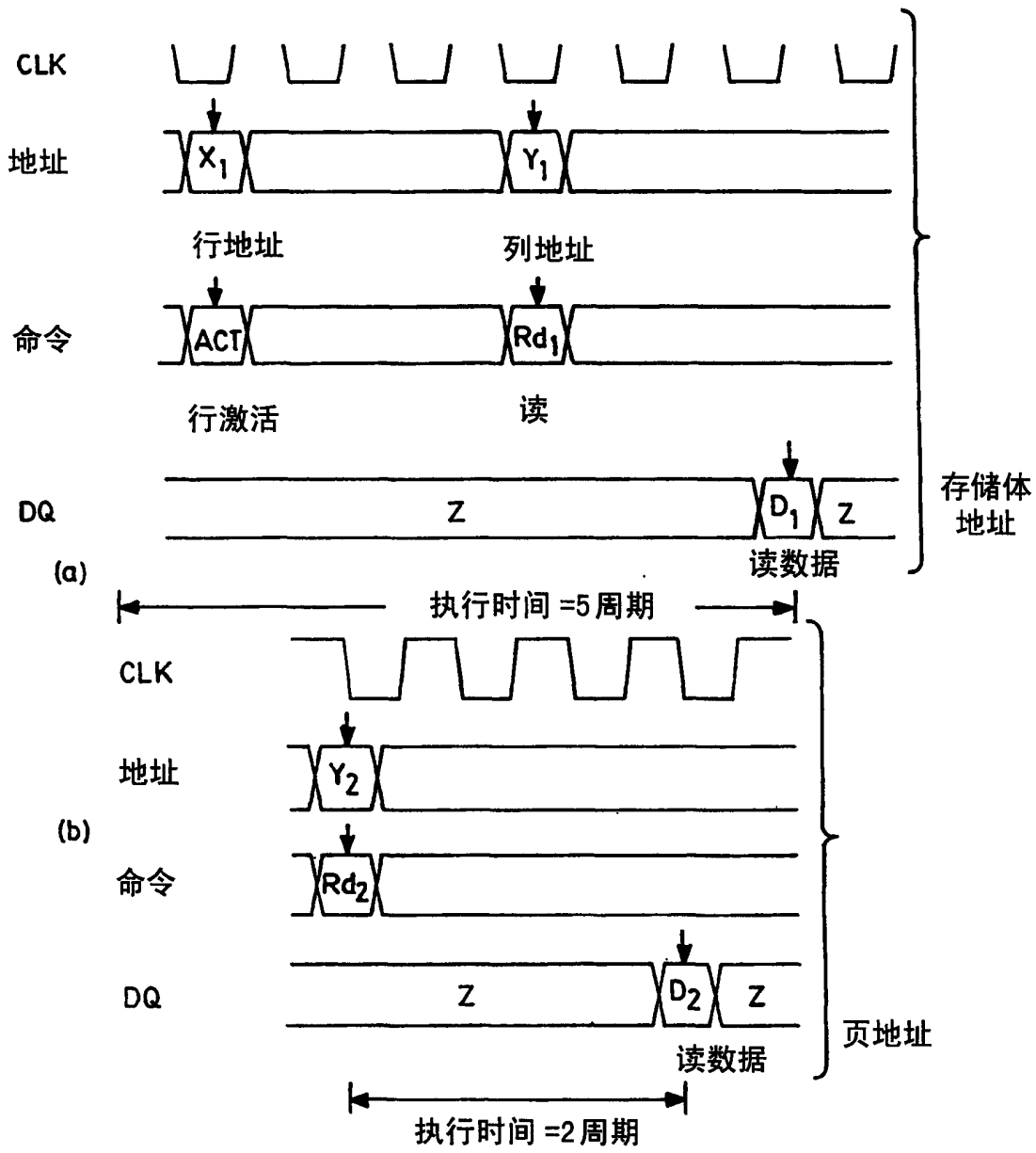


图 1

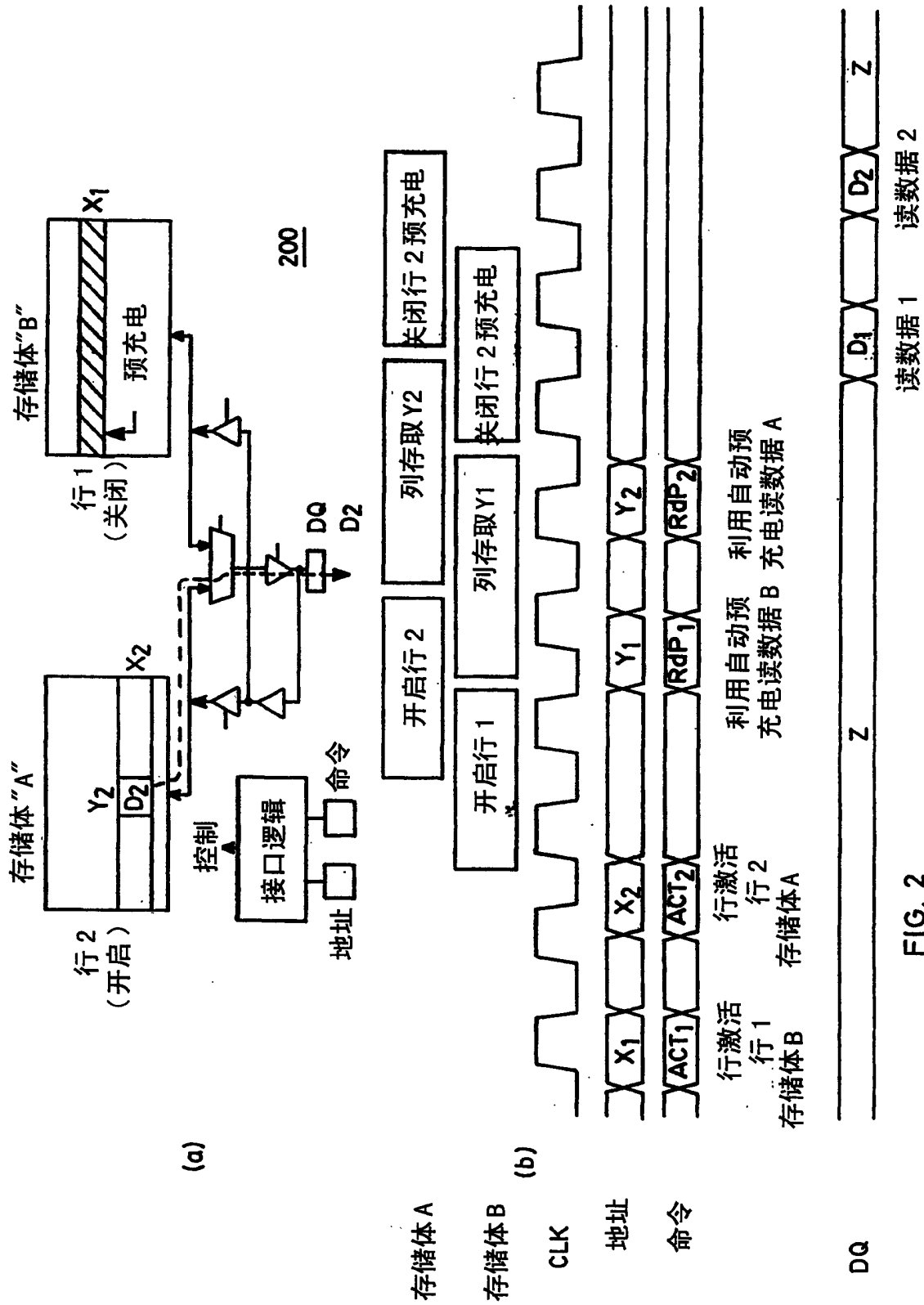


图 2

FIG. 2

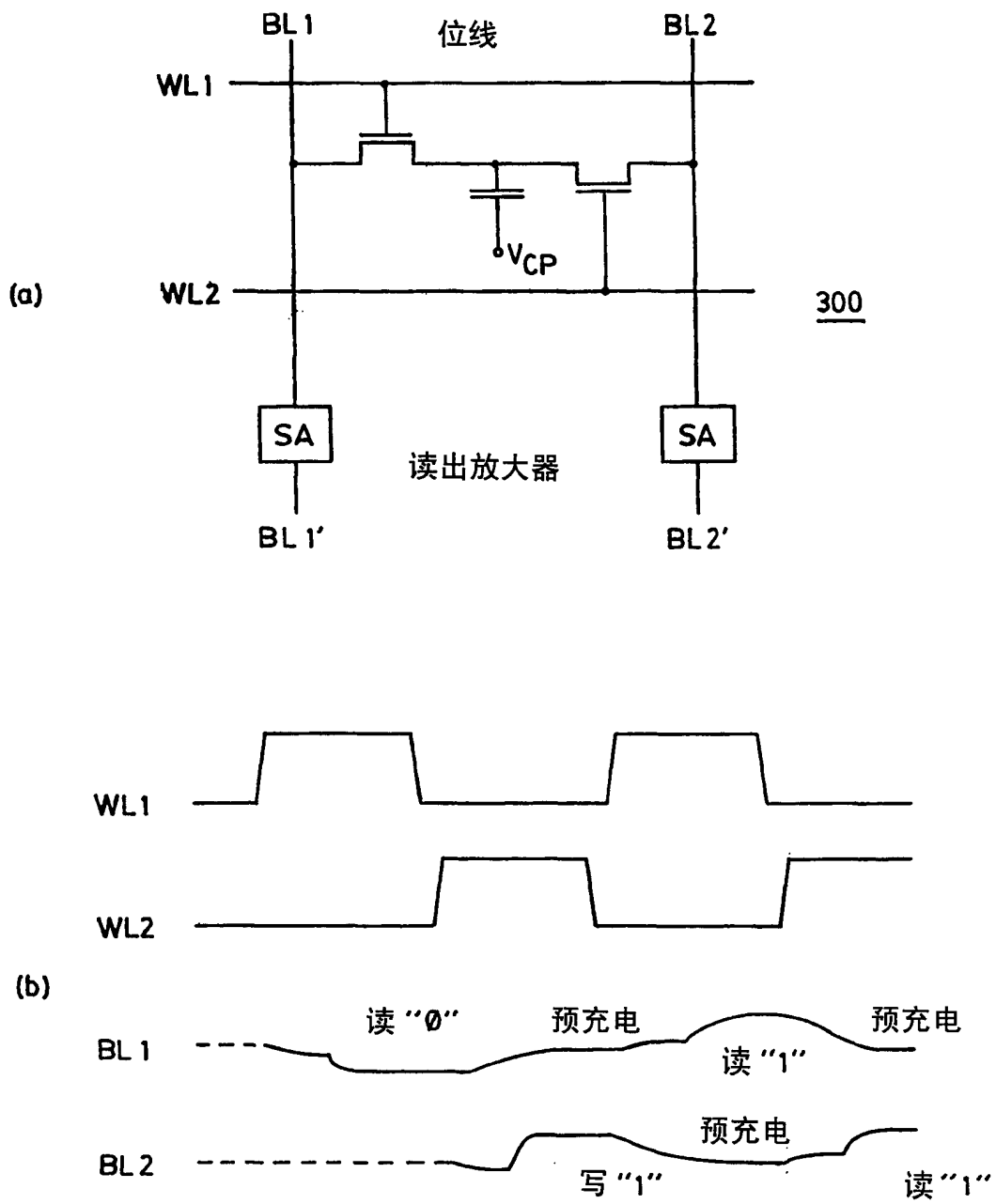


图 3

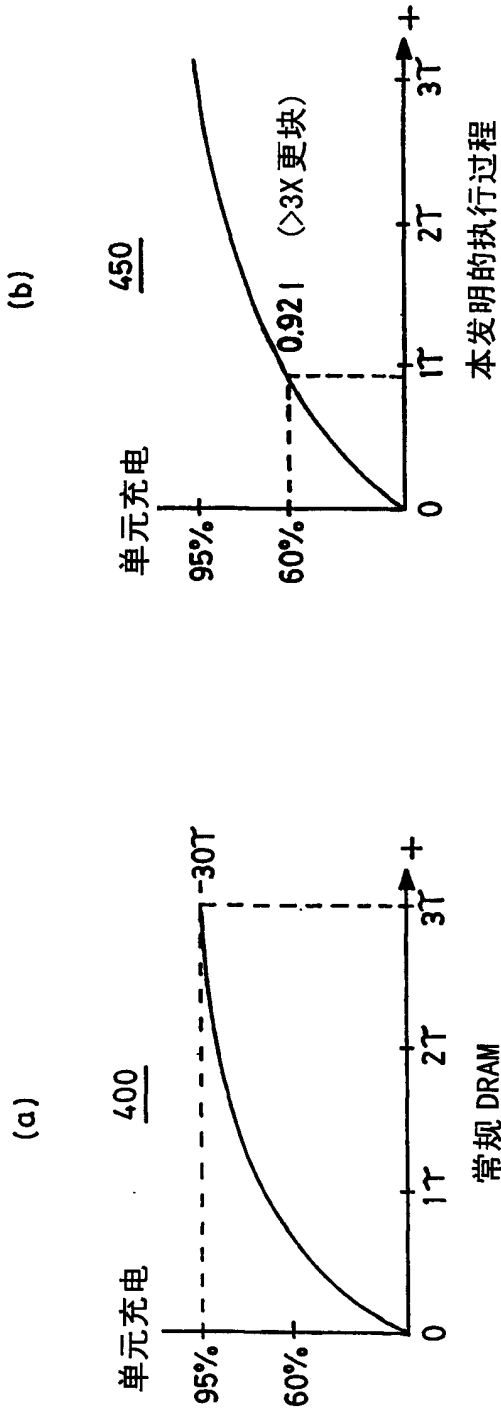


图 4

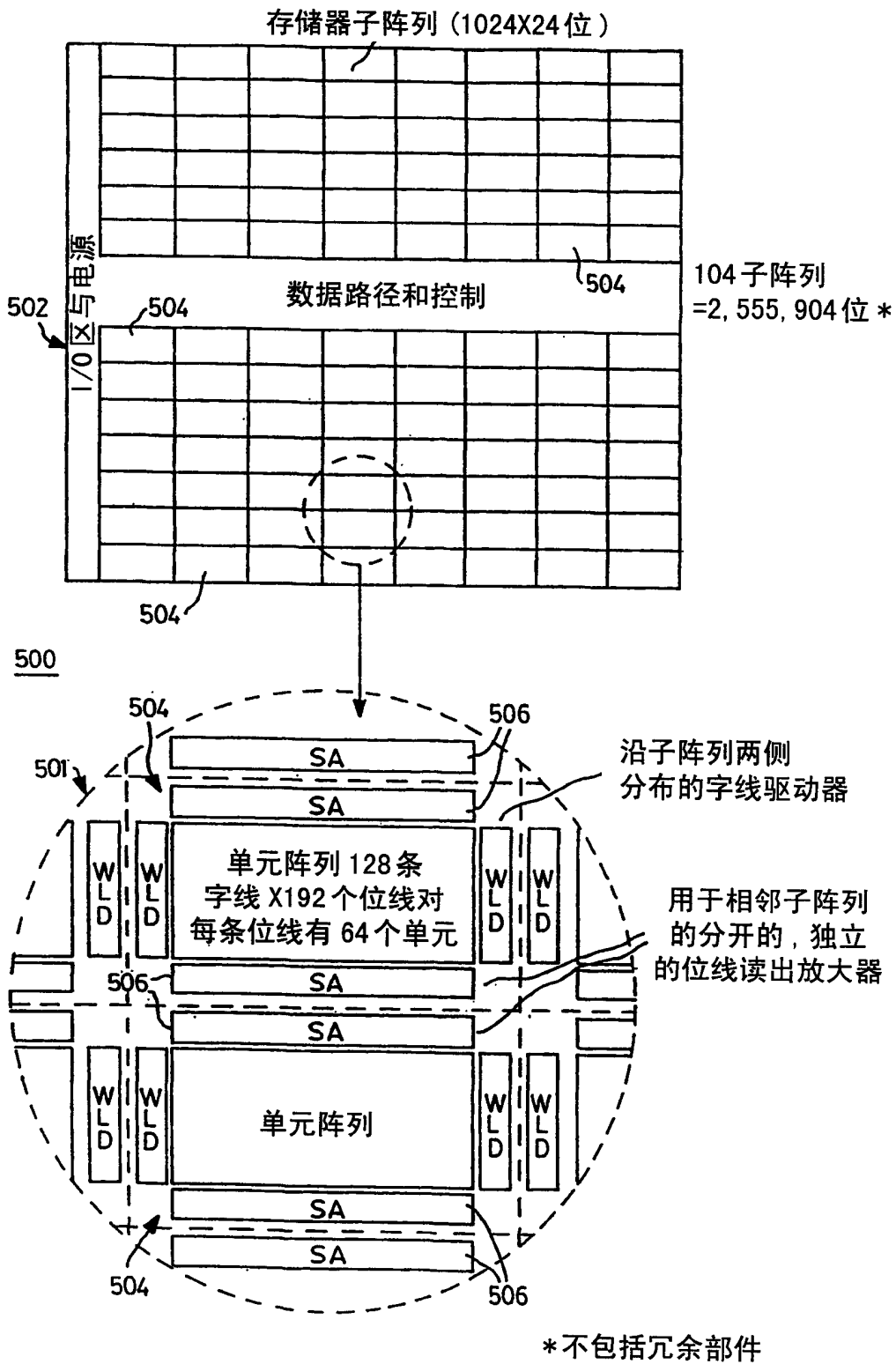


图 5

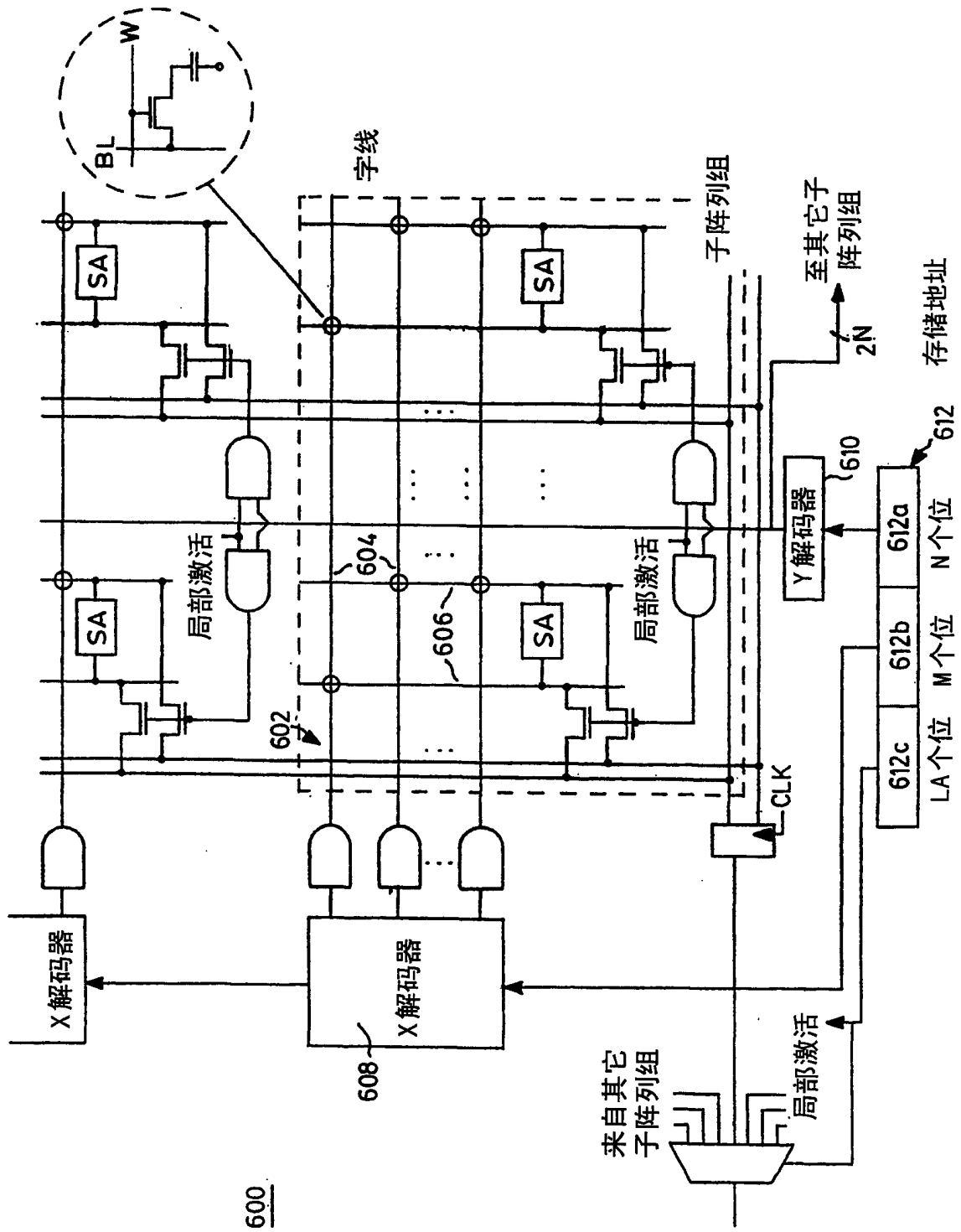


图 6

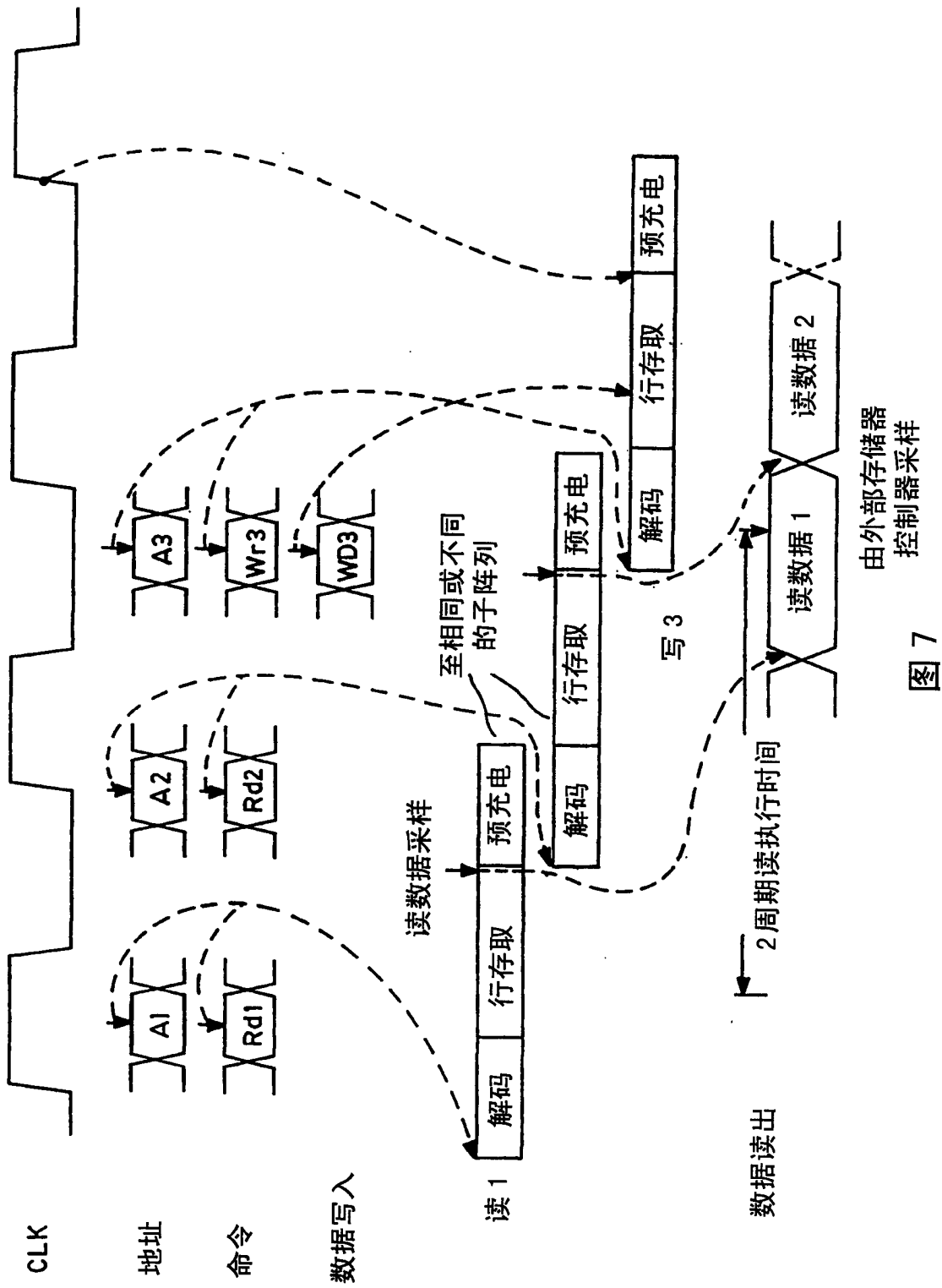


图 7

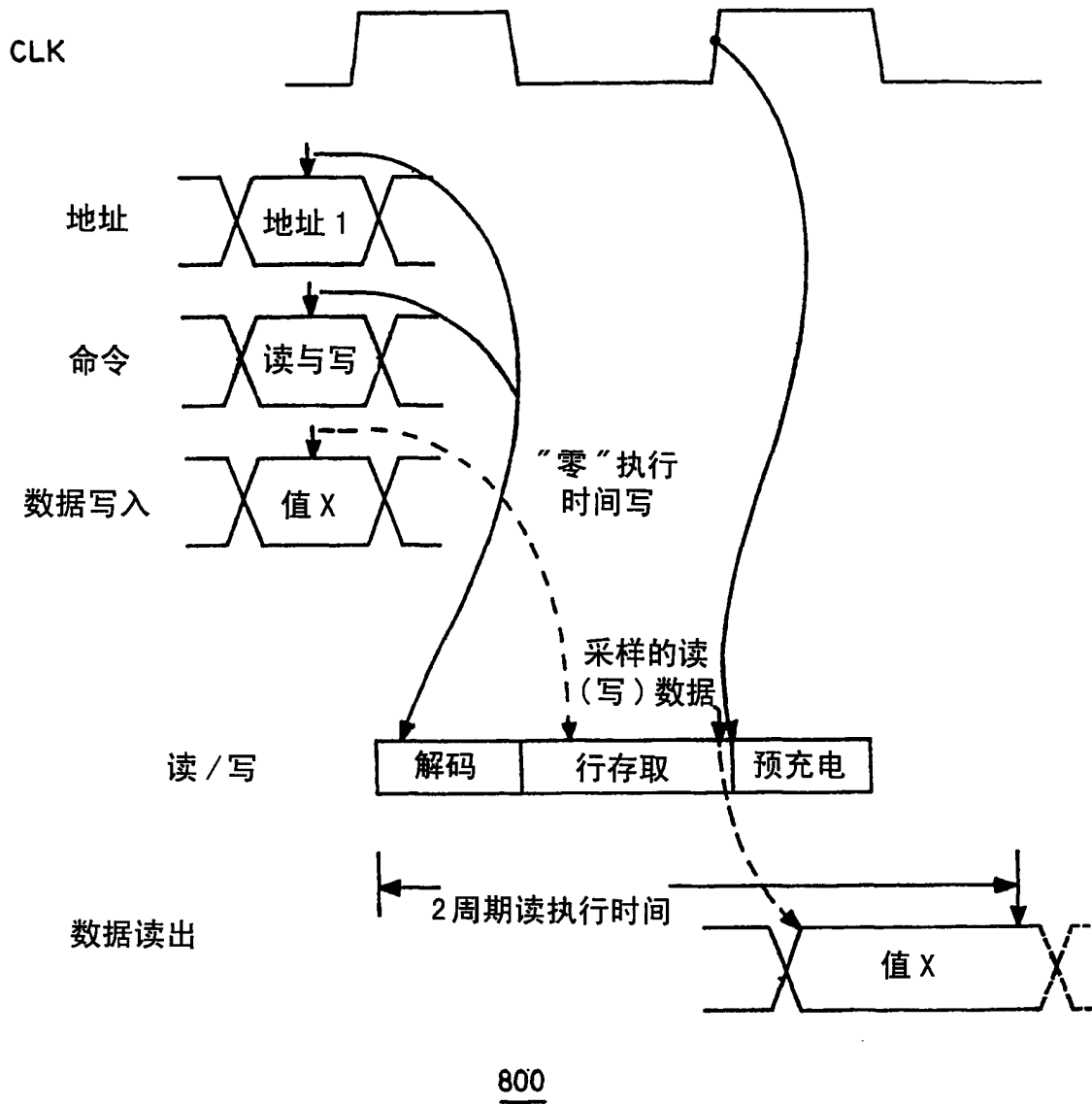


图 8

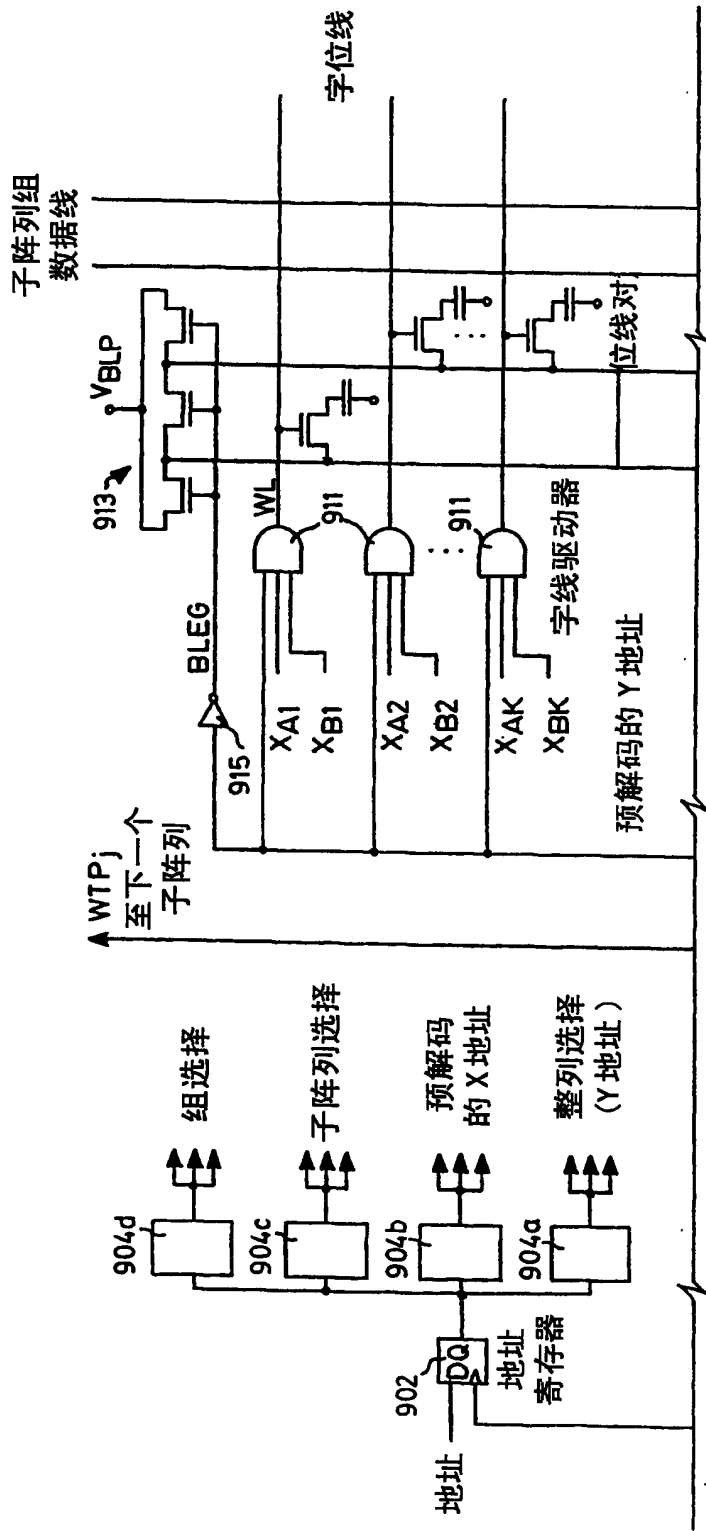


图 9a

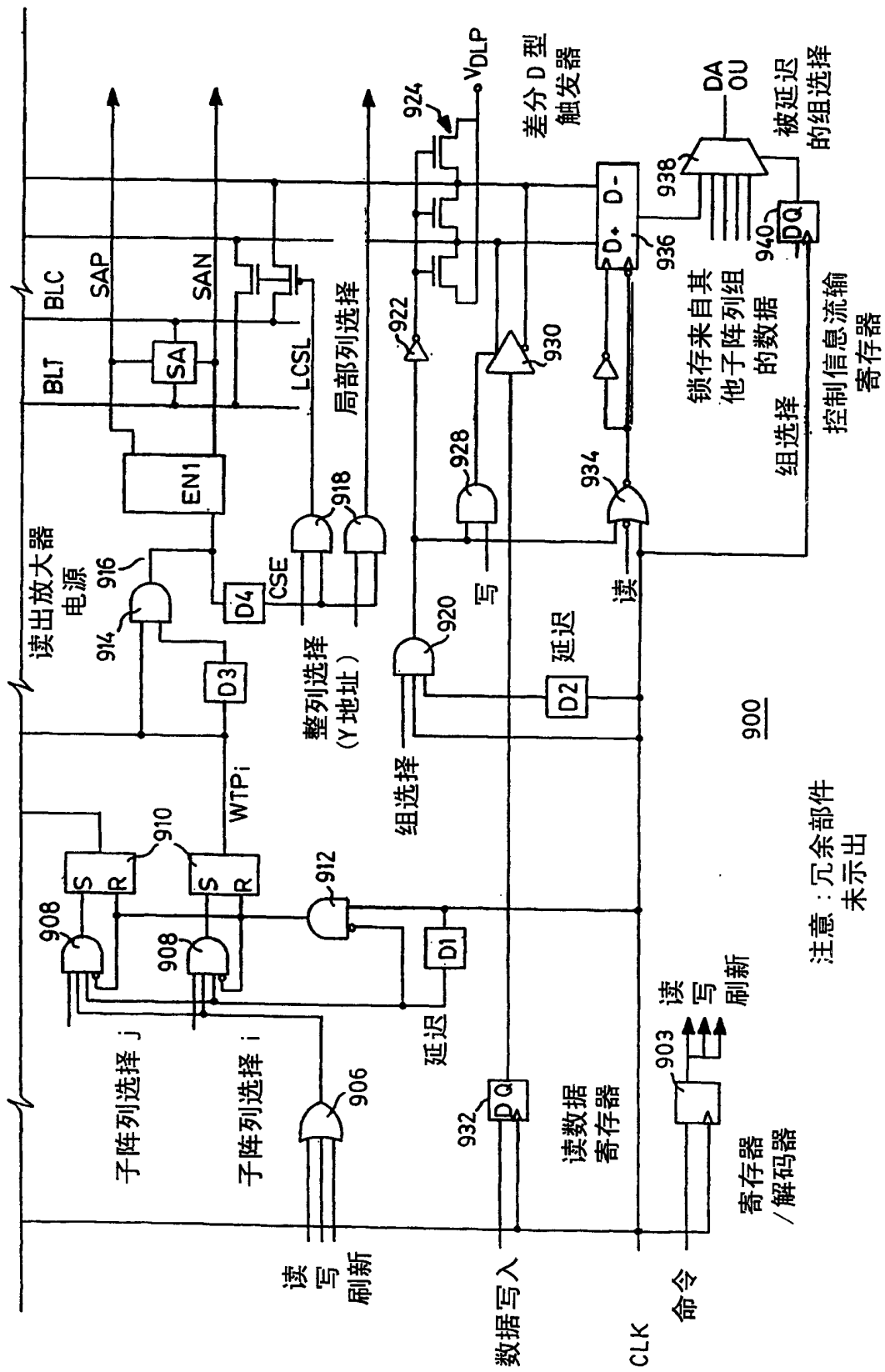


图 9b

注意：冗余部件
未示出

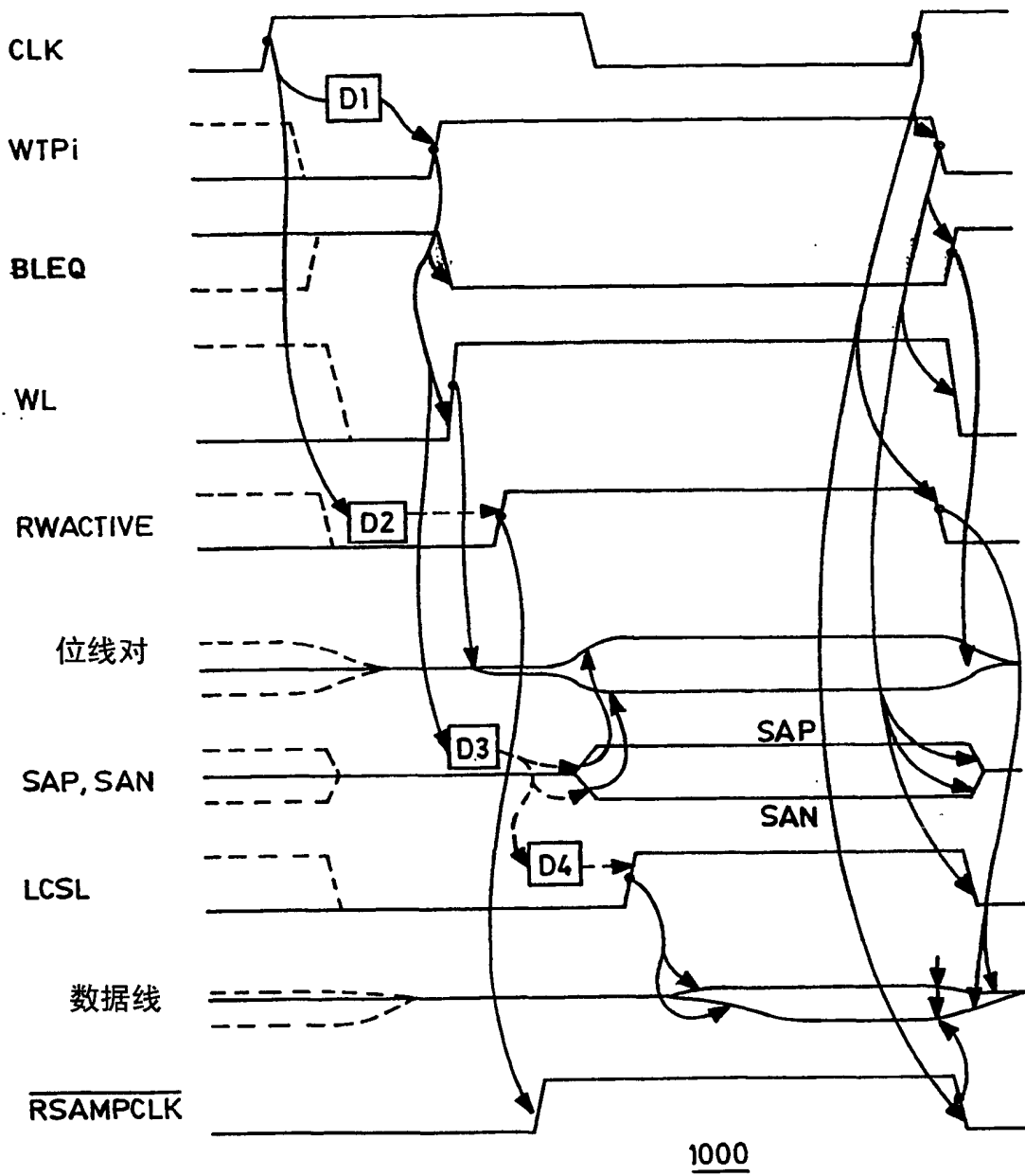


图 10a

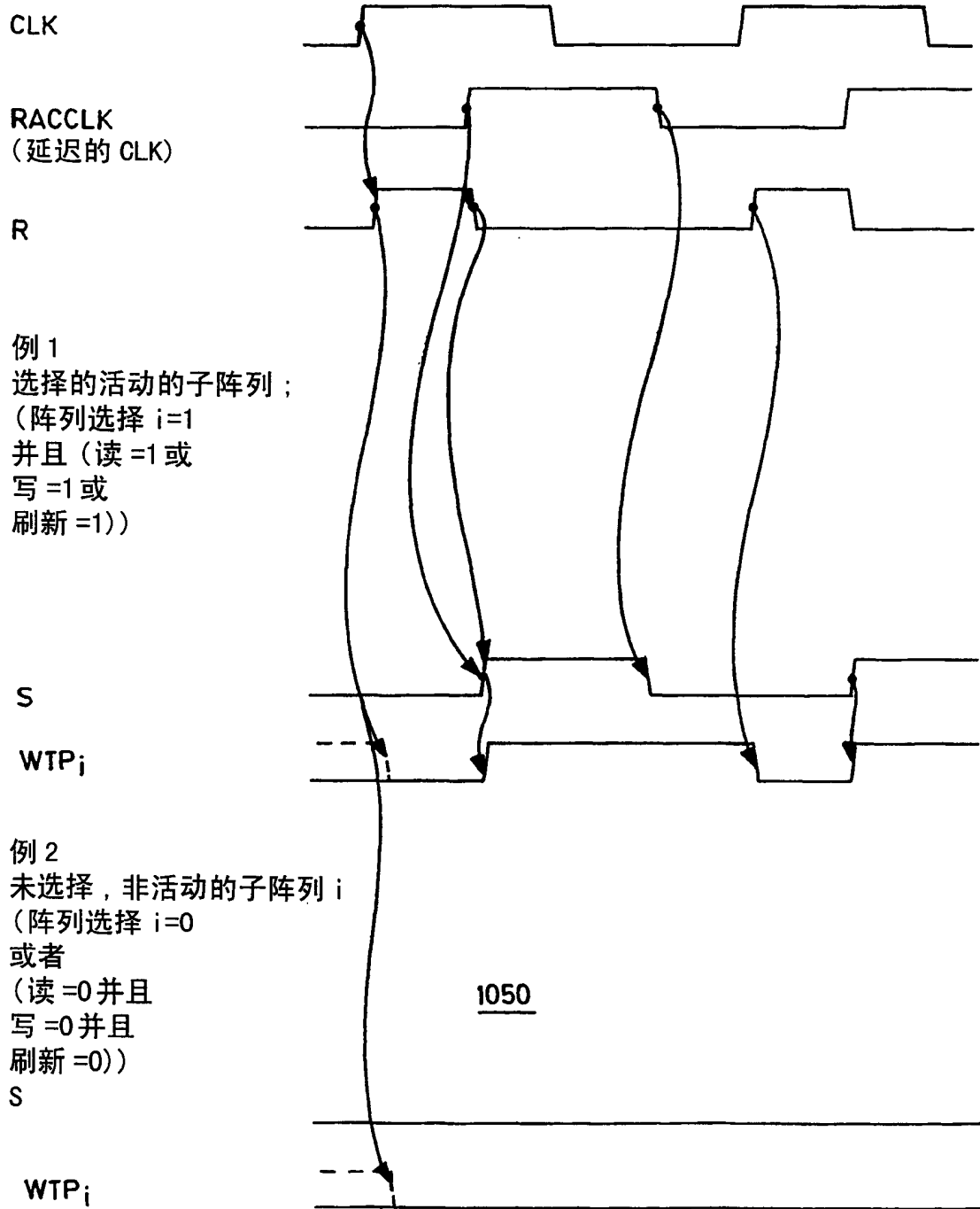


图 10b

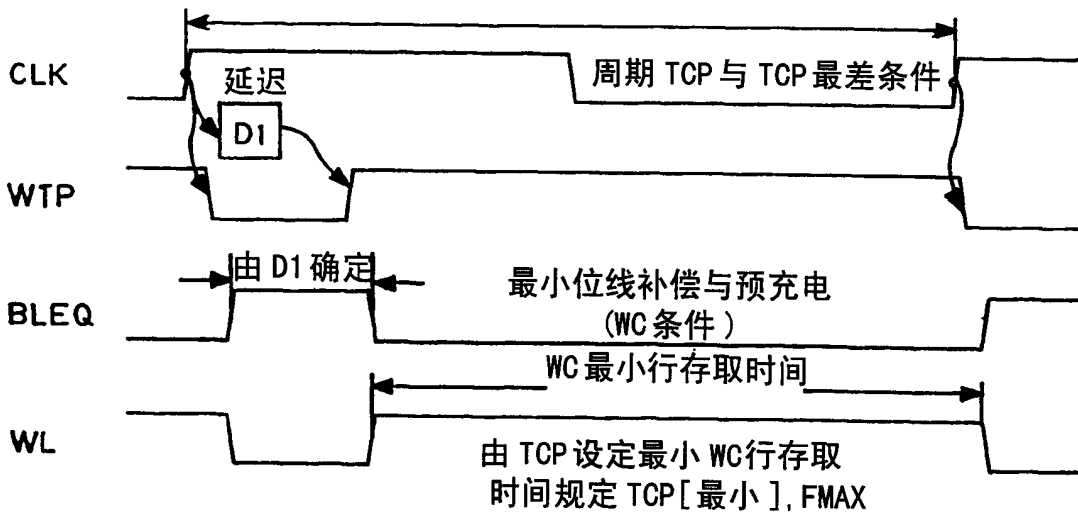


图 11a

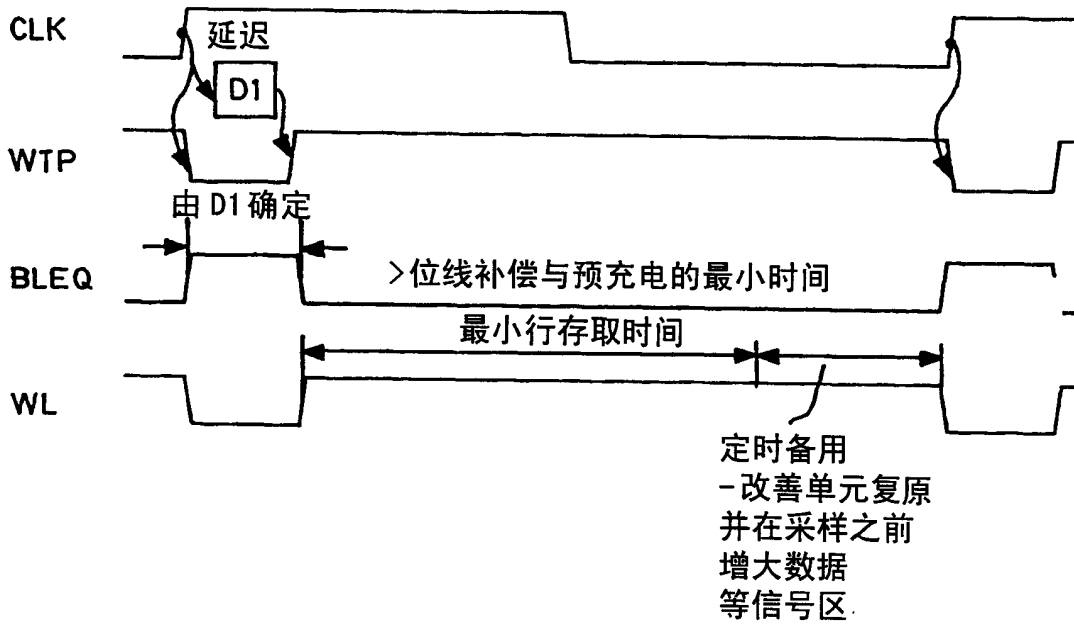


图 11b

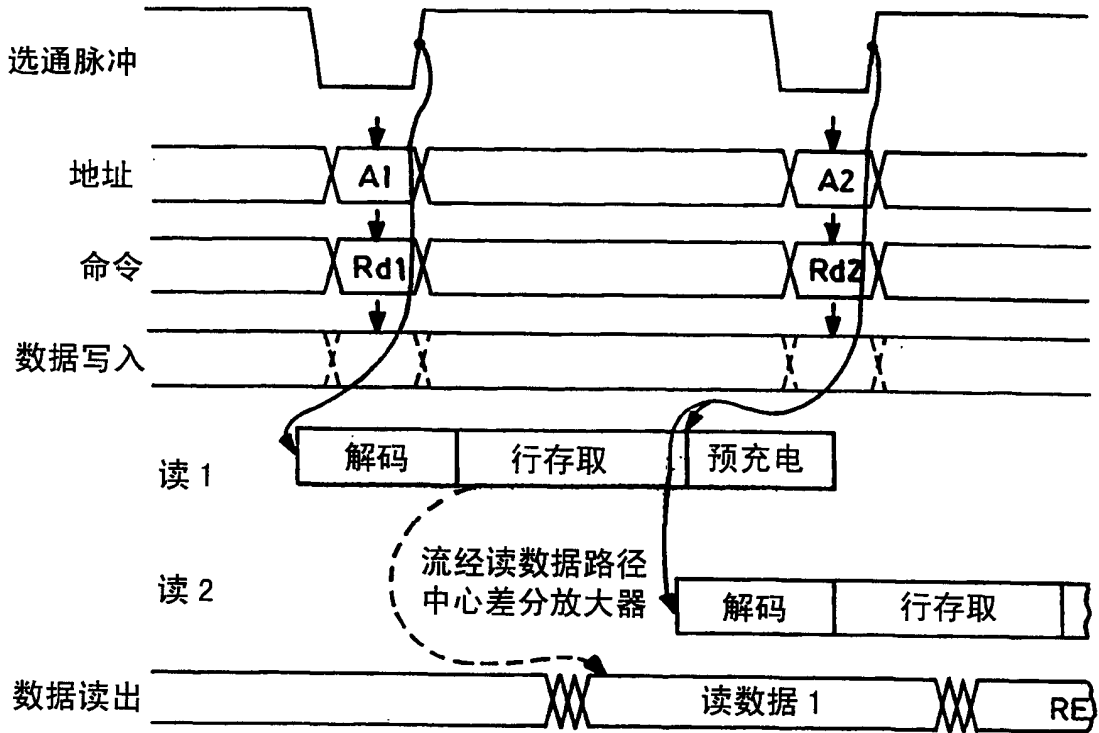


图 12a

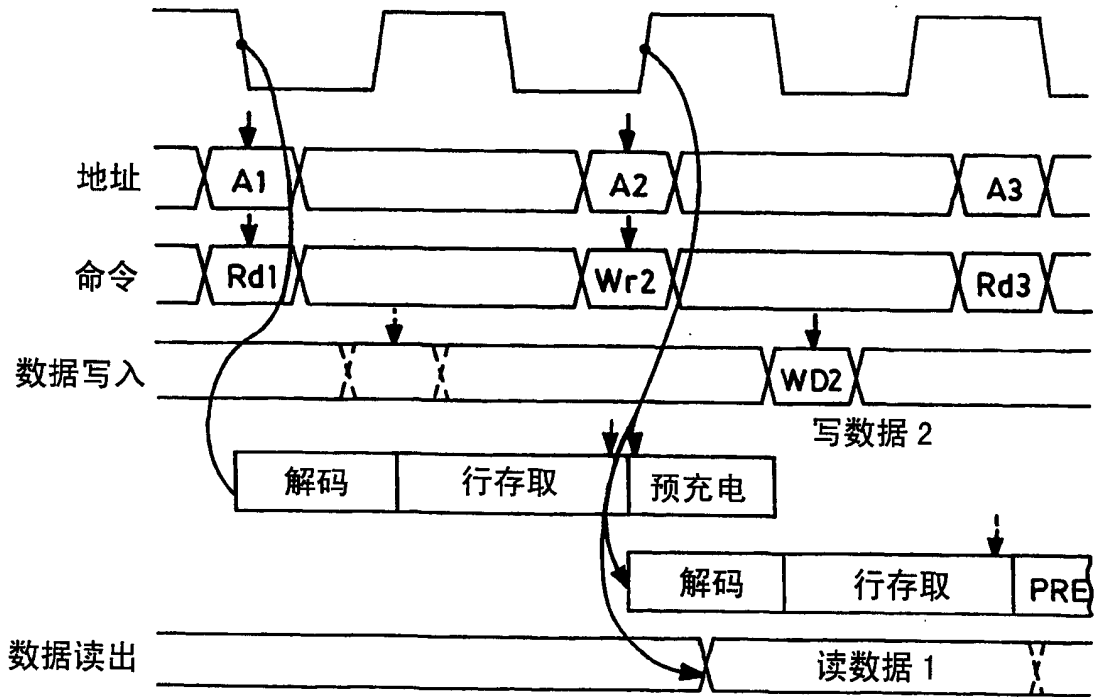


图 12b

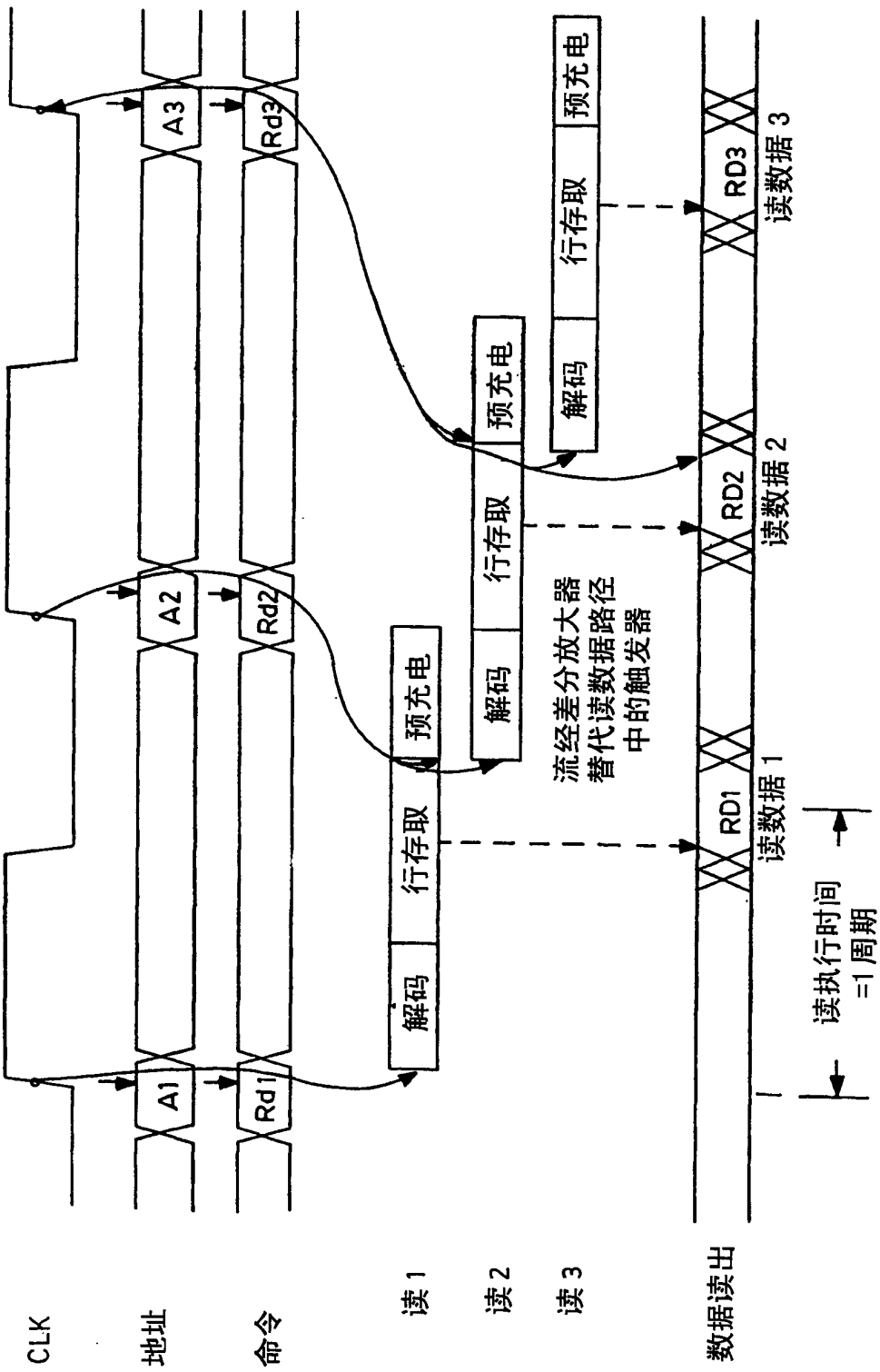


图 13a

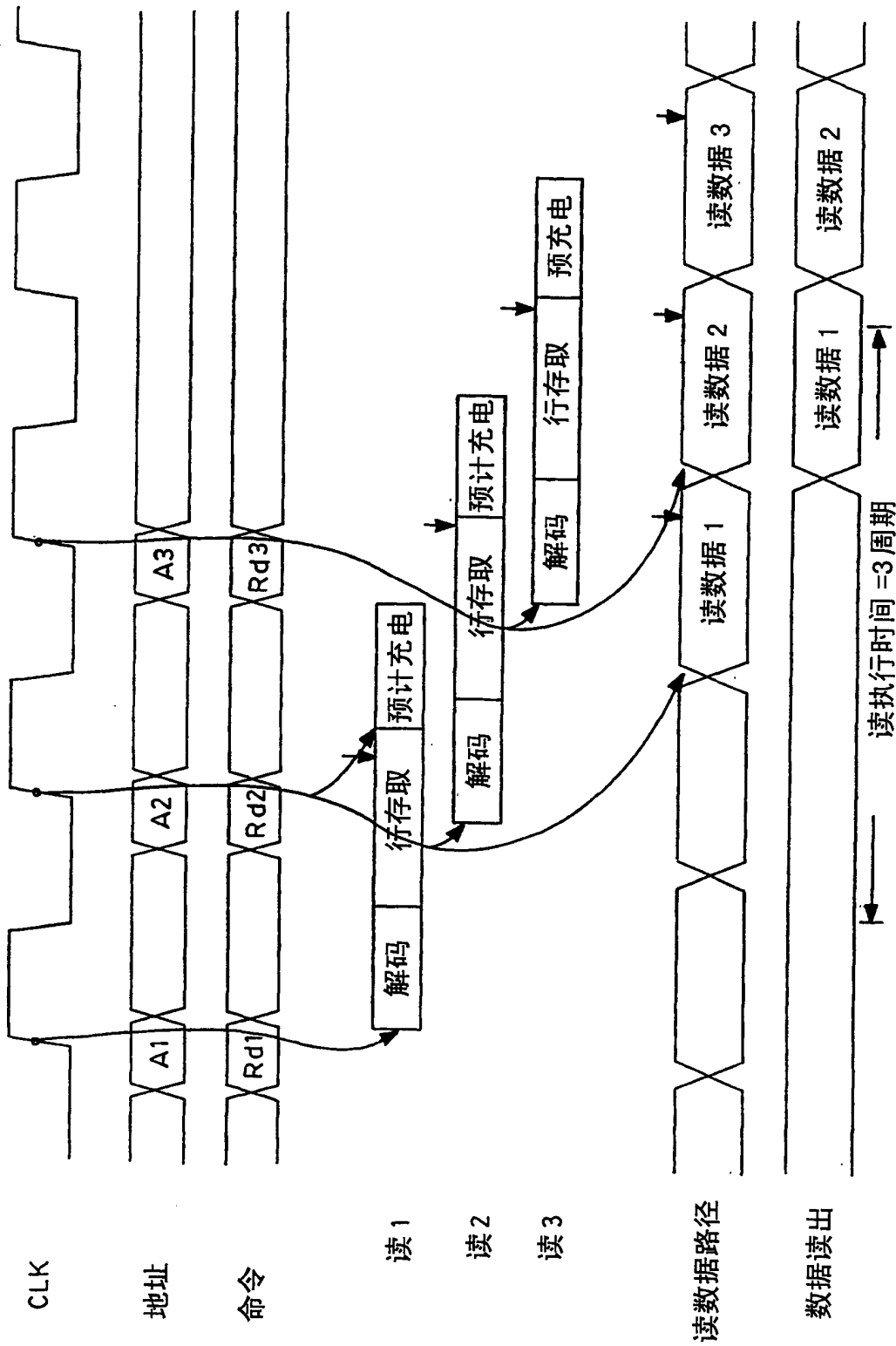


图 13b