

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2008-139520

(P2008-139520A)

(43) 公開日 平成20年6月19日(2008.6.19)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/30 (2006.01)

G09G 3/30 J

3 K 1 0 7

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 1 1 H

5C080

H O 1 L 51/50 (2006.01)

G09G 3/20 670J

G09G 3/20 641D

G09G 3/20 624B

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2006-325089 (P2006-325089)

(22) 出願日 平成18年12月1日 (2006. 12. 1)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 発明者 飯田 幸人

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 富田 昌嗣

東京都品川区北品川6丁目7番35号 ソ
ニーイーエムシーエス株式会社内

(72) 発明者 谷亀 貴央

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

最終頁に続く

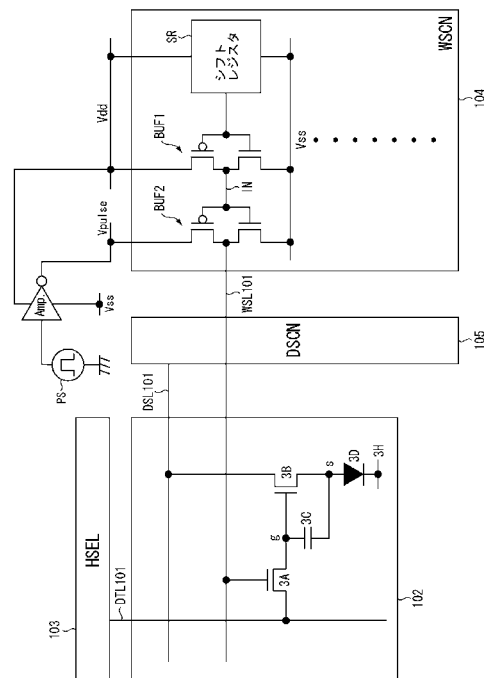
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】画素回路に含まれるトランジスタに供給する制御信号の精度を高めて、映像信号のサンプリング動作や補正機能を確実に行うことのできる表示装置を提供する。

【解決手段】 スキャナ１０４は、信号線ＤＴＬが信号電位にある時間帯にサンプリング用トランジスタ３Ａを導通状態にするため、所定のパルス幅を有する制御信号を走査線ＷＳＬに出力し、以って保持容量３Ｃに信号電位を保持する。スキャナ１０４は、シフトレジスタＳＲと出力バッファＢＵＦ２とパルス電源ＰＳとからなる。シフトレジスタＳＲは、線順次走査に合わせて順次各段ごとにシフトパルスＩＮを出力し、各出力バッファＢＵＦ２は、対応するシフトレジスタＳＲの段から出力されたシフトパルスＩＮに応じて動作し、パルス電源ＰＳから供給された電源パルスＶｐｕｌｓｅを制御信号として対応する走査線ＷＳＬに出力する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査する主スキュナと、該線順次走査に合わせて各給電線に第 1 電位と第 2 電位で切り換わる電源電圧を供給する電源スキュナと、

該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクトとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している表示装置であって、

前記サンプリング用トランジスタは、該走査線から供給された制御信号に応じて導通し、該信号線から供給された信号電位をサンプリングして該保持容量に保持し、

前記駆動用トランジスタは、第 1 電位にある該給電線から電流の供給を受け該保持された信号電位に応じて駆動電流を該発光素子に流し、

前記主スキュナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、所定のパルス幅を有する制御信号を該走査線に出力し、以って前記保持容量に信号電位を保持すると同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、

前記主スキュナは、シフトレジスタと、該シフトレジスタの各段と各走査線との間に配された出力バッファと、各出力バッファに所定のパルス幅を有する電源パルスの列を供給するパルス電源とからなり、

前記シフトレジスタは、線順次走査に合わせて順次各段ごとにシフトパルスを出力し、

各出力バッファは、対応するシフトレジスタの段から出力されたシフトパルスに応じて動作し、該パルス電源から供給された電源パルスを該制御信号として対応する走査線に出力することを特徴とする表示装置。

【請求項 2】

前記出力バッファは、互いに相補的な一对のスイッチング素子を電源ラインと接地ラインとの間に直列接続したインバータからなり、

前記パルス電源は、該インバータの電源ラインに該電源パルスの列を供給することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記インバータは、一对のスイッチング素子のうち、少なくとも該電源ライン側にある方が、トランSMISSIONゲート素子からなることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記主スキュナは、該保持容量に信号電位が保持された時点で、該サンプリング用トランジスタを非導通状態にして該駆動用トランジスタのゲートを該信号線から電氣的に切り離し、以って該駆動用トランジスタのソース電位の変動にゲート電位が連動しゲートとソース間の電圧を一定に維持することを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記電源スキュナは、該サンプリング用トランジスタが信号電位をサンプリングする前に、第 1 タイミングで該給電線を第 1 電位から第 2 電位に切り換え、

10

20

30

40

50

前記主スキュナは、同じく該サンプリング用トランジスタが信号電位をサンプリングする前に、第2タイミングで該サンプリング用トランジスタを導通させて該信号線から基準電位を該駆動用トランジスタのゲートに印加するとともに該駆動用トランジスタのソースを第2電位にセットし、

前記電源スキュナは、該第2タイミングの後の第3タイミングで、該給電線を第2電位から第1電位に切り換えて、該駆動用トランジスタの閾電圧に相当する電圧を該保持容量に保持しておくことを特徴とする請求項1記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1ないし5に記載されている。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のアクティブマトリクス型平面自発光表示装置は、プロセス変動により発光素子を駆動するトランジスタの閾電圧や移動度がばらついてしまう。また、有機ELデバイスの特性が経時的に変動する。このような駆動用トランジスタの特性ばらつきや有機ELデバイスの特性変動は、発光輝度に影響を与えてしまう。表示装置の画面全体にわたって発光輝度を均一に制御するため、各画素回路内で上述したトランジスタや有機ELデバイスの特性変動を補正する必要がある。従来からかかる補正機能を画素毎に備えた表示装置が提案されている。しかしながら、従来の補正機能を備えた画素回路は、補正用の電位を供給する配線と、スイッチング用のトランジスタと、スイッチング用のパルスが必要であり、画素回路の構成が複雑である。画素回路の構成要素が多いことから、ディスプレイの高精細化の妨げとなっていた。

【課題を解決するための手段】

【0005】

上述した従来の技術の課題に鑑み、本発明は画素回路の簡略化によりディスプレイの高精細化を可能にした表示装置を提供することを一般的な目的とする。特に画素回路に含まれるトランジスタに供給する制御信号の精度を高めて、画素に対する映像信号のサンプリング動作や画素の補正機能を確実に行うことのできる表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と

10

20

30

40

50

、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査する主スキャナと、該線順次走査に合わせて各給電線に第1電位と第2電位で切り換わる電源電圧を供給する電源スキャナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクトとを備え、前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している表示装置であって、前記サンプリング用トランジスタは、該走査線から供給された制御信号に応じて導通し、該信号線から供給された信号電位をサンプリングして該保持容量に保持し、前記駆動用トランジスタは、第1電位にある該給電線から電流の供給を受け該保持された信号電位に応じて駆動電流を該発光素子に流し、前記主スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを導通状態にするため、所定のパルス幅を有する制御信号を該走査線に出力し、以って前記保持容量に信号電位を保持すると同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、前記主スキャナは、シフトレジスタと、該シフトレジスタの各段と各走査線との間に配された出力バッファと、各出力バッファに所定のパルス幅を有する電源パルスの列を供給するパルス電源とからなり、前記シフトレジスタは、線順次走査に合わせて順次各段ごとにシフトパルスを出力し、各出力バッファは、対応するシフトレジスタの段から出力されたシフトパルスに応じて動作し、該パルス電源から供給された電源パルスを該制御信号として対応する走査線に出力することを特徴とする。

10

20

【0006】

一態様によると、前記出力バッファは、互いに相補的な一對のスイッチング素子を電源ラインと接地ラインとの間に直列接続したインバータからなり、前記パルス電源は、該インバータの電源ラインに該電源パルスの列を供給する。例えば前記インバータは、一對のスイッチング素子のうち、少なくとも該電源ライン側にある方が、トランスミッションゲート素子からなる。また前記主スキャナは、該保持容量に信号電位が保持された時点で、該サンプリング用トランジスタを非導通状態にして該駆動用トランジスタのゲートを該信号線から電氣的に切り離し、以って該駆動用トランジスタのソース電位の変動にゲート電位が連動しゲートとソース間の電圧を一定に維持する。また前記電源スキャナは、該サンプリング用トランジスタが信号電位をサンプリングする前に、第1タイミングで該給電線を第1電位から第2電位に切り換え、前記主スキャナは、同じく該サンプリング用トランジスタが信号電位をサンプリングする前に、第2タイミングで該サンプリング用トランジスタを導通させて該信号線から基準電位を該駆動用トランジスタのゲートに印加するとともに該駆動用トランジスタのソースを第2電位にセットし、前記電源スキャナは、該第2タイミングの後の第3タイミングで、該給電線を第2電位から第1電位に切り換えて、該駆動用トランジスタの閾電圧に相当する電圧を該保持容量に保持しておく。

30

【発明の効果】

40

【0007】

本発明によれば、有機ELデバイスなどの発光素子を画素に用いたアクティブマトリクス型の表示装置において、各画素が駆動用トランジスタの移動度補正機能を備えており、望ましくは駆動用トランジスタの閾電圧補正機能や有機ELデバイスの経時変動補正機能（ブートストラップ動作）も備えており、高品位の画質を得ることができる。従来このような補正機能を備えた画素回路は構成素子数が多いためレイアウト面積が大きくなり、ディスプレイの高精細化には不向きであったが、本発明では電源電圧及び映像信号をスイッチングすることにより構成素子数と配線数を削減し、画素のレイアウト面積を小さくすることが可能である。これにより高品位且つ高精細なフラットディスプレイを提供することが可能になる。

50

【0008】

特に本発明では信号線が信号電位にある時間帯にサンプリングトランジスタを導通状態にするため、主スキャナは所定のパルス幅を有する制御信号を走査線に出力し、以って保持容量に信号電位を保持すると同時に、駆動用トランジスタの移動度に対する補正を信号電位に加えている。その際主スキャナは、パルス電源から供給された所定パルス幅の電源パルスを制御信号として走査線に出力している。換言すると、パルス電源から供給されるパルス列から、各走査線ごとに電源パルスをそのまま抜き取って、制御信号として対応する走査線に出力している。サンプリング用トランジスタのゲートに印加される制御信号は電源パルスがそのまま抜き取られたものであり、正確なパルス波形となっている。この電源パルスはパルス電源から供給されたものをそのまま抜き取って走査線に供給しているため、走査線間のばらつきは少なく、安定したサンプリング動作や移動度補正動作を行うことができる。サンプリングされる信号電位はばらつくことなく輝度ムラが発生する恐れがない。これにより良好な画質の表示装置を得ることができる。

【発明を実施するための最良の形態】

【0009】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1Aは、本発明にかかる表示装置の全体構成を示すブロック図である。図示する様に、本表示装置100は、画素アレイ部102とこれを駆動する駆動部(103, 104, 105)とからなる。画素アレイ部102は、行状の走査線WSL101~10mと、列状の信号線DTL101~10nと、両者が交差する部分に配された行列状の画素(PXC)101と、各画素101の各行に対応して配された給電線DSL101~10mとを備えている。駆動部(103, 104, 105)は、各走査線WSL101~10mに順次制御信号を供給して画素101を行単位で線順次走査する主スキャナ(ライトスキャナWSCN)104と、この線順次走査に合わせて各給電線DSL101~10mに第1電位と第2電位で切換る電源電圧を供給する電源スキャナ(DSCN)105と、この線順次走査に合わせて列状の信号線DTL101~10nに映像信号となる信号電位と基準電位を供給する信号セクタ(水平セクタHSEL)103とを備えている。

【0010】

ライトスキャナ104はシフトレジスタを含んでいる。このシフトレジスタは外部から供給されたクロック信号WSCKに応じて動作し、同じく外部から供給されたスタートパルスWSS Tを順次転送することで、制御信号の元になるシフトパルスを生成している。ライトスキャナ104はさらにパルス電源から電源パルスVpulseの供給を受けている。ライトスキャナ104はシフトパルスで電源パルスVpulseを処理することにより、各走査線WSLに制御信号を出力している。電源スキャナ105もシフトレジスタを用いて構成されており、外部から供給されるクロック信号DSCKに応じて外部から供給されるスタートパルスDSS Tを順次転走することで、各給電線DSLの電位切換えを制御している。

【0011】

図1Bは、図1Aに示した表示装置100に含まれる画素101の具体的な構成及び結線関係を示す回路図である。図示する様に、この画素101は、有機ELデバイスなどで代表される発光素子3Dと、サンプリング用トランジスタ3Aと、駆動用トランジスタ3Bと、保持容量3Cとを含む。サンプリング用トランジスタ3Aは、そのゲートが対応する走査線WSL101に接続し、そのソース及びドレインの一方が対応する信号線DTL101に接続し、他方が駆動用トランジスタ3Bのゲートgに接続する。駆動用トランジスタ3Bは、そのソースs及びドレインdの一方が発光素子3Dに接続し、他方が対応する給電線DSL101に接続している。本実施形態では、駆動用トランジスタ3BはNチャンネル型であり、そのドレインdが給電線DSL101に接続する一方、ソースsが発光素子3Dのアノードに接続している。発光素子3Dのカソードは接地配線3Hに接続している。なおこの接地配線3Hは全ての画素101に対して共通に配線されている。保持容量3Cは、駆動用トランジスタ3Bのソースsとゲートgの間に接続している。

【0012】

かかる構成において、サンプリング用トランジスタ3Aは、走査線WSL101から供給された制御信号に応じて導通し、信号線DTL101から供給された信号電位をサンプリングして保持容量3Cに保持する。駆動用トランジスタ3Bは、第1電位（高電位）にある給電線DSL101から電流の供給を受け保持容量3Cに保持された信号電位に応じて駆動電流を発光素子3Dに流す。主スキャナ（WSCN）104は、信号線DTL101が信号電位にある時間帯にサンプリング用トランジスタ3Aを導通状態にするため、所定のパルス幅の制御信号を走査線WSL101に出力し、以って保持容量3Cに信号電位を保持すると同時に駆動用トランジスタ3Bの移動度 μ に対する補正を信号電位に加える。

10

【0013】

本発明の特徴事項として、ライトスキャナ（主スキャナ）104は、シフトレジスタと、シフトレジスタの各段と各走査線WSLとの間に配された出力バッファと、各出力バッファに所定のパルス幅を有する電源パルスVpulseの列を供給するパルス電源（図示せず）とを備えている。シフトレジスタは、線順次走査に合わせて順次各段ごとにシフトパルスを出力する。各出力バッファは、対応するシフトレジスタの段から出力されたシフトパルスに応じて動作し、パルス電源から供給された電源パルスVpulseを制御信号として対応する走査線WSLに出力する。換言すると、走査線WSLに供給される制御信号は、シフトレジスタから出力されるシフトパルスでパルス電源から供給される電源パルスVpulseをそのまま抜き取ったものである。電源パルスVpulseは共通のパルス電源から各段に供給されるものであり、パルス波形は正確で安定している。この電源パルスVpulseをそのまま制御信号として各走査線WSLに出力するので、制御信号は極めて正確で安定性に優れている。かかる制御信号でサンプリング用トランジスタ3Aのオンオフを制御するため正確で安定したサンプリング動作及び移動度補正動作を行うことができる。

20

【0014】

図1Bに示した画素回路101は上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ（DSCN）105は、サンプリング用トランジスタ3Aが信号電位をサンプリングする前に、第1タイミングで給電線DSL101を第1電位（高電位）から第2電位（低電位）に切替える。また主スキャナ（WSCN）104は、同じくサンプリング用トランジスタ3Aが信号電位をサンプリングする前に、第2タイミングでサンプリング用トランジスタ3Aを導通させて信号線DTL101から基準電位を駆動用トランジスタ3Bのゲートgに印加すると共に駆動用トランジスタ3Bのソースsを第2電位にセットする。通常上述した第1タイミングは第2タイミングの前に来るが、場合によっては第1タイミングと第2タイミングを逆にしても良い。電源スキャナ（DSCN）105は、第2タイミングの後の第3タイミングで、給電線DSL101を第2電位から第1電位に切替えて、駆動用トランジスタ3Bの閾電圧Vthに相当する電圧を保持容量3Cに保持する。かかる閾電圧補正機能により、本表示装置100は画素毎にばらつく駆動用トランジスタ3Bの閾電圧の影響をキャンセルすることができる。

30

【0015】

図1Bに示した画素回路101はさらにブートストラップ機能も備えている。即ち主スキャナ（WSCN）104は、保持容量3Cに信号電位が保持された段階で走査線WSL101に対する制御信号の印加を解除し、サンプリング用トランジスタ3Aを非導通状態にして駆動用トランジスタ3Bのゲートgを信号線DTL101から電氣的に切り離し、以って駆動用トランジスタ3Bのソース電位（Vs）の変動にゲート電位（Vg）が連動しゲートgとソースs間の電圧Vgsを一定に維持することができる。

40

【0016】

図2Aは、図1Bに示した画素101の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線（WSL101）の電位変化、給電線（DSL101）の電位変化及び信号線（DTL101）の電位変化を表してある。またこれらの電位変化と並

50

行に、駆動用トランジスタ 3 B のゲート電位 (V_g) 及びソース電位 (V_s) の変化も表してある。

【0017】

このタイミングチャートは、画素 101 の動作の遷移に合わせて期間を (B) ~ (I) のように便宜的に区切っている。発光期間 (B) では発光素子 3 D が発光状態にある。この後線順次走査の新しいフィールドに入ってまず最初の期間 (C) で、電源供給線を低電位に切替える。次の期間 (D) に進み、駆動用トランジスタのゲート電位 V_g 及びソース電位 V_s を初期化する。この閾値補正準備期間 (C) 及び (D) で駆動用トランジスタ 3 B のゲート電位 V_g 及びソース電位 V_s をリセットすることで、閾電圧補正動作の準備が完了する。続いて閾値補正期間 (E) で実際に閾電圧補正動作が行われ、駆動用トランジスタ 3 B のゲート g とソース s との間に閾電圧 V_{th} に相当する電圧が保持される。実際には、 V_{th} に相当する電圧が、駆動用トランジスタ 3 B のゲート g とソース s との間に接続された保持容量 3 C に書き込まれることになる。

10

【0018】

この後移動度補正の為の準備期間 (F) 及び (G) を経て、サンプリング期間 / 移動度補正期間 (H) に進む。ここで映像信号の信号電位 V_{in} が V_{th} に足し込まれる形で保持容量 3 C に書き込まれると共に、移動度補正用の電圧 ΔV が保持容量 3 C に保持された電圧から差し引かれる。このサンプリング期間 / 移動度補正期間 (H) では、信号線 DTL101 が信号電位 V_{in} にある時間帯にサンプリング用トランジスタ 3 A を導通状態にするため、この時間帯よりパルス幅の短い制御信号を走査線 WSL101 に出力し、以って保持容量 3 C に信号電位 V_{in} を保持すると同時に駆動用トランジスタ 3 B の移動度 μ に対する補正を信号電位 V_{in} に加えている。

20

【0019】

この後発光期間 (I) に進み、信号電圧 V_{in} に応じた輝度で発光素子が発光する。その際信号電圧 V_{in} は閾電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV とによって調整されているため、発光素子 3 D の発光輝度は駆動用トランジスタ 3 B の閾電圧 V_{th} や移動度 μ のばらつきの影響を受けることはない。なお、発光期間 (I) の最初でブートストラップ動作が行われ、駆動用トランジスタ 3 B のゲート-ソース間電圧 $V_{gs} = V_{in} + V_{th} - \Delta V$ を一定に維持したまま、駆動用トランジスタ 3 B のゲート電位 V_g 及びソース電位 V_s が上昇する。

30

【0020】

図 2 A のタイミングチャートでは、走査線 WSL101 の電位変化がサンプリング用トランジスタのゲートに印加される制御信号波形を表している。図から明らかなように、この制御信号波形は、閾値補正期間 (E) に出力される第 1 のパルスと、サンプリング期間 / 移動度補正期間 (H) に出力される第 2 のパルスが含まれている。いずれのパルスも、ライトスキャナ 104 の出力バッファで、パルス電源から供給される電源パルスを抜き取って形成したものである。

【0021】

引き続き図 2 B ~ 図 2 I を参照して、図 1 B に示した画素 101 の動作を詳細に説明する。なお、図 2 B ~ 図 2 I の図番は、図 2 A に示したタイミングチャートの各期間 (B) ~ (I) にそれぞれ対応している。理解を容易にするため、図 2 B ~ 図 2 I は、説明の都合上発光素子 3 D の容量成分を容量素子 3 I として図示してある。先ず図 2 B に示すように発光期間 (B) では、電源供給線 DSL101 が高電位 V_{cc_H} (第 1 電位) にあり、駆動用トランジスタ 3 B が駆動電流 I_{ds} を発光素子 3 D に供給している。図示する様に、駆動電流 I_{ds} は高電位 V_{cc_H} にある電源供給線 DSL101 から駆動用トランジスタ 3 B を介して発光素子 3 D を通り、共通接地配線 3 H に流れ込んでいる。

40

【0022】

続いて期間 (C) に入ると図 2 C に示すように、電源供給線 DSL101 を高電位 V_{cc_H} から低電位 V_{cc_L} に切替える。これにより電源供給線 DSL101 は V_{cc_L} まで放電され、さらに駆動用トランジスタ 3 B のソース電位 V_s は V_{cc_L} に近い電

50

位まで遷移する。電源供給線 D S L 1 0 1 の配線容量が大きい場合は比較的早いタイミングで電源供給線 D S L 1 0 1 を高電位 V c c _ H から低電位 V c c _ L に切換えると良い。この期間 (C) を十分に確保することで、配線容量やその他の画素寄生容量の影響を受けないようにしておく。

【0023】

次に期間 (D) に進むと図 2 D に示すように、走査線 W S L 1 0 1 を低レベルから高レベルに切換えることで、サンプリング用トランジスタ 3 A が導通状態になる。このとき映像信号線 D T L 1 0 1 は基準電位 V o にある。よって駆動用トランジスタ 3 B のゲート電位 V g は導通したサンプリング用トランジスタ 3 A を通じて映像信号線 D T L 1 0 1 の基準電位 V o となる。これと同時に駆動用トランジスタ 3 B のソース電位 V s は即座に低電位 V c c _ L に固定される。以上により駆動用トランジスタ 3 B のソース電位 V s が映像信号線 D T L の基準電位 V o より十分低い電位 V c c _ L に初期化 (リセット) される。具体的には駆動用トランジスタ 3 B のゲート-ソース間電圧 V g s (ゲート電位 V g とソース電位 V s の差) が駆動用トランジスタ 3 B の閾電圧 V t h より大きくなるように、電源供給線 D S L 1 0 1 の低電位 V c c _ L (第 2 電位) を設定する。

【0024】

次に閾値補正期間 (E) に進むと図 2 E に示すように、電源供給線 D S L 1 0 1 が低電位 V c c _ L から高電位 V c c _ H に遷移し、駆動用トランジスタ 3 B のソース電位 V s が上昇を開始する。やがて駆動用トランジスタ 3 B のゲート-ソース間電圧 V g s が閾電圧 V t h となったところで電流がカットオフする。このようにして駆動用トランジスタ 3 B の閾電圧 V t h に相当する電圧が保持容量 3 C に書き込まれる。これが閾電圧補正動作である。このとき電流が専ら保持容量 3 C 側に流れ、発光素子 3 D 側には流れないようにするため、発光素子 3 D がカットオフとなるように共通接地配線 3 H の電位を設定しておく。

【0025】

期間 (F) に進むと図 2 F に示すように、走査線 W S L 1 0 1 が低電位側に遷移し、サンプリング用トランジスタ 3 A が一旦オフ状態になる。このとき駆動用トランジスタ 3 B のゲート g はフローティングになるが、ゲート-ソース間電圧 V g s は駆動用トランジスタ 3 B の閾電圧 V t h に等しいためカットオフ状態であり、ドレイン電流 I d s は流れない。

【0026】

続いて期間 (G) に進むと図 2 G に示すように、映像信号線 D T L 1 0 1 の電位が基準電位 V o からサンプリング電位 (信号電位) V i n に遷移する。これにより、次のサンプリング動作及び移動度補正動作の準備が完了する。

【0027】

サンプリング期間/移動度補正期間 (H) に入ると、図 2 H に示すように、走査線 W S L 1 0 1 が高電位側に遷移してサンプリング用トランジスタ 3 A がオン状態となる。したがって駆動用トランジスタ 3 B のゲート電位 V g は信号電位 V i n となる。ここで発光素子 3 D は始めカットオフ状態 (ハイインピーダンス状態) にあるため、駆動用トランジスタ 3 B のドレイン/ソース間電流 I d s は発光素子容量 3 I に流れ込み、充電を開始する。したがって駆動用トランジスタ 3 B のソース電位 V s は上昇を開始し、やがて駆動用トランジスタ 3 B のゲート-ソース間電圧 V g s は $V i n + V t h - \Delta V$ となる。このようにして、信号電位 V i n のサンプリングと補正量 ΔV の調整が同時に行われる。V i n が高いほど I d s は大きくなり、 ΔV の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行われる。V i n を一定とした場合、駆動用トランジスタ 3 B の移動度 μ が大きいほど ΔV の絶対値が大きくなる。換言すると移動度 μ が大きいほど負帰還量 ΔV が大きくなるので、画素ごとの移動度 μ のばらつきを取り除くことができる。

【0028】

最後に発光期間 (I) になると、図 2 I に示すように、走査線 W S L 1 0 1 が低電位側に遷移し、サンプリング用トランジスタ 3 A はオフ状態となる。これにより駆動用トラン

10

20

30

40

50

ジスタ 3 B のゲート g は信号線 D T L 1 0 1 から切り離される。同時にドレイン電流 I_{ds} が発光素子 3 D を流れ始める。これにより発光素子 3 D のアノード電位は駆動電流 I_{ds} に応じて V_{e1} 上昇する。発光素子 3 D のアノード電位の上昇は、即ち駆動用トランジスタ 3 B のソース電位 V_s の上昇に他ならない。駆動用トランジスタ 3 B のソース電位 V_s が上昇すると、保持容量 3 C のブートストラップ動作により、駆動用トランジスタ 3 B のゲート電位 V_g も連動して上昇する。ゲート電位 V_g の上昇量 V_{e1} はソース電位 V_s の上昇量 V_{e1} に等しくなる。故に、発光期間中駆動用トランジスタ 3 B のゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - \Delta V$ で一定に保持される。

【0029】

図 3 は、サンプリング期間／移動度補正期間 (H) における、走査線電位波形及び映像信号線電位波形を示す模式図である。ここで移動度補正時間は、映像信号線電位が信号電位 V_{in} にある時間幅と制御信号パルスの両者が重なった範囲で決まる。特に本実施形態は映像信号線 D T L が信号電位 V_{in} にある時間幅の中に入るように制御信号パルス幅 t を細めに決めているため、結果的に移動度補正時間 t' は制御信号パルス幅 t で決まる。正確には、制御信号パルスが立ち上がってサンプリング用トランジスタがオンしてから、同じく制御信号パルスが立下がってサンプリング用トランジスタがオフするまでの時間となる。図示するように、オンタイミングはサンプリング用トランジスタ 3 A のソース電位 (即ち映像信号線電位) に対して同じくサンプリング用トランジスタ 3 A のゲート電位 (即ち走査線電位) がサンプリング用トランジスタの閾電圧 V_{th} (3 A) を超えたときとなる。逆にサンプリング用トランジスタのオフタイミングは、そのゲート電位がソース電位に比べて丁度 V_{th} (3 A) を下回ったときとなる。よって移動度補正時間 t' は図示するように、ほぼ制御信号パルスの幅 t と等しい。本発明では、この制御信号パルスは電源パルスをもそのまま使っている。電源パルスの立上り及び立下がりとは極めて正確であり、走査線ごとのばらつきは少ない。したがって移動度補正時間のばらつきは非常に少なく、安定したサンプリング動作及び移動度補正動作を行うことができる。

【0030】

図 4 は、本発明にかかる表示装置に組み込まれるライトスキャナ 1 0 4 の具体的な構成例を示す回路図である。理解を容易にするため、図 4 の回路図は、1 行目の走査線 W S L 1 0 1 に対応するライトスキャナ 1 0 4 の段と、同じくこの走査線 W S L 1 0 1 に接続している画素 1 0 2 を表してある。図示するように、ライトスキャナ 1 0 4 は、シフトレジスタ S L と、シフトレジスタ S L の各段と各走査線 W S L との間に配された出力バッファ B U F 2 と、各出力バッファ B U F 2 に所定のパルス幅を有する電源パルス V_{pulse} の列を供給するパルス電源 P S とからなる。本実施形態では、2 個のバッファ B U F 1, B U F 2 をシフトレジスタ S R と走査線 W S L との間に縦列接続した構成である。一方パルス電源 P S はライトスキャナ 1 0 4 の線順次走査に同期して順次電源パルス V_{pulse} の列を出力している。このパルス列はアンプ A M P で増幅されたあと、出力バッファ B U F 2 の電源ラインに供給されている。したがって本実施形態では、B U F 2 が実際の出力バッファであり、B U F 1 はシフトレジスタの出力段となっている。

【0031】

シフトレジスタ S R は、線順次走査にあわせて各段ごとに B U F 1 を介してシフトパルス I N を出力する。各出力バッファ B U F 2 は、対応するシフトレジスタ S R の段から出力されたシフトパルス I N に応じて動作し、パルス電源 P S から供給された電源パルス V_{pulse} を制御信号として対応する走査線 W S L に出力している。本実施形態では、出力バッファ B U F 2 は、互いに相補的な一対のスイッチング素子を電源ラインと接地ライン V_{ss} との間に直列接続したインバータからなる。具体的には互いに相補的な一対のスイッチング素子は、PチャネルトランジスタとNチャネルトランジスタである。パルス電源 P S は、このインバータの電源ライン V_{dd} に電源パルス V_{pulse} の列を供給している。電源パルスの波高レベルは V_{dd} 、基準レベルは V_{ss} である。

【0032】

図 5 は、図 4 に示したライトスキャナ 1 0 4 の動作説明に供するタイミングチャートで

ある。時間軸を揃えてシフトパルス I N、電源パルス V p u l s e 及び走査線 W S L 1 0 1 の電位変化を表してある。図示するように、シフトレジスタ S R からバッファ B U F 1 を介して出力されるシフトパルス I N は、立上り及び立下りのトランジェントが鈍っている。シフトパルス I N は、シフトレジスタ S R がスタートパルスを順次転送することで各段ごとに出力される。スタートパルスを転送する過程で波形に鈍りが生じるため、シフトパルス I N は正確な矩形波ではなく立上りと立下りに鈍りが生じる。しかもこの鈍りはシフトレジスタの各段ごとで異なっており、シフトパルス波形は正確さが失われている。一方電源パルス V p u l s e はパルス電源 P S で生成され且つ直接出力バッファ B U F 2 に入力されるものであり、正確な矩形波形となっている。出力バッファ B U F 2 はシフトパルス I N に応じて動作し、この電源パルス V p u l s e をそのまま抜き取ることで、走査線 W S L 1 0 1 に対する制御信号波形としている。したがって、走査線 W S L 1 0 1 の電位は、正しいタイミングで V s s と V d d との間を切替る。またこの制御信号波形のパルス幅は一定であり、ライン間でばらつきは少ない。

10

【0033】

図6は、ライトスキャナ104の参考例を示す模式的な回路図である。理解を容易にするため図5に示した本発明のライトスキャナと対応する部分には対応する参照番号を付してある。異なる点は、参考例にかかるライトスキャナ104の出力バッファB U F 2が、その前に位置する出力バッファB U F 1と同じ構造であり、何ら電源パルスは用いていないことである。即ち出力バッファB U F 2は単純に電源ラインV d dと接地ラインV s sとの間に接続されたインバータである。電源ラインV d dは固定電位に維持されている。

20

【0034】

図7は、図6に示した参考例にかかるライトスキャナ104の動作説明に供するタイミングチャートである。時間軸を合わせてシフトレジスタS R からB U F 1を介して出力されるシフトパルスI Nと、同じくB U F 2から走査線W S L 1 0 1に出力される制御信号波形を表している。図から明らかなように、出力バッファB U F 2は単純なインバータからなり、シフトパルスI Nを反転してそのまま走査線W S L 1 0 1側に出力している。シフトパルスI Nのばらつきがそのまま走査線W S L 1 0 1の制御信号波形のばらつきとなっている。この様にライトスキャナの出力ばらつきがあるため、移動度補正動作が1ラインごとにばらつき、ラインごとの輝度ムラになる。これに対し本発明のライトスキャナは、制御信号パルスの立上り及び立下りが最終段バッファの精度ではなく、パルス電源の精度により決定されるため、どのラインにおいても立上り及び立下りが一致する。ライトスキャナから出力されるシフトパルスが劣化していても、制御信号パルスの精度は、電源ラインに入力した電源パルスで決定される。これにより移動度補正時間のばらつきを防ぐことが出来、良好な画質を得ることが可能になる。

30

【0035】

図8は、ライトスキャナ104の他の実施例を示す回路図である。理解を容易にするため、図6に示した先の実施例と対応する部分には対応する参照番号を付してある。異なる点は、出力バッファB U F 2の構成である。先の実施例では、B U F 2がNチャネルトランジスタとPチャネルトランジスタの縦列接続からなるインバータである。これに対し本実施例の出力バッファB U F 2はインバータを構成する一方のPチャネルトランジスタをトランスミッションゲート素子で置き換えている。即ち出力バッファB U F 2を構成するインバータは、一对のスイッチング素子の内少なくとも電源ライン側にある方が、トランスミッションゲート素子となっている。換言すると、PチャネルトランジスタをC M O S化してその低抵抗化を図っている。このトランスミッションゲートはシフトパルスI Nに応じてオンする側となっており、電源パルスV p u l s eを電源ラインから抜き取って、走査線W S L 1 0 1に供給している。そこで電源パルスV p u l s eを抜き取るためのスイッチング素子をトランスミッションゲートとして低抵抗化を図り、以って制御パルスの立上り及び立下りのトランジェントをより速くする事ができる。

40

【図面の簡単な説明】

【0036】

50

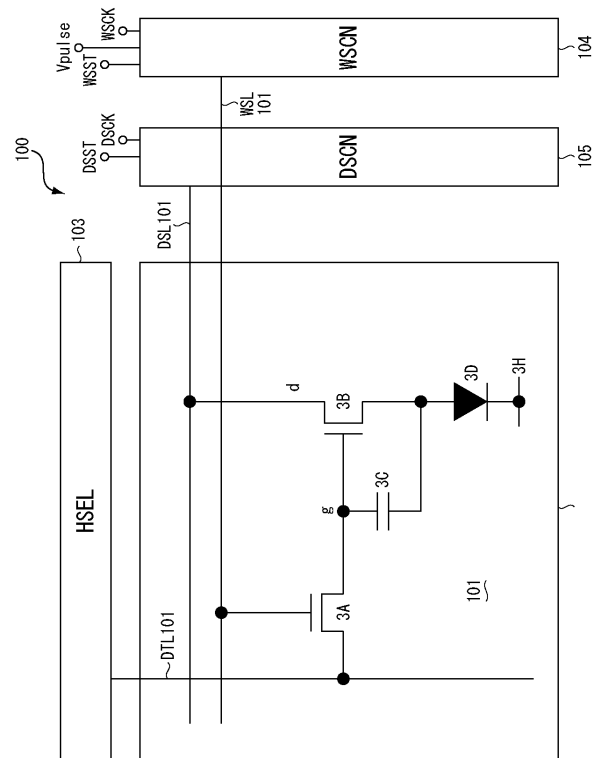
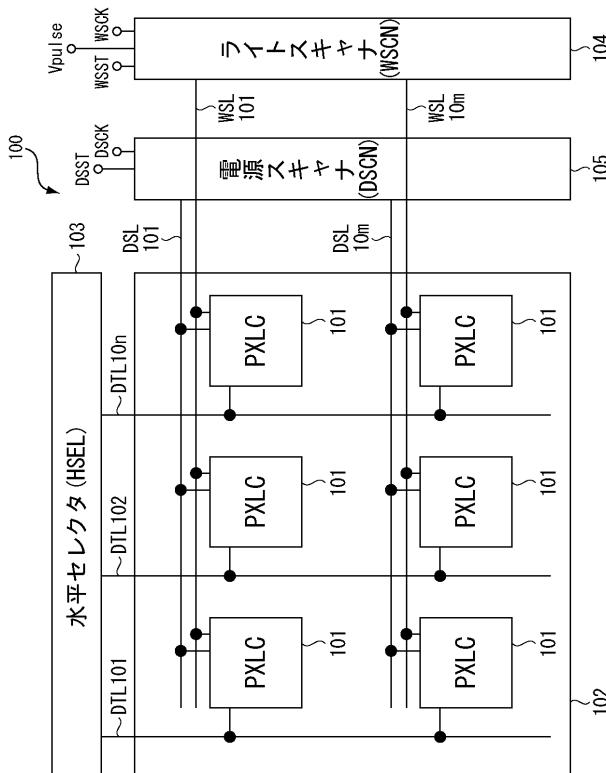
10

【 0 0 3 7 】

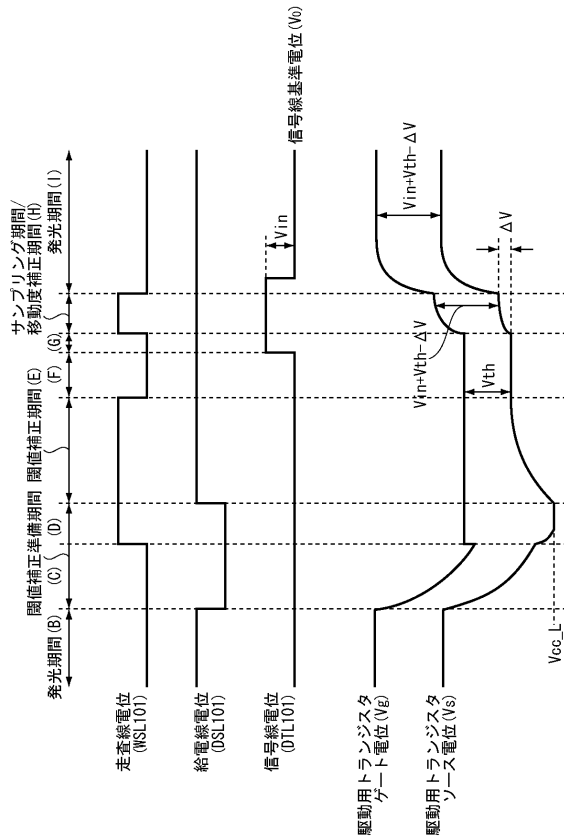
20

【図 1 A】

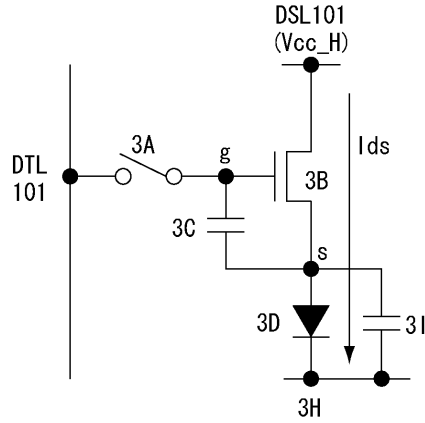
【図 1 B】



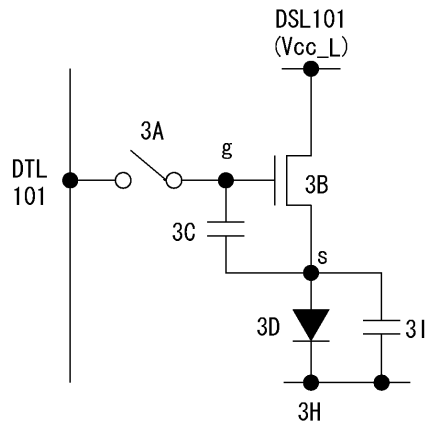
【図 2 A】



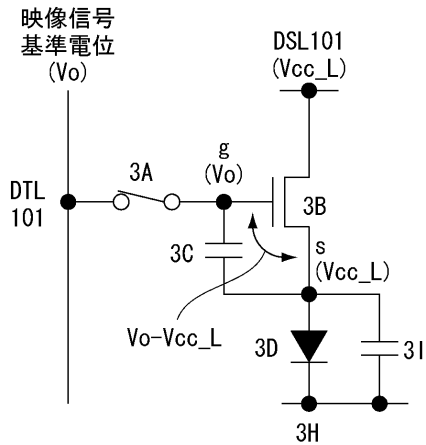
【図 2 B】



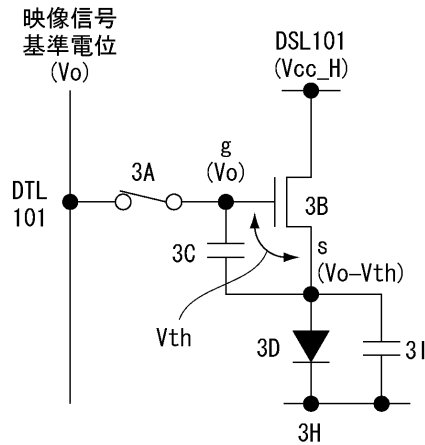
【図 2 C】



【図 2 D】

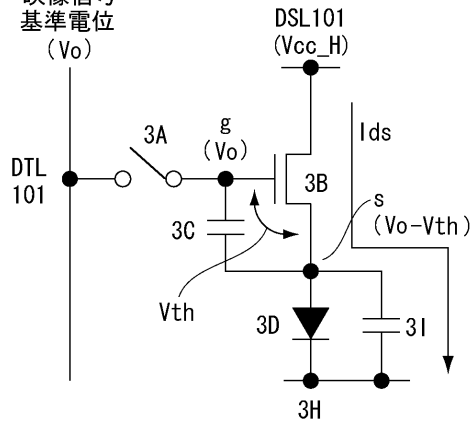


【図 2 E】



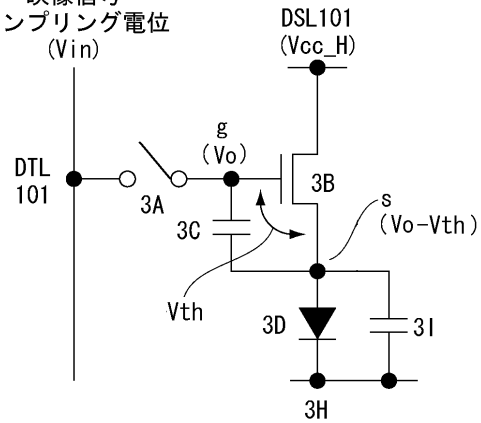
【図 2 F】

映像信号
基準電位
(V_o)



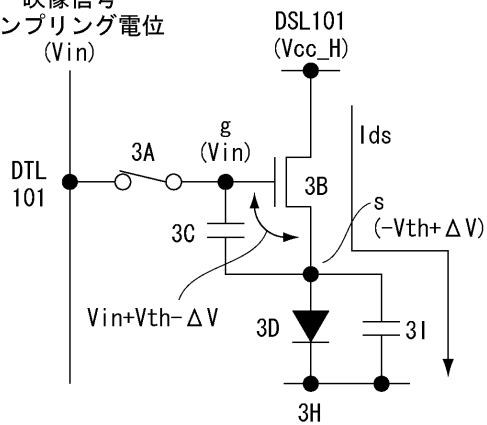
【図 2 G】

映像信号
サンプリング電位
(V_{in})



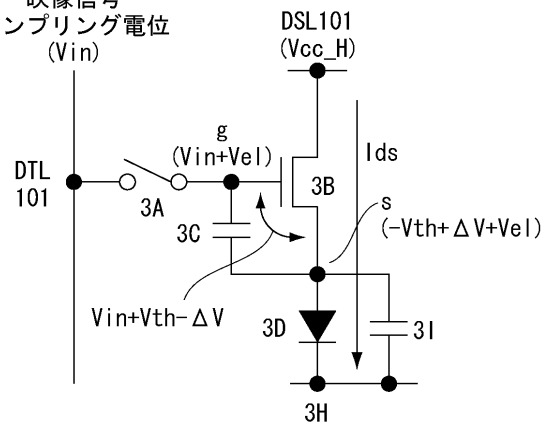
【図 2 H】

映像信号
サンプリング電位
(V_{in})

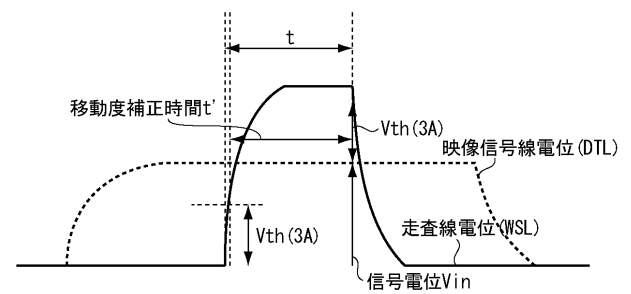


【図 2 I】

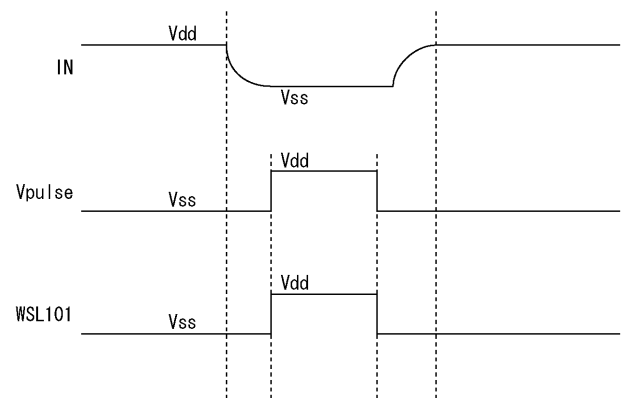
映像信号
サンプリング電位
(V_{in})



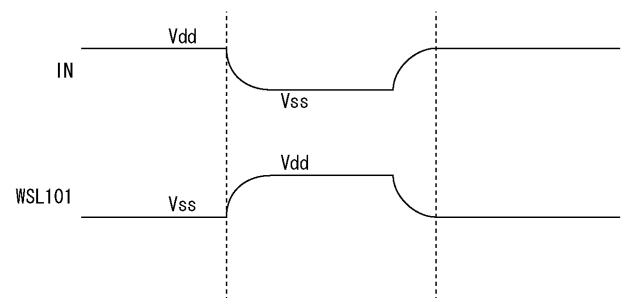
【図 3】



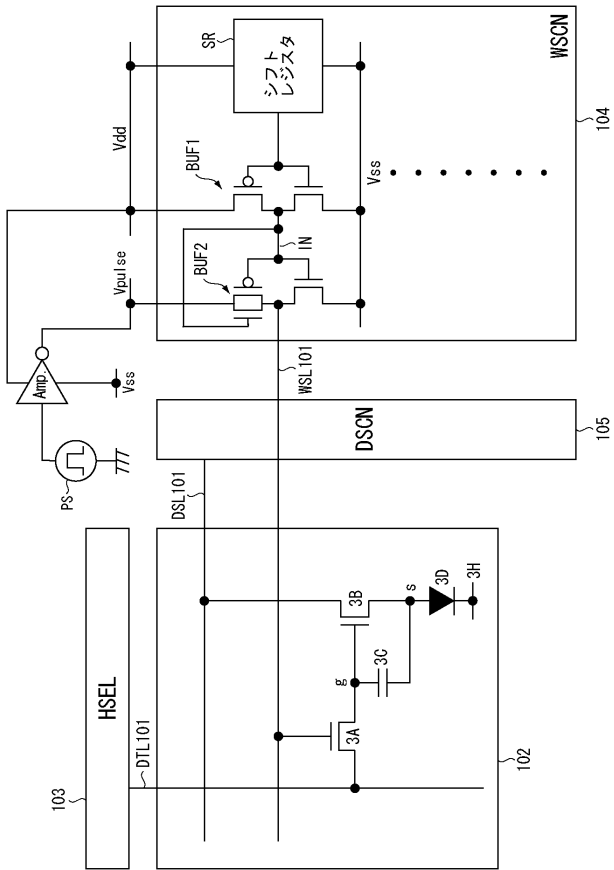
【図 5】



【图 7】



【図 8】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 B
	G 0 9 G 3/20	6 2 2 E
	H 0 5 B 33/14	A

(72)発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 CC36 CC45 EE03 HH04 HH05

5C080 AA06 BB05 DD04 DD22 DD28 DD29 EE28 JJ02 JJ03 JJ04

JJ05