

(11) 特許出願公開番号

特開2004-120759

(P2004-120759A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int.Cl.⁷

H03J 3/28

H04B 1/18

H04N 5/44

F 1

H03 J 3/28

H04B 1/18

HO4N 5/44

テーマコード (参考)

5C025

C 5 K 0 5 8

K 5 K 0 6 2

審査請求 未請求 請求項の数 19 O L (全 21 頁)

(21) 出願番号 特願2003-332604 (P2003-332604)

(22) 出願日 平成15年9月25日 (2003. 9. 25)

(31) 優先權主張番号 10/256,878

(32) 優先日 平成14年9月27日 (2002. 9. 27)

(33) 優先権主張国 米国 (US)

(71) 出願人 501263810

トムソン ライセンシング ソシエテ ア
ノニム

Thomson Licensing S
. A.

フランス国、 エフ-92100 ブロー
ニユ ビヤンクール、 ケ アルフォンス
ル ガロ、 46番地

(74) 代理人 100087321

弁理士 渡辺 勝徳

(74) 代理人 100115864

弁理士 木越 力

(72) 発明者 マイケル アンソニー プーゲル

アメリカ合衆国 インディアナ州 ノーブ
ルズビル クリーク・ロード 20925

最終頁に続く

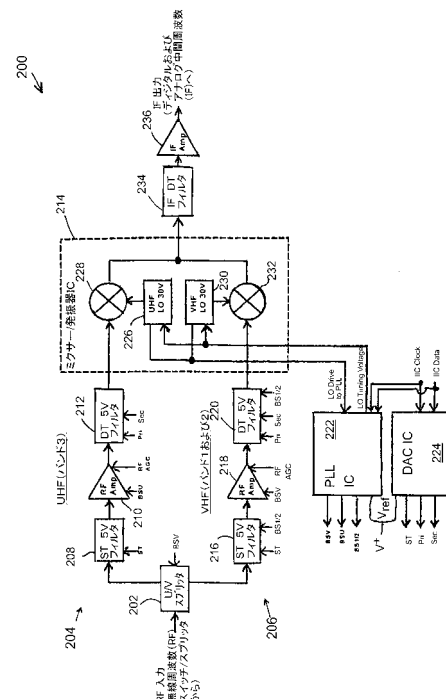
(54) 【発明の名称】 テレビジョン信号チューナ用の電子的整合システム

(57) 【要約】

【課題】 テレビジョン信号チューナ用の電子的整合システムを提供すること。

【解決手段】 第1および第2のコントローラを利用して、信号処理装置のそれぞれの第1および第2の信号処理回路に向けたそれぞれの第1および第2の制御信号を生成する。第1および第2の信号処理回路は、それぞれの第1および第2の制御信号に応答するそれぞれの第1および第2の可同調要素を有する。第1の制御信号の偏移範囲は、第2の制御信号の偏移範囲よりも高い。

【選択図】 図 6



【特許請求の範囲】**【請求項 1】**

無線周波数 (R F) 信号源と、
信号出力点と、

前記無線周波数 (R F) 信号源と前記信号出力点との間に結合され、第 1 および第 2 の信号処理回路をそれぞれ備える信号処理装置とを含む同調装置であって、

前記第 1 および第 2 の信号処理回路が、それぞれの第 1 および第 2 の可同調要素を備え、同調装置は更に

前記第 1 の可同調要素に結合された、第 1 の制御信号を生成するための第 1 のコントローラと、

前記第 2 の可同調要素に結合された、第 2 の制御信号を生成するための第 2 のコントローラとを含み、

前記第 1 の制御信号の偏移範囲が前記第 2 の制御信号の偏移範囲よりも高い同調装置。

【請求項 2】

前記第 2 の信号処理回路が、第 1 の周波数帯域信号処理回路および第 2 の周波数帯域処理回路を含む、請求項 1 に記載の同調装置。

【請求項 3】

前記第 1 の信号処理回路が発振器回路を含み、前記第 2 の信号処理回路が無線周波数 (R F) 同調回路を備える、請求項 1 に記載の同調装置。

【請求項 4】

前記第 1 のコントローラが位相ロック・ループを含み、前記第 2 のコントローラがデジタル・アナログ変換器を含む、請求項 1 に記載の同調装置。

【請求項 5】

前記第 1 の可同調要素が、前記第 1 の制御信号に応答する第 1 および第 2 の局部発振器回路を含み、前記第 2 の可同調要素が、前記第 2 の制御信号に応答する第 1 および第 2 の可同調フィルタ要素を含む、請求項 1 に記載の同調装置。

【請求項 6】

前記第 1 の可同調フィルタ要素が、選択された周波数を前記第 2 の制御信号の前記偏移範囲に응答して通過させる第 1 の単同調の可同調フィルタおよび第 1 の複同調の可同調フィルタを含み、前記第 2 の可同調フィルタ要素が、選択された周波数を前記第 2 の制御信号の前記偏移範囲に응答して通過させる第 2 の単同調の可同調フィルタおよび第 2 の複同調の可同調フィルタを含む、請求項 5 に記載の同調装置。

【請求項 7】

前記第 1 および第 2 の単同調の可同調フィルタがそれぞれ、前記第 2 の制御信号の前記偏移範囲に응答するバラクタを含み、前記第 1 および第 2 の複同調の可同調フィルタがそれぞれ、前記第 2 の制御信号の前記偏移範囲にそれぞれ別々に응答する 2 つのバラクタを含む、請求項 6 に記載の同調装置。

【請求項 8】

無線周波数 (R F) 信号受信手段と、
信号出力手段と、

前記無線周波数 (R F) 信号受信手段と前記信号出力手段との間に結合された無線周波数 (R F) 信号処理手段とを含む同調装置であって、前記無線周波数 (R F) 信号処理手段が、無線周波数 (R F) 信号を処理するための第 1 の無線周波数 (R F) 信号処理手段および無線周波数 (R F) 信号を処理するための第 2 の無線周波数 (R F) 信号処理手段をそれぞれ備え、

前記第 1 の無線周波数 (R F) 信号処理手段が第 1 の無線周波数 (R F) 信号同調手段を備え、

前記第 2 の無線周波数 (R F) 信号処理手段が第 2 の無線周波数 (R F) 信号同調手段を備え、同調装置は更に、

前記第 1 の同調手段に結合された、第 1 の制御信号を生成するための第 1 の制御手段と

10

20

30

40

50

、
前記第 2 の同調手段に結合された、第 2 の制御信号を生成するための第 2 の制御手段とを含み、

前記第 2 の制御手段の偏移範囲が前記第 1 の制御手段の偏移範囲よりも高い同調装置。

【請求項 9】

前記無線周波数 (R F) 信号を処理するための第 1 の無線周波数 (R F) 信号処理手段が、第 1 の周波数帯域信号を処理する手段および第 2 の周波数帯域信号を処理する手段を含む、請求項 8 に記載の同調装置。

【請求項 10】

前記第 2 の無線周波数 (R F) 信号処理手段がミクシング手段を含む、請求項 8 に記載の同調装置。 10

【請求項 11】

前記第 2 の制御手段が位相ロック・ループ手段を含み、前記第 1 の制御手段がデジタル・アナログ変換器を含む、請求項 8 に記載の同調装置。

【請求項 12】

前記第 2 の同調手段が、前記第 2 の制御信号に応答して局部発振器信号を生成する第 1 および第 2 の手段を含み、前記第 1 の同調手段が、無線周波数 (R F) 信号を可同調濾波する第 1 および第 2 の手段を含む、請求項 8 に記載の同調装置。

【請求項 13】

前記無線周波数 (R F) 信号を可同調濾波する前記第 1 の手段が、選択された周波数を前記第 1 の制御信号の前記偏移範囲に응答して通過させる第 1 の単同調の可同調フィルタ手段および第 1 の複同調の可同調フィルタ手段を含み、前記無線周波数 (R F) 信号を可同調濾波する前記第 2 の手段が、選択された周波数を前記第 1 の制御信号の前記偏移範囲に응答して通過させる第 2 の単同調の可同調フィルタ手段および第 2 の複同調の可同調フィルタ手段を含む、請求項 12 に記載の同調装置。 20

【請求項 14】

前記第 1 および第 2 の単同調の可同調フィルタ手段がそれぞれ、前記第 1 の制御信号の前記偏移範囲に응答するパラクタを含み、前記第 1 および第 2 の複同調の可同調フィルタ手段がそれぞれ、前記第 1 の制御信号の前記偏移範囲にそれぞれ別々に응答する 2 つのパラクタを含む、請求項 13 に記載の同調装置。 30

【請求項 15】

テレビジョン信号受信機における同調方法であって、
複数の無線周波数 (R F) 信号を受信するステップと、
第 1 の偏移範囲を有する第 1 の制御信号を第 1 のコントローラにより生成するステップと、

前記複数の無線周波数 (R F) 信号に前記第 1 の制御信号に従って同調して、前記無線周波数 (R F) 信号のうちの選択された 1 つを得るステップと、

前記第 1 の偏移範囲よりも高い第 2 の偏移範囲を有する第 2 の制御信号を第 2 のコントローラにより生成するステップと、

前記第 2 の制御信号に従って局部発振器信号を生成するステップと、 40

前記局部発振器信号を前記無線周波数 (R F) 信号のうちの前記選択された 1 つとミクシングして、 I F 信号を生成するステップとを含む方法。

【請求項 16】

第 1 の偏移範囲を有する第 1 の制御信号を第 1 のコントローラにより生成する前記ステップが、デジタル・アナログ変換器を含む第 1 のコントローラにより、第 1 の偏移範囲を有する第 1 の制御信号を生成するステップを含む、請求項 15 に記載の方法。

【請求項 17】

第 2 の偏移範囲を有する第 2 の制御信号を第 2 のコントローラにより生成する前記ステップが、位相ロック・ループを含む第 2 のコントローラにより、第 2 の偏移範囲を有する第 2 の制御信号を生成するステップを含む、請求項 15 に記載の方法。 50

【請求項 18】

前記複数の無線周波数（RF）信号に前記第1の制御信号に従って同調するステップが、単同調の可同調フィルタと複同調の可同調フィルタの第1と第2の対のうちの一方を介して、前記第1の制御信号に従って前記無線周波数（RF）信号のうちの1つを選択するステップを含む、請求項15に記載の方法。

【請求項 19】

単同調の可同調フィルタと複同調の可同調フィルタの第1と第2の対のうちの一方を介して、前記第1の制御信号に従って前記無線周波数（RF）信号のうちの1つを選択するステップが、バラクタ・ダイオードを介した単同調の可同調フィルタとデュアル・バラクタ・ダイオードを介した複同調の可同調フィルタの第1と第2の対のうちの一方を介して、前記第1の制御信号に従って前記無線周波数（RF）信号のうちの1つを選択するステップを含む、請求項18に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テレビジョン信号チューナに関し、より詳細には、テレビジョン信号チューナ用の電子的整合（electronic alignment）システムに関する。

【背景技術】

【0002】

すべてではないにしても大半のテレビジョン信号受信機は、特定のテレビジョン信号（チャンネル）を選択するためのチューナを備えている。選択されたチャンネルに基づいて電圧信号を利用する、テレビジョン信号チューナ用の電子的整合システムが開発されてきた。本質的に、同調させようとする選択されたチャンネルが、チャンネル選択信号を同調電圧コントローラに供給する。

20

【0003】

電子的整合は、これまでは常に、テレビジョン信号チューナの無線周波数同調回路（RF tuning circuitry）とテレビジョン信号チューナの局部発振器回路（local oscillator circuitry）とが同じ電圧コントローラ/電圧源上で稼動する必要があった。

【0004】

しかし、電子的整合システムは、無線周波数同調回路と局部発振器回路の両方を稼動させるために、高電圧バラクタ・ダイオード（varactor diode）を利用して、電圧コントローラにより発生される高電圧を受け取って利用する。

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

従って、少なくとも回路の一部では低電圧バラクタ・ダイオードを利用する、テレビジョン信号受信機用の電子的整合システムを有することが望ましい。

【0006】

更に、独立して制御される無線周波数同調回路と局部発振器回路とを有する電子的整合システムを有することが望ましい。

40

【課題を解決するための手段】

【0007】

本発明によれば、同調装置が提供される。この同調装置は、無線周波数（RF）信号受信手段と、信号出力手段と、無線周波数（RF）信号受信手段と信号出力手段との間に結合された無線周波数（RF）信号処理手段とを含み、無線周波数（RF）信号処理手段は、第1の無線周波数（RF）信号処理手段および第2の無線周波数（RF）信号処理手段をそれぞれ含んでいる。第1および第2の無線周波数（RF）信号処理手段は、それぞれの第1および第2の無線周波数（RF）信号同調手段を含んでいる。この同調装置は更に、第1の同調手段に結合された、第1の制御信号を生成するための第1の制御手段と、第

50

2 の同調手段に結合された、第 2 の制御信号を生成するための第 2 の制御手段とを含んでいる。第 1 の制御手段の偏移範囲は、第 2 の制御手段の偏移範囲よりも高い。

【 0 0 0 8 】

各図において、対応する参照符号は対応する部分を示す。

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

一形態として、特にテレビジョン信号チューナ用である同調装置が、第 1 および第 2 のコントローラを利用して、信号処理装置のそれぞれの第 1 および第 2 の信号処理回路に向けたそれぞれの第 1 および第 2 の制御信号を生成する。第 1 および第 2 の信号処理回路は、それぞれの第 1 および第 2 の制御信号に応答するそれぞれの第 1 および第 2 の可同調要素を有する。第 1 の制御信号の偏移範囲 (d e v i a t i o n r a n g e) は、第 2 の制御信号の偏移範囲 (d e v i a t i o n r a n g e) よりも高い。一形態として、第 1 および第 2 の信号処理回路は、異なる周波数帯域 (f r e q u e n c y b a n d) に応答する。第 1 および第 2 のコントローラは、第 1 および第 2 の電圧コントローラとすることができ、一形態として、第 1 および第 2 の電圧コントローラは、同調コントローラおよびデジタル・アナログ変換器とすることができる。第 1 および第 2 の信号処理回路は、無線周波数同調回路、および無線周波数同調回路のための局部発振器回路とすることができる。無線周波数回路は、第 1 の可同調要素の一部として、低電圧デジタル・アナログ変換器から提供される第 1 の電圧範囲 (v o l t a g e r a n g e) (偏移範囲) にわたって動作する低電圧バラクタを利用することができる。局部発振器回路は、第 2 の可同調要素の一部として、第 1 の電圧範囲よりも高く、位相ロック・ループから提供される第 2 の電圧範囲 (v o l t a g e r a n g e) (偏移範囲) にわたって動作する、より高い電圧のバラクタを利用することができる。

【 0 0 1 0 】

ここで図面、特に図 1 を参照すると、本発明の一態様による、130 で全体を示すデジタル・アナログ変換器システムの簡便化ブロック図表現が示されている。デジタル・アナログ変換器システム 130 は、デジタル・アナログ変換器 (D A C : D i g i t a l t o A n a l o g C o n v e r t e r) 100 およびモード・コントローラ (m c : m o d e c o n t r o l l e r) 132 を備えている。デジタル・アナログ変換器 (D A C) 100 は、任意のタイプのデジタル・アナログ変換器 (D A C) を表す。通常は、デジタル・アナログ変換器 (D A C) 100 は、集積回路 (I C) であるが、必ずしも I C である必要はない。更に、モード・コントローラ 132 は、D A C 100 と別個に示してあるが、D A C 100 と統合してもよい。従って、デジタル・アナログ変換器 (D A C) システム 130 すべてを、I C の一部とすることもできる。

【 0 0 1 1 】

デジタル・アナログ変換器 (D A C) 100 は、D A C 100 の動作を可能にするのに適した動作電圧または電圧供給を受け取るように動作する電圧供給入力 (V _{c c}) 102 を有する。D A C 100 の電圧供給入力 102 に供給される供給電圧は、I C の性質により異なることがある。ただし、通常は、このような電圧は 5 ボルトと 12 ボルトの何れかである。当然、D A C 100 (または D A C システム 130 が統合型 I C 型式の場合は、D A C システム 130) は、異なることがある。

【 0 0 1 2 】

また、デジタル・アナログ変換器 (D A C) 100 は、基準電圧 (V _{r e f}) を受け取るように動作する電圧基準入力 (V _{r e f}) 104 も有する。基準電圧 (V _{r e f}) は、D A C 100 が出力することになる最大電圧を設定する。データ入力 (D A T A I N) 106 が設けられており、これは、N ビット・デジタル・ワード (データ) を受け取るように動作する。N ビット・デジタル・ワードは、特定のアナログ電圧に変換される。異なる N ビット・ワードはそれぞれ、異なるアナログ電圧を供給する。D A C 100 は、所定の N ビット・デジタル・ワードのセットを受け取るように構成されている。例えば、D A C 100 は、3 ビット・デジタル・アナログ変換器とすることができ、このこ

とは、DAC 100が、000～111の3ビット・デジタル・ワード（即ち、 $N = 3$ ）だけしか受け付けないことを意味する。入力データは、直列に入力することができ、その場合には、単一のデータ入力106がある。あるいは、入力データは、並列で入力することもできる。並列入力の場合、各データ・ビットにつき別個のライン（線）があることになる。例えば、3ビット・デジタル・アナログ変換器（3ビット・ワードまたはデータを受け付ける）は、3つの別々のデータ入力106を有することになる。一般に、ビット数が、DACの分解能（resolution）を決定する。通常の分解能は、 $1 / (2^N - 1)$ と表すことができる。

【0013】

また、デジタル・アナログ変換器（DAC）100は、電圧基準入力104を介して入力された（最大値としての）基準電圧と、データ入力106を介した入力データ（ N ビット・デジタル・ワード）とに依存するアナログ出力電圧を供給するアナログ出力110も有する。DAC 100は、アナログ出力電圧をアナログ出力（Analog V_{out} ）110上に供給すると、このアナログ出力電圧は、デジタル入力ワードが0から $2^N - 1$ まで変化するのに伴って、直線的に0から最大基準電圧まで変化する。DAC 100は、複式（multiplying）DACとすることもでき、その場合、アナログ出力の大きさは、何らかのアナログ入力にも比例する。DAC 100は、クロック信号を受け取るように動作するクロック入力（CLK）124も有する。また、DAC 100は、大地接続（GND）126を介して大地に接続または結合されている。

【0014】

本発明の一態様によれば、モード・コントローラ132は、電圧基準入力104と基準電圧（ V_{cc} ）との間に接続されている。モード・コントローラ132は、基準電圧入力（ V_{cc} ）134を有し、図ではこの基準電圧入力134が、基準電圧（ V_{cc} ）に接続されている。モード・コントローラ132は、2つの状態またはモードで動作する。一方の状態では、モード・コントローラ132は、基準電圧（ V_{cc} ）に対応する最大出力電圧までの第1の分解能で、DAC 100が動作できるようにする。第2の状態では、モード・コントローラは、最大出力電圧を低減し（即ち、 V_{cc} の何割かに）、DAC 100の分解能を増加させる。モード・コントローラ132もまた大地に結合されている。

【0015】

次に、図2を参照すると、モード・コントローラ132の様々な要素をブロック形式で示したデジタル・アナログ変換器（DAC）システム130が、示されている。具体的には、一形態でモード・コントローラ132は、分圧回路／論理（Voltage Division Circuitry / Logic）136と、スイッチ／切り換え回路／論理（Switch / Switching Circuitry / Logic）138を備えている。分圧回路／論理136は、電圧基準入力（ V_{cc} ）134を介して電圧基準源（ V_{cc} ）に接続されている。スイッチ／切り換え回路／論理138は、大地に接続され、2つの状態またはモードで動作する。第1の状態またはモードは開回路状態であり、第2の状態またはモードは閉回路状態である。

【0016】

分圧回路／論理（logic）136は、スイッチ／切り換え回路／論理138と共に動作し、それにより、スイッチ／切り換え回路／論理138が第1の状態（開回路）にあるときは、分圧回路／論理136は、第1の分解能で、アナログ電圧出力（ $A V_{out}$ ）110におけるアナログ出力電圧として基準電圧入力（ V_{ref} ）104に供給される最大基準電圧（ V_{cc} ）の100%を供給するように動作する。更に、分圧回路／論理136は、スイッチ／切り換え回路／論理138と共に動作し、それにより、スイッチ／切り換え回路／論理138が第2の状態（閉回路）にあるときは、分圧回路／論理136は、第1の分解能よりも大きい第2の分解能で、アナログ電圧出力110におけるアナログ出力電圧として基準電圧入力104に供給される最大基準電圧（ V_{cc} ）の何割かを供給するように動作する。

【0017】

分圧回路 / 論理 1 3 6 が、ディジタル・アナログ変換器 (D A C) 1 0 0 に (具体的には、電圧基準入力 (V_{ref}) 1 0 4 に) 供給する最大基準電圧 (V_{cc}) の割合は、分圧回路 / 論理 1 3 6 の回路により決定される。第 1 の分解能は以下の式で計算される。

$$1 / (2^N - 1)$$

第 2 の分解能は、以下の式で計算される。

$$1 / (2^{N+1} - 1)$$

この 2 つの式から、分解能が 2 倍になることがわかる。実のところ、第 2 の分解能は、D A C 1 0 0 に対する入力データ・ワードの所定のビット・サイズに応じて、実際には第 1 の分解能の 2 倍よりもわずかに大きい。例えば、D A C 1 0 0 が 3 ビット D A C の場合、第 1 の分解能は $1 / 7$ であり (即ち、0 から最大基準電圧まで 7 段階ある)、従って、第 2 の分解能は $1 / 15$ である (即ち、0 から最大基準電圧の何割かまで 15 段階ある)。後述するように、最大アナログ出力電圧として供給される基準電圧 (最大基準電圧) の割合は、回路構成要素の値により決定される。これは、制御点 (control point) または切り換え点 (switch over point) と呼ぶことができる。本発明を 1 つの制御点に関して述べると、多くの制御点があってもよく、あるいは絶えず変化する制御点があってもよい。

10

【 0 0 1 8 】

このディジタル・アナログ変換器 (D A C) システムは、効果的に増加した第 2 の分解能を提供することに留意されたい。従って、効果的な、一部をなす、および / または部分的な分解能という用語を適用して、分解能の増加を示すことができる。従って、この D A C システムは、D A C、D A C 構造、または D A C システムの、部分的なまたは何割かの範囲にわたって効果的な分解能増加をもたらす。別の言い方をすれば、本発明は、全動作範囲にわたって D A C、D A C 構造、または D A C システムに対して半ビットの分解能を提供し、あるいは何割かまたは部分的な動作範囲にわたって 1 ビットの分解能を提供することに似ている。

20

【 0 0 1 9 】

図 3 を参照すると、モード・コントローラ 1 3 2 の例示的な回路図を表したものが示されている。具体的には、分圧回路 / 論理 1 3 6 が、分圧器 1 4 0 として示されている。例示的な一実施例では、分圧器 1 4 0 は、第 1 の抵抗器 R 1 および第 2 の抵抗器 R 2 からなる。第 1 の抵抗器 R 1 は、基準電圧 (V_{cc}) に結合されている。基準電圧 (V_{cc}) は、例えば、10 ボルトとすることができる。第 2 の抵抗器 R 2 は、切り換え回路 1 3 8 に結合されており、切り換え回路 1 3 8 は、ここではスイッチ S W 1 を含んでいる。スイッチ S W 1 は、スイッチ制御 (switch control) ライン 1 4 8 上に供給されるスイッチ制御信号により制御される。スイッチ S W 1 は、大地に接続されている。スイッチ制御信号は、スイッチ S W 1 を開閉する。

30

【 0 0 2 0 】

分圧器 1 4 0 は、ディジタル・アナログ変換器 (D A C) 1 0 0 の基準電圧 (V_{ref}) 入力 1 0 4 にも接続されている。具体的には、D A C 1 0 0 の基準電圧 (V_{ref}) 入力 1 0 4 は、第 1 の抵抗器 R 1 と第 2 の抵抗器 R 2 との間に接続されている。動作を説明すると、図 3 に示すようにスイッチ S W 1 が開いた位置 (開回路) にある場合は、D A C 1 0 0 の基準電圧 (V_{ref}) 入力 1 0 4 に供給される電圧は、第 1 の抵抗器 R 1 の両端の電圧である。第 1 の抵抗器 R 1 の両端の電圧は、基準電圧供給 (V_{cc}) であり、従って、基準電圧 (V_{ref}) は、 V_{cc} と等しい。スイッチ S W 1 が閉じた位置 (閉回路) にある場合は、D A C 1 0 0 の基準電圧 (V_{ref}) 入力 1 0 4 に供給される電圧は、第 1 の抵抗器 R 1 および第 2 の抵抗器 R 2 にわたって分割された電圧であり、これは、以下の式により与えられる。

40

$$R 1 / (R 1 + R 2)$$

従って、D A C 1 0 0 に供給される基準電圧は、抵抗器 R 1 および R 2 の値に依存する。このため、スイッチ S W 1 が閉じているとき、最大アナログ出力電圧は R 1 および R 2 の値に依存する。

50

【0021】

$R_1 = R_2$ のとき、分母の項 $R_1 + R_2$ は、 $R_1 + R_1$ に変えることができ、これは即ち $2R_1$ である。従って、式 $R_1 / (R_1 + R_2)$ は、 $R_1 / 2R_1$ と書き換えることができ、これを簡単化すると $1/2$ になる。このため、 $R_1 = R_2$ のとき、DAC100 に供給される最大基準電圧、即ち制御点（および最大アナログ出力電圧）は、基準電圧供給 V_{cc} の $1/2$ 、即ち 50% である。一般に、 $R_1 < R_2$ のときは、制御点は $1/2 V_{cc}$ または $50\% V_{cc}$ よりも小さい ($<$)。 $R_1 > R_2$ のときは、制御点は $1/2 V_{cc}$ または $50\% V_{cc}$ よりも大きい ($>$)。

【0022】

通常、抵抗器 R_1 および R_2 の値（オーム）は、固定値だが、望むなら、両方とも可変としてもよく、一方を、固定とし他方を可変としてもよい。このようにすれば、DAC100 に供給される基準電圧の制御点は、抵抗器 R_1 および抵抗器 R_2 が固定値の場合に固定されるのとは異なり、制御することができる。従って、DAC100 に供給される最大基準電圧は、0 をちょうど過ぎた値から基準電圧供給の 100% までとすることができる。

【0023】

図4を参照すると、150で全体を示す、他の実施例のデジタル・アナログ変換器（DAC）システムが示されている。この実施例で、モード・コントローラ（mc）132 が場合によりDAC100と統合されるのが破線で示されている。ただし、モード・コントローラ132は、DAC100と統合してもしなくてもよい。DACシステム150は、前述のDACシステム130と同様にして動作すると、例外として、DAC100は、第1のデータ・アウト1アナログ電圧出力（DATA OUT1） 110_1 、第2のデータ・アウト2アナログ電圧出力（DATA OUT2） 110_2 、および第3のデータ・アウト3アナログ電圧出力（DATA OUT3） 110_3 を有する。各アナログ電圧出力 110_1 、 110_2 、 110_3 は、デジタル入力ワードに対して個別に同様のアナログ電圧出力を供給する。更に、DACシステム150は、電圧 V_{cc} をDAC100のための基準電圧および動作電圧に利用する。

【0024】

図5は、3ビット・デジタル・アナログ変換器（DAC）を有するこのDACシステムのグラフであって、3ビット・デジタル入力データに応じた出力電圧を示すグラフ142を提供する。出力電圧は、最小値0ボルトから最大値 V_{max} までの範囲にわたる。 V_{max} は、任意の電圧とすることができるが、デジタル入力ワードが、000から111に変化するのに伴ってモード・コントローラ132に供給される基準電圧に対応する。また、 V_{max} は、スイッチSW1が開いた状態のときにDAC100に供給される基準電圧にも対応する。グラフ142で、電圧 V_{ref1} は、スイッチSW1が閉じており分圧器140が機能しているときの、制御点、即ち、最大基準電圧の割合（percentage）に対応する。

【0025】

グラフ142に示す例では、線144は、スイッチSW1が開いた位置にあるときのアナログ出力電圧を表す。デジタル入力ワードが000の場合、アナログ電圧出力は0ボルトである。デジタル入力ワードが111へと進むにつれて、アナログ出力電圧は最大値 V_{max} （即ち、基準電圧の 100% ）まで増加する。線144の分解能（resolution）は、「X」で表すことができる。

【0026】

線146は、スイッチSW1が閉じた位置にあるときのアナログ出力電圧を表す。デジタル入力ワードが000の場合、アナログ電圧出力は0ボルトである。デジタル入力ワードが111へと進むにつれて、アナログ出力電圧は最大値 V_{ref1} （即ち、式 $R_1 / (R_1 + R_2)$ に従った、基準電圧の何割か）まで増加する。線146の分解能は、「 $2X$ 」と表すことができる。線146の傾斜は、線144の傾斜よりも小さいことがわかり、このことは、0ボルトと最大アナログ出力電圧 V_{max} との間よりも、0ボルトと最

大アナログ出力電圧 V_{ref1} との間の方が、段階またはディジタル入力ワード（分解能）ごとの電圧増分が少ないことを示す。

【0027】

従って、このDACシステムは、NビットDACの分解能の切り換えを提供する。具体的には、このDACシステムは、既存のNビットDACを利用するかまたはNビット用DAC構造を提供しながら、N+1ビットの分解能をDACの電圧範囲の何割かにわたって実現できるようにする。3ビットの例を用いると、R2Rはしご形回路網DACが、端点を含めた8個の離散はしご点（discrete ladder point）を形成する（離散はしご点のように働く）。4ビット分解能のDACが必要な場合、はしご点の数を16個にすることが必要になる。本発明では、3ビットDAC構造を使用して、特定のまたは所定の範囲にわたって4ビット性能を実現することができる。

10

【0028】

次に図6を参照すると、200で全体を示す、テレビジョン信号受信機（テレビジョン信号）チューナ用の例示的な電子的整合システムのブロック図が示されている。このシステム中で、前述のディジタル・アナログ変換器（DAC）システムを使用することができる。ただし、本明細書で述べるDACシステムは、必ずしも電子的整合システム200中で使用する必要はない。電子的整合システム200は、無線周波数（RF）テレビジョン信号（RF信号または入力）を無線周波数（RF）テレビジョン信号源から受信し、中間周波数（IF）出力を供給するように動作する。具体的には、電子的整合システム200は、VHF（より具体的には2つのVHF帯域、即ち、帯域1および帯域2）やUHFテレビジョン信号など、無線周波数（RF）テレビジョン信号の幾つかの帯域を受信し、選択されたテレビジョン・チャンネルに従って、中間周波数（IF）テレビジョン・チャンネル信号を供給するように動作する。

20

【0029】

無線周波数（RF）信号は、無線周波数（RF）入力スイッチまたはスプリッタ（splitter）を介して供給される有線テレビジョンやアンテナなどの無線周波数（RF）信号源から受信される。受信された無線周波数（RF）信号は、VHF帯域からUHF帯域を分離するように動作するU/V（UHF/VHF）スプリッタ202に入力される。U/Vスプリッタ202は、選択されたチャンネルがVHF帯域テレビジョン信号のとき、制御信号BSV（BSV：Band Select VHF。帯域選択VHF）を受け取る。制御信号BSVは、位相ロック・ループ（PLL：Phase Lock Loop）222により生成され、ここでは、PLL222は、PLL ICの形式で示されている。制御信号BSVは、チャンネル選択信号に応答してPLL222により生成される電圧である。

30

【0030】

電子的整合システム200は、UHF処理部204、VHF処理部206、ミクサー/発振器部214、PLL222、ディジタル・アナログ変換器（DAC）224を有する。UHF処理部204は、チャンネル選択に応答して特定のUHFチャンネル（特定のテレビジョン信号）に同調するように動作する。VHF処理部206は、チャンネル選択に応答して、特定のVHF帯域（ここでは、2つのVHF帯域のうち的一方）内の特定のVHFチャンネル（特定のテレビジョン信号）に同調するように動作する。

40

【0031】

UHF処理部204は、U/Vスプリッタ202の出力を受け取るようにU/Vスプリッタ202に接続された単同調（ST：Single Tuned）フィルタ208を備えている。具体的には、UHF信号は、単同調フィルタ208によりU/Vスプリッタ202から受け取られる。本発明の一態様によれば、単同調フィルタ208は、0～5ボルトの範囲にわたって動作する。具体的には、単同調フィルタ208は、0～5ボルトの連続的なアナログ電圧にわたって動作する。STで示す0～5ボルト信号をDAC224から受け取る。DAC224は、チャンネル選択信号に応答して、0～5ボルト信号（即ち、連続的なアナログ0～5ボルト信号）STを生成する。電圧信号STは、選択されたチ

50

チャンネルに単同調フィルタ 208 が同調するようにする。

【0032】

単同調フィルタ 208 の出力は、無線周波数 (RF) 増幅器 (amp) 210 に供給される。無線周波数 (RF) 増幅器 210 は、テレビジョン信号受信機により生成される無線周波数 (RF) 自動利得制御 (AGC) 信号に従って、単同調フィルタ 208 からの無線周波数 (RF) UHF 信号を増幅するように動作する。無線周波数 (RF) 増幅器 210 はまた、PLL 222 により生成され供給される UHF 帯域選択信号 (BSU: Band Select UHF) も受け取るように動作する。UHF 帯域選択信号 BSU は、チャンネル選択信号に応答して位相ロック・ループ (PLL) により生成される。本質的に、帯域選択信号 BSU は、無線周波数 (RF) 増幅器 210 のためのオン/オフ信号である。 10

【0033】

無線周波数 (RF) 増幅器 210 の出力は、複同調 (DT: Double Tuned) フィルタ 212 に供給される。本発明の一態様によれば、複同調フィルタ 212 は、0 ~ 5 ボルトの範囲にわたって動作する。具体的には、複同調フィルタ 212 は、0 ~ 5 ボルトの連続的なアナログ電圧にわたって動作する。PRI (Pri) で示す 0 ~ 5 ボルト信号を、DAC 224 から受け取る。DAC 224 は、チャンネル選択信号に응答して、0 ~ 5 ボルト信号 (即ち、連続的なアナログ 0 ~ 5 ボルト信号) PRI を生成する。PRI 電圧信号は、選択されたチャンネルに複同調フィルタ 212 の第 1 の部分が同調するようにする。SEC (Sec) で示す 0 ~ 5 ボルト信号も、DAC 224 から受け取る。DAC 224 は、チャンネル選択信号に응答して、0 ~ 5 ボルト信号 (即ち、連続的なアナログ 0 ~ 5 ボルト信号) SEC を生成する。SEC 電圧信号は、選択されたチャンネルに複同調フィルタ 212 の第 2 の部分が同調するようにする。 20

【0034】

複同調フィルタ 212 の出力は、IC の形式で示すミクサー/発振器 (mixer/oscillator) 214 に供給される。ミクサー部と発振器部は、別々としてもよいが、図示の例では結合されている。具体的には、複同調フィルタ 212 の出力は、ミクサー 228 に供給される。UHF 局部発振器 (LO: Local Oscillator) 226 の出力が、ミクサー 228 に接続されている。UHF 局部発振機 (LO) 226 は、局部発振器 (LO) 同調電圧信号を PLL 222 から受け取り、同調された局部発振器信号を生成するように動作する。LO 同調電圧信号は、チャンネル選択信号に응答して PLL により生成される。LO 同調電圧信号は、0 ~ 30 ボルトのアナログ電圧信号である。また、UHF 局部発振器 (LO) 226 は、LO 駆動信号の形式で PLL 222 にフィードバックを与える。 30

【0035】

UHF ミクサー 228 は、UHF 局部発振器 (LO) 226 からの同調された UHF 局部発振器信号を、複同調フィルタ 212 の出力信号 (選択されたチャンネル) と合成またはミクシング (mixing) する。ミクサー 228 の出力は、複同調中間周波数 (IF) フィルタ 234 に供給される。複同調中間周波数 (IF) フィルタ 234 は、その出力を中間周波数 (IF) 増幅器 (amp) 236 に供給する。中間周波数 (IF) 増幅器 236 からの増幅された中間周波数 (IF) 信号 (選択されたテレビジョン・チャンネル) は、次いで、テレビジョン信号受信機または他の構成要素の、様々なデジタルおよびアナログ中間周波数 (IF) 構成要素 (図示せず) に中間周波 (IF) 出力として供給される。 40

【0036】

VHF 処理部 206 は、U/V スプリッタ 202 の出力を受け取るように U/V スプリッタ 202 に接続された単 (一) 同調 (ST) フィルタ 216 を備えている。具体的には、VHF 信号は、単同調フィルタ 216 により U/V スプリッタ 202 から受け取られる。本発明の一態様によれば、単同調フィルタ 216 は、0 ~ 5 ボルトの範囲にわたって動作する。具体的には、単同調フィルタ 216 は、0 ~ 5 ボルトの連続的なアナログ電圧に 50

わたって動作する。STで示す0～5ボルト信号をDAC224から受け取る。DAC224は、チャンネル選択信号にตอบสนองして、0～5ボルト信号（即ち、連続的なアナログ0～5ボルト信号）STを生成する。電圧信号STは、選択されたチャンネルに単同調フィルタ216が同調するようにする。

【0037】

更に、単同調フィルタ216は、PLL222により生成されたPLL222からの帯域選択(Band Select)信号(BS1/2)を受け取るように動作する。帯域選択信号(BS1/2)は、2つのVHF帯域のうち的一方を選択する。具体的には、帯域選択信号(BS1/2)は、チャンネル選択信号から得られるオン/オフ電圧信号である。

10

【0038】

単同調フィルタ216の出力は、無線周波数(RF)増幅器(amp)218に供給される。無線周波数(RF)増幅器218は、テレビジョン信号受信機により生成される無線周波数(RF)自動利得制御(AGC)信号に従って、単同調フィルタ216からの無線周波数(RF)VHF信号を増幅するように動作する。また、無線周波数(RF)増幅器218は、PLL222により生成され供給されるVHF帯域選択信号(BSV)も受け取るように動作する。VHF帯域選択信号BSVは、チャンネル選択信号にตอบสนองしてPLLにより生成される。本質的に、帯域選択信号BSVは、無線周波数(RF)増幅器218のためのオン/オフ信号である。

【0039】

無線周波数(RF)増幅器218の出力は、複同調(DT)フィルタ220に供給される。本発明の一態様によれば、複同調フィルタ220は、0～5ボルトの範囲にわたって動作する。具体的には、複同調フィルタ220は、0～5ボルトの連続的なアナログ電圧にわたって動作する。PRI(P_ri)で示す0～5ボルト信号をDAC224から受け取る。DAC224は、チャンネル選択信号にตอบสนองして、0～5ボルト信号（即ち、連続的なアナログ0～5ボルト信号）PRIを生成する。PRI電圧信号は、選択されたチャンネルに複同調フィルタ220の第1の部分が同調するようにする。SEC(S_ec)で示す0～5ボルト信号もDAC224から受け取る。DAC224は、チャンネル選択信号にตอบสนองして、0～5ボルト信号（即ち、連続的なアナログ0～5ボルト信号）SECを生成する。SEC電圧信号は、選択されたチャンネルに複同調フィルタ220の第2の部分が同調するようにする。

20

30

【0040】

更に、複同調フィルタ220は、PLL222により生成されたPLL222からの帯域選択信号(BS1/2)を受け取るように動作する。帯域選択信号(BS1/2)は、2つのVHF帯域のうち的一方を選択する。具体的には、帯域選択信号(BS1/2)は、チャンネル選択信号から得られるオン/オフ電圧信号である。帯域選択信号(BS1/2)は、単同調フィルタ216に供給されるものと同じである。

【0041】

複同調フィルタ220の出力は、ICの形式で示すミクサー/発振器214に供給される。ミクサー部と発振器部は別々としてもよいが、図では合成されている。具体的には、複同調フィルタ220の出力は、ミクサー232に供給される。VHF局部発振器(LO)230の出力が、ミクサー232に接続されている。VHF局部発振器(LO)230は、局部発振器(LO)同調電圧信号をPLL222から受け取り、同調された局部発振器信号を生成するように動作する。LO同調電圧信号は、チャンネル選択信号にตอบสนองしてPLLにより生成される。LO同調電圧信号は、0～30ボルトのアナログ電圧信号である。また、VHF局部発振器(LO)230は、LO駆動信号の形式でPLL222にフィードバックを供給する。

40

【0042】

VHFミクサー232は、VHF局部発振器(LO)230からの同調されたVHF局部発振器信号を、複同調フィルタ220の出力信号（選択されたチャンネル）と合成また

50

はミクシングする。ミクサー 232 の出力は、複同調中間周波数 (IF) フィルタ 234 に供給される。複同調 IF フィルタ 234 は、その出力を中間周波数 (IF) 増幅器 (amp) 236 に供給する。中間周波数 (IF) 増幅器 236 からの増幅された中間周波数 (IF) 信号 (選択されたテレビジョン・チャンネル) は、次いでテレビジョン信号受信機または他の構成要素の、様々なデジタルおよびアナログ中間周波数 (IF) 構成要素 (図示せず) に、中間周波 (IF) 出力として供給される。

【0043】

チャンネル選択信号は、必ずしもそうとは限らないが通常、電子的整合システム 200 を有するテレビジョン信号受信機によりユーザー入力に応答して生成される。チャンネル選択信号は、DAC 224 および PLL 222 に供給される。チャンネル選択信号を提供するための他の方式も考えられるが、図示の電子的整合システム 200 では、 I^2C (または IIC) 構成 / プロトコルを利用する。従って、図では、 I^2C クロック・ラインおよび I^2C データ・ラインが DAC 224 および PLL 222 に接続されている。PLL 222 も DAC 224 も両方とも、0 から最大電圧までの範囲で連続的に変動するアナログ電圧信号を生成し、最大電圧は、DAC 224 の場合は 5 ボルトであり、PLL 222 の場合は 30 ボルトである。

【0044】

更に、本明細書に開示する電子的整合システムまたは電子チューナは、無線周波数 (RF) セクションでは、5 ボルト・バラクタを使用し LO (局部発振器) セクションでは、30 ボルト・バラクタを使用するものとして述べているが、他の電圧のバラクタを使用することもできる点に留意されたい。本発明の原理によれば、無線周波数 (RF) セクションのための電圧供給 (従って、バラクタ) と局部発振器 (LO) セクションのための電圧供給 (従って、バラクタ) とが単に異なっている。このような差は、無線周波数 (RF) セクションのための電圧供給およびバラクタ (即ち、バラクタ電圧容量) が、局部発振器 (LO) セクションのための電圧供給およびバラクタ (即ち、バラクタ電圧容量) よりも低いこととして表れることが好ましい。従って、例えば、無線周波数 (RF) セクションは、12 ボルトの供給 / バラクタを使用し、局部発振器 (LO) セクションは、33 ボルトの供給 / バラクタを使用することもできる。更に、供給電圧および / またはバラクタ電圧は、相関関係にあっても無くてもよい。

【0045】

図 7 を参照すると、図 6 の電子的整合システム 200 のブロック図に関する例示的な回路図が示されている。図 7 の回路は、図 6 に関連して述べたように動作することを理解されたい。従って、回路 200 の幾つかの部分だけについて詳細に述べる。最初に、スプリッタ 202 により、具体的にはコンデンサ C0 およびインダクタ L0 により、無線周波数入力 (RF IN) が分割される。UHF 部が、コンデンサ C0 を介して分岐し、VHF 部が、インダクタ L0 を介して分岐する。抵抗器 R0 が、電荷増強保護 / 除去、および / または避雷を提供する。抵抗器 R0 は、インダクタ L0 および大地に結合されている。

【0046】

先に示したように、UHF セクション 204 は、バラクタ電圧制御される単同調フィルタ 208 を有する。単同調フィルタ 208 は、直列のインダクタ L8 および L9 を備えており、これらは低電圧 (即ち、0 ~ 5 ボルト) バラクタ (バラクタ・ダイオード) VR7 およびコンデンサ C7 と並列である。直列のインダクタ L8 および L9 と、それらと並列のバラクタ VR7 およびコンデンサ C7 は、大地に接続されている。同調電圧信号 ST が、抵抗器 R4 を介して、バラクタ VR7 とコンデンサ C7 との間のノード (node: 接点) に供給される。単同調フィルタ 208 は、バラクタ VR7 に印加される電圧に基づいて電気特性が変化する。このようにして、単同調フィルタ 208 は、入力電圧信号 ST に基づいて特定の UHF チャンネルに同調することができる。

【0047】

単同調フィルタ 208 は、コンデンサ C9 を介して無線周波数 (RF) 増幅器 210 に結合されている。増幅器 210 は、デュアル・ゲート N チャンネル金属酸化物半導体 (MO

10

20

30

40

50

S) 電界効果トランジスタ (FET) T2 を備えている。トランジスタ T2 の一方のゲートにはコンデンサ C9 が結合され、トランジスタ T2 の他方のゲートは無線周波数 (RF) AGC 信号を受け取る。トランジスタ T2 のソースは、大地に接続されている。トランジスタ T2 のドレインには、インダクタ L10 が結合されている。インダクタ L10 は、UHF 帯域選択 (BSU) 信号を適時に受け取るために PLL222 に結合されている。BSU 信号を加えるあるいは加えないことにより、増幅器が機能し、あるいは機能せず、その結果、信号を通すための伝導または信号を通さないための非伝導がもたらされる。無線周波数 (RF) 増幅器 210 は、コンデンサ C10 を介して複同調フィルタ 212 に結合されている。

【0048】

10

複同調フィルタ 212 は、第 1 の段 (first stage) 250 を備えており、この第 1 の段 250 は、第 2 の段 (second stage) 252 に対し、それぞれのインダクタ L11 および L12 を介して相互伝導関係にある。第 1 の段 250 は、低電圧 (0 ~ 5 ボルト) バラクタ VR8 を備えている。このバラクタ VR8 は、一方の端でコンデンサ C10 に結合され、他方の端でコンデンサ C11 に結合され、それによりバラクタ VR8 とコンデンサ C11 とは直列である。直列のバラクタ VR8 およびコンデンサ C11 は、インダクタ L11 と並列である。同調電圧信号 PRI が、抵抗器 R5 を介して、バラクタ VR8 とコンデンサ C11 との間のノード (接点) に供給される。第 1 の段 250 は、バラクタ VR8 に印加される電圧に基づいて電気特性が変化する。

【0049】

20

複同調フィルタ 212 は第 2 の段 252 を備えており、この第 2 の段 252 は、第 1 の段 250 に対し、それぞれのインダクタ L11 および L12 を介して相互伝導関係にある。第 2 の段 252 は、低電圧 (0 ~ 5 ボルト) バラクタ VR9 を備えている。このバラクタ VR9 は、一方の端でインダクタ L12 に結合され、他方の端でコンデンサ C12 に結合され、それにより、バラクタ VR9 とコンデンサ C12 とは直列であり、バラクタ VR9 およびコンデンサ C12 はインダクタ L12 と並列である。同調電圧信号 SEC が、抵抗器 R6 を介して、バラクタ VR9 とコンデンサ C12 との間のノードに供給される。第 2 の段 252 は、バラクタ VR9 に印加される電圧に基づいて電気特性が変化する。このようにして、複同調フィルタ 212 は、入力電圧信号 PRI および SEC に基づいて特定の UHF チャンネルに同調することができる。複同調フィルタ 212 の出力は、コンデン

30

【0050】

先に示したように、VHF セクション 206 は、バラクタ電圧制御される単同調フィルタ 216 を有する。単同調フィルタ 216 はインダクタ L1 を備えている。低電圧 (即ち 0 ~ 5 ボルト) バラクタ (バラクタ・ダイオード) VR1 が、一方の端でインダクタ L1 に結合され、他方の端でコンデンサ C1 に結合され、それによりバラクタ VR1 とコンデンサ C1 は直列である。直列のバラクタ VR1 およびコンデンサ C1 は、直列のインダクタ L2 および L3 と並列である。コンデンサ C1 およびインダクタ L3 は、大地に接続されている。同調電圧信号 ST が、抵抗器 R1 を介して、バラクタ VR1 とコンデンサ C1 との間のノード (接点) に供給される。単同調フィルタ 216 は、バラクタ VR1 に印加される電圧に基づいて電気特性が変化する。このようにして、単同調フィルタ 216 は、入力電圧信号 ST に基づいて特定の VHF チャンネルに同調することができる。

40

【0051】

単同調フィルタ 216 は更に、帯域選択信号 BS1 に応答して、単同調フィルタ 216 の帯域同調を変更する。単同調フィルタ 216 は更に、コンデンサ C2 と直列の低電圧 (0 ~ 5 ボルト) バラクタ VR2 も備えている。信号 BS1 は、バラクタ VR2 とコンデンサ C2 との間に加えられる。直列のバラクタ VR2 およびコンデンサ C2 は、インダクタ L3 と並列に配置されている。

【0052】

単同調フィルタ 216 は、コンデンサ C8 を介して無線周波数 (RF) 増幅器 218 に

50

結合されている。増幅器 218 は、デュアル・ゲート N チャンネル金属酸化物半導体 (MOS) 電界効果トランジスタ (FET) T1 を備えている。トランジスタ T1 の一方のゲートにはコンデンサ C8 が結合され、トランジスタ T1 の他方のゲートは無線周波数 (RF) AGC 信号を受け取る。トランジスタ T1 のソースは大地に接続されている。トランジスタ T1 のドレインには、インダクタ L4 が結合されている。インダクタ L4 は、VHF 帯域選択 (BSV) 信号を適時に受け取るために PLL222 に結合されている。BSV 信号を加えるまたは加えないことにより増幅器が機能しまたは機能せず、その結果、信号を通すための伝導または信号を通さないための非伝導がもたらされる。無線周波数 (RF) 増幅器 218 は、複同調フィルタ 220 に結合されている。

【0053】

10

複同調フィルタ 220 は第 1 の段 254 を備えており、この第 1 の段 254 は、第 2 の段 256 に対し、それぞれの 2 組のインダクタ L4 および L6、L5 および L7 を介して相互伝導関係にある。第 1 の段 254 は、低電圧 (0 ~ 5 ボルト) バラクタ VR3 を備えている。このバラクタ VR3 は、一方の端で増幅器 218 に結合され、他方の端でコンデンサ C3 に結合され、それによりバラクタ VR3 とコンデンサ C3 とは直列である。直列のバラクタ VR3 およびコンデンサ C3 は、直列のインダクタ L4 および L5 と並列である。同調電圧信号 PRI が、抵抗器 R2 を介して、バラクタ VR3 とコンデンサ C3 との間のノードに供給される。第 1 の段 254 は、バラクタ VR3 に印加される電圧に基づいて電気特性が変化する。

【0054】

20

複同調フィルタ 220 の第 1 の段 254 は更に、帯域選択信号 BS1 に応答して、複同調フィルタ 220 の第 1 の段 254 の帯域同調を変更する。第 1 の段 254 は更に、コンデンサ C4 と直列の低電圧 (0 ~ 5 ボルト) バラクタ VR4 も備えている。信号 BS1 は、バラクタ VR4 とコンデンサ C4 との間に加えられる。直列のバラクタ VR4 およびコンデンサ C4 は、インダクタ L5 と並列に配置されている。

【0055】

複同調フィルタ 220 は第 2 の段 256 を備えており、この第 2 の段 256 は、第 1 の段 254 に対し、それぞれのインダクタの対 L4 および L6、L5 および L7 を介して相互伝導関係にある。第 2 の段 256 は、低電圧 (0 ~ 5 ボルト) バラクタ VR6 を備えている。このバラクタ VR6 は、一方の端でインダクタ L6 に結合され、他方の端でコンデンサ C6 に結合され、それにより、バラクタ VR6 とコンデンサ C6 とは直列であり、バラクタ VR6 およびコンデンサ C6 はインダクタ L6 および L7 と並列である。同調電圧信号 SEC が、抵抗器 R3 を介して、バラクタ VR6 とコンデンサ C6 との間のノードに供給される。第 2 の段 256 は、バラクタ VR6 に印加される電圧に基づいて電気特性が変化する。

30

【0056】

複同調フィルタ 220 の第 2 の段 256 は更に、帯域選択信号 BS1 に応答して、複同調フィルタ 220 の第 2 の段 256 の帯域同調を変更する。第 2 の段 256 は更に、コンデンサ C5 と直列の低電圧 (0 ~ 5 ボルト) バラクタ VR5 も備えている。信号 BS1 は、バラクタ VR5 とコンデンサ C5 との間に加えられる。直列のバラクタ VR5 およびコンデンサ C5 は、インダクタ L7 と並列に配置されている。このようにして、複同調フィルタ 220 は、入力電圧信号 PRI および SEC、並びに帯域選択信号 BS1 に基づいて、特定の帯域の特定の VHF チャンネルに同調することができる。複同調フィルタ 220 の出力は、コンデンサ C7 を介してミクサー / 発振器 IC214 に供給される。

40

【0057】

ミクサー / 発振器 214 は、BSV と BSU の何れかの制御信号を受け取って、どちらの局部発振器を利用するかを選択する。更に、PLL222 がミクサー発振器 214 に結合されており、それにより、チャンネル選択信号から得られた同調電圧が UHF 局部発振器 (LO) 同調セクション 238 および VHF 局部発振器 (LO) 同調セクション 240 に供給される。UHF 局部発振器 (LO) 同調セクション 238 は、チャンネル選択に基

50

づいて同調をもたらすように動作する。VHF局部発振器（LO）同調セクション240は、チャンネル選択に基づいて同調をもたらすように動作する。

【0058】

UHF局部発振器（LO）同調セクション238は、コンデンサC14と直列する高電圧（0～30ボルト）バラクタVR10を備えている。直列のバラクタVR10およびコンデンサC14は、インダクタL13と並列に配置されている。PLL222からの0～30ボルト同調信号は、抵抗器R9を介して、バラクタVR10とコンデンサC14との間のノードに供給される。これにより、UHF同調のための同調された信号がミクサー/発振器214に供給される。

【0059】

VHF局部発振器（LO）同調セクション240は、コンデンサC15と直列する高電圧（0～30ボルト）バラクタVR11を備えている。直列のバラクタVR11およびコンデンサC15は、インダクタの対L14およびL15と並列に配置されている。PLL222からの0～30ボルト同調信号は、抵抗器R10を介して、バラクタVR11とコンデンサC15との間のノード（接点）に供給される。インダクタの対L14とL15の間には、帯域選択信号BS1に 응답して動作する帯域選択回路がタップされている。帯域選択信号が、バラクタVR12とコンデンサC16との間に供給される。これにより、VHF同調のための同調された信号がミクサー/発振器214に供給される。

【0060】

本明細書に示すように、上述したこのDACシステムは、バラクタ・ダイオード（バラクタ）の同調特性により、テレビジョン信号受信機（テレビジョン信号）チューナ用のこの例示的な電子的整合システム中で使用することが望ましい。具体的には、バラクタ・ダイオードの同調特性は、下側の電圧範囲でより高速なキャパシタンス（および周波数）の変化を有するものである。その結果、このより高速な変化により、必要な分解能（即ち、より大きい分解能）が設定される。しかし、上側の電圧範囲では、変化はずっと遅く、分解能はより低くなる。より高い分解能のDAC（即ち、より多くのビット）を使用することもできるが、より高い分解能のDACはより高価である。更に、その場合、より高い分解能のDACは、より高い電圧では分解能（および同調帯域内の周波数）を浪費することになる。従って、この切り換え式分解能のDACでは、より低い分解能のDACを使用して、必要な範囲内だけでより高い分解能の利点を得ることができる。

【0061】

好ましい設計を有するものとして本発明を述べたが、本発明は、本開示の趣旨および範囲内で更に変更することもできる。従って、本明細書は、本発明の一般原理を用いた本発明のどんな変形、使用、適応も包含するものである。更に、本明細書は、本発明が関係しており特許請求の範囲に含まれるなら、当技術分野における周知のまたは慣例の実施に含まれる本開示からの逸脱も包含するものである。

【0062】

以下に他の実施例を例示する。

（1）無線周波数（RF）信号源と、

信号出力点と、

前記無線周波数（RF）信号源と前記信号出力点との間に結合され、第1および第2の信号処理回路をそれぞれ備える信号処理装置とを含む同調装置であって、

前記第1および第2の信号処理回路が、それぞれの第1および第2の可同調要素を備え、同調装置は更に

前記第1の可同調要素に結合された、第1の制御信号を生成するための第1のコントローラと、

前記第2の可同調要素に結合された、第2の制御信号を生成するための第2のコントローラとを含み、

前記第1の制御信号の偏移範囲が前記第2の制御信号の偏移範囲よりも高い同調装置。

（2）前記第2の信号処理回路が、第1の周波数帯域信号処理回路および第2の周波数帯

10

20

30

40

50

域処理回路を含む、(1)に記載の同調装置。

(3)前記第1の信号処理回路が発振器回路を含み、前記第2の信号処理回路が無線周波数(RF)同調回路を備える、(1)に記載の同調装置。

(4)前記第1のコントローラが位相ロック・ループを含み、前記第2のコントローラがデジタル・アナログ変換器を含む、(1)に記載の同調装置。

(5)前記第1の可同調要素が、前記第1の制御信号に応答する第1および第2の局部発振器回路を含み、前記第2の可同調要素が、前記第2の制御信号に応答する第1および第2の可同調フィルタ要素を含む、(1)に記載の同調装置。

(6)前記第1の可同調フィルタ要素が、選択された周波数を前記第2の制御信号の前記偏移範囲に응答して通過させる第1の単同調の可同調フィルタおよび第1の複同調の可同調フィルタを含み、前記第2の可同調フィルタ要素が、選択された周波数を前記第2の制御信号の前記偏移範囲に응答して通過させる第2の単同調の可同調フィルタおよび第2の複同調の可同調フィルタを含む、(5)に記載の同調装置。 10

(7)前記第1および第2の単同調の可同調フィルタがそれぞれ、前記第2の制御信号の前記偏移範囲に응答するバラクタを含み、前記第1および第2の複同調の可同調フィルタがそれぞれ、前記第2の制御信号の前記偏移範囲にそれぞれ別々に응答する2つのバラクタを含む、(6)に記載の同調装置。

(8)無線周波数(RF)信号受信手段と、
信号出力手段と、

前記無線周波数(RF)信号受信手段と前記信号出力手段との間に結合された無線周波数(RF)信号処理手段とを含む同調装置であって、前記無線周波数(RF)信号処理手段が、無線周波数(RF)信号を処理するための第1の無線周波数(RF)信号処理手段および無線周波数(RF)信号を処理するための第2の無線周波数(RF)信号処理手段をそれぞれ備え、 20

前記第1の無線周波数(RF)信号処理手段が第1の無線周波数(RF)信号同調手段を備え、

前記第2の無線周波数(RF)信号処理手段が第2の無線周波数(RF)信号同調手段を備え、同調装置は更に、

前記第1の同調手段に結合された、第1の制御信号を生成するための第1の制御手段と、 30

前記第2の同調手段に結合された、第2の制御信号を生成するための第2の制御手段とを含み、

前記第2の制御手段の偏移範囲が前記第1の制御手段の偏移範囲よりも高い同調装置。

(9)前記無線周波数(RF)信号を処理するための第1の無線周波数(RF)信号処理手段が、第1の周波数帯域信号を処理する手段および第2の周波数帯域信号を処理する手段を含む、(8)に記載の同調装置。

(10)前記第2の無線周波数(RF)信号処理手段がミクシング手段を含む、(8)に記載の同調装置。

(11)前記第2の制御手段が位相ロック・ループ手段を含み、前記第1の制御手段がデジタル・アナログ変換器を含む、(8)に記載の同調装置。 40

(12)前記第2の同調手段が、前記第2の制御信号に응答して局部発振器信号を生成する第1および第2の手段を含み、前記第1の同調手段が、無線周波数(RF)信号を可同調濾波する第1および第2の手段を含む、(8)に記載の同調装置。

(13)前記無線周波数(RF)信号を可同調濾波する前記第1の手段が、選択された周波数を前記第1の制御信号の前記偏移範囲に응答して通過させる第1の単同調の可同調フィルタ手段および第1の複同調の可同調フィルタ手段を含み、前記無線周波数(RF)信号を可同調濾波する前記第2の手段が、選択された周波数を前記第1の制御信号の前記偏移範囲に응答して通過させる第2の単同調の可同調フィルタ手段および第2の複同調の可同調フィルタ手段を含む、(12)に記載の同調装置。

(14)前記第1および第2の単同調の可同調フィルタ手段がそれぞれ、前記第1の制御 50

信号の前記偏移範囲に応答するバラクタを含み、前記第1および第2の複同調の可同調フィルタ手段がそれぞれ、前記第1の制御信号の前記偏移範囲にそれぞれ別々に応答する2つのバラクタを含む、(13)に記載の同調装置。

(15) テレビジョン信号受信機における同調方法であって、

複数の無線周波数(RF)信号を受信するステップと、

第1の偏移範囲を有する第1の制御信号を第1のコントローラにより生成するステップと、

前記複数の無線周波数(RF)信号に前記第1の制御信号に従って同調して、前記無線周波数(RF)信号のうちの選択された1つを得るステップと、

前記第1の偏移範囲よりも高い第2の偏移範囲を有する第2の制御信号を第2のコントローラにより生成するステップと、 10

前記第2の制御信号に従って局部発振器信号を生成するステップと、

前記局部発振器信号を前記無線周波数(RF)信号のうちの前記選択された1つとミックスして、IF信号を生成するステップとを含む方法。

(16) 第1の偏移範囲を有する第1の制御信号を第1のコントローラにより生成する前記ステップが、デジタル・アナログ変換器を含む第1のコントローラにより、第1の偏移範囲を有する第1の制御信号を生成するステップを含む、(15)に記載の方法。

(17) 第2の偏移範囲を有する第2の制御信号を第2のコントローラにより生成する前記ステップが、位相ロック・ループを含む第2のコントローラにより、第2の偏移範囲を有する第2の制御信号を生成するステップを含む、(15)に記載の方法。 20

(18) 前記複数の無線周波数(RF)信号に前記第1の制御信号に従って同調するステップが、単同調の可同調フィルタと複同調の可同調フィルタの第1と第2の対のうちの一方を介して、前記第1の制御信号に従って前記無線周波数(RF)信号のうちの1つを選択するステップを含む、(15)に記載の方法。

(19) 単同調の可同調フィルタと複同調の可同調フィルタの第1と第2の対のうちの一方を介して、前記第1の制御信号に従って前記無線周波数(RF)信号のうちの1つを選択するステップが、バラクタ・ダイオードを介した単同調の可同調フィルタとデュアル・バラクタ・ダイオードを介した複同調の可同調フィルタの第1と第2の対のうちの一方を介して、前記第1の制御信号に従って前記無線周波数(RF)信号のうちの1つを選択するステップを含む、(18)に記載の方法。 30

【図面の簡単な説明】

【0063】

【図1】本発明の原理によるデジタル・アナログ変換器システムを単純化したブロック図である。

【図2】図1のデジタル・アナログ変換器システムのブロック図であって、特にモード・コントローラのブロック図を示す図である。

【図3】図1のデジタル・アナログ変換器システムを表す図であって、モード・コントローラの回路図を示す図である。

【図4】デジタル・アナログ変換器システムの他の実施例を示す図である。

【図5】モード・コントローラを備えるかまたは備えない3ビット・デジタル・アナログ変換器の出力電圧とそれに対する入力コードのグラフである。 40

【図6】デジタル・アナログ変換器システムを使用することのできる、テレビジョン信号チューナ用の電子的整合システムのブロック図である。

【図7】図6の電子的整合システムの例示的な回路図である。

【符号の説明】

【0064】

100 デジタル・アナログ変換器(DAC)

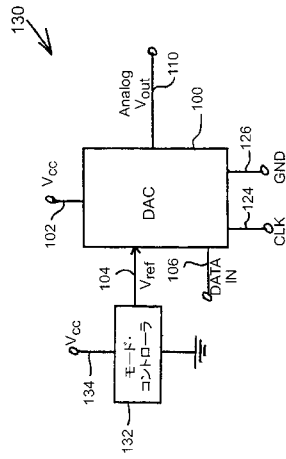
102 電圧供給入力

104 電圧基準入力

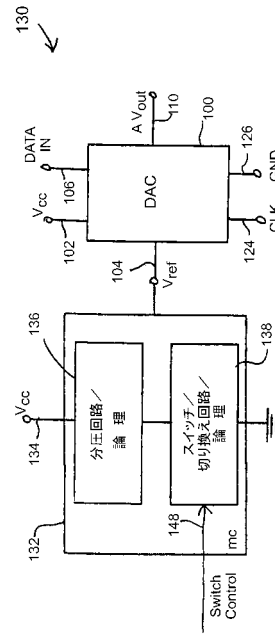
106 データ入力

1 1 0	アナログ出力	
1 2 4	クロック入力	
1 2 6	大地接続	
1 3 0	ディジタル・アナログ変換器システム	
1 3 2	モード・コントローラ	
1 3 4	基準電圧入力	
1 3 6	分圧回路 / 論理 (ロジック)	
1 3 8	スイッチ / 切り換え回路 / 論理	
1 4 0	分圧器	
1 4 8	スイッチ制御ライン	10
1 5 0	D A C システム	
2 0 0	電子的整合システム	
2 0 2	U / V スプリッタ	
2 0 4	U H F 処理部	
2 0 6	V H F 処理部	
2 0 8	単同調 (S T) フィルタ	
2 1 0	無線周波数 (R F) 増幅器	
2 1 2	複同調 (D T) フィルタ	
2 1 4	ミクサー / 発振器部	
2 1 6	単同調 (S T) フィルタ	20
2 1 8	無線周波数 (R F) 増幅器	
2 2 0	複同調 (D T) フィルタ	
2 2 2	位相ロック・ループ (P L L)	
2 2 4	ディジタル・アナログ変換器 (D A C)	
2 2 6	U H F 局部発振器 (L O)	
2 2 8	ミクサー	
2 3 0	V H F 局部発振器 (L O)	
2 3 2	ミクサー	
2 3 4	複同調 I F フィルタ	
2 3 6	中間周波数 (I F) 増幅器	30
2 3 8	U H F 局部発振器 (L O) 同調セクション	
2 4 0	V H F 局部発振器 (L O) 同調セクション	
2 5 0	複同調フィルタの第 1 の段	
2 5 2	複同調フィルタの第 2 の段	
2 5 4	複同調フィルタの第 1 の段	
2 5 6	複同調フィルタの第 2 の段	
C 0 ~ C 1 6	コンデンサ	
L 0 ~ L 1 5	インダクタ	
R 0 ~ R 1 0	抵抗器	
V R 1 ~ V R 1 2	バラクタ	40
T 1	トランジスタ	
T 2	トランジスタ	
B S V	V H F 帯域選択信号	
B S U	U H F 帯域選択信号	
P R I	同調電圧信号	
S E C	同調電圧信号	
S T	同調電圧信号	
B S 1	帯域選択信号	
B S 1 / 2	帯域選択信号	

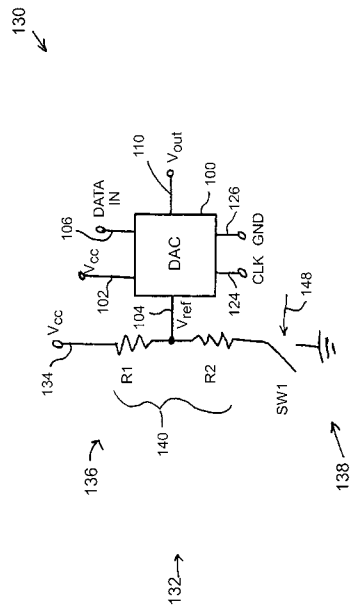
【図 1】



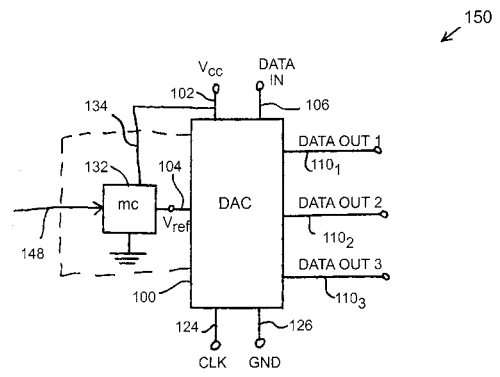
【図 2】



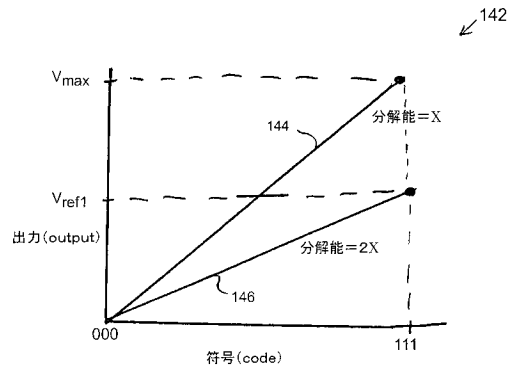
【図 3】



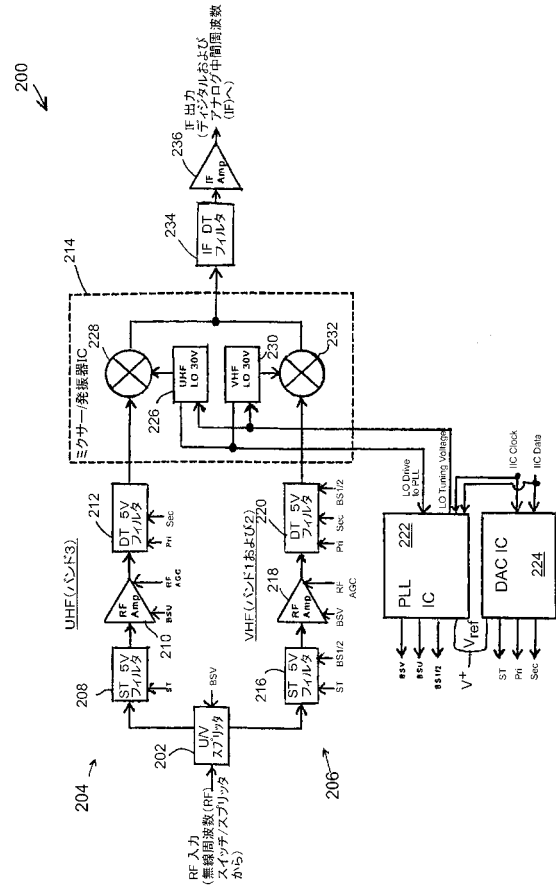
【図 4】



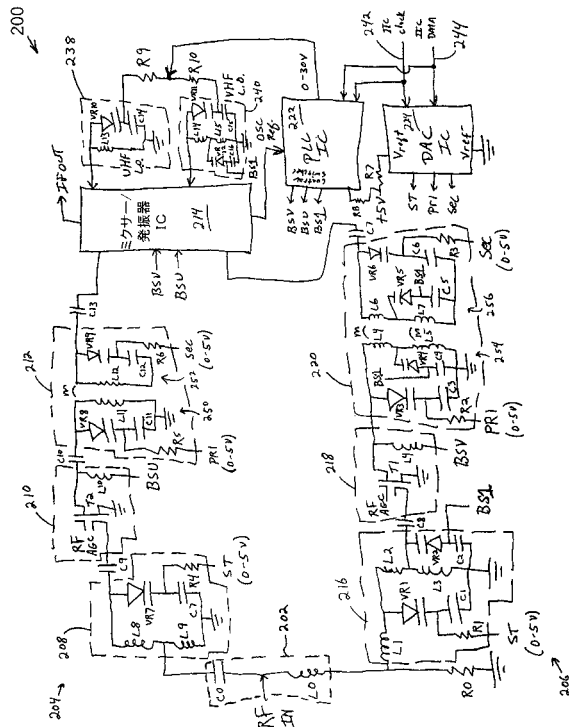
【図 5】



【図 6】



【図 7】



フロントページの続き

Fターム(参考) 5C025 AA25

5K058	BA05	CA01	CA02	CA03	CA04	CA05	DA02	DA14	EA17	GA03
	GA04	GA05	GA11	GA13						
5K062	AA07	AA08	AB01	AC02	BC01	BC10	BD02			