

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97106108

※ 申請日期：2008 年 2 月 21 日

※IPC 分類：

H01L 21/3065 (2006.01)

## 一、發明名稱：(中文/英文)

用於蝕刻半導體結構之具有脈衝樣品偏壓的脈衝電漿系統  
PULSED PLASMA SYSTEM WITH PULSED SAMPLE BIAS FOR  
ETCHING SEMICONDUCTOR STRUCTURES

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·應用材料股份有限公司  
APPLIED MATERIALS, INC.

代表人：(中文/英文)

鄭錦安

KWONG, RAYMOND K.

住居所或營業所地址：(中文/英文)

美國加州聖大克勞拉市波爾斯大道 3050 號  
3050 Bowers Avenue, Santa Clara, CA 95054, U.S.A.

國籍：(中文/英文)

美國/USA

## 三、發明人：(共 5 人)

姓名：(中文/英文)

1. 金泰元/KIM, TAE WON

2. 李慶泰/LEE, KYEONG-TAE

3. 彼得森亞歷桑德/PATERSON, ALEXANDER

4. 杜德羅范倫提 N./TODOROV, VALENTIN N.

5.戴希繆克沙珊克 C./DESHMUKH, SHASHANK C.

國 籍：(中文/英文)

1. 韓國/KOREA
2. 韓國/KOREA
3. 英國/USA
4. 美國/USA
5. 印度/INDIA

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2007年2月21日；11/677,472

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係描述一種用於蝕刻半導體結構之具有脈衝樣品偏壓的脈衝電漿系統。在一實施例中，係利用一脈衝電漿處理而移除一部分的樣品，其中該脈衝電漿處理包括複數個工作週期。在各個工作週期之開啟狀態過程中，施加負偏壓至樣品，而在各個工作週期之關閉狀態過程中，施加零偏壓至樣品。在另一實施例中，藉由應用連續電漿處理以移除樣品的第一部分，接著連續電漿處理停止，並藉由應用一脈衝電漿處理以移除樣品的第二部分。

## 六、英文發明摘要：

A pulsed plasma system with pulsed sample bias for etching semiconductor structures is described. In one embodiment, a portion of a sample is removed by applying a pulsed plasma process, wherein the pulsed plasma process comprises a plurality of duty cycles. A negative bias is applied to the sample during the ON state of each duty cycle, while a zero bias is applied to the sample during the OFF state of each duty cycle. In another embodiment, a first portion of a sample is removed by applying a continuous plasma process. The continuous plasma process is then terminated and a second portion of the sample is removed by applying a pulsed plasma process.

七、指定代表圖：

(一)、本案指定代表圖為：第(5A)圖。

(二)、本代表圖之元件代表符號簡單說明：

500            流程圖                            502,504,506,508,510    步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明涉及半導體結構及半導體設備。

### 【先前技術】

過去幾年來，已藉由將半導體結構之特徵結構 (feature) 經微縮化 (scaling) 為極小之尺寸而大幅增進積體電路 (ICs) (例如：用於計算之邏輯電路，及用於資訊儲存之記憶體電路) 的效能及性能。然而，用於製造積體電路微縮化的設備及製程幾乎都存在有問題。半導體製程技術以及用於進行此種製程之設備的持續進步已確保半導體產業對於微縮化之持續追求的倖存。

為了使半導體堆疊圖案化成有意義之結構，通常係使用微影/蝕刻處理。目前之蝕刻處理包括：以一包括離子化氣體 (例如：電漿) 之系統來蝕刻半導體堆疊。電漿蝕刻處理對於具有細微特徵結構之多個相鄰結構的蝕刻是特別有用的。然而，隨著對特徵結構尺寸及間隔之更嚴苛的要求，電漿蝕刻處理自身的限制也顯現出。

電漿蝕刻之一可能限制係有關於在單一樣品中之多個半導體結構之間存在有多種間隔之 IC 的製造。舉例來說，蝕刻速率係視圖案密度而定，這現象稱為「微負載 (micro-loading)」。在非常小的尺寸中，特別是在高深寬比 (aspect ratio) 態樣中，經圖案化而具有高密度 (即，特徵結構之間の間隔較小) 之材料的蝕刻速率會較經圖案

化而具有低密度（即，特徵結構之間の間隔較大）之相同材料的蝕刻速率還來的低。因此，可能需要「過蝕刻（over-etch）」才能完全將單一樣品中的各種結構蝕刻掉，也就是說，當未完全蝕刻之區域繼續進行蝕刻處理時，首先完成蝕刻之區域也會繼續暴露於蝕刻處理。在此種實例中，過蝕刻對於最終之半導體結構具有不利之影響。

參照「第 1 圖」，係繪示特定半導體結構之蝕刻速率與單一樣品（其中發生有微負載現象）中之各種半導體結構的密度（即，特徵結構之間の間隔）兩者之間的關聯性之圖表。如圖所示，隨著關聯線之斜率降低，則蝕刻速率隨著密度之增加而降低。參照「第 2A 圖」，半導體堆疊 200 包括一基板 202、一半導體層 204 及一光罩 206。參照「第 2B 圖」，利用電漿蝕刻處理而將光罩 206 之圖案蝕刻進入半導體層 204。半導體堆疊 200 之蝕刻過程中會發生微負載現象，因此使得半導體層 204 在低密度區域 208 之蝕刻速率高於中密度區域 210 及高密度區域 212，如「第 2B 圖」所示。參照「第 2C 圖」，半導體堆疊 200 上所進行之蝕刻處理係在低密度區域 208 先完成，其早於中密度區域 210 及高密度區域 212。因此，當較高密度區域之蝕刻完成之時，低密度區域 208 中的結構會暴露於過蝕刻。參照「第 2D 圖」，在過蝕刻之過程中，較低密度區域中的結構上可能會發生有害之底切 214。如「第 2D 圖」所示，底切 214 可隨著密度而改變，其取決於特定區域所承受之過蝕刻程度。

因此，此處描述一種用於蝕刻半導體結構之方法，以及在其內部執行該方法之一系統。

### 【發明內容】

本發明提供一種用於蝕刻一樣品的方法，包括：藉由應用一脈衝電漿處理而移除樣品的一部分，其中，脈衝電漿處理包括複數個工作週期（duty cycle），其中各個該些工作週期代表一電漿之一開啟（ON）狀態及一關閉（OFF）狀態的組合，其中在開啟狀態之過程中，係施加一負偏壓至樣品，且在關閉狀態之過程中，施加一零偏壓至樣品。

本發明又提供一種用於蝕刻一樣品的方法，包括：藉由應用一連續電漿處理而移除樣品的一第一部分；結束連續電漿處理；以及藉由應用一脈衝電漿處理而移除樣品的一第二部分，其中，脈衝電漿處理包括複數個工作週期，其中各個該些工作週期代表一電漿之一開啟（ON）狀態及一關閉（OFF）狀態的組合，其中在開啟狀態之過程中，係施加一負偏壓至樣品，且在關閉狀態之過程中，施加一零偏壓至樣品。

本發明更提供一種用於蝕刻一樣品的系統，其中該系統包括：一腔室，係裝配有一樣品承接器；一抽氣裝置，係耦接至腔室，其中抽氣裝置係用於降低腔室之壓力；一氣體入口裝置，係與腔室耦接，其中氣體入口裝置係用於將一反應氣體注入腔室中；一電漿點燃裝置，係與腔室耦接，其中電漿點燃裝置係用於將源自反應氣體的一電漿點燃；一電壓源，係與樣品承接器耦接，其中電壓源係用於

偏壓該樣品；以及一計算裝置，係與電漿點燃裝置耦接，其中計算裝置包括一處理器及一記憶體，其中記憶體包括一用於在一脈衝電漿處理中以控制電漿點燃裝置而切換一電漿於一開啟狀態及一關閉狀態之間的指令組，其中脈衝電漿處理包括複數個工作週期，其中各個該些工作週期代表電漿之一開啟狀態及一關閉狀態的組合，其中記憶體亦包括一用於控制電壓源以切換於一負偏壓及一零偏壓之間的指令組，其中在開啟狀態之過程中，係施加負偏壓至樣品，且在關閉狀態之過程中，施加零偏壓至樣品。

#### 【實施方式】

此處係描述一種用於蝕刻半導體基板之方法及系統。在下方說明中，係提出數種特定細節（例如特定之尺寸及化學配置）以對本發明提供貫穿了解。明顯的是，對於熟悉該技術領域之人士來說，本發明在無該些特定細節下亦可實行。在其他實例中，並未詳細描述已知之處理步驟，例如圖案化步驟及濕式化學清洗，以避免對本發明產生不必要之混淆。再者，繪示在圖式中的多種實施例僅為概要表示，而並無按比例繪製。

此處所揭露的是用於蝕刻半導體結構之脈衝電漿方法及其相應系統。藉由採用脈衝電漿處理而可將樣品之一部分移除，其中脈衝電漿處理包括複數個工作週期（duty cycle）。根據本發明之實施例，在各個工作週期之開啟（ON）狀態下，係施加負偏壓至基板，而在各個工作週期之關閉（OFF）狀態下，則施加零偏壓至基板。在一特定

實施例中，係藉由應用連續電漿處理而將樣品之第一部分移除，接著，連續電漿處理結束，再藉由具有脈衝樣品偏壓之脈衝電漿處理而移除樣品的第二部分。

藉由在蝕刻處理過程中重複脈衝該電漿，則可以緩和蝕刻速率取決於結構密度之程度。在電漿之開啟狀態過程中（即，當電漿為離子化氣體的形式時），且因此在電漿蝕刻處理中之半導體材料的初級蝕刻階段中，係形成蝕刻副產物。隨著在較高密度區域中進行蝕刻處理，這些副產物以較慢之速率離開樣品（相對於在樣品之較低密度區域）。因此，在持續之開啟狀態下，蝕刻副產物會阻礙蝕刻處理而朝向微負載發展。然而，在關閉狀態下，這些副產物會自所有區域移除而不競爭進行蝕刻處理。進行複數個工作週期（即，開啟/關閉狀態之週期）以在整個樣品上用實質相同之蝕刻速率來蝕刻半導體材料，而不用顧及結構密度。「第3圖」繪示根據本發明之實施例而在脈衝電漿蝕刻處理過程中之蝕刻速率與結構密度之間的關聯圖式。如圖所示為關聯線之可忽略的斜率，隨著密度之增加，蝕刻速率係實質相同。以此方式所蝕刻之半導體材料可承受過蝕刻之較少傷害，此乃因為樣品之所有部分的蝕刻處理係在實質相同之時間下完成。

在脈衝電漿蝕刻處理之工作週期的開啟狀態下，正電荷會傳給待蝕刻之樣品。在部分實例中，樣品之正電荷係實質足夠以使得由電漿射出之帶正電蝕刻物種被部分地偏向。此種蝕刻物種之偏向會造成蝕刻入特定樣品中之特徵結構呈現有害的底切現象。藉由在蝕刻處理過程中，以負

電荷來對樣品產生偏壓，則可以緩和帶正電之粒子的偏向。另一方面，在脈衝電漿蝕刻處理之工作週期由開啟狀態切換至關閉狀態的過渡時期，若樣品為負偏壓，則可以抑制帶負電之粒子自電漿釋出。藉由在工作週期之關閉狀態對樣品產生負偏壓，且因此不對電漿放電時釋出的帶負電粒子產生排斥，則可達到電漿放電之較短時間。另外，帶負電物種會促成蝕刻處理，因而增進之。因此，根據本發明之實施例，脈衝樣品偏壓處理係與脈衝電漿處理平行進行。也就是說，在脈衝電漿蝕刻處理中，於工作週期之開啟狀態下，樣品為負偏壓，於關閉狀態下，樣品則為零偏壓。

半導體堆疊之蝕刻可藉由具有脈衝樣品偏壓之脈衝電漿蝕刻處理來進行。「第 4A~4C 圖」係繪示根據本發明之實施例而在半導體堆疊上進行具有脈衝樣品偏壓之脈衝蝕刻處理對於微負載現象之大幅降低的效應之剖面視圖。

參照「第 4A 圖」，半導體堆疊 400 包括一基板 402、一蝕刻層 404 及一光罩 406。光罩 406 係圖案化而包括低密度區域 408、中密度區域 410 以及高密度區域 412。半導體堆疊 400 可包括較大複雜性之材料層及/或圖案類型的堆疊，但圖中所示僅作為說明之目的。

基板 402 可以包括任何可耐受製程且半導體層可適當地設置於其上之材料。在一實施例中，基板 402 包括以第 IV 元素為基礎之材料，例如結晶矽、鍺或矽/鍺。在一實施例中，基板 402 中之矽原子的原子濃度大於 99%。在另

一實施例中，基板 402 包括第 III-V 族的材料，例如但不限於為氮化鎵、磷化鎵、砷化鎵、磷化銦、銻化銦、砷化銦鎵、砷化鋁鎵、磷化銦鎵或其混合物。在一選擇性實施例中，基板 402 包括在一清楚結晶狀基板上生長出一磊晶層，例如：在硼摻雜塊體矽單結晶基板上生長出矽磊晶層。基板 402 亦可包括一位於塊體結晶基板與磊晶層之間的絕緣層，以例如形成一絕緣層上覆矽 (SOI) 基板。在一實施例中，絕緣層係包括一材料，該材料係選自由二氧化矽、氮化矽、氮氧化矽及高介電常數 (k) 之介電層所組成之群組。在另一實施例中，基板 402 包括一直接鄰近蝕刻層 404 所設置之上絕緣層。

基板 402 亦可額外包括電荷載子摻質不純物原子 (charge-carrier dopant impurity atom)。舉例來說，根據本發明之一實施例，基板 402 包括矽及/或鍺，且電荷載子摻質不純物原子係選自由硼、砷、銦、銻或磷所組成之群組。在另一實施例中，基板 402 包括第 III-V 族材料，且電荷載子摻質不純物原子係選自由碳、矽、鍺、氧、硫、硒或碲所組成之群組。

蝕刻層 404 包括任何可適當地圖案化成為清楚界定之半導體結構的陣列之材料。根據本發明之一實施例，蝕刻層 404 可以包括以第 IV 族為基礎之材料，或是第 III-V 族材料，例如上方所討論與基板 402 相關之材料。另外，蝕刻層 404 包括任何可適當地圖案化成為清楚界定之半導體結構的陣列之形態結構。在一實施例中，蝕刻層 404 之形

態結構係選自由非晶、單晶及多晶所組成之群組。在一實施例中，蝕刻層 404 包括電荷載子摻質不純物原子，其例如上方所討論與基板 402 相關之材料。

就其本身而言，蝕刻層 404 之組成不需限制為半導體材料。根據本發明之一選擇性實施例，蝕刻層 404 包括金屬層，例如但不限於為銅、鋁、鎢、金屬氮化物、金屬碳化物、金屬矽化物、鈺、銨、鈦、鈮、鋁、鈦、鈹、鈷、鈷、鎳或傳導性金屬氧化物，例如氧化鈦。在本發明之又一實施例中，蝕刻層 404 包括一絕緣層。在一實施例中，蝕刻層 404 包括選自由二氧化矽、氮氧化矽及氮化矽所組成之群組的絕緣材料。在另一實施例中，蝕刻層 404 包括高 k 介電層，其選自由氧化鈺、矽酸鈺、氧化釧、氧化銨、矽酸銨、氧化鈮、鈦酸鈮、鈦酸釧、鈦酸釧、氧化鈮、氧化鋁、氧化鉛銦鈮及銦酸鉛銦所組成之群組。

光罩 406 可包括任何適於藉由微影術或直寫 (direct-write) 處理而圖案化之材料。在一實施例中，光罩 406 包括光阻材料。在一特定實施例中，光阻材料係用於微影處理，並選自由正型光阻及負型光阻所組成之群組。光罩 406 可更包括一適於阻擋電漿蝕刻處理 (例如用於圖案化蝕刻層 404 之電漿蝕刻處理) 之材料。因此，根據本發明之另一實施例，光罩 406 亦包括一硬質光罩層，該硬質光罩層係選自由二氧化矽、氮氧化矽、氮化矽及金屬薄膜所組成之群組。

參照「第 4B 圖」，光罩 406 的圖案係藉由具有脈衝樣

品偏壓之脈衝電漿蝕刻處理而蝕刻入蝕刻層 404 中，以形成部分圖案化之蝕刻層 414。在適當條件下，當使用具有脈衝樣品偏壓之脈衝電漿處理時，根據本發明之一實施例，所有密度區域 408、410、412 之蝕刻速率係實質相近，如「第 4B 圖」所示。具有脈衝樣品偏壓之脈衝電漿處理包含複數個工作週期，其中各個工作週期代表蝕刻電漿之一開啟狀態及一關閉狀態的組合。在工作週期之開啟狀態下，對樣品施加負偏壓，在工作週期之關閉狀態下，對樣品施加零偏壓。一個工作週期包括一個開啟狀態及一個關閉狀態，其中開啟狀態及關閉狀態之持續時間係適於針對密度區域 408、410、412 以實質相近之蝕刻速率而將光罩 406 之圖案轉移至蝕刻層 404。根據本發明之一實施例，各個工作週期之開啟狀態部分為工作週期之 5~95%，在一特定實施例中，各個工作週期之開啟狀態部分為工作週期之 65~75%。在另一實施例中，複數個工作週期之頻率為介於 1 Hz~200kHz，意即各個工作週期之持續時間為 5 微秒~1 秒。在一特定實施例中，複數個工作週期之頻率為 50kHz，且各個工作週期之開啟狀態部分為 70%。於工作週期之開啟狀態過程中施加至半導體堆疊 400 之負偏壓應足以緩和由電漿釋出之帶正電蝕刻物種的偏向。根據本發明之一實施例，於工作週期之開啟狀態過程中施加至半導體堆疊 400 之負偏壓係介於 5~1000 瓦 (Watts)。在一特定實施例中，於工作週期之開啟狀態過程中施加至半導體堆疊 400 之負偏壓係介於 100~200 瓦。

可產生一用於具有脈衝樣品偏壓之脈衝電漿處理中以蝕刻一蝕刻層 404 的電漿之方法包括任何適於在足以符合工作週期之開啟狀態的持續時間以點燃並維持電漿之方法。舉例來說，根據本發明之一實施例，產生電漿的方法包括產生一電漿，該電漿係選自由電子迴旋共振 (ECS) 電漿、螺旋波電漿、感應耦合電漿 (ICP) 及表面波電漿所組成之群組。在一特定實施例中，用於產生電漿之方法包括在 Applied Material<sup>TM</sup> AdvantEdge G3 etcher 中產生一感應耦合電漿。

所產生之用於具有脈衝樣品偏壓的脈衝電漿蝕刻處理的電漿包括任何反應氣體，該些反應氣體係適於產生離子及反應性自由基以移除部分之蝕刻層 404 而不會對光罩 406 之圖案造成不利影響。舉例來說，根據本發明之一實施例，反應氣體包括鹵化物物種，其係用於蝕刻矽系 (silicon-based) 材料。在一特定實施例中，反應氣體包括約略比例為 300:50:12 之 HBr、He 物種及 70%/30%He/O<sub>2</sub> 混合物，且脈衝電漿係用於蝕刻非晶矽、多晶矽或單晶矽。在另一實施例中，反應氣體包括氟碳化合物，並用於蝕刻介電層。在一特定實施例中，反應氣體包括物種 CF<sub>4</sub>，且脈衝電漿係用於蝕刻二氧化矽或碳摻雜氧化矽。反應氣體可包括一適於提供受控蝕刻速率之壓力。在一實施例中，壓力係介於 1~100 毫托 (mTorr)。在另一實施例中，壓力係介於 3~100 毫托。在一特定實施例中，反應氣體包括 HBr、He 及 O<sub>2</sub>，反應氣體之壓力係介於 30~50 毫托，多晶

矽之蝕刻速率則介於 500~6000 埃/分 (Angstroms/minute)。

參照「第 4C 圖」，上述之具有脈衝樣品偏壓之脈衝電漿處理係持續直到部分圖案化之蝕刻層 414 變成圖案化之蝕刻層 424 為止。藉由使用上述具有脈衝樣品偏壓之脈衝電漿蝕刻處理直到蝕刻層 404 之蝕刻完成，且在密度區域 408、410、412 之蝕刻處理係在實質相同之時間完成。因此，僅需要微不足道之過蝕刻來形成圖案化之蝕刻層 424。因此，圖案化之蝕刻層 424 的各種結構之不利底切現象會大幅緩和，如「第 4C 圖」所示之底切現象的不存在。

具有脈衝樣品偏壓之脈衝電漿蝕刻處理的工作週期中之開啟狀態及關閉狀態的持續時間係以相應於蝕刻副產物之形成及移除為目標。「第 5A 圖」為流程圖，「第 5B 圖」為波形，該些圖式皆代表根據本發明之一實施例的具有脈衝樣品偏壓之脈衝電漿蝕刻處理之此種一系列目標步驟。「第 6A~6D 圖」係繪示在半導體堆疊上執行「第 5A 圖」之流程圖的步驟之剖面視圖。

參照流程圖 500 之步驟 502，且相符於「第 6A 圖」，在具有脈衝樣品偏壓之脈衝電漿蝕刻處理的開始之時，半導體堆疊 600 包括一基板 602、一蝕刻層 604 及一光罩 606。光罩 606 係經圖案化而具有低密度區域 608、中密度區域 610 及高密度區域 612。基板 602、蝕刻層 604 及光罩 606 可以包括參照「第 4A 圖」描述關於基板 402、蝕刻層 404 及光罩 406 之任何材料。半導體堆疊 600 可包括較大複雜度之材料層及/或圖案類型的堆疊，但此處所示之方式

僅作為示例性。

參照流程圖 500 之步驟 504，且相符於「第 6B 圖」，在具有脈衝樣品偏壓之脈衝電漿蝕刻處理中的工作週期之開啟狀態過程中，光罩 606 之圖案係部分蝕刻至蝕刻層 604 中，以形成部分圖案化之蝕刻層 614A。電漿蝕刻物種 620 可接近蝕刻層 604 之未遮罩部分，而由光罩 606 所遮蔽住的蝕刻層 604 之遮罩區域則受到保護而免受電漿蝕刻物種 620 作用，如「第 6B 圖」所示。蝕刻副產物 616 則在半導體堆疊 600 之反應區域 618 中產生。

蝕刻物種 620 可包括任何帶電物種及由用於脈衝電漿蝕刻處理之電漿所釋出的反應性中性物質。舉例來說，根據本發明一實施例，蝕刻物種 620 包括帶正電離子及自由基。在一實施例中，反應氣體包括 HBr、He 及 O<sub>2</sub>，且蝕刻物種 620 係選自由 H<sup>+</sup>、Br<sup>+</sup>、He<sup>+</sup>、O<sup>+</sup>、H、Br 及 O 所組成之群組。在另一實施例中，反應氣體包括氟碳化合物，且蝕刻物種 620 係選自由 F<sup>+</sup>、CF<sup>+</sup> 及 CF<sub>2</sub><sup>+</sup>，以及 CF<sub>3</sub><sup>+</sup>、F、CF、CF<sub>2</sub> 以及 CF<sub>3</sub> 所組成之群組。蝕刻副產物 616 可包括來自半導體層 604 及蝕刻物種 620 的原子之任意組合。在一特定實施例中，蝕刻物種 620 包括鹵化物陽離子 X<sup>+</sup> 及 / 或鹵化物自由基 X (X = F、Cl、Br)，半導體層 604 包括矽原子，蝕刻副產物 616 包括選自由中性物種 SiX<sub>n</sub> 所組成之群組的副產物，其中 n 為 1、2、3 或 4。

工作週期之開啟狀態的持續時間係經選擇以使得蝕刻效率最大化，並能夠使部分圖案化之蝕刻層 614A 的所有

密度區域 608、610 及 612 之蝕刻速率維持實質相近。如「第 6B 圖」所示，蝕刻副產物 616 至少一段時間係形成並存在於部分圖案化之蝕刻層 614A 的部分蝕刻特徵結構中（即，反應區域 618 內）。反應區域 618 係為半導體堆疊 600 中鄰近蝕刻副產物 616 形成之區域，而蝕刻副產物 616 之形成會干涉電漿蝕刻物種 620。也就是說，在開啟循環之使用期間，隨著蝕刻副產物 616 在反應區域 618 中之增加，電漿蝕刻物種 620 會被妨礙而無法接近部分圖案化之蝕刻層 614A 的未遮罩部分。此種電漿蝕刻物種 620 的妨礙在高結構密度區域較為嚴重（相較於低結構密度區域），因而降低高結構密度區域之蝕刻速率（相較於低結構密度區域之蝕刻速率）。因此，根據本發明之一實施例，具有脈衝樣品偏壓的脈衝電漿蝕刻處理的工作週期之開啟狀態係經選擇以小於或至多符合一時間，在該時間下係產生足夠量的蝕刻副產物以降低高密度區域之蝕刻速率（相對於低密度區域）。在一實施例中，開啟狀態之持續時間係經選擇以實質符合一時間，而在該時間下，部分圖案化之蝕刻層 614A 的蝕刻速率係取決於光罩 606 的圖案密度。在一實施例中，開啟狀態之持續時間係足夠短，以實質抑制反應區域 618 中之微負載現象。在一實施例中，開啟狀態之持續時間係處於參照「第 4B 圖」之工作週期的開啟狀態的時間範圍內。在工作週期之開啟狀態下施加至半導體堆疊 600 之負偏壓應足以緩和自電漿釋出之帶正電蝕刻物種的偏向。根據本發明之一實施例，在工作週期之開啟狀態下施

加至半導體堆疊 600 之負偏壓係介於 5~1000 瓦。在一特定實施例中，在工作週期之開啟狀態下施加至半導體堆疊 600 之負偏壓係介於 100~200 瓦。

參照流程圖 500 之步驟 506，且相符於「第 6C 圖」，電漿處於關閉狀態，因此，蝕刻物種 620 不再存在於半導體堆疊 600 之反應區域 618。如「第 6C 圖」所示，蝕刻副產物 616 係自反應區域 618 移除，且半導體堆疊 600 為零偏壓。

工作週期之關閉狀態的持續時間係經選擇以允許有足夠的時間來將蝕刻副產物 616 自反應區域 618 移除（即，消除或排除）。在開啟狀態過程中，如上所述，蝕刻副產物 616 係形成在反應區域 618 中。此外，在電漿之開啟狀態轉移至關閉狀態的過渡時期，當電漿氣體中和時，其帶負電之離子會自電漿氣體釋出，因而產生新的蝕刻物種。這些新的蝕刻物種會更進一步促成反應區域 618 中之蝕刻副產物的量。

在工作週期之關閉狀態初期，反應區域 618 內的蝕刻副產物 616 之濃度係實質大於反應區域 618 外的蝕刻副產物 616 之濃度。因此，會形成一自然擴散梯度，則蝕刻副產物 616 會擴散至反應區域 618 外。此過程可以藉由額外的壓力梯度來增進之。也就是說，伴隨著在開啟狀態過程中之蝕刻副產物 616 的增長，反應區域 618 內的壓力可變成大於反應區域 618 外的壓力，因而促進蝕刻副產物 616 的排出。因此，根據本發明之實施例，具有脈衝樣品偏壓

之脈衝電漿蝕刻處理中的工作週期之關閉狀態係經選擇而具有足夠長的持續時間，以實質促使蝕刻副產物 616 自反應區域 618 移除。在另一實施例中，蝕刻副產物 616 之移除量係為足夠，藉此，仍存在於反應區域 618 中的任何蝕刻副產物 616 不會實質干涉在接續工作週期之開啟狀態過程中的蝕刻物種。在此種實施例中，關閉狀態之持續時間係經選擇以實質符合一時間，在該時間之時，超過 50% 之蝕刻副產物 616 已自反應區域 618 移除。在另一實施例中，關閉狀態之持續時間係經選擇以實質符合一時間，在該時間之時，超過 75% 之蝕刻副產物 616 已自反應區域 618 移除。在一選擇性實施例中，關閉狀態之持續時間係處於參照「第 4B 圖」討論之工作週期的關閉狀態之時間範圍。

參照流程圖 500 之步驟 508，且相符於「第 6D-E 圖」，在接續之具有脈衝樣品偏壓之脈衝電漿蝕刻處理的工作週期過程中，光罩 606 的圖案係持續蝕刻入蝕刻層 604 中，以形成更為廣泛蝕刻的部分蝕刻之蝕刻層 614B。重複工作週期（即，步驟 508）直到已蝕刻期望量之蝕刻層 604。因此，根據本發明之一實施例，一部分之蝕刻層 604 係藉由包括複數個工作週期之脈衝電漿蝕刻處理而移除。在工作週期之開啟狀態過程中，係對樣品施加負偏壓，而在工作週期之關閉狀態過程中，則對樣品施加零偏壓。「第 5B 圖」係以波形繪示工作週期之時間線。

參照流程圖 500 之步驟 510，且相符於「第 6F 圖」，在移除期望量之蝕刻層 604 之後，具有脈衝樣品偏壓之脈

衝電漿蝕刻處理係結束。藉由使用具有脈衝樣品偏壓之脈衝電漿蝕刻處理以完成蝕刻層 604 之蝕刻，則密度區域 608、610 及 612 之蝕刻處理可在相同時間下完成。因此，僅需要可忽略量之過蝕刻以形成圖案化之蝕刻層 624。藉此，可大幅緩和圖案化之蝕刻層 624 之各種結構的不利底切現象，其可由「第 6F 圖」之缺乏底切現象可見。可藉由任一適當因素來決定何時結束具有脈衝樣品偏壓之脈衝電漿蝕刻處理。舉例來說，根據本發明之一實施例，藉由在預定之時間結束工作週期之重複，以決定具有脈衝樣品偏壓之脈衝電漿蝕刻處理的結束。在一選擇性實施例中，可藉由偵測在蝕刻層 604 之蝕刻完成時的蝕刻副產物 616 之改變以及基板 602 之頂表面的相應暴露來決定具有脈衝樣品偏壓之脈衝電漿蝕刻處理的結束。在另一實施例中，可利用干涉術以量測溝槽 (trench) 之深度來決定具有脈衝樣品偏壓之脈衝電漿蝕刻處理的結束。

具有脈衝樣品偏壓之脈衝電漿蝕刻處理可結合連續電漿蝕刻處理。舉例來說，直到半導體堆疊之一部分已被蝕刻之前，半導體堆疊之不同密度區域的蝕刻速率差別可能並不顯著，此乃因為蝕刻處理在高深寬比之圖案中可能遭受更為嚴重的微負載。因此，較為有效的是，先施加一連續電漿以蝕刻半導體堆疊的第一部分，直到達到特定之深度，再接著施加具有脈衝樣品偏壓之脈衝電漿蝕刻處理以移除半導體堆疊之第二部分。根據本發明之一實施例，以連續電漿蝕刻處理來蝕刻半導體堆疊直到達到期望深度，

接著，半導體堆疊之蝕刻藉由具有脈衝樣品偏壓之脈衝電漿蝕刻處理來完成。在一實施例中，連續電漿蝕刻處理/具有脈衝樣品偏壓之脈衝電漿蝕刻處理係用於增加單一晶圓處理工具中的晶圓產率。根據本發明之一實施例的此種連續電漿蝕刻處理/具有脈衝樣品偏壓之脈衝電漿蝕刻處理係繪示於「第 7A~C 圖」。以光罩 712 圖案化之蝕刻層 704 (「第 7A 圖」) 係藉由連續電漿蝕刻處理而部分圖案化 (「第 7B 圖」)。接著利用具有脈衝樣品偏壓之脈衝電漿蝕刻處理以完成蝕刻層 704 之蝕刻，也就是說，直到蝕刻結束於蝕刻終止層 706 為止，如「第 7C 圖」所示。在一實施例中，電漿蝕刻處理由連續轉變為脈衝之深度為最高結構密度之區域的間隔寬度之 0.5~4 倍。在一實施例中，深度係經選擇以實質等於最高結構密度之區域的間隔寬度，也就是說，當最高密度結構已達到深寬比 1。

「第 8 圖」係為一流程圖，顯示根據本發明之一實施例的一系列步驟，其結合連續電漿蝕刻處理以及具有脈衝樣品偏壓之脈衝電漿蝕刻處理。「第 9A~D 圖」係繪示「第 8 圖」之流程步驟執行在較為複雜之半導體堆疊上的剖面視圖。

參照流程圖 800 之步驟 802，且相符於「第 9A 圖」，在一連續/脈衝電漿蝕刻處理起始之時，半導體堆疊 900 包括一基板 902、二蝕刻層 904、908、二介電層 906、910 及一光罩 912。基板 902、蝕刻層 904、908 及光罩 912 包括任何參照「第 4A 圖」所描述之基板 402、蝕刻層 404

及光罩 406 的材料。半導體堆疊 900 可包括較為複雜或較不複雜之材料層的堆疊，此處所示之方式僅作為說明之用。在一實施例中，半導體堆疊 900 包括多晶矽/SiON/多晶矽/SiO<sub>2</sub>，如典型之快閃記憶體堆疊中可見者。

介電層 906、910 可包括任何適於絕緣半導體堆疊之導電部分的材料。在一實施例中，介電層 906、910 可包括選自由二氧化矽、氮氧化矽及氮化矽所組成之群組的絕緣材料。在另一實施例中，介電層 906、910 可包括選自由氧化鉛、矽酸鉛、氧化鋇、氧化鋅、矽酸鋅、氧化鈦、鈦酸鋇、鈦酸鋇、鈦酸鋇、氧化鈦、氧化鋁、氧化鉛銦鈦及鈦酸鉛鋅所組成之群組的高 k 介電層。

參照流程圖 800 之步驟 804，且相符於「第 9B 圖」，利用連續電漿處理以將光罩 912 的圖案蝕刻入蝕刻層 904 中，而形成部分圖案化之蝕刻層 914。在半導體堆疊 900 之第一部分的各個密度區域中之蝕刻速率差異並不顯著的情況下，連續電漿蝕刻處理則足以蝕刻該蝕刻層 904。產生用於連續電漿處理中以形成部分圖案化之蝕刻層 914 的電漿之方法可包括任何適於在足以符合連續蝕刻處理的持續時間以點燃並維持電漿之方法。舉例來說，根據本發明之一實施例，產生連續電漿的方法包括產生一電漿，該電漿係選自由電子迴旋共振 (ECS) 電漿、螺旋波電漿、感應耦合電漿 (ICP) 及表面波電漿所組成之群組。在一特定實施例中，用於產生連續電漿之方法包括在 Applied Material<sup>TM</sup> AdvantEdge G3 etcher 中產生一感應耦合電漿。

參照流程圖 800 之步驟 806，且相符於「第 9B 圖」，其藉由任何適當之因素來決定何時可結束連續電漿處理。舉例來說，根據本發明之一實施例，基於待蝕刻之材料的特質而在一預定時間結束以決定連續電漿蝕刻處理之結束。在一選擇性實施例中，藉由偵測在蝕刻層 904 之蝕刻完成時的蝕刻副產物改變以及介電層 906 之頂表面的相應暴露（即，藉由偵測蝕刻終點）而決定連續電漿蝕刻處理之結束。在一實施例中，可藉由在連續蝕刻處理過程中所產生之化學物種組的即時組成（real-time composition）來決定連續電漿蝕刻處理之結束。參照「第 9C 圖」，在蝕刻層 904 之蝕刻之後，介電層 906 的暴露部分被移除以形成圖案化之介電層 916。根據本發明之一實施例，介電層 906 之暴露部分的移除係藉由一蝕刻處理來進行，該蝕刻處理係選自由濕式蝕刻處理、連續電漿蝕刻處理及脈衝電漿蝕刻處理所組成之群組。

參照流程圖 800 之步驟 808、810 及 812，且相符於「第 9C~D 圖」，光罩 912 的圖案係持續蝕刻入半導體堆疊 900 中。在此時，由於半導體堆疊 900 的第一部分已被蝕刻，蝕刻層 908 之不同密度區域的蝕刻速率差異為顯著的，故需要應用脈衝電漿蝕刻處理。因此根據本發明之一實施例，具有脈衝樣品偏壓之脈衝電漿蝕刻處理係用於圖案化蝕刻層 908 以形成圖案化之蝕刻層 918。可重複工作週期（即，步驟 812）直到期望量之蝕刻層 908 已被蝕刻。因此，根據本發明之一實施例，利用連續蝕刻電漿處理以對

半導體堆疊 900 之第一部分進行圖案化，並利用包括複數個工作週期之脈衝電漿蝕刻處理來對半導體堆疊 900 之第二部分進行圖案化。在工作週期之開啟狀態過程中係對樣品施加負偏壓，而在工作週期之關閉狀態過程中則對樣品施加零偏壓。

參照流程圖 800 之步驟 814，且相符於「第 9D 圖」，在移除期望量之蝕刻層 908 之後，具有脈衝樣品偏壓之脈衝電漿蝕刻處理係結束。藉由使用具有脈衝樣品偏壓之脈衝電漿蝕刻處理以完成蝕刻層 908 之蝕刻，則各個密度區域之蝕刻處理可在實質相同時間下完成。因此，僅需要可忽略量之過蝕刻以形成圖案化之蝕刻層 918。藉此，可大幅緩和圖案化之蝕刻層 918 之各種結構的不利底切現象，其可由「第 9D 圖」之缺乏底切現象可見。可藉由任一適當因素來決定何時結束具有脈衝樣品偏壓之脈衝電漿蝕刻處理。舉例來說，根據本發明之一實施例，藉由在預定之時間結束工作週期之重複，以決定具有脈衝樣品偏壓之脈衝電漿蝕刻處理的結束。在一選擇性實施例中，可藉由偵測在蝕刻層 908 之蝕刻完成時的蝕刻副產物之改變以及介電層 910 之頂表面的相應暴露來決定具有脈衝樣品偏壓之脈衝電漿蝕刻處理的結束。

可藉由循環式之連續/脈衝電漿蝕刻處理以將上述之連續及脈衝電漿蝕刻處理之組合方法應用至更為複雜的材料堆疊。舉例來說，根據本發明之一實施例，半導體堆疊之第一部分係藉由第一連續電漿蝕刻處理而圖案化；半導

體堆疊之第二部分係藉由具有脈衝樣品偏壓之第一脈衝電漿蝕刻處理而圖案化；半導體堆疊之第三部分係藉由第二連續電漿蝕刻處理而圖案化；半導體堆疊之第四部分係藉由具有脈衝樣品偏壓之第二脈衝電漿蝕刻處理而圖案化。在一特定實施例中，半導體堆疊 900 之蝕刻層 904 亦藉由第一連續電漿蝕刻處理以圖案化，接著再進行具有脈衝樣品偏壓之第一脈衝電漿蝕刻處理。之後，蝕刻層 908 藉由第二連續電漿蝕刻處理以圖案化，並接著再進行具有脈衝樣品偏壓之第二脈衝電漿蝕刻處理。

具有脈衝樣品偏壓之脈衝電漿蝕刻處理可以在任何適於在接近樣品處提供蝕刻電漿以進行蝕刻之處理設備中進行。「第 10 圖」係繪示根據本發明之一實施例而進行具有脈衝樣品偏壓之脈衝電漿蝕刻處理的系統。

參照「第 10 圖」，用於進行脈衝電漿蝕刻處理之系統 1000 包括一腔室 1002，該腔室 1002 配備有樣品承接器 1004。一抽氣裝置 1006、一氣體入口裝置 1008 及一電漿點燃裝置 1010 係耦接至腔室 1002。電壓源 1014 係與樣品承接器 1004 耦接。計算裝置 1012 係與電漿點燃裝置 1010 及電壓源 1014 耦接。系統 1000 可額外包括耦接至腔室 1002 的偵測器 1016。計算裝置 1012 亦可以與抽氣裝置 1006、氣體入口裝置 1008 及偵測器 1016 耦接，如「第 10 圖」所示。

腔室 1002 及樣品承接器 1004 可包括任何適於含有一離子化氣體（即，電漿）的反應室及樣品定位裝置，並使

樣品靠近離子化氣體或自其釋出之帶電物種。抽氣裝置 1006 可以為任何對腔室 1002 進行抽氣及使其壓力降低之裝置。氣體入口裝置 1008 可以為任何適於將反應氣體注入腔室 1002 中的裝置。電漿點燃裝置 1010 可以為任何適於將源自氣體入口裝置 1008 所注入腔室 1002 之反應氣體的電漿點燃的裝置。偵測器 1016 可以為任何適於偵測處理步驟終點的裝置。在一實施例中，系統 1000 包括一腔室 1002、一樣品承接器 1004、一抽氣裝置 1006、一氣體入口裝置 1008、一電漿點燃裝置 1010 及一偵測器 1016，其係類似或相同於 Applied Material™ AdvantEdge G3 etcher 中所包括者。

計算裝置 1012 包括處理器及記憶體。根據本發明之一實施例，計算裝置 1012 之記憶體包括用於控制電漿點燃裝置 1010 以在具有脈衝樣品偏壓之脈衝電漿蝕刻處理中切換電漿於開啟狀態及關閉狀態之間的一指令組。在一實施例中，該指令組包括機器可操作之程式碼，並對複數個工作週期產生作用，其中各個工作週期代表電漿之一開啟狀態及一關閉狀態的組合。計算裝置 1012 之記憶體亦包括用於控制電壓源 1014 切換於負偏壓與零偏壓之間的一指令組。在電漿之開啟狀態下，負偏壓係施加至樣品承接器 1004，在電漿之關閉狀態下，零偏壓係施加至樣品承接器 1004。在一特定實施例中，用於控制電漿點燃裝置 1010 之指令組包括針對各個工作週期之時序指令，以使得開啟狀態佔工作週期之持續時間的 5~95%。在一實施例中，用

於控制電漿點燃裝置 1010 之指令組包括針對各個工作週期之時序指令，以使得開啟狀態佔工作週期之持續時間的 65~75%。在另一實施例中，用於控制電漿點燃裝置 1010 之指令組包括時序指令，因而使得複數個工作週期之頻率介於 1Hz~200kHz 之間，即，各個工作週期之持續時間係介於 5 微秒~1 秒。在一特定實施例中，用於控制電漿點燃裝置 1010 之指令組包括時序指令，因而使得複數個工作週期之頻率為 50kHz，且各個工作週期包括開啟狀態的部分為 70%。在一實施例中，於工作週期之開啟狀態下藉由電壓源 1014 施加至樣品承接器 1004 的負偏壓係介於 5~1000 瓦。在一特定實施例中，於工作週期之開啟狀態下藉由電壓源 1014 施加至樣品承接器 1004 的負偏壓係介於 100~200 瓦。

「第 11A~B 圖」係繪示根據本發明之一實施例的「第 10 圖」之系統的腔室分別處於電漿開啟狀態及電漿關閉狀態。參照「第 11A 圖」，系統 1000 之腔室 1002 包括一處於開啟狀態下之電漿 1100，且該電漿 1100 接近樣品承接器 1004 上的一樣品 1102。反應區域 1104 係直接鄰近於樣品 1102。在蝕刻處理期間，至少在一段時間內，蝕刻副產物係形成在並存在於反應區域 1102 中。因此，根據本發明之一實施例，用於控制電漿點燃裝置 1010 之指令組包括時序指令，因而使得開啟狀態之持續時間為足夠短以實質抑制反應區域 1104 內的微負載現象。參照「第 11B 圖」，系統 1000 之腔室 1002 包括處於關閉狀態下之電漿（即，中

性反應氣體)。根據本發明之一實施例，用於控制電漿點燃裝置 1010 之指令組包括時序指令，因而使得脈衝電漿蝕刻處理之工作週期的關閉狀態係經選擇而具有足夠長的持續時間，以實質將蝕刻副產物自反應區域 1104 移除。

在脈衝電漿蝕刻處理之工作週期的開啟狀態過程中，正電荷會分給正在進行蝕刻之樣品。在部分實例中，樣品之正電荷會實質足以使得自電漿釋出之帶正電蝕刻物種產生部分地偏向。此種蝕刻物種的偏向可能會導致蝕刻入特定樣品中之特徵結構出現不利之底切現象。藉由在蝕刻處理過程中，以負電荷來偏壓樣品，則可緩和帶正電粒子之偏向。另一方面，在脈衝電漿蝕刻處理之工作週期由開啟狀態至關閉狀態的過渡期間，若樣品為負偏壓，則可抑制帶負電粒子自電漿之釋出。藉由在工作週期之關閉狀態過程中對樣品產生零偏壓，且因此不對電漿放電時釋出的帶負電粒子產生排斥，則可達到電漿放電之較短時間。另外，帶負電物種會促成蝕刻處理，因而增進之。因此，根據本發明之實施例，脈衝樣品偏壓處理係與脈衝電漿處理平行進行。也就是說，在脈衝電漿蝕刻處理中，於工作週期之開啟狀態下，樣品為負偏壓，於關閉狀態下，樣品則為零偏壓。

「第 12A~D 圖」繪示根據本發明之一實施例的「第 10 圖」之系統 1000 的腔室 1002 分別處於電漿開啟/偏壓關閉狀態、電漿開啟/偏壓開啟狀態、電漿關閉/偏壓開啟狀態及電漿關閉/偏壓關閉狀態。電壓源 1014 係與樣品承

接器 1004 耦接，並用於在工作週期之開啟狀態過程中，對樣品承接器 1004 且因而對樣品 1102 產生偏壓。參照「第 12A 圖」，電壓源 1014 係處於關閉狀態，由電漿 1100 釋出之帶正電蝕刻物種在接近樣品 1102 之表面處呈部分偏向。然而，參照「第 12B 圖」，電壓源 1014 係處於開啟狀態（即，負偏壓樣品承接器 1004），因此，由電漿 1100 釋出之帶正電蝕刻物種在接近樣品 1102 之表面處維持垂直軌道（即，非等方性軌道）。根據本發明之一實施例，電壓源 1014 係用於在工作週期之開啟狀態過程中施加一介於 5~1000 瓦的負偏壓至樣品承接器 1004。在一特定實施例中，電壓源 1014 係用於在工作週期之開啟狀態過程中施加一介於 100~200 瓦的負偏壓至樣品承接器 1004。脈衝電漿蝕刻處理（相較於連續電漿蝕刻處理）可降低蝕刻處理過程中正電荷積聚在樣品 1102 上的程度。然而，以電壓源 1014 對樣品承接器 1004 產生偏壓之額外步驟可用作為脈衝電漿蝕刻處理的一部分，以使得對蝕刻處理過程中之結構的底切現象的緩和達到最佳化。因此根據本發明之另一實施例，以電壓源 1014 對樣品承接器 1004 產生偏壓之額外步驟可用作於延長脈衝電漿蝕刻處理之工作週期中的開啟狀態之持續時間。

參照「第 12C 圖」，電壓源 1014 處於開啟狀態，由電漿開啟狀態切換至電漿關閉狀態的過渡期間所釋出的帶負電粒子係受到抑制而無法到達樣品 1102 之表面，因而延緩電漿關閉狀態步驟。然而，參照「第 12D 圖」，電壓源 1014

處於關閉狀態（即，零偏壓樣品承接器 1004），因此，由電漿開啟狀態切換至電漿關閉狀態的過渡期間所釋出的帶負電粒子不會受到抑制而可到達樣品 1102 之表面。根據本發明之一實施例，在工作週期之關閉狀態過程中，電壓源 1014 係關閉以施加零偏壓至樣品承接器 1004。因此，根據本發明之一實施例，電壓源 1014 係使樣品承接器 1004 為負偏壓以延長在脈衝電漿蝕刻處理之工作週期的開啟狀態之持續時間，而電壓源 1014 係使樣品承接器 1004 為零偏壓以減少工作週期的關閉狀態之持續時間。

因此，本發明係揭露一種具有脈衝樣品偏壓以蝕刻半導體結構之脈衝電漿系統。在一實施例中，藉由應用一脈衝電漿蝕刻處理而移除一部分的樣品，其中脈衝電漿蝕刻處理包括複數個工作週期。在各工作週期之開啟狀態過程中，係施加負偏壓至樣品，而在各工作週期之關閉狀態過程中，係施加零偏壓至樣品。在其他實施例中，樣品的第一部分係藉由連續電漿蝕刻處理來移除。接著，連續電漿處理結束，再藉由具有脈衝樣品偏壓之脈衝電漿蝕刻處理以移除樣品之第二部分。應了解脈衝樣品偏壓處理不需要與脈衝電漿處理綁在一起。因此，根據本發明之另一實施例，脈衝電漿工作週期之開啟狀態以及脈衝樣品偏壓之開啟狀態係彼此獨立。在另一實施例中，脈衝電漿工作週期之關閉狀態以及脈衝樣品偏壓之關閉狀態係彼此獨立。

惟本發明雖以較佳實施例說明如上，然其並非用以限定本發明，任何熟習此技術人員，在不脫離本發明的精神

和範圍內所作的更動與潤飾，仍應屬本發明的技術範疇。

**【圖式簡單說明】**

第 1 圖，繪示根據習知技術之蝕刻速率相對於結構密度之關聯圖式。

第 2A~D 圖，繪示根據習知技術而在半導體堆疊上進行蝕刻處理的微負載效應之剖面視圖。

第 3 圖，繪示根據本發明之一實施例之蝕刻速率相對於結構密度的關聯圖式。

第 4A~C 圖，繪示根據本發明之一實施例而在半導體堆疊上進行具有脈衝樣品偏壓之脈衝蝕刻處理的微負載效應大幅降低之剖面視圖。

第 5A 圖為流程圖，第 5B 圖為波形，兩者皆表示根據本發明之一實施例的具有脈衝樣品偏壓之脈衝蝕刻處理的一系列步驟。

第 6A~F 圖，繪示根據本發明之一實施例的第 5A 圖之流程圖的步驟執行在半導體堆疊上的剖面視圖。

第 7A~C 圖，繪示根據本發明之一實施例的連續電漿蝕刻處理/具有脈衝樣品偏壓之脈衝電漿蝕刻處理執行在半導體堆疊上的剖面視圖。

第 8 圖，繪示根據本發明之一實施例的具有脈衝樣品偏壓之脈衝電漿蝕刻處理的一系列步驟之流程圖。

第 9A~D 圖，繪示根據本發明之一實施例的第 8 圖之流程圖的步驟執行在半導體堆疊上的剖面視圖。

第 10 圖，繪示根據本發明之一實施例而在其中進行具有脈衝樣品偏壓之脈衝電漿蝕刻處理的一系統。

第 11A~B 圖，繪示根據本發明之一實施例的第 10 圖之系統的腔室分別處於電漿開啟狀態及電漿關閉狀態。

第 12A~D 圖，繪示根據本發明之一實施例的第 10 圖之系統的腔室分別處於電漿開啟/偏壓關閉狀態、電漿開啟/偏壓開啟狀態、電漿關閉/偏壓開啟狀態及電漿關閉/偏壓關閉狀態。

【主要元件符號說明】

200	半導體堆疊	202	基板
204	半導體層	206	光罩
208	低密度區域	210	中密度區域
212	高密度區域	214	底切
400	半導體堆疊	402	基板
404	蝕刻層	406	光罩
408	(低)密度區域	410	(中)密度區域
412	(高)密度區域	414	部分圖案化之蝕刻層
424	圖案化之蝕刻層	500	流程圖
502,504,506,508,510	步驟	600	半導體堆疊
602	基板	604	蝕刻層/半導體層
606	光罩	608	(低)密度區域
610	(中)密度區域	612	(高)密度區域
614A	部分圖案化之蝕刻層	614B	部分圖案化之蝕刻層

- 616 蝕刻副產物
- 620 (電漿)蝕刻物種
- 704 蝕刻層
- 712 光罩
- 802,804,806,808,810,812,814 步驟
- 902 基板
- 906,910 介電層
- 914 部分圖案化之蝕刻層
- 918 圖案化之蝕刻層
- 1002 腔室
- 1006 抽氣裝置
- 1010 電漿點燃裝置
- 1014 電壓源
- 1100 電漿
- 1104 反應區域
- 618 反應區域
- 624 圖案化之蝕刻層
- 706 蝕刻終止層
- 800 流程圖
- 900 半導體堆疊
- 904,908 蝕刻層
- 912 光罩
- 916 圖案化之介電層
- 1000 系統
- 1004 樣品承接器
- 1008 氣體入口裝置
- 1012 計算裝置
- 1016 偵測器
- 1102 樣品

## 十、申請專利範圍：

1. 一種用於蝕刻一樣品承接器上的一樣品之方法，包括：

提供具有一圖案化光阻層的該樣品，該圖案化光阻層於一第一材料層上，該第一材料層於一第二材料層上，該第二材料層具有不同於該第一材料層之組成；

藉由應用一連續電漿處理而移除該第一材料層的一暴露部分；

結束該連續電漿處理；以及

藉由應用一脈衝電漿處理而移除該第二材料層的一暴露部分，其中該脈衝電漿處理包括複數個工作週期（duty cycle），各個工作週期代表一電漿之一開啟（ON）狀態及一關閉（OFF）狀態的組合，其中在該開啟狀態之過程中，係施加一負偏壓至該樣品承接器，且其中在該關閉狀態之過程中，施加一零偏壓至該樣品承接器。

2. 如請求項 1 所述之方法，其中該負偏壓之功率係介於 5~1000 瓦（Watts）之範圍。

3. 如請求項 1 所述之方法，更包含：

藉由應用一第二連續電漿處理而移除一第三材料層的一暴露部分，該第三材料層於該第二材料層下；

結束該第二連續電漿處理；以及

藉由應用一第二脈衝電漿處理而移除一第四材料層的

一暴露部分，該第四材料層在該第三材料層下，其中該第二脈衝電漿處理包括一第二複數個工作週期，各個工作週期代表一第二電漿之一第二開啟狀態及一第二關閉狀態的組合，其中在該第二開啟狀態之過程中，係施加一負偏壓至該樣品承接器，且其中在該第二關閉狀態之過程中，施加一零偏壓至該樣品承接器。

4. 如請求項 1 所述之方法，其中結束該連續電漿處理的步驟包括偵測一終點。

5. 如請求項 4 項所述之方法，其中藉由在該連續電漿處理過程中所產生的一組化學物種之即時組成 (real-time composition) 來決定該終點。

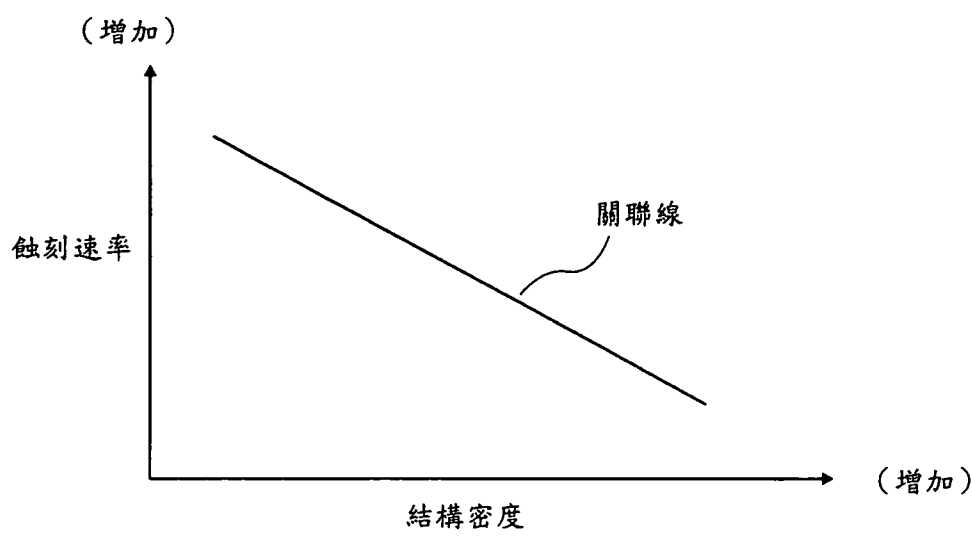
6. 如請求項 4 項所述之方法，其中藉由干涉術 (interferometry) 來量測即時薄膜厚度以決定該終點。

7. 如請求項 1 所述之方法，其中在該開啟狀態之過程中，在鄰近該樣品之一反應區域中抑制微負載 (micro-loading)，且其中在該關閉狀態之過程中，自該反應區域中移除一組蝕刻副產物。

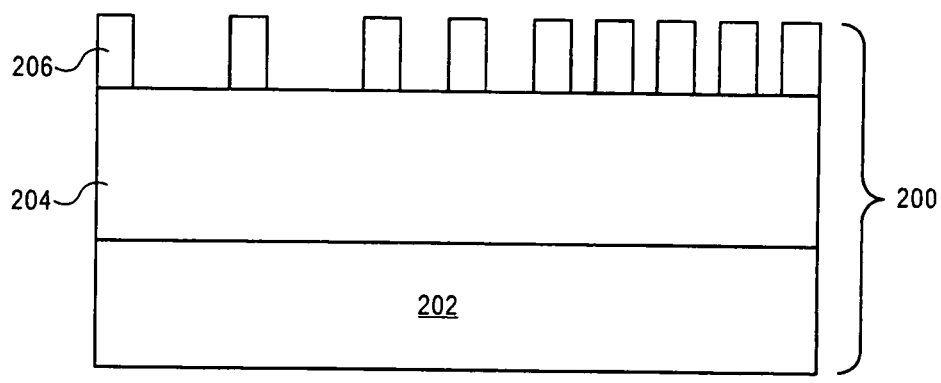
8. 如請求項 7 所述之方法，其中各個工作週期由該開啟狀

態所構成之部分係佔 5~95%之範圍。

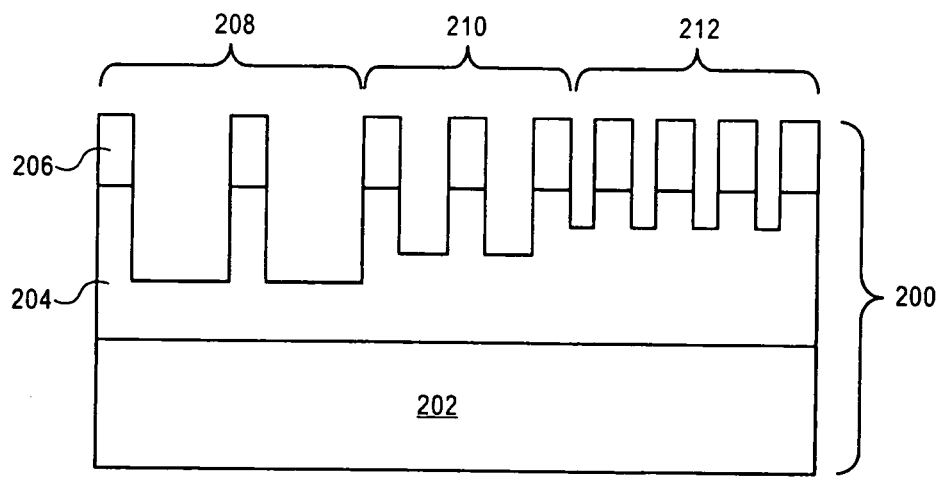
9. 如請求項 8 所述之方法，其中各個工作週期的持續時間係介於 5~1000 微秒之範圍。



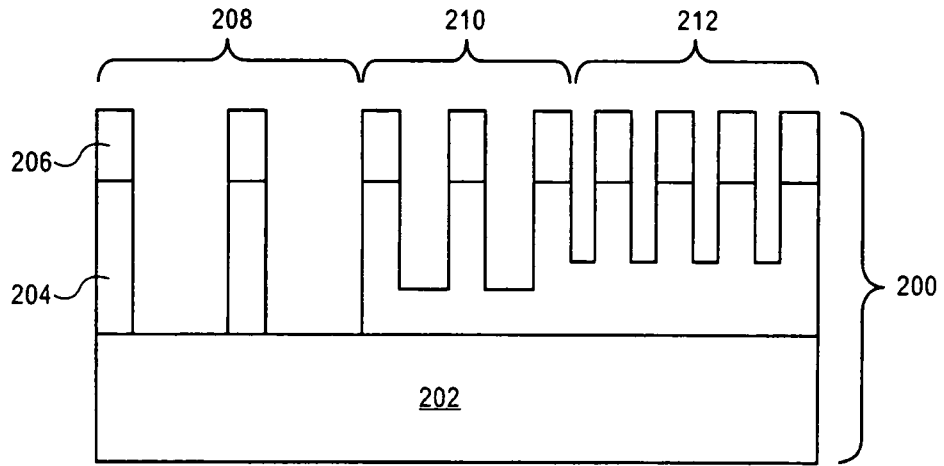
第1圖



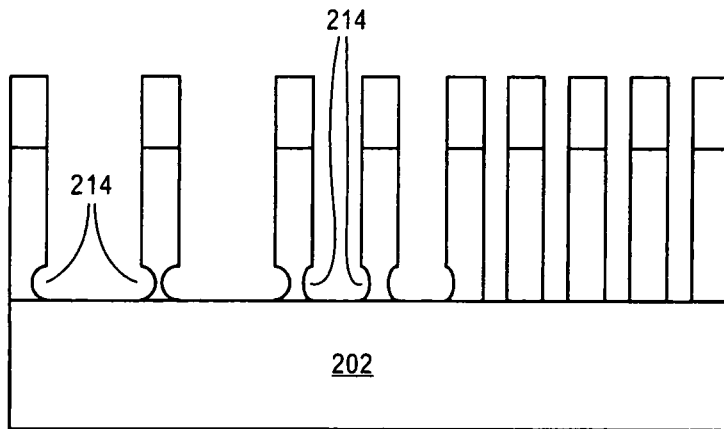
第2A圖



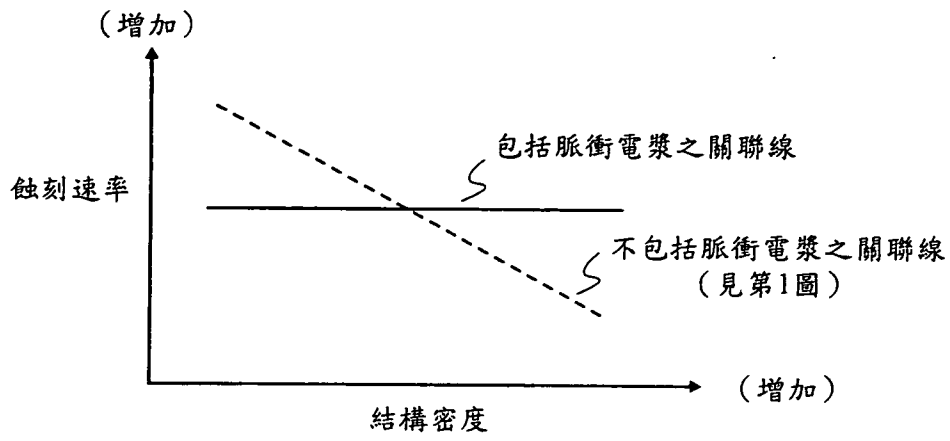
第2B圖



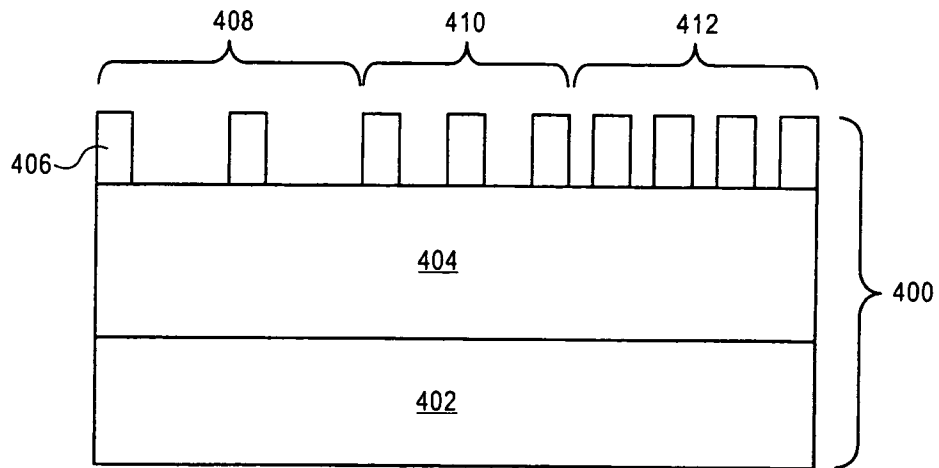
第2C圖



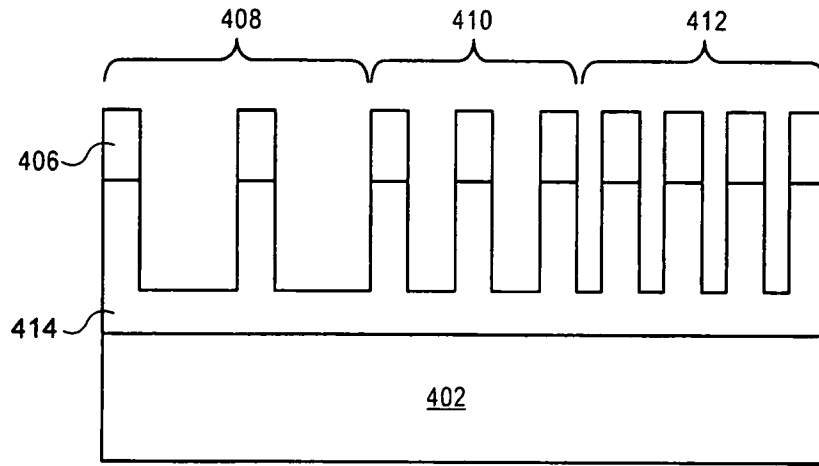
第2D圖



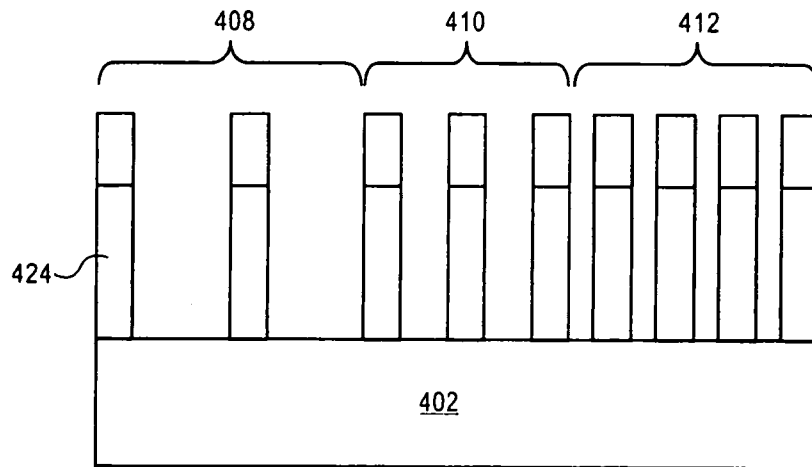
第3圖



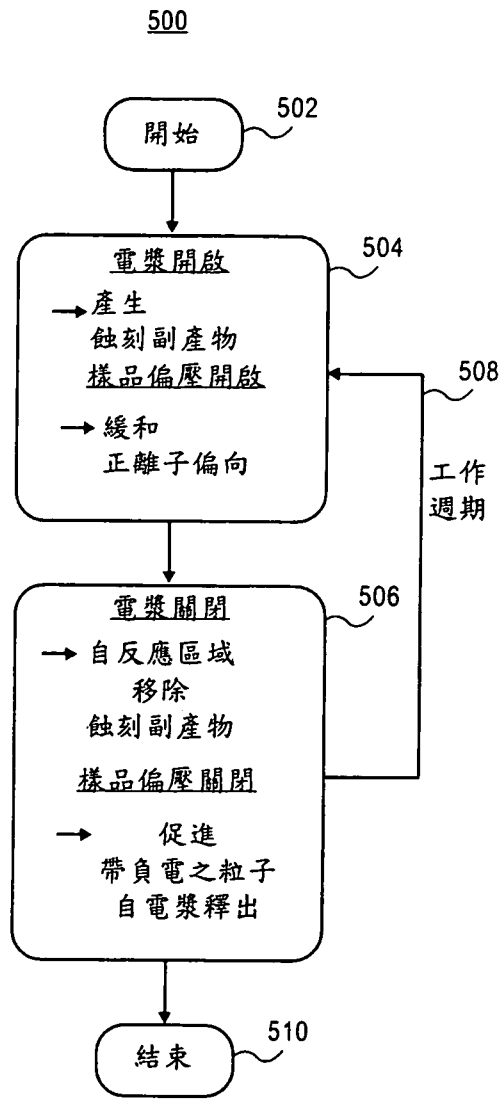
第4A圖



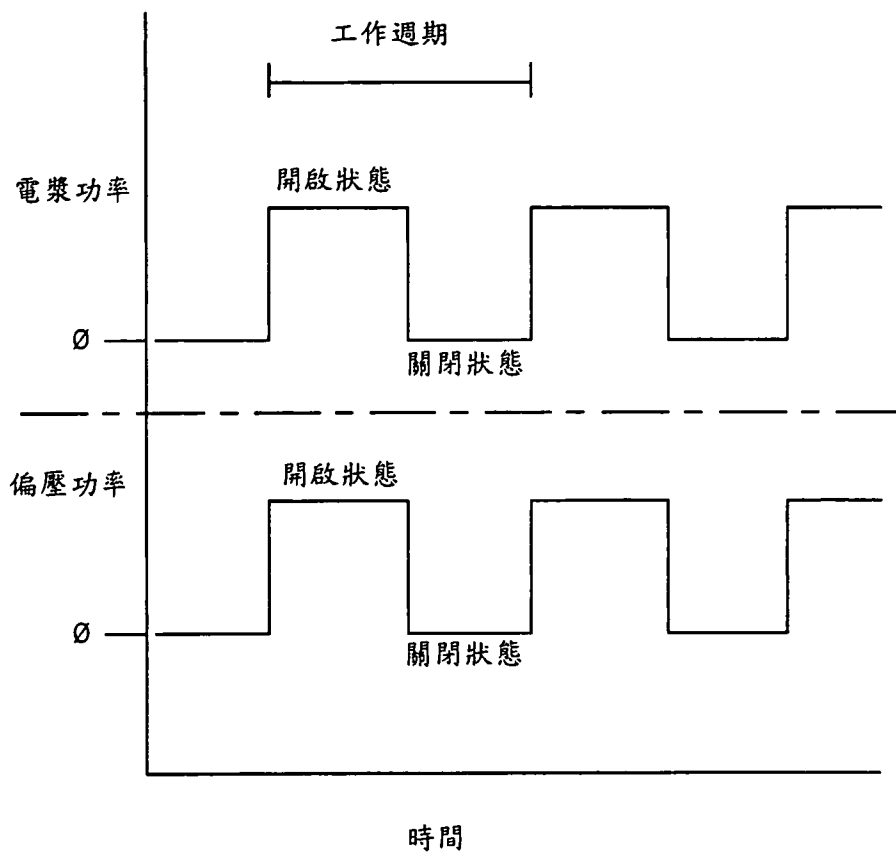
第4B圖



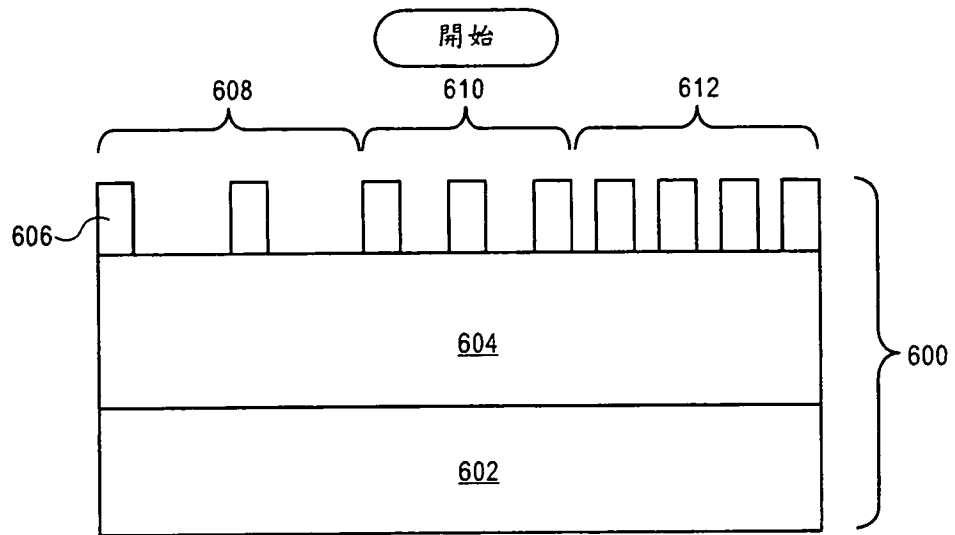
第4C圖



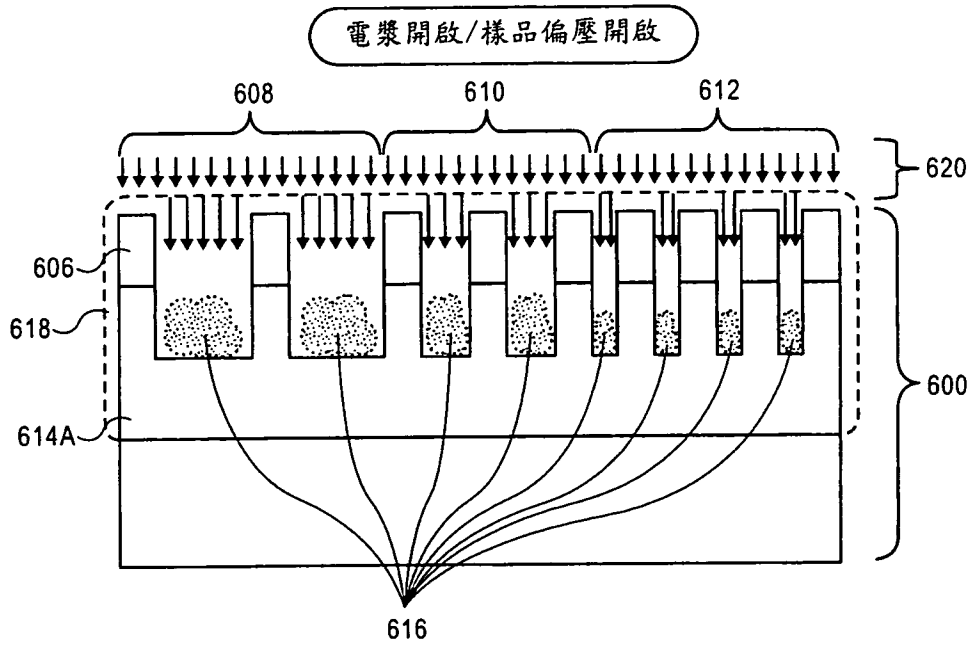
第5A圖



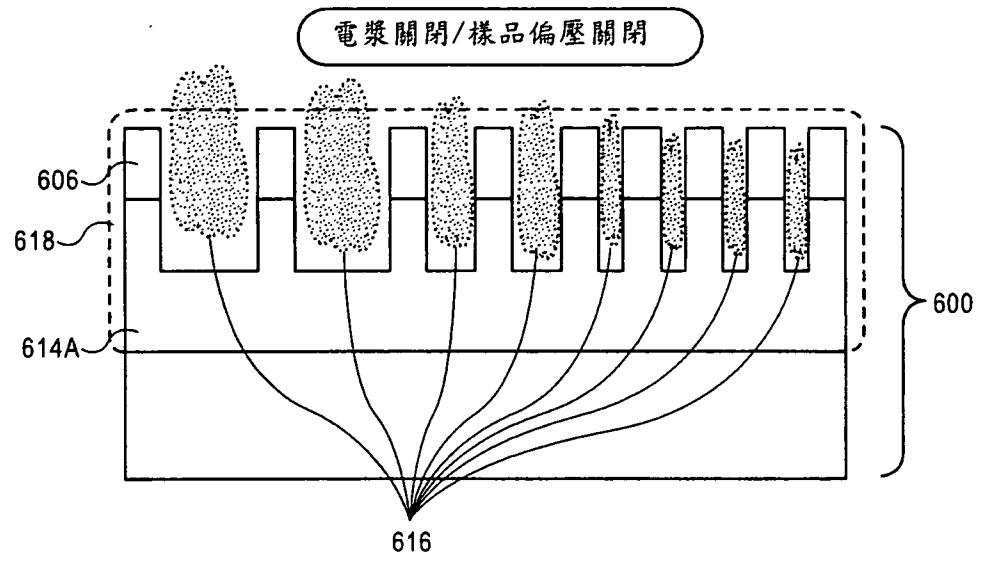
第5B圖



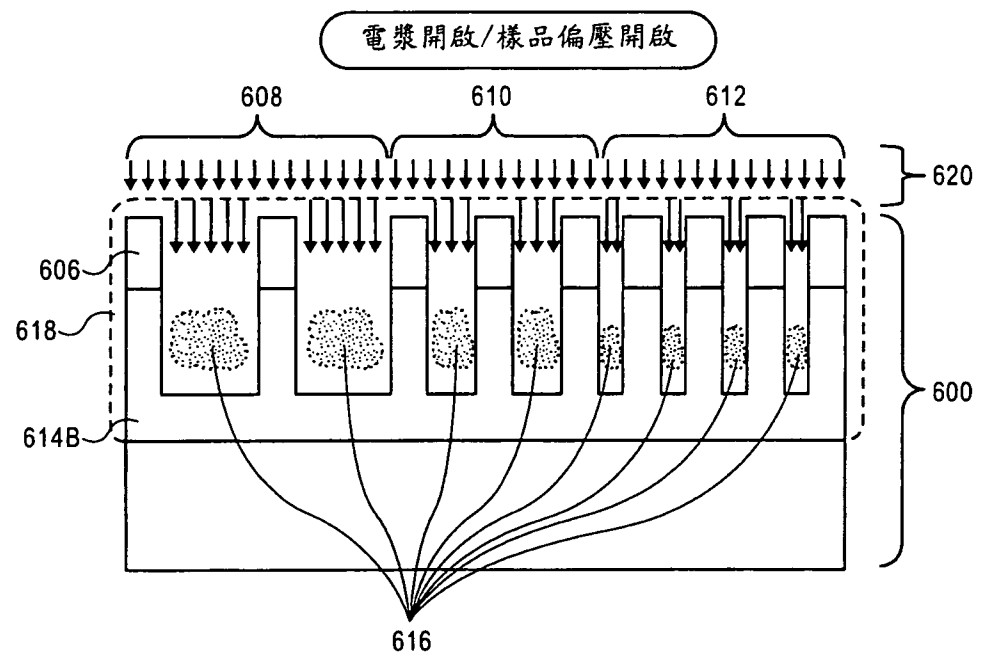
第6A圖



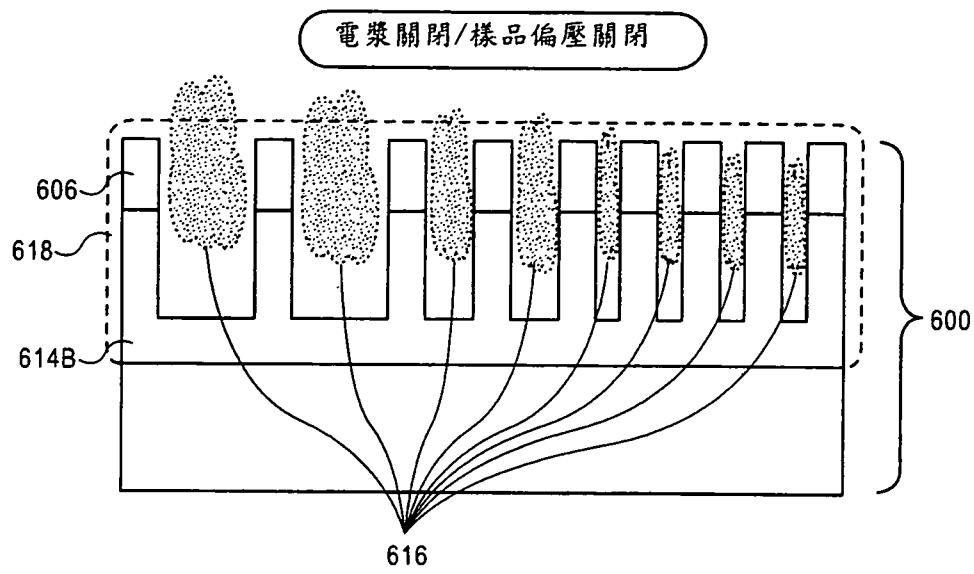
第6B圖



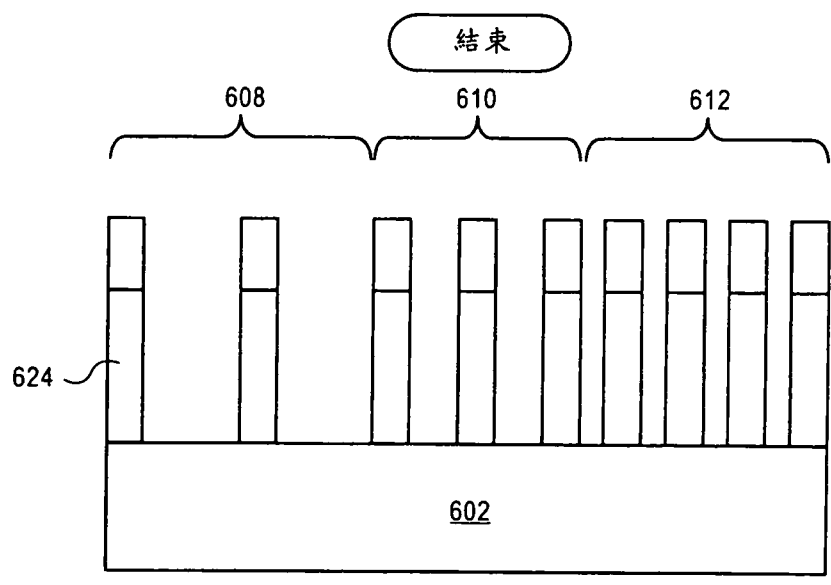
第6C圖



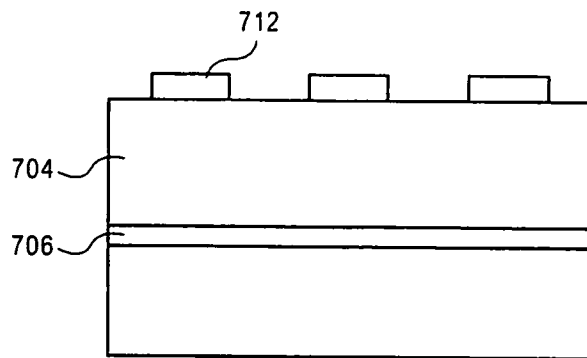
第6D圖



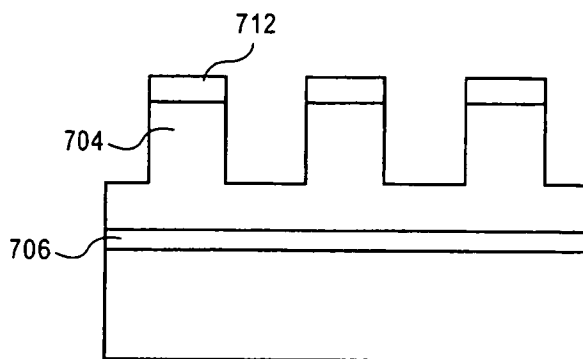
第6E圖



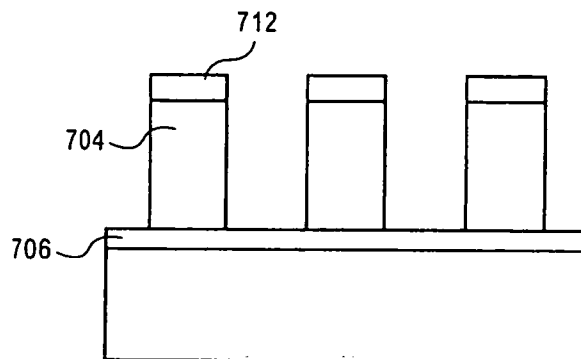
第6F圖



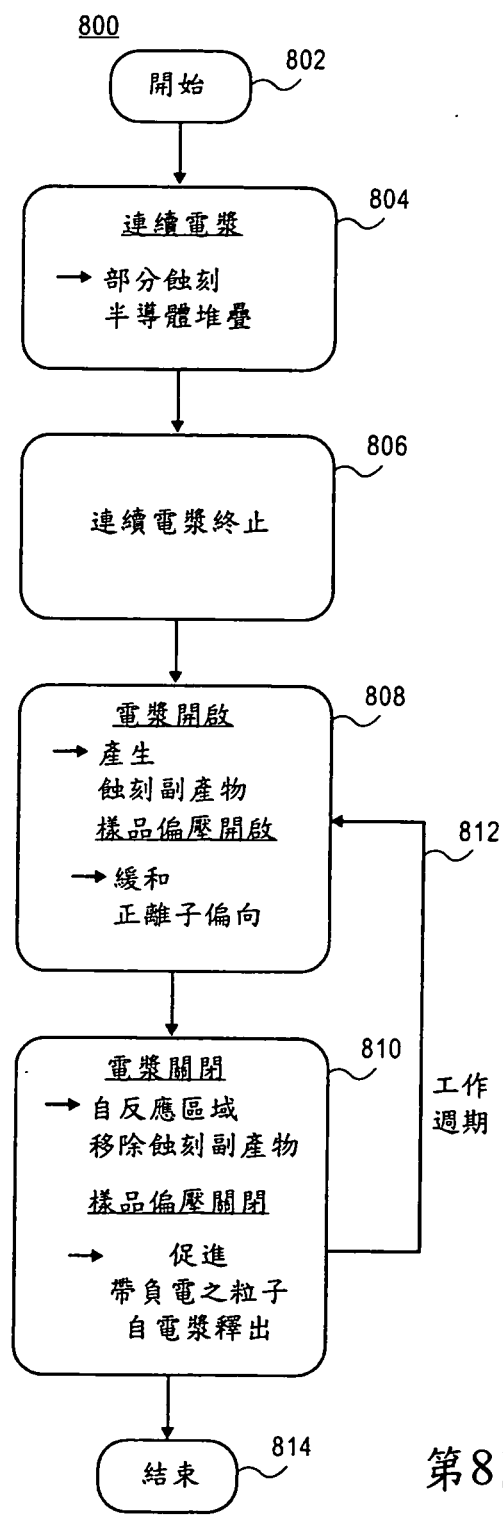
第7A圖



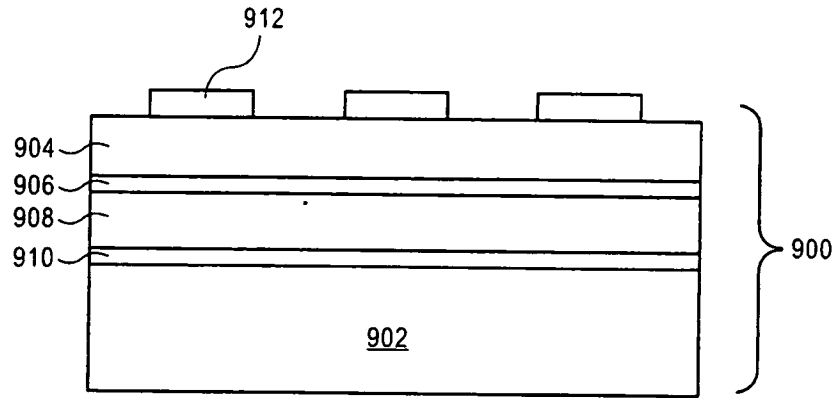
第7B圖



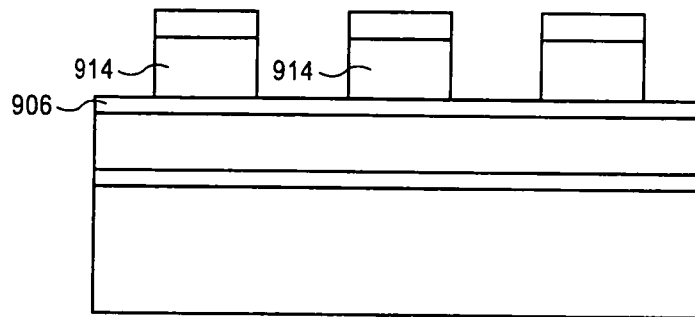
第7C圖



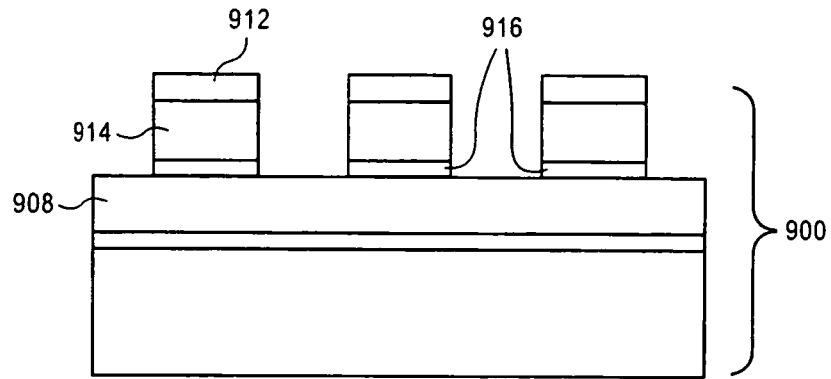
第8圖



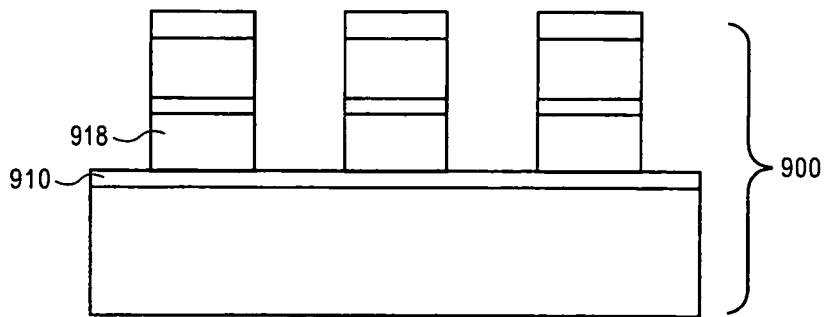
第9A圖



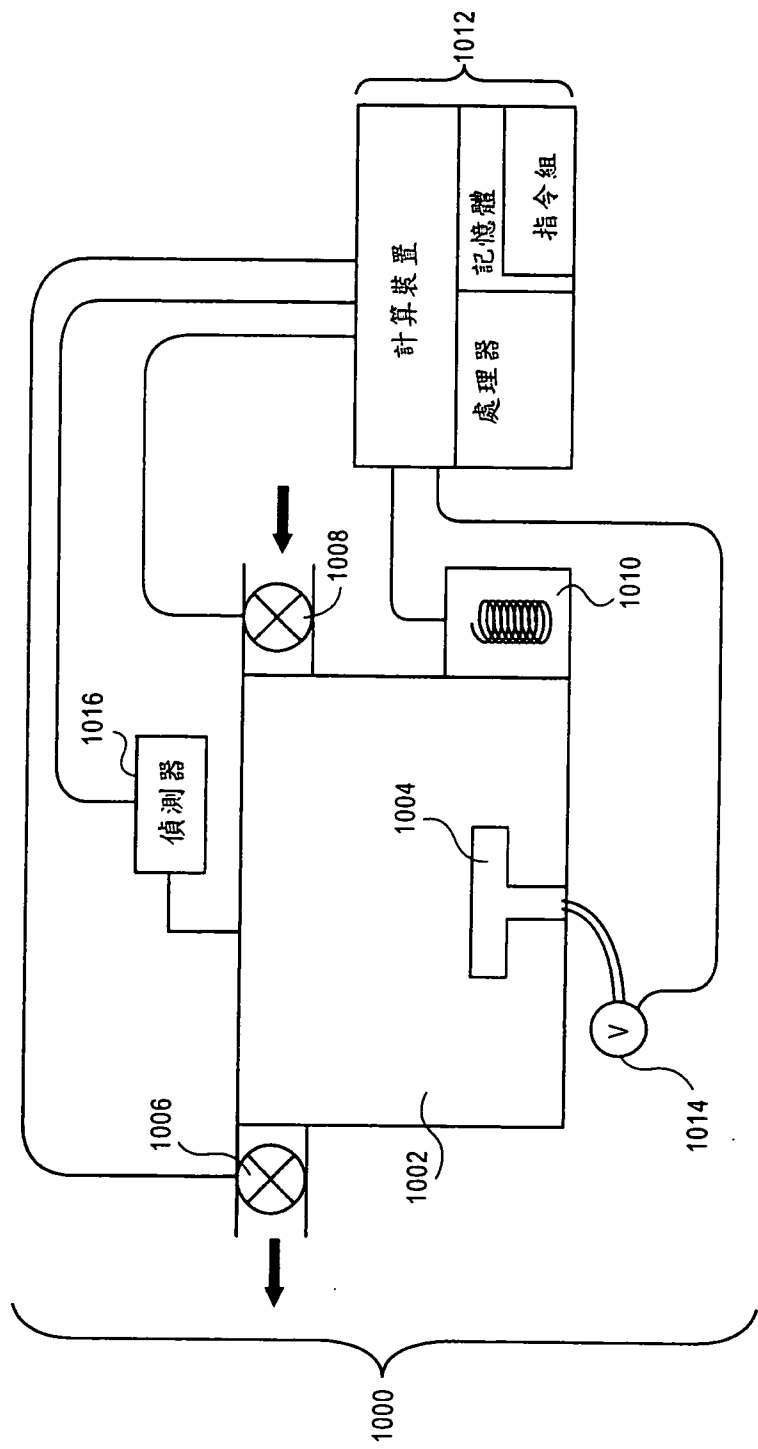
第9B圖



第9C圖

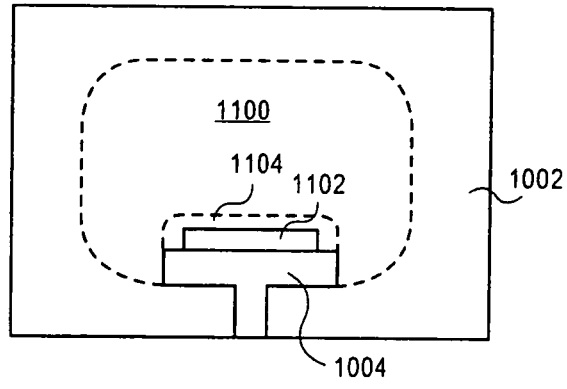


第9D圖



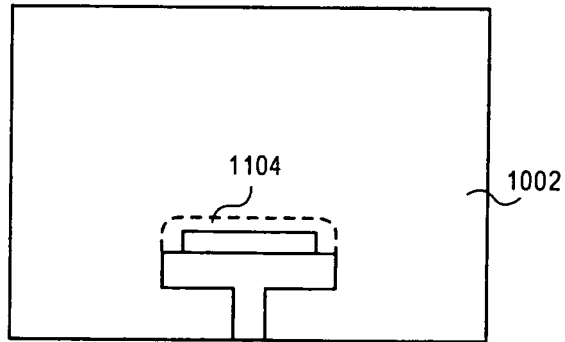
第10圖

電漿開啟



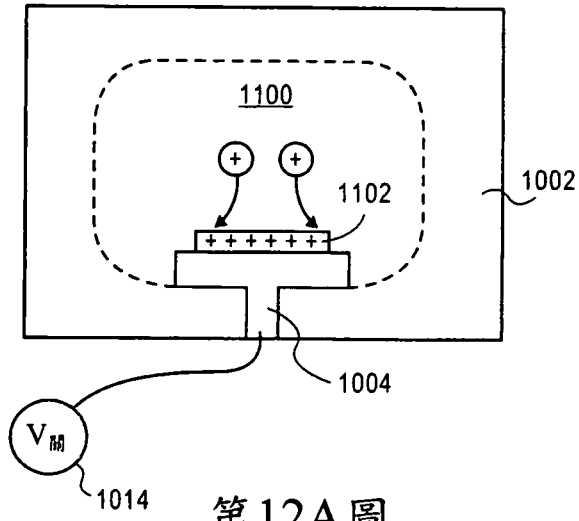
第11A圖

電漿關閉



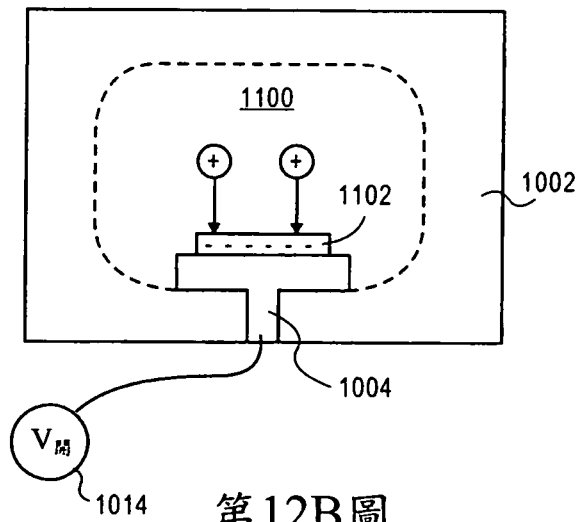
第11B圖

電漿開啟:偏壓關閉



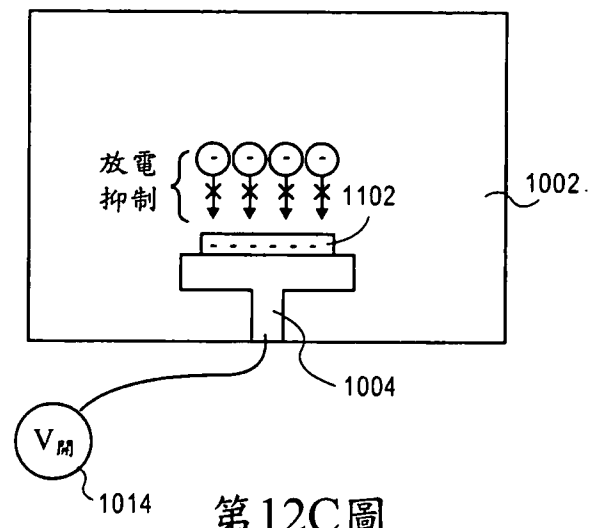
第12A圖

電漿開啟:偏壓開啟



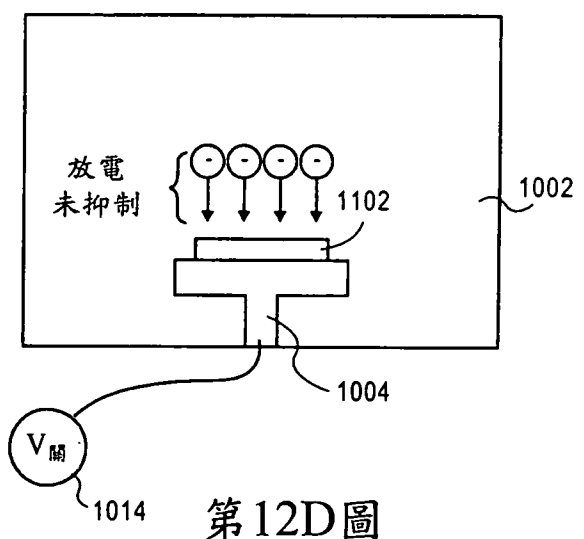
第12B圖

電漿關閉:偏壓開啟



第12C圖

電漿關閉:偏壓關閉



第12D圖