



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0093135
(43) 공개일자 2025년06월24일

(51) 국제특허분류(Int. Cl.)

G06F 30/327 (2020.01) G06F 111/12 (2020.01)
G06F 117/12 (2020.01) G06F 119/02 (2020.01)
G06F 119/06 (2020.01) G06F 30/337 (2020.01)
G06F 7/506 (2006.01)

(52) CPC특허분류

G06F 30/327 (2020.01)
G06F 30/337 (2020.01)

(21) 출원번호 10-2024-0078799

(22) 출원일자 2024년06월18일

심사청구일자 2024년06월18일

(30) 우선권주장

1020230183583 2023년12월15일 대한민국(KR)

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

유호영

대전광역시 유성구 대학로 99, 공과대학 2호관
409호(궁동)

임지환

대전광역시 유성구 대학로 99, 공과대학 2호관
409호(궁동)

(74) 대리인

제일특허법인(유)

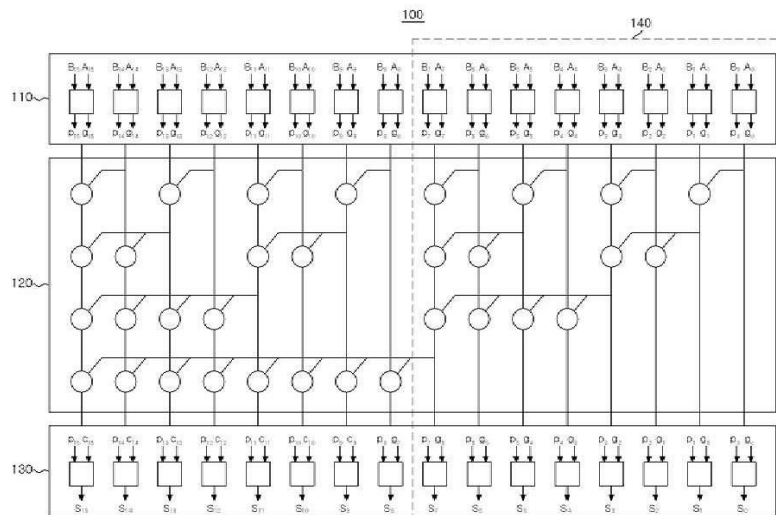
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 병렬 프리픽스 가산기

(57) 요약

가산기의 복수영역에 근사기법을 적용하여 가산기의 전체 면적 및 소모 전력을 감소시킬 수 있는 병렬 프리픽스 가산기가 제공된다. 병렬 프리픽스 가산기는, 설정된 하위비트 영역 또는 중위비트 영역에 복수의 근사연산부를 구성하여 입력데이터에 대한 연산을 근사화시킴으로써, 가산기의 하위비트 영역 또는 중위비트 영역에 대응되는 부분에서 연산을 위한 게이트 소자의 개수를 줄여 가산기의 전체 면적 및 소모 전력을 감소시켜 가산기의 설계 효율을 증가시킬 수 있다.

대표도



(52) CPC특허분류

G06F 7/506 (2013.01)
 G06F 2111/12 (2020.01)
 G06F 2117/12 (2020.01)
 G06F 2119/02 (2020.01)
 G06F 2119/06 (2020.01)
 G06F 2207/5063 (2013.01)
 Y02D 10/00 (2020.08)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711170666
과제번호	2022-0-01170-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	PIM 반도체 설계연구센터
과제수행기관명	한국과학기술원
연구기간	2022.04.01 ~ 2022.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711183909
과제번호	2022R1A5A8026986
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	인공지능 시스템반도체 융합 연구센터
과제수행기관명	충북대학교
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1345365196
과제번호	2021R1I1A3055806
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축
연구과제명	고 복원율의 Xilinx Vivado용 FPGA 역공학 도구 개발
과제수행기관명	충남대학교
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

병렬 프리픽스 가산기(parallel prefix adder)에 있어서,

두 개의 입력데이터 각각의 복수의 비트 중 기 설정된 하위비트 영역에 포함되어 서로 대응되는 한 쌍의 i 번째 비트 간 연산을 근사화하여 i 번째 제1신호 및 i 번째 제2신호를 출력하는 제1근사연산부;

상기 제1근사연산부로부터 상기 i 번째 제1신호 및 $(i-1)$ 번째 제2신호를 제공받아 전달하는 신호전달부; 및

상기 신호전달부를 통해 전달된 상기 i 번째 제1신호와 상기 $(i-1)$ 번째 제2신호 간 연산을 근사화하여 상기 한 쌍의 i 번째 비트에 대한 합산신호를 출력하는 제2근사연산부를 포함하는 병렬 프리픽스 가산기.

청구항 2

제1항에 있어서,

상기 제1근사연산부는,

상기 한 쌍의 i 번째 비트에 대해 로우(low)레벨의 상기 i 번째 제1신호 및 상기 i 번째 제2신호를 출력하는 병렬 프리픽스 가산기.

청구항 3

제1항에 있어서,

상기 제2근사연산부는,

상기 한 쌍의 i 번째 비트에 대해 하이(high)레벨의 상기 합산신호를 출력하는 병렬 프리픽스 가산기.

청구항 4

제1항에 있어서,

상기 한 쌍의 i 번째 비트가 상기 하위비트 영역의 최하위비트(LSB, least significant bit)이면, 상기 $(i-1)$ 번째 제2신호는 전단 캐리아웃신호인 병렬 프리픽스 가산기.

청구항 5

제1항에 있어서,

상기 하위비트 영역은,

상기 복수의 비트의 전체 개수 중 하위 50~70%의 개수에 대응되는 비트를 포함하는 영역으로 설정되는 병렬 프리픽스 가산기.

청구항 6

병렬 프리픽스 가산기(parallel prefix adder)에 있어서,

두 개의 입력데이터 각각의 복수의 비트 중 기 설정된 하위비트 영역에 포함되어 서로 대응되는 한 쌍의 i 번째

하위비트 간 연산을 근사화하여 상기 한 쌍의 i 번째 하위비트에 대한 i 번째 합산신호를 출력하는 하위비트 근사연산부; 및

상기 복수의 비트 중 기 설정된 중위비트 영역에 포함되어 서로 대응되는 한 쌍의 j 번째 중위비트 간 연산을 근사화하여 상기 한 쌍의 j 번째 중위비트에 대한 j 번째 합산신호를 출력하는 중위비트 근사연산부를 포함하는 병렬 프리픽스 가산기.

청구항 7

제6항에 있어서,

상기 하위비트 근사연산부는,

상기 하위비트 영역에서 상기 한 쌍의 i 번째 하위비트 간 연산을 근사화하여 i 번째 제1신호 및 i 번째 제2신호를 출력하는 제1근사연산부;

상기 제1근사연산부로부터 상기 i 번째 제1신호 및 $(i-1)$ 번째 제2신호를 제공받아 전달하는 제1신호전달부; 및

상기 제1신호전달부를 통해 전달된 상기 i 번째 제1신호와 상기 $(i-1)$ 번째 제2신호 간 연산을 근사화하여 상기 i 번째 합산신호를 출력하는 제2근사연산부를 포함하는 병렬 프리픽스 가산기.

청구항 8

제7항에 있어서,

상기 제1근사연산부는,

상기 한 쌍의 i 번째 하위비트로부터 로우레벨의 상기 i 번째 제1신호 및 상기 i 번째 제2신호를 출력하는 병렬 프리픽스 가산기.

청구항 9

제7항에 있어서,

상기 제2근사연산부는,

상기 i 번째 제1신호와 상기 $(i-1)$ 번째 제2신호로부터 하이레벨의 상기 i 번째 합산신호를 출력하는 병렬 프리픽스 가산기.

청구항 10

제7항에 있어서,

상기 한 쌍의 i 번째 하위비트가 상기 하위비트 영역의 최하위비트이면, 상기 $(i-1)$ 번째 제2신호는 전단 캐리어아웃신호인 병렬 프리픽스 가산기.

청구항 11

제6항에 있어서,

상기 중위비트 근사연산부는,

상기 중위비트 영역에서 상기 한 쌍의 j 번째 하위비트 간 연산을 근사화하여 j 번째 제1신호 및 j 번째 제2신호를 출력하는 제3근사연산부;

상기 제3근사연산부로부터 상기 j 번째 제1신호 및 $(j-1)$ 번째 제2신호를 제공받아 전달하는 제2신호전달부; 및
상기 제2신호전달부를 통해 전달된 상기 j 번째 제1신호와 상기 $(j-1)$ 번째 제2신호 간 연산을 근사화하여 상기 j 번째 합산신호를 출력하는 제4근사연산부를 포함하는 병렬 프리픽스 가산기.

청구항 12

제11항에 있어서,

상기 제3근사연산부는,

상기 한 쌍의 j 번째 중위비트 간을 NOR 연산하여 상기 j 번째 제1신호를 출력하고, 상기 한 쌍의 j 번째 중위비트로부터 로우레벨의 상기 j 번째 제2신호를 출력하는 병렬 프리픽스 가산기.

청구항 13

제11항에 있어서,

상기 제4근사연산부는,

상기 j 번째 제1신호 및 상기 $(j-1)$ 번째 제2신호 간을 NOR 연산하여 상기 j 번째 합산신호를 출력하는 병렬 프리픽스 가산기.

청구항 14

제11항에 있어서,

상기 한 쌍의 j 번째 중위비트가 상기 중위비트 영역의 최하위비트이면, 상기 $(j-1)$ 번째 제2신호는 상기 한 쌍의 j 번째 중위비트에 인접된 하위비트 영역의 i 번째 제2신호인 병렬 프리픽스 가산기.

청구항 15

제6항에 있어서,

상기 하위비트 영역은,

상기 복수의 비트의 전체 개수 중 하위 50~70%의 개수에 대응되는 비트를 포함하는 영역으로 설정되는 병렬 프리픽스 가산기.

청구항 16

제6항에 있어서,

상기 중위비트 영역은,

상기 하위비트 영역에 인접된 적어도 2개의 비트를 포함하는 영역으로 설정되는 병렬 프리픽스 가산기.

발명의 설명

기술 분야

본 발명은 병렬 프리픽스 가산기에 관한 것이다.

[0001]

배경 기술

- [0002] 고성능의 하드웨어 설계를 위한 가산기로 병렬 프리픽스 가산기(parallel prefix adder)가 주로 사용되고 있다. 이러한 병렬 프리픽스 가산기는 연산속도가 매우 빠르다는 장점이 있으나, 많은 수의 소자, 예컨대 게이트 소자로 설계되어야 하므로 면적 증가 및 전력 소모량 증가에서 비효율적이다.
- [0003] 이러한 문제를 해결하기 위하여 근사기법(approximate technique)을 적용하여 병렬 프리픽스 가산기를 설계하고자 하는 연구들이 활발하게 이루어지고 있다.
- [0004] 예컨대, 기존에는 병렬 프리픽스 가산기의 일부분, 예컨대 프리픽스 프로세싱 부분의 소정 영역에 근사기법을 적용함으로써 해당 영역에서 소요되는 게이트 소자의 수를 줄이고 있다.
- [0005] 그러나, 기존의 병렬 프리픽스 가산기는 프리픽스 프로세싱 부분에 단일 근사기법을 적용하고 있으며, 이에 근사기법이 적용되지 않은 병렬 프리픽스 가산기와 대비하여 면적 및 소모전력 감소에 대한 효율이 크지 않다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 한국등록특허 제10-1618780호(2016.05.11.)

발명의 내용

해결하려는 과제

- [0007] 본 발명은 가산기의 복수영역에 근사기법을 적용하여 가산기의 전체 면적 및 소모 전력을 감소시킬 수 있는 병렬 프리픽스 가산기를 제공하고자 하는 데 있다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 병렬 프리픽스 가산기는, 두 개의 입력데이터 각각의 복수의 비트 중 기 설정된 하위비트 영역에 포함되어 서로 대응되는 한 쌍의 i 번째 비트 간 연산을 근사화하여 i 번째 제1신호 및 i 번째 제2신호를 출력하는 제1근사연산부; 상기 제1근사연산부로부터 상기 i 번째 제1신호 및 $(i-1)$ 번째 제2신호를 제공받아 전달하는 신호전달부; 및 상기 신호전달부를 통해 전달된 상기 i 번째 제1신호와 상기 $(i-1)$ 번째 제2신호 간 연산을 근사화하여 상기 한 쌍의 i 번째 비트에 대한 합산신호를 출력하는 제2근사연산부를 포함한다.
- [0009] 상기 제1근사연산부는, 상기 한 쌍의 i 번째 비트에 대해 로우(low)레벨의 상기 i 번째 제1신호 및 상기 i 번째 제2신호를 출력한다.
- [0010] 상기 제2근사연산부는, 상기 한 쌍의 i 번째 비트에 대해 하이(high)레벨의 상기 합산신호를 출력한다.
- [0011] 여기서, 상기 한 쌍의 i 번째 비트가 상기 하위비트 영역의 최하위비트(LSB, least significant bit)이면, 상기 $(i-1)$ 번째 제2신호는 전단 캐리아아웃신호일 수 있다.
- [0012] 상기 하위비트 영역은, 상기 복수의 비트의 전체 개수 중 하위 50~70%의 개수에 대응되는 비트를 포함하는 영역으로 설정된다.
- [0013] 본 발명의 다른 실시예에 따른 병렬 프리픽스 가산기는, 두 개의 입력데이터 각각의 복수의 비트 중 기 설정된 하위비트 영역에 포함되어 서로 대응되는 한 쌍의 i 번째 하위비트 간 연산을 근사화하여 상기 한 쌍의 i 번째 하위비트에 대한 i 번째 합산신호를 출력하는 하위비트 근사연산부; 및 상기 복수의 비트 중 기 설정된 중위비트 영역에 포함되어 서로 대응되는 한 쌍의 j 번째 중위비트 간 연산을 근사화하여 상기 한 쌍의 j 번째 중위비트에 대한 j 번째 합산신호를 출력하는 중위비트 근사연산부를 포함한다.
- [0014] 상기 하위비트 근사연산부는, 상기 하위비트 영역에서 상기 한 쌍의 i 번째 하위비트 간 연산을 근사화하여 i 번째 제1신호 및 i 번째 제2신호를 출력하는 제1근사연산부; 상기 제1근사연산부로부터 상기 i 번째 제1신호 및 $(i-1)$ 번째 제2신호를 제공받아 전달하는 제1신호전달부; 및 상기 제1신호전달부를 통해 전달된 상기 i 번째 제1신호와 상기 $(i-1)$ 번째 제2신호 간 연산을 근사화하여 상기 i 번째 합산신호를 출력하는 제2근사연산부를 포함한다.

- [0015] 상기 제1근사연산부는, 상기 한 쌍의 i 번째 하위비트로부터 로우레벨의 상기 i 번째 제1신호 및 상기 i 번째 제2신호를 출력한다.
- [0016] 상기 제2근사연산부는, 상기 i 번째 제1신호와 상기 $(i-1)$ 번째 제2신호로부터 하이레벨의 상기 i 번째 합산신호를 출력한다.
- [0017] 여기서, 상기 한 쌍의 i 번째 하위비트가 상기 하위비트 영역의 최하위비트이면, 상기 $(i-1)$ 번째 제2신호는 전단 캐리아웃신호일 수 있다.
- [0018] 상기 중위비트 근사연산부는, 상기 중위비트 영역에서 상기 한 쌍의 j 번째 하위비트 간 연산을 근사화하여 j 번째 제1신호 및 j 번째 제2신호를 출력하는 제3근사연산부; 상기 제3근사연산부로부터 상기 j 번째 제1신호 및 $(j-1)$ 번째 제2신호를 제공받아 전달하는 제2신호전달부; 및 상기 제2신호전달부를 통해 전달된 상기 j 번째 제1신호와 상기 $(j-1)$ 번째 제2신호 간 연산을 근사화하여 상기 j 번째 합산신호를 출력하는 제4근사연산부를 포함한다.
- [0019] 상기 제3근사연산부는, 상기 한 쌍의 j 번째 중위비트 간을 NOR 연산하여 상기 j 번째 제1신호를 출력하고, 상기 한 쌍의 j 번째 중위비트로부터 로우레벨의 상기 j 번째 제2신호를 출력한다.
- [0020] 상기 제4근사연산부는, 상기 j 번째 제1신호 및 상기 $(j-1)$ 번째 제2신호 간을 NOR 연산하여 상기 j 번째 합산신호를 출력한다.
- [0021] 여기서, 상기 한 쌍의 j 번째 중위비트가 상기 중위비트 영역의 최하위비트이면, 상기 $(j-1)$ 번째 제2신호는 상기 한 쌍의 j 번째 중위비트에 인접된 하위비트 영역의 i 번째 제2신호일 수 있다.
- [0022] 상기 하위비트 영역은, 상기 복수의 비트의 전체 개수 중 하위 50~70%의 개수에 대응되는 비트를 포함하는 영역으로 설정된다.
- [0023] 상기 중위비트 영역은, 상기 하위비트 영역에 인접된 적어도 2개의 비트를 포함하는 영역으로 설정된다.

발명의 효과

- [0024] 본 발명의 병렬 프리픽스 가산기는 설정된 하위비트 영역 또는 중위비트 영역에 복수의 근사연산부를 구성하여 입력데이터에 대한 연산을 근사화시킬 수 있다.
- [0025] 이에, 본 발명은 복수의 근사연산부에 의해 하위비트 영역 또는 중위비트 영역에 대응되는 부분에서 연산을 위한 게이트 소자의 개수를 현저하게 줄일 수 있으며, 이로 인해 병렬 프리픽스 가산기의 전체 면적 및 소모 전력을 감소시켜 가산기의 설계 효율을 증가시킬 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 병렬 프리픽스 가산기를 나타내는 도면이다.
- 도 2는 도 1의 하위비트 근사연산부를 나타내는 도면이다.
- 도 3은 본 발명의 다른 실시예에 따른 병렬 프리픽스 가산기를 나타내는 도면이다.
- 도 4는 도 3의 중위비트 근사연산부를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0028] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명한다.

- [0030] 도 1은 본 발명의 일 실시예에 따른 병렬 프리픽스 가산기를 나타내는 도면이다.
- [0031] 도 1을 참조하면, 본 실시예의 병렬 프리픽스 가산기(100)는 전처리 연산부(110), 프리픽스(prefix) 연산부(120), 후처리 연산부(130) 및 하위비트 근사연산부(140)를 포함할 수 있다.
- [0032] 전처리 연산부(110)는 복수의 예비 연산블록을 포함할 수 있다. 전처리 연산부(110)의 복수의 예비 연산블록 각각은 두 개의 입력데이터 간 예비 연산을 통해 후술될 후처리 연산부(130)에서 두 개의 입력데이터에 대한 합 연산을 위한 신호를 생성하여 출력할 수 있다.
- [0033] 예컨대, 두 개의 입력데이터 각각은 복수의 비트(bit)를 포함할 수 있다. 본 실시예에서는 하나의 예로, 각 입력데이터는 16비트 데이터, 예컨대 0~15 비트 데이터인 것을 예로 설명한다.
- [0034] 전처리 연산부(110)의 복수의 예비 연산블록 각각은 두 개의 입력데이터의 복수의 비트 중에서 서로 대응되는 비트 간의 예비 연산을 수행하여 제1신호 및 제2신호를 출력할 수 있다.
- [0035] 여기서, 제1신호는 propagation 신호일 수 있고, 제2신호는 generation 신호일 수 있다.
- [0036] 프리픽스 연산부(120)는 전처리 연산부(110)의 복수의 예비 연산블록 각각에 대응될 수 있다. 이러한 프리픽스 연산부(120)는 복수의 예비 연산블록 각각에서 출력된 제1신호 및 제2신호 간의 연산을 통해 캐리 값을 출력할 수 있다.
- [0037] 또한, 프리픽스 연산부(120)는 복수의 예비 연산블록 중 전단 비트, 예컨대 입력 데이터의 현재 비트에 대한 하위 비트에 대응되어 연산된 캐리 값을 전단 캐리 값으로 제공받고, 이를 포함하여 제1신호 및 제2신호와 함께 연산하여 캐리 값을 출력할 수 있다.
- [0038] 또한, 프리픽스 연산부(120)는 현재 비트에 대하여 연산된 캐리 값을 복수의 예비 연산블록 중 후단 비트, 예컨대 현재 비트에 대한 상위 비트에 전단 캐리 값으로 전달할 수 있다.
- [0039] 후처리 연산부(130)는 전처리 연산부(110)의 복수의 예비 연산블록 각각에 대응되는 복수의 합 연산블록을 포함할 수 있다.
- [0040] 복수의 합 연산블록 각각은 전처리 연산부(110)에서 출력된 제1신호 및 제2신호와 프리픽스 연산부(120)에서 출력된 캐리 값에 기초하여 두 개의 입력데이터 간 서로 대응되는 비트의 합산신호를 출력할 수 있다.
- [0041] 한편, 전술한 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130)는 두 개의 입력데이터 각각의 비트 간 연산을 위해 복수의 연산소자, 예컨대 복수의 게이트소자로 이루어진 디지털 연산회로를 포함한다.
- [0042] 예컨대, 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130) 각각에는 AND게이트, OR 게이트, XOR 게이트 및 이들의 조합으로 구성된 연산회로를 포함할 수 있다. 그러나, 전술한 복수의 게이트소자로 인해 가산기의 전체 면적 및 소모 전력이 증가되는 문제가 있다.
- [0043] 이에, 본 실시예의 병렬 프리픽스 가산기(100)는 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130) 각각의 복수의 게이트소자 중 일부를 근사화(approximate)하여 면적 및 전력 증가를 방지할 수 있다.
- [0044] 도 1에 도시된 바와 같이, 본 실시예의 병렬 프리픽스 가산기(100)는 두 개의 입력데이터 각각의 복수의 비트 중에서 기 설정된 비트 영역, 예컨대 하나 이상의 하위비트가 포함된 하위비트 영역에 대응되는 하위비트 근사 연산부(140)를 포함할 수 있다.
- [0045] 이러한 하위비트 근사연산부(140)는 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130) 각각의 하위비트 영역에 대응되어 상기 하위비트 영역에서의 연산을 근사화시킬 수 있다.
- [0046] 여기서, 하위비트 영역은 두 개의 입력데이터 각각의 전체 비트의 개수 중에서 하위 50~70%의 개수에 대응되는 비트들이 포함된 영역일 수 있다. 예컨대, 두 개의 입력데이터 각각이 16비트 데이터인 경우에, 하위비트 영역은 입력데이터의 최하위비트인 0비트에서 8비트를 포함하는 영역 또는 0비트에서 10 비트를 포함하는 영역으로 설정될 수 있다.
- [0047] 도 2는 도 1의 하위비트 근사연산부를 나타내는 도면이다.
- [0048] 도 2를 참조하면, 본 실시예의 하위비트 근사연산부(140)는 전처리 연산부(110)의 하위비트 영역에 대응되는 제1근사연산부(141), 후처리 연산부(130)의 하위비트 영역에 대응되는 제2근사연산부(142) 및 제1근사연산부(141)와 제2근사연산부(142) 사이에 위치하여 프리픽스 연산부(120)의 하위비트 영역에 대응되는 제1신호전달부

(143)를 포함할 수 있다.

- [0049] 제1근사연산부(141)는 두 개의 입력데이터의 복수의 비트 중 기 설정된 하위비트 영역에 대응될 수 있다. 제1근사연산부(141)는 하위비트 영역의 서로 대응되는 한 쌍의 비트 간의 연산을 근사화하여 근사화 된 신호, 예컨대 제1신호 및 제2신호를 각각 출력할 수 있다.
- [0050] 이러한 제1근사연산부(141)는 복수의 제1근사블록을 포함할 수 있으며, 각 연산블록은 두 입력데이터의 하위비트 영역 내 서로 대응되는 한 쌍의 비트를 입력으로 제공받아 이들 간의 연산을 근사화하여 제1신호 및 제2신호를 출력할 수 있다.
- [0051] 예컨대, 제1근사연산부(141)의 i 번째 제1근사블록은 제1입력데이터의 복수의 비트 중 하위비트 영역의 i 번째 비트(A_i)와 이에 대응되는 제2입력데이터의 하위비트 영역의 i 번째 비트(B_i)를 입력 받을 수 있다.
- [0052] 이에, 제1근사연산부(141)의 i 번째 제1근사블록은 한 쌍의 i 번째 비트(A_i, B_i)에 대한 근사화 연산을 통해 i 번째 제1신호(p_i) 및 i 번째 제2신호(g_i)를 각각 출력할 수 있다.
- [0053] 여기서, i 번째 제1근사블록은 한 쌍의 i 번째 비트(A_i, B_i)에 대하여 기 설정된 레벨, 예컨대 로우(low) 레벨을 갖는 i 번째 제1신호(p_i) 및 i 번째 제2신호(g_i)를 출력할 수 있다.
- [0054] 제1신호전달부(143)는 제1근사연산부(141)에서 출력된 i 번째 제1신호(p_i) 및 i 번째 제2신호(g_i)를 제2근사연산부(142)로 전달할 수 있다.
- [0055] 전술한 바와 같이, 제1근사연산부(141)는 두 개의 입력데이터의 하위비트 영역의 한 쌍의 비트에 대응되는 복수의 제1근사블록을 포함할 수 있다. 이에, 제1신호전달부(143)는 제1근사연산부(141)의 복수의 제1근사블록으로부터 신호를 상기 복수의 제1근사블록 각각에 대응되는 제2근사연산부(142)의 복수의 제2근사블록으로 전달할 수 있다.
- [0056] 이때, 제1신호전달부(143)는 제1근사연산부(141)의 하나의 제1근사블록에서 제공된 제1신호는 제2근사연산부(142)의 복수의 제2근사블록 중 대응되는 제2근사블록에 전달할 수 있다. 반면에, 제1신호전달부(143)는 제1근사연산부(141)의 하나의 제1근사블록에서 제공되는 제2신호는 제2근사연산부(142)의 복수의 제2근사블록 중 대응되는 제2근사블록의 후단의 제2근사블록에 전달할 수 있다.
- [0057] 예컨대, 제1신호전달부(143)는 제1근사연산부(141)의 i 번째 제1근사블록에서 제공된 i 번째 제1신호(p_i)를 제2근사연산부(142)의 i 번째 제2근사블록으로 전달할 수 있다. 또한, 제1신호전달부(143)는 제1근사연산부(141)의 $(i-1)$ 번째 제1근사블록에서 제공된 $(i-1)$ 번째 제2신호(g_i)를 제2근사연산부(142)의 i 번째 제2근사블록으로 전달할 수 있다.
- [0058] 여기서, 제1근사연산부(141)의 하나의 제1근사블록 입력되는 한 쌍의 i 번째 비트가 기 설정된 하위비트 영역의 최하위비트(LSB, least significant bit)인 경우에, 제1신호전달부(143)는 전단 캐리아웃 신호를 제공받고, 이를 하나의 제1근사블록에 대응되는 제2근사연산부(142)의 제2근사블록에 $(i-1)$ 번째 제2신호(g_i)로 전달할 수 있다.
- [0059] 본 발명의 실시예에 따라, 복수의 병렬 프리픽스 가산기(100)가 연결되는 경우에는 전술한 전단 캐리아웃 신호는 해당 병렬 프리픽스 가산기(100)의 전단에 연결된 다른 병렬 프리픽스 가산기(100)에서 전달되는 캐리 값을 가지는 신호일 수 있다. 또한, 본 발명의 실시예에 따라 하나의 병렬 프리픽스 가산기(100)만 존재하는 경우에는, 전술한 전단 캐리아웃 신호는 로우레벨, 즉 0일 수 있다.
- [0060] 제2근사연산부(142)는 제1신호전달부(143)를 통해 제공된 i 번째 제1신호(p_i)와 i 번째 제2신호(g_i) 간 연산을 근사화하고, 이에 따라 두 입력데이터의 하위비트 영역의 i 번째 한 쌍의 비트에 대한 근사화 된 합산신호, 예컨대 제1합산신호(S_i)를 출력할 수 있다.
- [0061] 여기서, 제2근사연산부(142)는 두 입력데이터의 하위비트 영역에서 서로 대응되는 한 쌍의 i 번째 비트에 대하여 기 설정된 레벨, 예컨대 하이(high) 레벨을 갖는 제1합산신호(S_i)를 출력할 수 있다. 따라서, 두 개의 입력데이터의 복수의 비트 중에서 기 설정된 하위비트 영역에 대응되는 한 쌍의 비트 간 합은 모두 하이 레벨, 예컨대 1로 출력될 수 있다.
- [0062] 예를 들어, 본 실시예의 병렬 프리픽스 가산기(100)에 16비트의 제1입력데이터 및 제2입력데이터가 입력되고, 설정된 하위비트 영역이 최하위비트(LSB)를 포함하는 8비트이면, 제1입력데이터 및 제2입력데이터 각각의 하위비트 영역, 즉 0~7비트를 포함하는 영역에서의 합산신호는 모두 1로 출력될 수 있다.

- [0063] 상술한 바와 같이, 본 실시예의 하위비트 근사연산부(140)는 가산기의 기 설정된 하위비트 영역에 대응되는 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130)에서의 연산을 근사화시킬 수 있다.
- [0064] 이에, 본 발명의 병렬 프리픽스 가산기(100)는 하위비트 영역에서 연산을 위한 게이트 소자의 개수를 줄일 수 있으며, 이로 인해 본 발명은 가산기의 전체 면적 및 전력 소모량을 감소시킬 수 있다.
- [0065] 도 3은 본 발명의 다른 실시예에 따른 병렬 프리픽스 가산기를 나타내는 도면이다.
- [0066] 도 3에 도시된 병렬 프리픽스 가산기(101)는 앞서 도 1을 참조하여 설명된 병렬 프리픽스 가산기(100)와 대비하여 기 설정된 중위비트 영역에 근사연산부, 예컨대 중위비트 근사연산부(150)를 더 포함하는 것을 제외하고, 실질적으로 동일한 구성을 가질 수 있다.
- [0067] 이에, 본 실시예에서는 도 1의 병렬 프리픽스 가산기(100)와 동일 부재에 대해서는 동일 부호로 나타내고, 그에 대한 상세한 설명은 생략하기로 한다.
- [0068] 도 3을 참조하면, 본 실시예의 병렬 프리픽스 가산기(101)는 전처리 연산부(110), 프리픽스 연산부(120), 후처리 연산부(130), 하위비트 근사연산부(140) 및 중위비트 근사연산부(150)를 포함할 수 있다.
- [0069] 전처리 연산부(110)는 복수의 예비 연산블록을 포함하며, 각 예비 연산블록은 두 개의 입력데이터 간 예비 연산을 통해 상기 두 개의 입력데이터에 대한 합 연산을 위한 제1신호 및 제2신호를 각각 출력할 수 있다.
- [0070] 프리픽스 연산부(120)는 전처리 연산부(110)의 복수의 예비 연산블록 각각에서 출력된 제1신호 및 제2신호를 전달 캐리 값과 연산하여 제1신호 및 제2신호에 대한 캐리 값을 출력할 수 있다.
- [0071] 후처리 연산부(130)는 전처리 연산부(110)에서 출력된 제1신호 및 제2신호와 프리픽스 연산부(120)에서 출력된 캐리 값에 기초하여 두 개의 입력데이터 간 서로 대응되는 비트의 합산신호를 출력할 수 있다.
- [0072] 하위비트 근사연산부(140)는 두 개의 입력데이터 각각의 복수의 비트 중에서 기 설정된 하위비트 영역에 대응될 수 있다. 이러한 하위비트 근사연산부(140)는 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130) 각각의 하위비트 영역에 대응되어 상기 하위비트 영역을 근사화시킬 수 있다.
- [0073] 여기서, 하위비트 영역은 두 개의 입력데이터 각각의 전체 비트의 개수 중에서 하위 50~70%의 개수에 대응되는 비트들이 포함된 영역일 수 있다.
- [0074] 하위비트 근사연산부(140)는 앞서 도 2를 참조하여 설명한 바와 같이, 전처리 연산부(110)의 하위비트 영역에 대응되는 제1근사연산부(141), 후처리 연산부(130)의 하위비트 영역에 대응되는 제2근사연산부(142) 및 제1근사연산부(141)와 제2근사연산부(142) 사이에 위치하여 프리픽스 연산부(120)의 하위비트 영역에 대응되는 제1신호 전달부(143)를 포함할 수 있다.
- [0075] 제1근사연산부(141)는 두 개의 입력데이터의 복수의 비트 중 기 설정된 하위비트 영역의 서로 대응되는 한 쌍의 i 번째 비트 간의 연산을 근사화하여 근사화 된 i 번째 제1신호(p_i) 및 i 번째 제2신호(g_i)를 각각 출력할 수 있다. 여기서, 제1근사연산부(141)는 로우 레벨을 갖는 i 번째 제1신호(p_i) 및 i 번째 제2신호(g_i)를 각각 출력할 수 있다.
- [0076] 제1신호전달부(143)는 제1근사연산부(141)에서 출력된 i 번째 제1신호(p_i) 및 $(i-1)$ 번째 제2신호(g_i)를 제2근사연산부(142)로 전달할 수 있다.
- [0077] 제2근사연산부(142)는 제1신호전달부(143)를 통해 제공된 i 번째 제1신호(p_i)와 i 번째 제2신호(g_i) 간 연산을 근사화하고, 이에 따라 두 입력데이터의 하위비트 영역의 i 번째 한 쌍의 비트에 대한 근사화 된 제1합산신호(S_i)를 출력할 수 있다.
- [0078] 중위비트 근사연산부(150)는 두 개의 입력데이터 각각의 복수의 비트 중에서 기 설정된 중위비트 영역에 대응될 수 있다.
- [0079] 이러한 중위비트 근사연산부(150)는 전술된 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130) 각각의 중위비트 영역에 대응되어 상기 중위비트 영역에서의 연산을 근사화시킬 수 있다.
- [0080] 여기서, 중위비트 영역은 기 설정된 하위비트 영역에 인접된 적어도 2비트를 포함하는 영역일 수 있다. 본 실시예에서는 하나의 예로, 중위비트 영역이 하위비트 영역에 인접된 4개의 비트, 예컨대 두 개의 입력데이터, 즉 제1입력데이터 및 제2입력데이터 각각의 서로 대응되는 2쌍의 비트를 포함하는 영역으로 설정되는 것을 예로 설

명하나, 본 발명은 이에 제한되지 않는다.

- [0081] 도 4는 도 3의 중위비트 근사연산부를 나타내는 도면이다.
- [0082] 도 4를 참조하면, 본 실시예의 중위비트 근사연산부(150)는 전처리 연산부(110)의 중위비트 영역에 대응되는 제3근사연산부(151), 후처리 연산부(130)의 중위비트 영역에 대응되는 제4근사연산부(152) 및 제3근사연산부(151)와 제4근사연산부(152) 사이에 위치하여 프리픽스 연산부(120)의 중위비트 영역에 대응되는 제2신호전달부(153)를 포함할 수 있다.
- [0083] 제3근사연산부(151)는 두 개의 입력데이터 복수의 비트 중에서 기 설정된 중위비트 영역에 대응될 수 있다. 제3근사연산부(151)는 중위비트 영역의 서로 대응되는 한 쌍의 비트, 예컨대 한 쌍의 j 번째 비트 간의 연산을 근사화하여 근사화 된 신호, 예컨대 j 번째 제1신호(p_j) 및 j 번째 제2신호(g_j)를 각각 출력할 수 있다.
- [0084] 여기서, 제3근사연산부(151)는 하나의 NOR 게이트를 포함할 수 있다. 이에, 제3근사연산부(151)는 중위비트 영역에 대응되는 한 쌍의 j 번째 비트 간을 NOR 게이트를 통해 연산하여 j 번째 제1신호(p_j)를 출력할 수 있다. 또한, 제3근사연산부(151)는 기 설정된 로우레벨을 갖는 j 번째 제2신호(g_j)를 출력할 수 있다.
- [0085] 즉, 본 실시예의 제3근사연산부(151)는 두 개의 입력데이터 각각의 중위비트영역에 대응되는 한 쌍의 j 번째 비트 각각의 레벨에 따라 NOR 연산에 따른 하이 레벨 또는 로우 레벨, 즉 1 또는 0의 j 번째 제1신호(p_j)를 출력하고, 상기 한 쌍의 j 번째 비트 각각의 레벨에 관계없이 로우 레벨의 j 번째 제2신호(g_j)를 출력할 수 있다.
- [0086] 제2신호전달부(153)는 제3근사연산부(151)에서 출력된 j 번째 제1신호(p_j) 및 j 번째 제2신호(g_j)를 제4근사연산부(152)로 전달할 수 있다.
- [0087] 이러한 제2신호전달부(153)는 전술한 제1신호전달부(143)에서와 같이, 제2신호전달부(153)의 j 번째 제1근사블록에서 제공된 j 번째 제1신호(p_j)를 이에 대응되는 제4근사연산부(152)의 j 번째 제2근사블록으로 전달하고, 제3근사연산부(151)의 ($j-1$)번째 제3근사블록에서 제공된 ($j-1$)번째 제2신호(g_j)를 제4근사연산부(152)의 j 번째 제2근사블록으로 전달할 수 있다.
- [0088] 한편, 제3근사연산부(151)의 하나의 제1근사블록 입력되는 한 쌍의 j 번째 비트가 중위비트 영역의 최하위비트인 경우에, 제2신호전달부(153)는 전단, 즉 인접된 하위비트 영역의 제1신호전달부(143)로부터 i 번째 제2신호(g_i)를 제공받고, 이를 하나의 제1근사블록에 대응되는 제4근사연산부(152)의 제2근사블록에 ($j-1$)번째 제2신호(g_j)로 전달할 수 있다.
- [0089] 제4근사연산부(152)는 제2신호전달부(153)를 통해 전달된 j 번째 제1신호(p_j) 및 ($j-1$)번째 제2신호(g_j)로부터 중위비트 영역에 대응되는 한 쌍의 j 번째 비트에 대한 근사화 된 제2합산신호(S_j)를 출력할 수 있다.
- [0090] 여기서, 제4근사연산부(152)는 하나의 NOR 게이트를 포함할 수 있다. 이에, 제4근사연산부(152)는 j 번째 제1신호(p_j)와 ($j-1$)번째 제2신호(g_j)를 NOR 게이트를 통해 연산하여 제2합산신호(S_j)를 출력할 수 있다.
- [0091] 이에, 제4근사연산부(152)는 앞서 설명된 제3근사연산부(151)에서와 같이 j 번째 제1신호(p_j) 및 ($j-1$)번째 제2신호(g_j) 각각의 레벨에 따라 로우 레벨 또는 하이 레벨의 제2합산신호(S_j)를 출력할 수 있다.
- [0092] 상술한 바와 같이, 본 실시예의 하위비트 근사연산부(140)는 가산기의 기 설정된 하위비트 영역에 대응되는 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130)에서의 연산을 근사화시킬 수 있고, 중위비트 근사연산부(150)는 기 설정된 중위비트 영역에 대응되는 전처리 연산부(110), 프리픽스 연산부(120) 및 후처리 연산부(130)에서의 연산을 근사화시킬 수 있다.
- [0093] 이에, 본 발명의 병렬 프리픽스 가산기(101)는 설정된 하위비트 영역 및 중위비트 영역에서 연산을 위한 게이트 소자의 개수를 줄일 수 있으며, 이로 인해 본 발명은 가산기의 전체 면적 및 전력 소모량을 감소시킬 수 있다.
- [0094] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 품질에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0095]

100, 101: 병렬 프리픽스 가산기

110: 전처리 연산부

120: 프리픽스 연산부

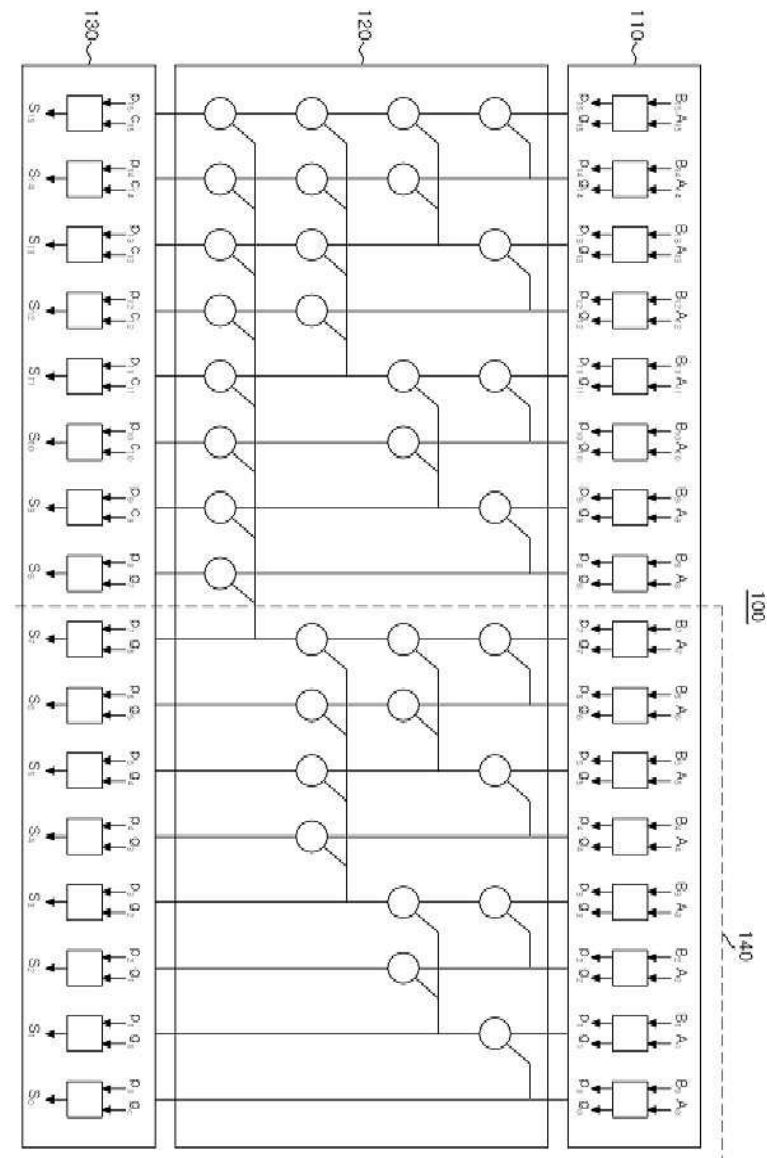
130: 후처리 연산부

140: 하위비트 근사연산부

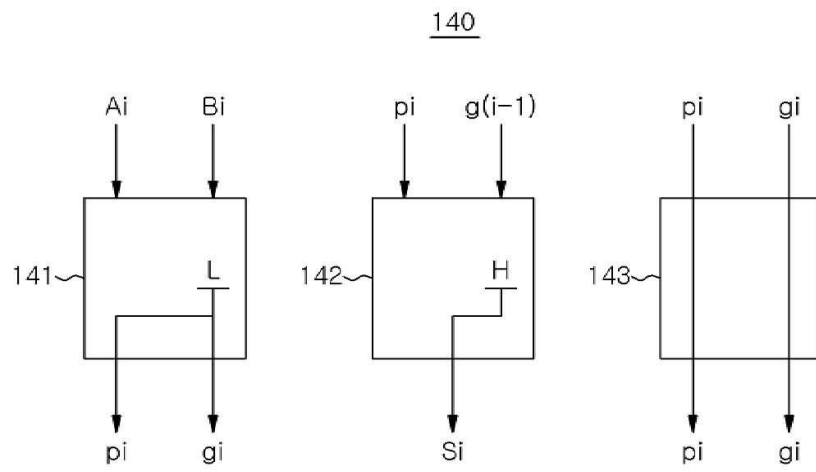
150: 중위비트 근사연산부

도면

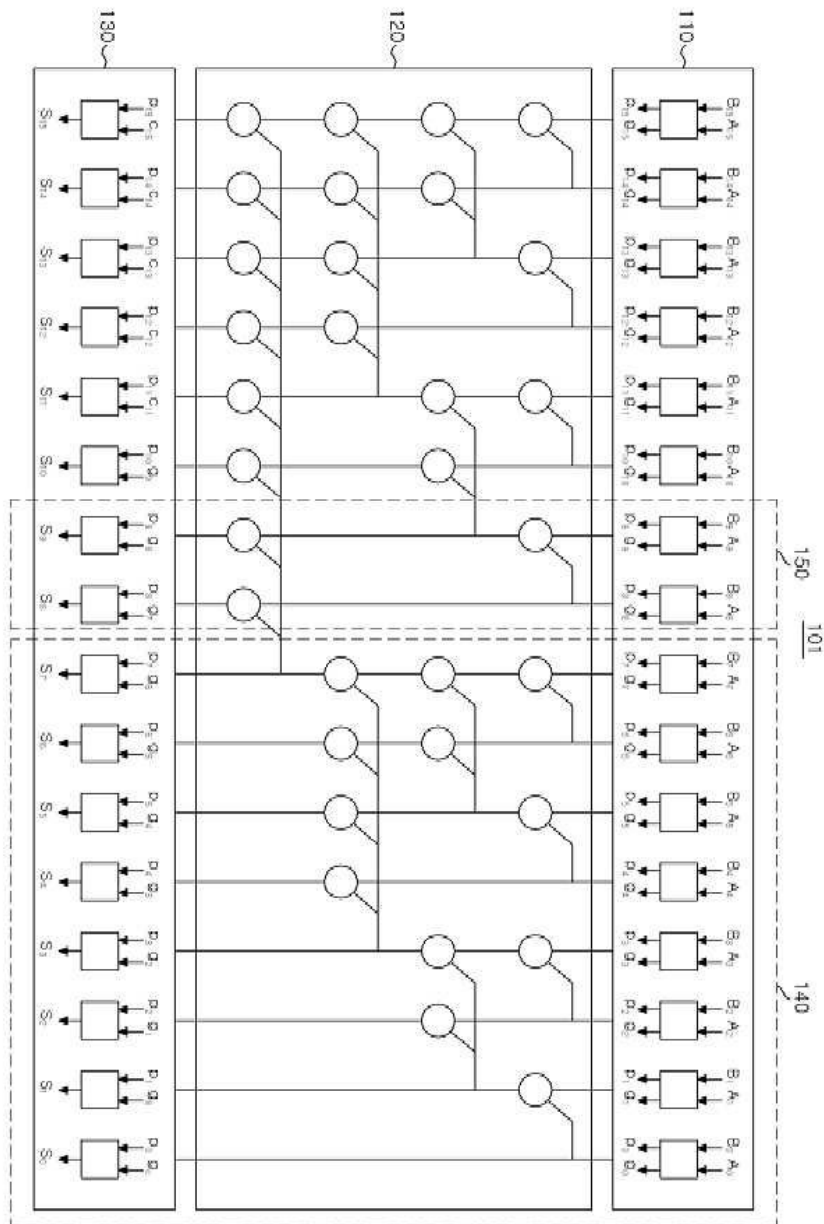
도면1



도면2



도면3



도면4

