

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年4月5日(2018.4.5)

【公表番号】特表2017-511976(P2017-511976A)

【公表日】平成29年4月27日(2017.4.27)

【年通号数】公開・登録公報2017-017

【出願番号】特願2016-553573(P2016-553573)

【国際特許分類】

H 01 L	25/065	(2006.01)
H 01 L	25/07	(2006.01)
H 01 L	25/18	(2006.01)
H 01 L	23/50	(2006.01)
H 02 M	3/00	(2006.01)

【F I】

H 01 L	25/08	Y
H 01 L	23/50	W
H 02 M	3/00	Y

【手続補正書】

【提出日】平成30年2月19日(2018.2.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電力供給システムであって、

QFNリードフレームと、対向する側にFET端子を備える第1のチップと、平坦なインターポーラと、一方の側にFET端子を備える第2のチップを順次に含む、垂直にアセンブルされるスタックを含み、

前記リードフレームが、リードと、前記スタックから離れて面する第1の表面と前記スタックに面する第2の表面とを備えるパッドとを有し、前記第2の表面がポケットとして窪んだ部分を有し、前記ポケットが前記ポケットにおいて半導体チップを取り付けるために適した深さとアウトライントとを有し、前記パッドが前記電力供給システムの接地された出力端子に連結され、

前記第1のチップが、前記ポケットに取り付けられるFETソース及びゲート端子と、前記第2の表面の窪んでいない部分と共に面するFETドレイン端子とを有し、

前記インターポーラが、前記第1のチップに面する平坦な第3の表面と、前記第2のチップに面する反対の平坦な第4の表面と、前記第3及び第4の表面の間の均一な第1の高さとを有し、前記インターポーラが、ギャップにより分離され、前記第1の高さの金属と前記第1の高さより小さい第2の高さの金属とを含む複数のトレースと、前記ギャップと前記第1及び第2の高さの間の差とを充填する絶縁性材料とを含み、

前記複数のトレースの第1のトレースが、前記電力供給システムの入力端子に連結され、前記第2のチップのFETドレイン端子に取り付けられる前記第4の表面を有し、

前記複数のトレースの第2のトレースが、前記電力供給システムのスイッチノード端子に連結され、前記第1のチップのFETドレイン端子に取り付けられる前記第3の表面と前記第2のチップのFETソース端子に取り付けられる前記第4の表面とを有する、電力供給システム。

**【請求項 2】**

請求項 1 に記載の電力供給システムであって、  
前記パッドの第 1 の表面と前記リードとを封止されないまま残すパッケージを更に含む、電力供給システム。

**【請求項 3】**

請求項 2 に記載の電力供給システムであって、  
前記 FET 端子と反対の前記第 2 のチップの側が封止されない、電力供給システム。

**【請求項 4】**

請求項 2 に記載の電力供給システムであって、  
前記パッドの封止されない第 1 の表面が熱エネルギーを拡散するために適している、電力供給システム。

**【請求項 5】**

請求項 3 に記載の電力供給システムであって、  
前記第 2 のチップの前記封止されない側が熱エネルギーを拡散するために適している、電力供給システム。

**【請求項 6】**

請求項 1 に記載の電力供給システムであって、  
前記第 1 及び第 2 のチップのゲートが前記複数のトレースの第 3 のトレースに連結される、電力供給システム。

**【請求項 7】**

請求項 6 に記載の電力供給システムであって、  
前記第 2 のチップが前記電力供給システムのドライバ・コントローラ回路要素と更に統合され、前記ドライバ・コントローラ回路の端子が前記複数のトレースの第 4 のトレースに連結される、電力供給システム。

**【請求項 8】**

電力供給システムを製造する方法であって、  
リードと第 1 及び第 2 の表面を備えるパッドとを有するリードフレームを提供することであって、前記第 2 の表面がポケットのために窪んだ部分を有し、前記ポケットが半導体チップを取り付けるために適した深さとアウトライントとを有する、前記提供することと、一方の側に FET ソース端子と FET ゲート端子とを備え、反対の側に FET ドレイン端子を備える第 1 のチップを提供することと、

前記第 1 のチップの前記 FET ソース端子を前記パッドの前記第 2 の表面の前記窪んだ部分に取り付けることと、

絶縁性ゾーンを備えて交互に並ぶ金属性トレースのネットワークを備える第 3 及び第 4 の表面を有する平坦なインターポーラを提供することと、

それぞれのトレースを前記パッドとリードと前記第 1 のチップの FET ドレイン端子とに接続することにより前記パッドの前記第 2 の表面上にその第 3 の表面を備える前記インターポーラを置くことと、

同じ側に、第 2 の FET のソース端子とドレイン端子とゲート端子と、集積されたドライバ・コントローラ回路要素の端子とを有する第 2 のチップを提供することと、

前記第 2 の FET の前記ソース端子とドレイン端子とゲート端子と、前記ドライバ・コントローラ回路要素の前記端子とをそれぞれのトレースに接続することにより、前記インターポーラの前記第 4 の表面上に前記第 2 のチップを置き、垂直にスタックされた電力供給システムを完成することと、

を含む、方法。

**【請求項 9】**

請求項 8 に記載の方法であって、  
前記インターポーラを提供する前に、  
第 1 の高さと第 1 の平面における第 1 の表面と平行な第 2 の平面における第 2 の表面とを有する金属の平坦なシートを提供することと、

前記平坦なシートをギャップにより分離される複数のトレースにパターニングすることと、

或るトレースの部分を前記第1の高さより小さい第2の高さまで薄化することと、

絶縁性ゾーンを備えて交互に並ぶ金属性トレースのネットワークを備える第3及び第4の表面を有する平坦なインターポーザをつくるために、前記第1及び前記第2の平面により限定される絶縁性材料で前記ギャップと前記薄化されたトレース部分とを充填することと、

を更に含む、方法。

【請求項10】

請求項8に記載の方法であって、

前記第2のチップを置いた後に、前記リードフレームの前記第1の表面を封止されないまま残して、前記垂直にスタックされたシステムをパッケージング化合物に封止することを更に含む、方法。

【請求項11】

請求項8に記載の方法であって、

前記第2のチップを置いた後に、前記パッドの前記第1の表面と、前記端子と反対の前記第2のチップの側とを封止されないまま残して、前記垂直にスタックされたシステムをパッケージング化合物に封止することを更に含む、方法。