

【特許請求の範囲】

【請求項 1】

NAND型フラッシュメモリと、

前記NAND型フラッシュメモリに入力されるデータ、またはNAND型フラッシュメモリから出力されるデータについてECC処理を行うECC部と、外部との間でデータの授受を行うインターフェースとを有し、前記NAND型フラッシュメモリと外部との間のデータの入出力を司る入出力部と、

前記NAND型フラッシュメモリと前記ECC部との間の接続と、前記NAND型フラッシュメモリと前記インターフェースとの間の接続とを切り替えるスイッチと、

前記NAND型フラッシュメモリ、前記入出力部、及びスイッチを制御する制御部とを具備することを特徴とする半導体装置。 10

【請求項 2】

前記NAND型フラッシュメモリは、ロウ及びカラムに関連付けられた複数のメモリセルを含むメモリセルアレイを備え、

前記入出力部は、外部から入力されたアドレスをデコードして、前記メモリセルアレイの前記カラムを選択可能なデコーダを更に備える

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記NAND型フラッシュメモリは、ロウ及びカラムに関連付けられた複数のメモリセルを含むメモリセルアレイと、前記メモリセルアレイから読み出されたデータを保持するバッファメモリとを備え、 20

前記ECC部は、前記スイッチにより前記NAND型フラッシュメモリに接続されることにより、前記バッファメモリからデータを読み出し、該データについてエラー訂正を行い、エラー訂正後の前記データを前記バッファメモリに上書きする

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記NAND型フラッシュメモリは、ロウ及びカラムに関連付けられた複数のメモリセルを含むメモリセルアレイと、前記メモリセルアレイに書き込むべきデータを保持するバッファメモリとを備え、

前記バッファメモリは、前記スイッチにより前記インターフェースと接続されることにより、前記インターフェースから前記データを転送され、 30

前記ECC部は、前記スイッチにより前記NAND型フラッシュメモリと接続されることにより、前記バッファメモリからデータを読み出し、該データにつきパリティを生成し、生成した該パリティを前記バッファメモリの所定のアドレス格納する

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記メモリセルアレイは、同一カラムの複数の前記メモリセルに接続されたビット線を更に備え、

前記バッファメモリは、前記ビット線に接続され、該ビット線との間でデータの授受を行う第 1 メモリと、前記第 1 メモリ、前記ECC部、及び前記インターフェースとの間でデータの授受を行う第 2 メモリとを含む 40

ことを特徴とする請求項 3 または 4 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。例えば、NAND型フラッシュメモリを備えた半導体装置に関する。

【背景技術】

【0002】

従来、NAND型フラッシュメモリでは、ECC(Error Checking and Correcting) 50

機能が広く用いられている（例えば特許文献 1、2 参照）。

【0003】

また、複数種類のメモリを 1 チップに集積したメモリシステムが知られている（例えば特許文献 3 参照）。本文開示のシステムは、主記憶部として NAND 型フラッシュメモリを備え、データバッファとして SRAM を搭載している。更に、NAND 型フラッシュメモリについては、ECC 機能も内蔵している。そして、データを読み出すために NAND 型フラッシュメモリからデータを転送する際にはエラー訂正を行う。またデータを書き込むために SRAM から NAND 型フラッシュメモリにデータを転送する際にはパリティの発生を行っている。

【0004】

本構成では、データバッファ（SRAM セルアレイ）は少なくとも 1 つあり、データのスループットを向上させるために 2 つ搭載する場合もある。しかしながら、SRAM を搭載しなければならないため、回路面積が増大するという問題があった。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2003 - 067260 号公報

【特許文献 2】特開 2000 - 348497 号公報

【特許文献 3】特開 2006 - 286179 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

この発明は、回路面積を低減出来る半導体装置を提供する。

【課題を解決するための手段】

【0007】

この発明の一態様に係る半導体装置は、NAND 型フラッシュメモリと、前記 NAND 型フラッシュメモリに入力されるデータ、または NAND 型フラッシュメモリから出力されるデータについて ECC 処理を行う ECC 部と、外部との間でデータの授受を行うインターフェースとを有し、前記 NAND 型フラッシュメモリと外部との間のデータの入出力を司る入出力部と、前記 NAND 型フラッシュメモリと前記 ECC 部との間の接続と、前記 NAND 型フラッシュメモリと前記インターフェースとの間の接続とを切り替えるスイッチと、前記 NAND 型フラッシュメモリ、前記入出力部、及びスイッチを制御する制御部とを具備する。

【発明の効果】

【0008】

本発明によれば、回路面積を低減出来る半導体装置を提供出来る。

【図面の簡単な説明】

【0009】

【図 1】この発明の一実施形態に係るメモリシステムのブロック図。

【図 2】この発明の一実施形態に係るメモリセルアレイの回路図。

【図 3】この発明の一実施形態に係るデータ読み出し方法のフローチャート。

【図 4】この発明の一実施形態に係るデータ訂正方法のフローチャート。

【図 5】この発明の一実施形態に係るデータ訂正方法のタイミングチャート。

【図 6】この発明の一実施形態に係るデータ訂正時における NAND 型フラッシュメモリのブロック図。

【図 7】この発明の一実施形態に係るデータ書き込み方法のフローチャート。

【図 8】この発明の一実施形態に係るパリティ生成方法のフローチャート。

【図 9】この発明の一実施形態に係るパリティ生成方法のタイミングチャート。

【図 10】この発明の一実施形態に係るパリティ生成時における NAND 型フラッシュメモリのブロック図。

10

20

30

40

50

【図 1 1】この発明の一実施形態の変形例に係るメモリシステムのブロック図。

【発明を実施するための形態】

【0010】

以下、この発明の実施形態につき図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】

この発明の一実施形態に係る半導体装置について、図 1 を用いて説明する。図 1 は、本実施形態に係るメモリシステムのブロック図である。

【0012】

<メモリシステムの全体構成>

図示するように、本実施形態に係るメモリシステム 1 は、大まかには NAND 型フラッシュメモリ 2、入出力部 3、制御部 4、及びデータバススイッチ 5 を備えている。そして、これらの NAND 型フラッシュメモリ 2、入出力部 3、制御部 4、及びデータバススイッチ 5 は、同一の半導体基板上に形成され、1 つのチップに集積されている。以下、各ブロックの詳細について説明する。

【0013】

< NAND 型フラッシュメモリ 2 >

NAND 型フラッシュメモリ 2 は、メモリシステム 1 の主記憶部として機能する。図示するように NAND 型フラッシュメモリ 2 は、メモリセルアレイ 10、ロウデコーダ 11、センスアンプ 12、ページバッファ 13、カラムデコーダ 14、電圧発生回路 15、シークンサ 16、及びオシレータ 17、18 を備えている。

【0014】

メモリセルアレイ 10 は、データを保持可能な複数のメモリセルトランジスタを備えている。図 2 はメモリセルアレイ 10 の回路図であり、センスアンプ 12 及びページバッファ 13 を合わせて図示している。図示するようにメモリセルアレイ 10 は、大まかには第 1 領域 10 - 1 と第 2 領域 10 - 2 とを含む。第 1 領域 10 - 1 は、ユーザデータ等の正味のデータ（以下、メインデータと呼ぶ）を保持する。他方、第 2 領域 10 - 2 は第 1 領域 10 - 1 のスペア領域として用いられ、例えばエラー訂正用の情報（パリティ等）を保持する。

【0015】

第 1 領域 10 - 1 及び第 2 領域 10 - 2 はそれぞれ、複数のメモリセルユニット 50 を備えている。メモリセルユニット 50 の各々は、例えば 32 個のメモリセルトランジスタ MT (MT0 ~ MT31) と、選択トランジスタ ST1、ST2 とを含んでいる。メモリセルトランジスタ MT は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（例えば浮遊ゲート）と、電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートとを有する積層ゲート構造を備えている。なお、メモリセルトランジスタ MT の個数は 32 個に限られず、8 個や 16 個、34 個、128 個、256 個等であってもよく、その数は限定されるものではない。また、メモリセルトランジスタ MT は、窒化膜に電子をトラップさせる方式を用いた MONOS (Metal Oxide Nitride Oxide Silicon) 構造であっても良い。

【0016】

メモリセルトランジスタ MT は、隣接するもの同士でソース、ドレインを共有している。そして、選択トランジスタ ST1、ST2 間に、その電流経路が直列接続されるようにして配置されている。直列接続されたメモリセルトランジスタ MT の一端側のドレインは選択トランジスタ ST1 のソースに接続され、他端側のソースは選択トランジスタ ST2 のドレインに接続されている。

【0017】

同一行にあるメモリセルトランジスタ MT の制御ゲートは、ワード線 WL (WL0 ~ WL31) のいずれかに共通接続される。また同一行にある選択トランジスタ ST1、ST2 のゲートは、それぞれセレクトゲート線 SGD、SGS に共通接続されている。ワード

10

20

30

40

50

線WL及びセレクトゲート線SGD、SGSは、第1領域10-1と第2領域10-2とで共通に用いられる。

【0018】

第1領域10-1において同一列にある選択トランジスタST1のドレインは、ビット線BL(BL0~BLn(nは自然数))に共通接続される。また、第2領域10-2において同一列にある選択トランジスタST1のドレインは、ビット線BL(BL(n+1)~BLm(mは自然数))に共通接続される。選択トランジスタST2のソースはソース線SLに共通接続される。

【0019】

上記構成において、同一のワード線WLに接続された複数のメモリセルトランジスタMTには一括してデータが書き込まれ、または読み出され、この単位をページと呼ぶ。更に、同一行にある複数のメモリセルユニット40は一括してデータが消去され、この単位をメモリブロックと呼ぶ。

10

【0020】

センスアンプ12及びページバッファ13は、ページサイズのデータを保持可能なバッファメモリであり、NAND型フラッシュメモリ1における1次データキャッシュ及び2次データキャッシュとしてそれぞれ機能する。

【0021】

センスアンプ12は、データの読み出し時には、メモリセルアレイ10から読み出されたデータをセンス・増幅して一時的に保持し、ページバッファ13へ転送する。また書き込み時には、ページバッファ13から転送されたデータをビット線BLに転送して、データのプログラムを実行する。

20

【0022】

ページバッファ13は、NANDデータバス6、及びユーザデータバス7またはECCデータバス8を介して入出力部3に接続される。そしてデータの読み出し時には、センスアンプ12から転送されたデータを入出力部3へ出力する。また書き込み時には、入出力部3から入力されたデータを一時的に保持し、これをセンスアンプ12に転送する。

【0023】

センスアンプ12及びページバッファ13は、例えばビット線BL毎に設けられたラッチ回路を備え、これにより1ページ分のデータを保持出来る。従って、図2に示すように、一部の領域がメインデータ保持用として使用され、残りがパリティ等のECCデータ保持用として使用される。なお、ラッチ回路は1ページ分だけあれば良い。よって、例えば偶数ビット線毎、及び奇数ビット線毎にデータのプログラム及び読み出しが行われる場合には、全ビット線に対して一括してデータのプログラム及び読み出しが行われる場合に比べて、ページサイズは半分となる。よって必要なラッチ回路数も半分となる。ページサイズは、例えば4Kバイトである。

30

【0024】

図1に戻って説明を続ける。ロウデコーダ11は、メモリセルアレイ10におけるいずれかのページ(すなわちワード線WL)を選択する。カラムデコーダ14は、メモリセルアレイ10におけるいずれかのカラム(すなわちビット線BL)を選択する。

40

【0025】

電圧発生回路15は、外部から与えられる電圧を昇圧または降圧することにより、データのプログラム、読み出し、及び消去に必要な電圧を発生する。そして発生した電圧を、例えばロウデコーダ11に供給する。電圧発生回路15で発生された電圧が、ワード線WLに印加される。

【0026】

シーケンサ16は、NAND型フラッシュメモリ2全体の動作を司る。すなわち、制御部4から命令(NAND I/F Command)を受けると、これに应答して、データのプログラム、読み出し、及び消去を実行するためのシーケンスを実行する。そして、このシーケンスに従って、電圧発生回路15、センスアンプ12、及びページバッファ13等の動作を制御

50

する。

【 0 0 2 7 】

オシレータ 1 7 は内部クロック I C L K を生成する。すなわち、クロック生成器として機能する。そしてオシレータ 1 7 は、生成した内部クロック I C L K をシーケンサ 1 6 に供給する。シーケンサ 1 6 は、この内部クロック I C L K に同期して動作する。

【 0 0 2 8 】

オシレータ 1 8 は内部クロック A C L K を生成する。すなわち、クロック生成器として機能する。そしてオシレータ 1 8 は、生成した内部クロック A C L K を、制御部 4 や入出力部 3 へ供給する。内部クロック A C L K は、制御部 4 や入出力部 3 の動作の基準となるクロックである。

10

【 0 0 2 9 】

< データバススイッチ 5 >

データバススイッチ 5 は、入出力部 3 の命令に従って、N A N D データバス 6 を、ユーザデータバス 7 または E C C データバス 8 に接続する。例えばデータバススイッチ 5 は、通常時は N A N D データバス 6 をユーザデータバス 7 に接続する。そして必要に応じて N A N D データバス 6 を E C C データバス 8 に接続する。また N A N D データバス 6、ユーザデータバス 7、及び E C C データバス 8 は例えば同じバス幅を有し、そのバス幅は例えば 4 バイトである。

【 0 0 3 0 】

< 入出力部 3 >

次に、引き続き図 1 を参照しつつ、入出力部 3 について説明する。入出力部 3 は、パイプラインバッファ 2 1、バーストバッファ (burst buffer) 2 2、ユーザインターフェース 2 3、アクセスコントローラ 2 4、デコーダ 2 5、及び E C C 部 3 0 を備えている。

20

【 0 0 3 1 】

なお、本実施形態に係るメモリシステム 1 では、N A N D 型フラッシュメモリ 2 が主記憶部として機能し、N A N D 型フラッシュメモリ 2 に対するデータの入出力を、入出力部 3 が司る。従って、N A N D 型フラッシュメモリ 2 からデータを外部に読み出す際には、まず N A N D 型フラッシュメモリ 2 のメモリセルアレイ 1 0 から読み出されたデータが、ページバッファ 1 2 に格納される。その後、ユーザの要求に応じて、ページバッファ 1 3 内のデータがユーザインターフェース 2 3 を介して外部に出力される。他方、データを N A N D 型フラッシュメモリ 2 に記憶させる際には、まず外部から与えられたデータが、ユーザインターフェース 2 3 を介してページバッファ 1 3 に格納される。その後、ページバッファ 1 3 内のデータがメモリセルアレイ 1 0 に書き込まれる。

30

【 0 0 3 2 】

以下では、データがメモリセルアレイ 1 0 からページバッファ 1 3 に読み出されるまでの動作を、データの“ロード (load)”と呼ぶ。また、ページバッファ 1 3 内のデータが、ユーザインターフェース 2 3 に転送されるまでの動作を、データの“リード (read)”と呼ぶ。

【 0 0 3 3 】

更に、N A N D 型フラッシュメモリ 2 に記憶させるべきデータが、ユーザインターフェース 2 3 からページバッファ 1 3 に転送されるまでの動作を、データの“ライト (write)”と呼ぶ。また、ページバッファ 1 3 内のデータがメモリセルアレイ 1 0 に書き込まれるまでの動作を、データの“プログラム (program)”と呼ぶ。

40

【 0 0 3 4 】

入出力部 3 の説明に戻る。

E C C 部 3 0 は、N A N D 型フラッシュメモリ 2 に対する入出力データについてのエラー検出及びエラー訂正、並びにパリティの生成 (以下、これらをまとめて E C C 処理と呼ぶことがある) を実行する。E C C 部 3 0 は、E C C バッファ 3 1、E C C デコーダ 3 2、E C C 解析部 3 3、及び E C C 制御部 3 4 を備えている。

【 0 0 3 5 】

50

ECCバッファ21は、ECCデータバス8に接続されている。そして、ECCデータバス8及びNANDデータバス6を介して、NAND型フラッシュメモリ2のページバッファ13と接続される。そして、ページバッファ13からNANDデータバス6及びECCデータバス8を介してデータを読み出し、これをECC解析部33に転送する。またECCバッファ31は、ECCデコーダ32によってエラー訂正されたデータ、及びECC解析部33で発生されたパリティを一時的に保持し、これをECCデータバス8及びNANDデータバス6を介してページバッファ13に書き込む。ECCバッファ31のサイズは、例えばECCデータバス8のバス幅と同じサイズであり、例えば4バイトである。しかし、ECCデータバス28のバス幅より大きくても良い。

【0036】

ECC解析部33は、データのロード時には、ECCバッファ31から転送されたデータを用いてECC処理を行い、該データにおけるエラーの有無を判断する。またデータのプログラム時には、ECCバッファ31から転送されたデータに基づいて、パリティを生成する。

【0037】

ECCデコーダ32は、データのロード時には、ECC解析部33においてエラーがあると判断された場合、その位置を特定すると共に、対応するデータをページバッファ13からECCバッファ31に読み出し、データを訂正する。またデータのプログラム時には、ECC解析部33で生成されたパリティをECCバッファ31に保持させ、これをページバッファ13に転送させる。

【0038】

ECC制御部34は、ECC解析部33を制御する。

【0039】

次にユーザインターフェース23について説明する。ユーザインターフェース23は、メモリシステム1外部のホスト機器(ユーザ)と接続可能とされ、ホスト機器との間でデータ、制御信号、及びアドレスAdd等、種々の信号の入出力を司る。制御信号の一例は、メモリシステム1全体をイネーブルにするチップイネーブル信号/CE、アドレスをラッチさせるためのアドレスバリッド信号/AVD、バーストリード(burst read)用のクロックCLK、書き込み動作をイネーブルにするライトイネーブル信号/WE、データの外部への出力をイネーブルにするアウトプットイネーブル信号/OE、などである。

【0040】

ユーザインターフェース23は、データ入出力バスによりバーストバッファ22と接続されている。データ入出力バスは、例えば2バイトである。そしてユーザインターフェース23は、ホスト機器からのデータのリード要求、ロード要求、及びプログラム要求等に係る制御信号をアクセスコントローラ50へ転送する。そしてデータリード時には、バーストバッファ22内のデータをホスト機器へ出力する。またデータライト時には、ホスト機器から与えられるデータをバーストバッファ22へ転送する。

【0041】

バーストバッファ22は、バッファ/レジスタデータバスにより、パイプラインバッファ21及び制御部4とデータ転送可能とされている。バッファ/レジスタデータバスのバス幅は、例えばユーザデータバス7と同じである。そして、ホスト機器からユーザインターフェース23を介して与えられるデータ、またはパイプラインバッファ21から与えられるデータを、一時的に保持する。

【0042】

パイプラインバッファ21は、ユーザデータバス7及びバッファ/レジスタデータバスと接続されている。そしてデータライト時には、バーストバッファ22から転送されるデータを一時的に保持する。そして、ユーザデータバス7及びNANDデータバス6を介して、データをページバッファ13に書き込む。またデータリード時には、ユーザデータバス7及びNANDデータバス6を介して、ページバッファ13からデータを読み出し、これをバーストバッファ22へ転送する。

10

20

30

40

50

【 0 0 4 3 】

次にアクセスコントローラ 2 4 について説明する。アクセスコントローラ 2 4 は、ユーザインターフェース 2 3 から制御信号及びアドレスを受け取る。そして、ホスト機器の要求を満たす動作を実行するよう、パイプラインバッファ 2 1、データバススイッチ 5、バーストバッファ 2 2、デコーダ 2 5、及び制御部 4 を制御する。

【 0 0 4 4 】

例えば、ホスト機器の要求に応じてアクセスコントローラ 2 4 は、制御部 4 における後述するレジスタ 4 0 をアクティブ状態として、レジスタにコマンド (Write/Read) をセットする。また、パイプラインバッファ 2 1 に対して、ページバッファ 1 3 またはバーストバッファ 2 2 からデータを読み出すよう命令する。更にデコーダ 2 5 に対して、外部から入力されたアドレスを転送する。

10

【 0 0 4 5 】

デコーダ 2 5 は、アクセスコントローラ 2 4 から与えられたアドレス (カラムアドレス) をデコードする。そしてデコード結果に応じて、NAND型フラッシュメモリ 2 のカラムデコーダ 1 4 を制御して、ページバッファ 1 3 における所定のアドレスに対応するデータを出力させる。

【 0 0 4 6 】

< 制御部 4 >

次に、引き続き図 1 を参照しつつ、制御部 4 について説明する。制御部 4 は、NAND型フラッシュメモリ 2 及び入出力部 3 の動作を制御する。すなわち、メモリシステム 1 全体としての動作を統括する機能を有する。図示するように制御部 4 は、レジスタ 4 0、コマンドユーザインターフェース (command user interface) 4 1、ステートマシン (state machine) 4 2、NANDアドレス/コマンド発生回路 4 3、及びバッファアドレス/タイミング発生回路 4 4 を備えている。

20

【 0 0 4 7 】

レジスタ 4 0 は、ファンクションの動作状態を設定するためのレジスタである。すなわちレジスタ 4 0 は、アクセスコントローラ 2 4 から与えられるコマンドに応じて、ファンクションの動作状態を設定する。より具体的には、レジスタ 4 0 には、例えばデータロード時にはロードコマンドが設定され、データプログラム時にはプログラムコマンドが設定される。

30

【 0 0 4 8 】

コマンドユーザインターフェース 4 1 は、所定のコマンドがレジスタ 4 0 に設定されることで、メモリシステム 1 に対してファンクション実行コマンドが与えられたことを認識する。そして、内部コマンド信号 (Command) を発行し、ステートマシン 4 2 へ出力する。

【 0 0 4 9 】

ステートマシン 4 2 は、コマンドユーザインターフェース 4 1 から与えられる内部コマンド信号に基づいて、メモリシステム 1 内部におけるシーケンス動作を制御する。ステートマシン 4 2 がサポートするファンクションは、ロード、プログラム、及び消去等、多数あり、これらのファンクションを実行するよう、NAND型フラッシュメモリ 2 及び入出力部 3 の動作を制御する。ステートマシン 4 2 は、オシレータ 1 8 の生成する内部クロック ACLK に同期しつつ、これらの制御を行う。またステートマシン 4 2 は、NANDシーケンサ 1 6 から与えられるレディ信号及びエラー信号により、NAND型フラッシュメモリ 2 の動作状態を把握出来る。

40

【 0 0 5 0 】

NANDアドレス/コマンド発生回路 4 3 は、ステートマシン 4 2 の制御に基づいてNAND型フラッシュメモリ 2 の動作を制御する。より具体的には、アドレスや、NANDインターフェースにサポートされたコマンド (Program/Load) 等を生成し、NAND型フラッシュメモリ 2 へ出力する。

【 0 0 5 1 】

50

バッファアドレス/タイミング発生回路44は、ステートマシン42の制御に基づいて入出力部3の動作を制御する。より具体的には、入出力部3において必要なアドレスやコマンドを発行して、アクセスコントローラ24及びECC制御部34へ出力する。

【0052】

<メモリシステム1のデータ読み出し動作>

次に、上記構成のメモリシステム1におけるデータの読み出し動作について、図3を用いて説明する。図3はメモリシステム1の動作の流れを示すフローチャートである。

【0053】

図示するように、まずユーザインターフェース23が、ホスト機器を介してユーザから入力されたアドレスを受け付ける(ステップS10)。このアドレスは、NAND型フラッシュメモリ2におけるメモリセルアレイ10のページアドレスである。このページアドレスは、ユーザインターフェース23からアクセスコントローラ24に転送される。するとアクセスコントローラ24は、制御部3のレジスタ40をアクティブとし、このページアドレスを転送する(ステップS11)。

【0054】

引き続きユーザインターフェース23は、ホスト機器から入力されたロードコマンドを受け付ける(ステップS12)。すると、ロードコマンドを受信したアクセスコントローラ24は、ロードコマンドをレジスタ40にセットする(ステップS13)。

【0055】

レジスタ40にコマンドがセットされると、コマンドユーザインターフェース41はこれを検知し、内部コマンド信号を生成する。ここではロードコマンドが成立する(ステップS14)。そしてロードコマンドの成立を受けて、ステートマシン42が起動する。

【0056】

ステートマシン42は、各回路ブロックについて必要な初期化を行った後、NANDアドレス/コマンド発生回路43に対して、NAND型フラッシュメモリ2に対してセンスコマンドを発行するよう要求する。するとNANDアドレス/コマンド発生回路43は、レジスタ40に設定されたアドレスについてデータのセンスを行うよう、シーケンサ16に対してセンスコマンドを発行する(ステップS15)。

【0057】

NANDアドレス/コマンド発生回路43からセンスコマンドを受けることで、NAND型フラッシュメモリ2ではシーケンサ16が起動する(ステップS16)。シーケンサ16は、NAND型フラッシュメモリ2において必要な回路の初期化を行った後、指定されたアドレスのセンス動作を行う。すなわち、電圧発生回路15、ロウデコーダ11、コラムデコーダ14、センスアンプ12、及びページバッファ13を制御し、センスデータをページバッファ13に格納させる(ステップS17)。より具体的には、メモリセルアレイ10内のあるページからデータが読み出され、読み出しデータをセンス・増幅した結果がページバッファ13に格納される。その後シーケンサ16は、センス動作が終了したことを、ステートマシン42に通知する(ステップS18)。

【0058】

更にステートマシン42は、バッファアドレス/タイミング発生回路44及びアクセスコントローラ24を介して、データバススイッチ5に対して、NANDデータバス6をECCデータバス8に接続するよう命令する(ステップS19)。この命令に回答してデータバススイッチ5は、NANDデータバス6をユーザデータバス7から切り離し、新たにECCデータバス8に接続する(ステップS20)。

【0059】

更にステートマシン42は、NANDアドレス/コマンド発生回路43に対して、リードコマンドを発行するよう命令する。この命令に回答してNANDアドレス/コマンド発生回路43は、シーケンサ16に対して、NANDインターフェースでサポートされたリードコマンドを発行する(ステップS21)。このリードコマンドを受けてシーケンサ16は、ページバッファ13をリード可能にセットする。

10

20

30

40

50

【 0 0 6 0 】

そして、ステートマシン 4 2 がリードコマンド（クロック）をシーケンサ 1 6 に対して発行する（ステップ S 2 2）。これにより、ページバッファ 1 3 内のデータが、NAND データバス 6 及び ECC データバス 8 を介して ECC バッファ 3 1 に読み出される（ステップ S 2 3）。

【 0 0 6 1 】

引き続きステートマシン 4 2 は、バッファアドレス/タイミング発生回路 4 4 を介して、ECC 制御部 3 4 に対して ECC 訂正開始命令を発行する（ステップ S 2 4）。この命令に回答して ECC 部 3 0 は、エラー検出及びエラー訂正を行う（ステップ S 2 5）。すなわち、ECC 制御部 3 4 による制御に従い、ECC 解析部 3 3 は ECC バッファ 3 1 に読み出されたデータにつきシンドロームを生成する。そしてこのシンドロームを元にして、ECC デコーダ 3 2 がデータの誤り位置を決定する。そして ECC デコーダ 3 2 はエラーを訂正して、訂正後のデータをページバッファ 1 3 に格納する（ステップ S 2 6）。

10

【 0 0 6 2 】

ECC 処理の後、ステートマシン 4 2 の命令に回答して（ステップ S 2 7）、データバススイッチ 5 は、NAND データバス 6 を ECC データバス 8 から切り離し、ユーザデータバス 7 に接続する（ステップ S 2 8）。そして制御部 4 では、ユーザがモニタするためのステータスなどをセットする（ステップ S 2 9）。

【 0 0 6 3 】

その後、ホスト機器からアドレス（言い換えればリード要求）が入力されると（ステップ S 3 0）、ページバッファ 1 3 内のデータが外部へ出力される（ステップ S 3 1）。このアドレスは、ページバッファ内における任意の領域を指定するアドレス（ページバッファアドレス）である。ユーザインターフェース 2 3 に入力されたページバッファアドレスは、アクセスコントローラ 2 4 を介してデコーダ 2 5 に与えられる。するとデコーダ 2 5 はこれをデコードし、ページバッファ内の対応するアドレスのデータを選択するよう、コラムデコーダ 1 4 に（またはページバッファに直接）命令する。その結果、当該アドレスのデータが、NAND データバス 6 及びユーザデータバス 7 を介してパイプラインバッファ 2 1 に読み出され、バーストバッファ 2 2 及びユーザインターフェース 2 3 を介してホスト機器へ出力される。

20

【 0 0 6 4 】

< ECC 部 3 0 の動作について >

次に、上記データの読み出し時におけるステップ S 2 3 ~ S 2 6 の詳細について図 4 及び図 5 を用いて説明する。図 4 は、ステップ S 2 3 ~ S 2 6 の詳細を示すフローチャートである。また図 5 は、ページバッファ 1 3 から ECC バッファ 3 1 に転送されるデータ、ECC 解析部 3 3 及び ECC デコーダ 3 2 の動作、並びに ECC バッファ 3 1 からページバッファ 1 3 に転送されるデータを示すタイムチャートである。

30

【 0 0 6 5 】

図示するように、ページバッファ 1 3 のデータが、ECC データバス 8 のバス幅単位（例えば 4 バイト単位）で、ECC バッファ 3 1 に転送される（ステップ S 4 0）。転送されるデータには、メインデータだけでなく ECC データも含まれる。通常、ページバッファ 1 3 のサイズは ECC データバス 8 のバス幅よりも大きい。従って、ステップ S 4 0 を複数回、繰り返すことで、ページバッファ 1 3 内の全データが ECC バッファ 3 1 に転送される（ステップ S 4 1、NO、ステップ S 4 0）。これが図 5 の時刻 $t_1 \sim t_2$ の期間である。図 5 の例では、 k 回（ k は 2 以上の自然数）のデータ転送により、ページバッファ 1 3 内のメインデータの全てが ECC バッファ 3 1 に転送される例を示している。なお、 i 回目（ i は $2 \sim k$ のいずれかをとり変数）に転送されるメインデータをデータ D_i と呼ぶ。つまりデータ D_i は 4 バイトである。また図 5 の D_p は ECC データ（パリティ）を示す。図 6 の例では 1 回の転送でパリティ D_p が転送される場合を示しているが、複数回の転送により行っても良い。ECC バッファ 3 1 は、データを受信する度に、これを ECC 解析部 3 3 に転送する。なお、前述の通り ECC バッファ 3 1 は、例えば ECC デー

40

50

タバス 8 のバス幅と同程度の容量である。よってこの場合には、ページバッファ 13 からデータが転送される度に、ECC バッファ 31 は、新たなデータをそれまで保持していたデータに上書きする。

【0066】

ページバッファ 13 内の全データの転送が完了すると（ステップ S41、YES）、ステートマシン 42 からの ECC 訂正開始命令に 응답して、ECC 解析部 33 がエラーの有無を判断する（ステップ S42、図 5 の時刻 t2 ~ t3）。すなわち、ステップ S40 で受信したデータに基づいてシンドロームを生成する。

【0067】

エラーが無ければ（ステップ S43、NO）、処理は終了する。エラーがあれば（ステップ S43、YES）、次に ECC デコーダ 32 において、エラーのあるデータとその位置を判断する（ステップ S44、図 5 の時刻 t3 ~ t4）。例えば、データ D2 にエラーがあったと仮定する。すると ECC デコーダ 32 は、データ D2 のアドレス（ページバッファ 13 内のアドレス）と、エラーのあるビット位置、及びそのエラーの内容を算出する。

10

【0068】

そして ECC デコーダ 32 の命令により、ECC バッファ 31 はデータ D2 をページバッファ 13 から読み出す（ステップ S45、図 5 の時刻 t4 ~ t5）。その他のデータ D1、D3 ~ Dk、Dp は読み出されない。この様子を図 6 の上図に示す。図示するように、データ D2 のあるビットに誤りがあり、“0”が“1”に反転していたとする。するとこのデータ D2 のみが ECC バッファ 31 に読み出される。

20

【0069】

次に、ECC デコーダ 32 がエラーの訂正を行う（ステップ S46、図 5 の時刻 t5 ~ t6）。すなわち、図 6 の下図に示すように ECC デコーダ 32 は、ECC バッファ 31 内のデータ D2 における誤りビットを、“1”から“0”に反転させる。その後、ECC バッファ 31 は、エラーの訂正されたデータ D2 を、ページバッファ 13 のデータ D2 に上書きする（ステップ S47、図 5 の時刻 t6）。

【0070】

<メモリシステム 1 のデータ書き込み動作>

次に、データの書き込み動作について、図 7 を用いて説明する。図 7 はメモリシステム 1 の動作の流れを示すフローチャートである。

30

【0071】

図示するように、まずユーザインターフェース 23 が、ホスト機器を介してユーザから入力された、プログラムすべきデータを受け付ける（ステップ S50）。このデータは、バーストバッファ 22、パイプラインバッファ 21、ユーザデータバス 7、及び NAND データバス 6 を介してページバッファ 13 に格納される（ステップ S51）。

【0072】

その後、ユーザインターフェース 23 は、ホスト機器を介してユーザから入力されたアドレスを受け付ける（ステップ S52）。このアドレスは、NAND 型フラッシュメモリ 2 におけるメモセルアレイ 10 のページアドレスである。このページアドレスは、ユーザインターフェース 23 からアクセスコントローラ 24 に転送される。するとアクセスコントローラ 24 は、制御部 3 のレジスタ 40 をアクティブとし、このページアドレスを転送する（ステップ S53）。

40

【0073】

引き続きユーザインターフェース 23 は、ホスト機器から入力されたプログラムコマンドを受け付ける（ステップ S54）。すると、プログラムコマンドを受信したアクセスコントローラ 24 は、プログラムコマンドをレジスタ 40 にセットする（ステップ S55）。

【0074】

レジスタ 40 にコマンドがセットされると、コマンドユーザインターフェース 41 はこ

50

れを検知し、内部コマンド信号を生成する。ここではプログラムコマンドが成立する（ステップS56）。そしてプログラムコマンドの成立を受けて、ステートマシン42が起動する。

【0075】

ステートマシン42は、各回路ブロックについて必要な初期化を行った後、NANDアドレス/コマンド発生回路43に対して、NAND型フラッシュメモリ2に対してリードコマンドを発行するよう要求する。するとNANDアドレス/コマンド発生回路43は、シーケンサ16に対してリードコマンドを発行する（ステップS57）。このリードコマンドを受けてシーケンサ16は、ページバッファ13をリード可能にセットする。

【0076】

引き続きステートマシン42は、バッファアドレス/タイミング発生回路44及びアクセスコントローラ24を介して、データバススイッチ5に対して、NANDデータバス6をECCデータバス8に接続するよう命令する（ステップS58）。この命令に 응답してデータバススイッチ5は、NANDデータバス6をユーザデータバス7から切り離し、新たにECCデータバス8に接続する（ステップS59）。

【0077】

そして、ステートマシン42がリードコマンド（クロック）をページバッファ13に対して発行する（ステップS60）。これにより、ページバッファ13内のデータが、NANDデータバス6及びECCデータバス8を介してECCバッファ31に読み出される（ステップS61）。

【0078】

引き続きステートマシン42は、バッファアドレス/タイミング発生回路44を介して、ECC制御部34に対してパリティ発生開始命令を発行する（ステップS62）。この命令に 응답してECC部30はパリティの生成を開始する（ステップS63）。すなわち、ECC制御部34による制御に従い、ECC解析部33はECCバッファ31に読み出されたデータにつきシンドロームを生成し、このシンドロームを元にしてパリティを生成する。そしてECCデコーダ32を介して、生成したパリティをECCバッファ31に格納し、これをページバッファ13に転送する（ステップS64）。

【0079】

その後、ステートマシン42は、NANDアドレス/コマンド発生回路43に対して、NAND型フラッシュメモリ2に対してプログラムコマンドを発行するよう要求する。すると、NANDアドレス/コマンド発生回路43はシーケンサ16に対して、ページバッファ13内のデータを、レジスタ40内のアドレス（ページアドレス）にプログラムするよう、プログラムコマンドを発行する（ステップS65）。

【0080】

このプログラムコマンドを受けてシーケンサ16は、NAND型フラッシュメモリ2において必要な回路の初期化を行った後、プログラム動作を行う（ステップS66）。すなわち、電圧発生回路15、ロウデコーダ11、カラムデコーダ14、センスアンプ12、及びページバッファ13を制御し、ページバッファ13内のデータを所定のページにプログラムする。

【0081】

更にステートマシン42は、バッファアドレス/タイミング発生回路44及びアクセスコントローラ24を介して、データバススイッチ5に対して、NANDデータバス6をユーザデータバス7に接続するよう命令する（ステップS67）。この命令に 응답してデータバススイッチ5は、NANDデータバス6をECCデータバス8から切り離し、新たにユーザデータバス7に接続する（ステップS68）。

【0082】

NAND型フラッシュメモリ2においてプログラムが完了すると、その旨をシーケンサ16がステートマシン42に通知する（ステップS69）。その後、制御部4では、ユーザがモニタするためのステータスなどをセットする（ステップS70）。

10

20

30

40

50

【 0 0 8 3 】

< E C C 部 3 0 の動作について >

次に、上記データの書き込み時におけるステップ S 6 1 ~ S 6 4 の詳細について図 8 及び図 9 を用いて説明する。図 8 は、ステップ S 6 1 ~ S 6 4 の詳細を示すフローチャートである。また図 9 は、ページバッファ 1 3 から E C C バッファ 3 1 に転送されるデータ、E C C 解析部 3 3 の動作、E C C 解析部 3 3 から E C C バッファ 3 1 に転送されるデータ、及び E C C バッファ 3 1 からページバッファ 1 3 に転送されるデータを示すタイムチャートである。

【 0 0 8 4 】

図示するように、読み出し時と同様に、ページバッファ内の全てのデータが E C C バッファ 3 1 に転送される（ステップ S 4 0、S 4 1、図 9 の時刻 t 1 ~ t 2）。当然ながら、書き込み時に E C C バッファ 3 1 に転送されるデータはプログラムすべきメインデータである。パリティはこれから生成される。

10

【 0 0 8 5 】

ページバッファ 1 3 内の全データの転送が完了すると（ステップ S 4 1、Y E S）、ステートマシン 4 2 からのパリティ発生開始命令に回答して E C C 解析部 3 3 が、ステップ S 4 0 で受信したデータに基づいてシンドロームを生成し、これに基づきパリティを生成する（ステップ S 8 0、図 9 の時刻 t 2 ~ t 3）。

【 0 0 8 6 】

そして E C C 解析部 3 3 は、生成したパリティ D p を E C C バッファへ転送し（ステップ S 8 1、図 9 の時刻 t 3 ~ t 4）、更にページバッファ 1 3 へ転送する（ステップ S 8 2、図 9 の時刻 t 4）。

20

【 0 0 8 7 】

以上の様子を図 1 0 に模式的に示す。図 1 0 は、ページバッファ 1 3 と、E C C 部 3 0 の一部を示すブロック図であり、時間の流れと共にデータの転送の様子を順次示している。図示するように、まずデータ D 1 ~ D k が順次、E C C バッファ 3 1 に転送され、更に E C C 解析部 3 3 に転送される。読み出し時と同様に、データの転送は E C C データバス 8 のバス幅で行われる。よって、k 回の転送により、全データが E C C バッファ 3 1 に転送される。

【 0 0 8 8 】

次に、E C C 解析部 3 3 においてパリティが生成される。このパリティ D p は、E C C バッファ 3 1 に転送される（上書きされる）。

30

【 0 0 8 9 】

その後、E C C バッファ 3 1 は、パリティ D p をページバッファ 1 3 に格納する。パリティ D p が格納される領域は、図 2 で説明したメモリセルアレイ 1 0 の第 2 領域 1 0 - 2 に対応する領域である。

【 0 0 9 0 】

< 効果 >

以上のように、この発明の実施形態に係る構成であると、N A N D 型フラッシュメモリを備えた半導体装置の回路面積を削減出来る。本効果につき、以下説明する。

40

【 0 0 9 1 】

本実施形態に係る構成であると、入出力部 3 は、ユーザデータバス 7 と E C C データバス 8 を含む 2 系統のデータバスを備えている。ユーザデータバス 7 は、外部のホスト機器と送受信を行うユーザインターフェース 2 3 に接続されたバスであり、E C C データバス 8 は E C C 部 3 0 に接続されたバスである。更に、入出力部 3 はデータバススイッチ 6 を備え、N A N D データバス 6 と、ユーザデータバス 7 及び E C C データバス 8 との接続を切り替えている。

【 0 0 9 2 】

より具体的には、データを N A N D 型フラッシュメモリ 2 に書き込む際には、まずデータバススイッチ 5 によって N A N D データバス 6 とユーザデータバス 7 とを接続して、書

50

き込みデータをページバッファ13に格納する。その後、データバススイッチ5によりNANDデータバス6とECCデータバス8とを接続して、書き込みデータをECCバッファ31に読み出してパリティを生成し、これをページバッファ13に書き込む。

【0093】

他方、データをNAND型フラッシュメモリ2から読み出す際には、まずデータバススイッチ5によってNANDデータバス6とECCデータバス8とを接続して、メインデータをページバッファ13からECCバッファ31に読み出し、エラー訂正を行い、訂正後のデータをページバッファ13に上書きする。その後、データバススイッチ5によりNANDデータバス6とユーザデータバス7とを接続して、読み出しデータを外部に出力する。

10

【0094】

以上のような構成とすることで、NAND型フラッシュメモリ2のページバッファ13を、メモリシステム1におけるバッファメモリとして使用している。従って、従来の例えばSRAMのようなバッファメモリが不要となる。従って、回路面積を大幅に削減出来る。

【0095】

特に、従来のSRAMとNAND型フラッシュメモリとを備えた構成と比べた場合、次のような差異がある。すなわち、従来型の構成であると、ECCバッファはデータバスによりSRAMバッファへ接続されるため、ページバッファ、ECCバッファ、及びSRAMバッファが直列接続される。これに対して本実施形態に係る構成であると、ECCバッファ31から他のバッファへ直接接続するデータバスは不要であり、データバススイッチ5により、ECCバッファ31はパイプラインバッファ21と並列的に接続される。言い換えれば、ECCデータバス8は、外部と接続するためのユーザデータバス7と並列的に接続される。

20

【0096】

これにより、ユーザはページバッファ13に対して直接、読み出し及び書き込みを行うことが出来る。そのため、ページバッファ13はメモリシステム1のバッファメモリとしての役割を果たすことが出来る。

【0097】

また、入出力部25はデコーダ25を備えており、これによりページバッファ13にアクセス出来る。つまり、NAND型フラッシュメモリ2においてシーケンサ16によって制御される内部動作とは別系統で、ページバッファ13にアクセス出来る。従ってユーザは、ページバッファ13に対してランダムにアクセス(読み出し・書き込み)することが出来る。

30

【0098】

なお、本実施形態に係る構成であると、ECC処理を行うためには、ページバッファ13にデータを格納した後に、改めてECCバッファ31にデータを読み出す必要がある。しかしながら、SRAMを排したことで、SRAMバッファとページバッファ間のデータ転送が不要となるため、ECC処理を含めてデータ転送時間が長くなることを抑制することも可能である。

40

【0099】

なお、上記実施形態ではNAND型フラッシュメモリが2段のキャッシュメモリ(センスアンプ12(Primary Data Cashe)及びページバッファ13(Secondary Data Cashe))を備える場合を例に説明した。しかし、1段だけの場合であっても良い。この場合には、NANDデータバス6はセンスアンプ12に接続される。

【0100】

また、2段のキャッシュメモリを有する構成においても、NANDデータバス6がページバッファ13ではなくセンスアンプ12に接続されても良い。この場合、センスアンプ12がバッファメモリとしての機能を果たす。

【0101】

50

更に、2系統のNANDデータバス6を設けて、一方をページバッファ13に接続し、他方をセンスアンプ12に接続するようにしても良い。このような構成例を図11に示す。図11は、上記実施形態の変形例に係るメモリシステム1のブロック図であり、メモリシステム1の一部領域のみを示している。図示するように、2本のNANDデータバス6-1、6-2が設けられる。NANDデータバス6-1はページバッファ13に接続され、NANDデータバス6-2はセンスアンプ12に接続される。これらのNANDデータバス6-1、6-2がユーザデータバス7とECCデータバス8のいずれに接続されるかは、データバススイッチ5によって決定される。例えば、あるタイミングにおいては、一方がユーザデータバス7に接続され、他方ECCデータバス8に接続されてもよい。このような構成によれば、メモリシステム1の動作の更なる高速化を図ることが出来る。

10

【0102】

更に、上記実施形態では、NAND型フラッシュメモリ2、入出力部3、制御部4、及びデータバススイッチ5がワンチップに集積された例を挙げて説明した。このようなメモリシステム2の具体例としては、「One NAND（登録商標）」型のフラッシュメモリが挙げられる。しかし、必ずしもワンチップ化されている場合に限らず、NAND型フラッシュメモリ2、入出力部3、制御部4、及びデータバススイッチ5が別々の半導体チップで実現されている場合であっても良い。更に上記実施形態では主記憶としてNAND型フラッシュメモリが用いられる場合を例に説明したが、NAND型フラッシュメモリに限らず、その他のフラッシュメモリであっても良く、更には強誘電体メモリや抵抗変化型メモリ（ReRAM）等のその他の半導体メモリであっても良い。

20

【0103】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【符号の説明】

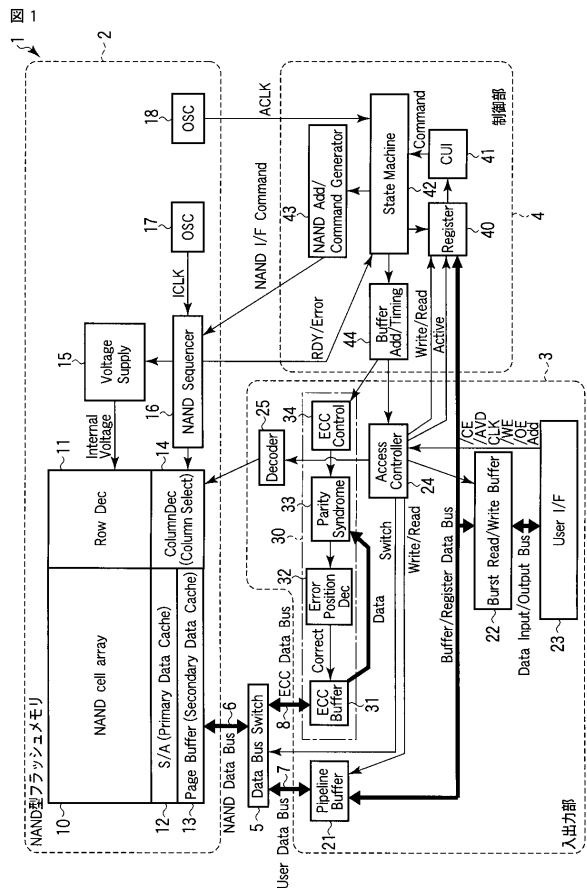
【0104】

1...メモリシステム、2...NAND型フラッシュメモリ、3...入出力部、4...制御部、5...データバススイッチ、6...NANDデータバス、7...ユーザデータバス、8...ECCデータバス、10...メモリセルアレイ、11...ロウデコーダ、12...センスアンプ、13...ページバッファ、14...カラムデコーダ、15...電圧発生回路、16...シーケンサ、17、18...オシレータ、21...パイプラインバッファ、22...バーストバッファ、23...ユーザインターフェース、24...アクセスコントローラ、25...デコーダ、30...ECC部、31...ECCバッファ、32...ECCデコーダ、33...ECC解析部、34...ECC制御部、40...レジスタ、41...コマンドユーザインターフェース、42...ステートマシン、43...NANDアドレス/コマンド発生回路、44...バッファアドレス/タイミング発生回路、50...メモリセルユニット

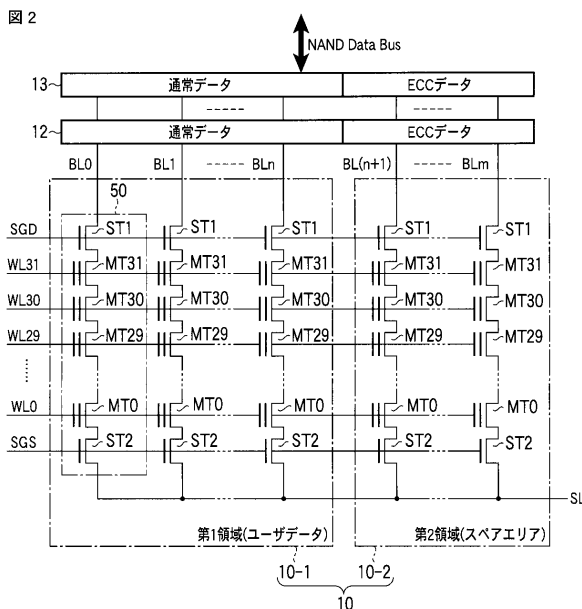
30

40

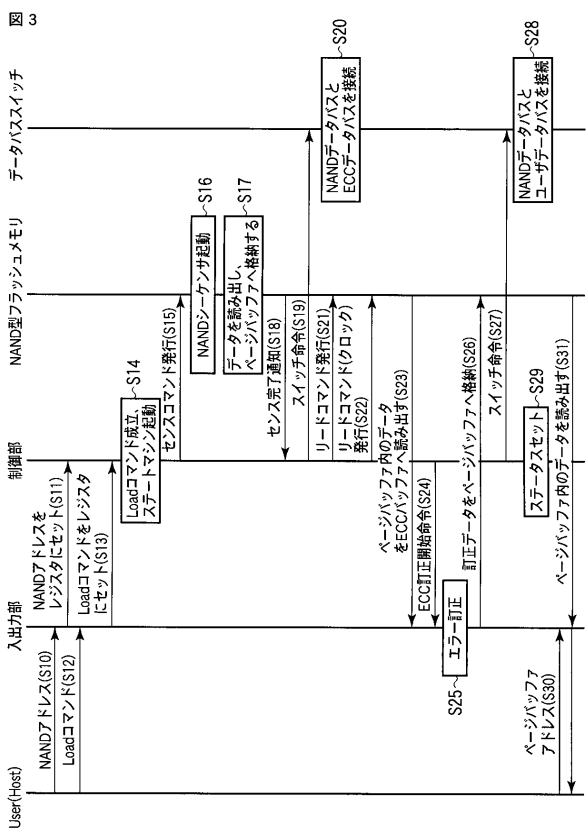
【 図 1 】



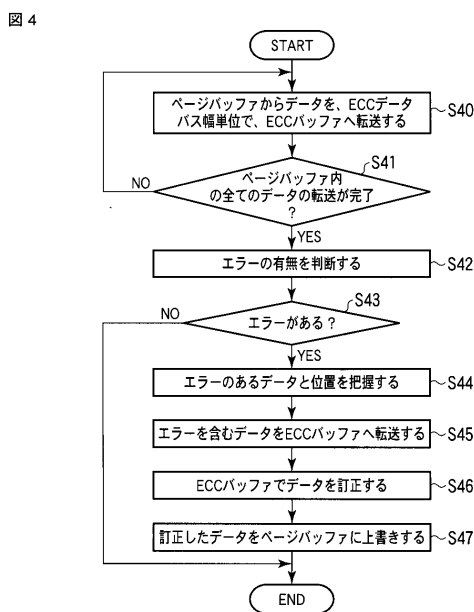
【 図 2 】



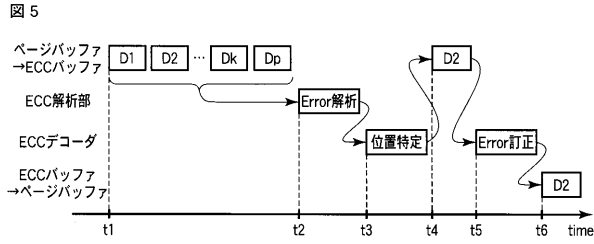
【 図 3 】



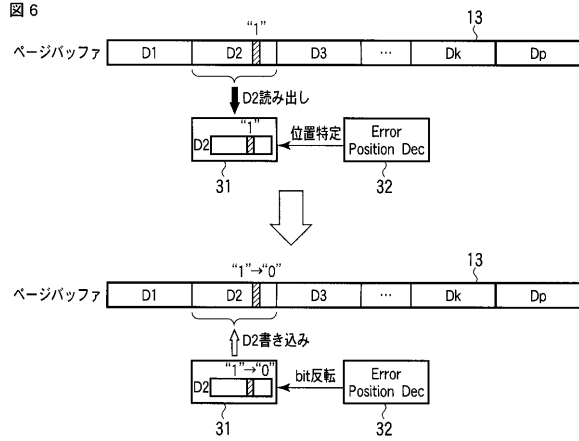
【 図 4 】



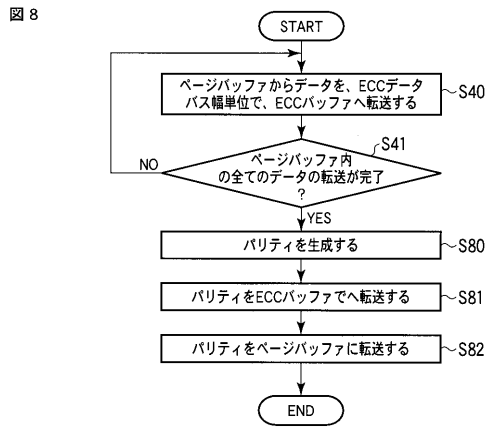
【 図 5 】



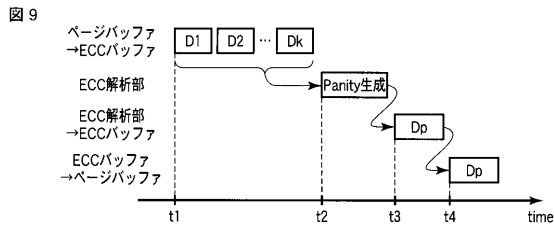
【 図 6 】



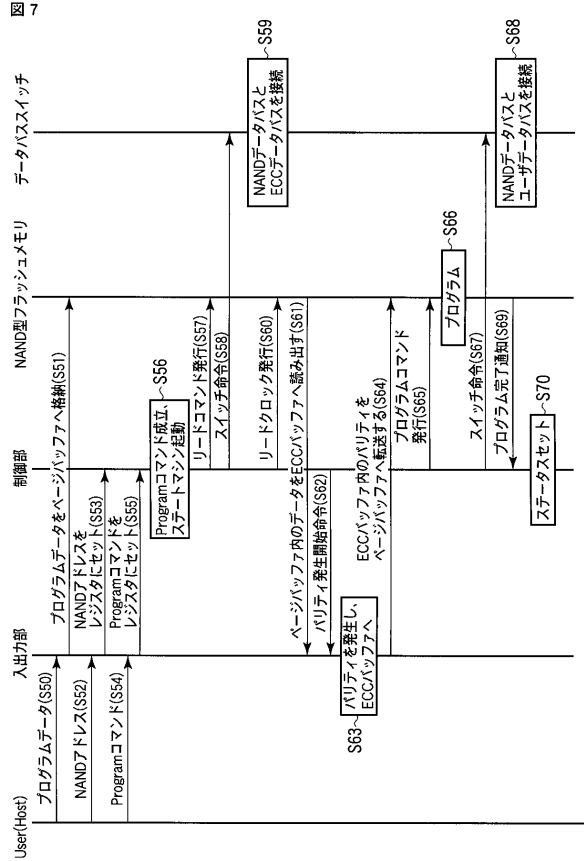
【 図 8 】



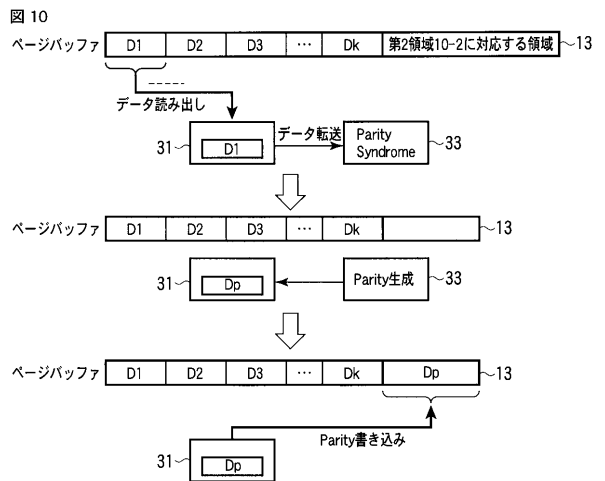
【 図 9 】



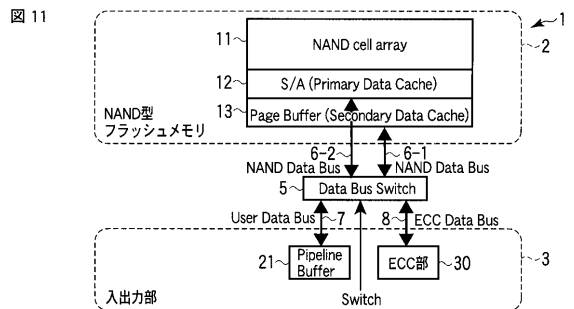
【 図 7 】



【 図 10 】



【 図 11 】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 原 徳正

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B018 GA02 HA14 NA06 PA01
5B125 BA02 BA07 BA08 CA06 DA01 DB01 DE08 DE09 DE13 DE14
DE17 DE20 EA05 EA10 ED10 EE04 EE19 EF02 EF03 FA01
FA02
5L106 AA10 BB02 BB12 FF04 FF05