

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月9日(09.08.2018)



(10) 国際公開番号

WO 2018/143050 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/739 (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2018/002276

(22) 国際出願日: 2018年1月25日(25.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-018672 2017年2月3日(03.02.2017) JP

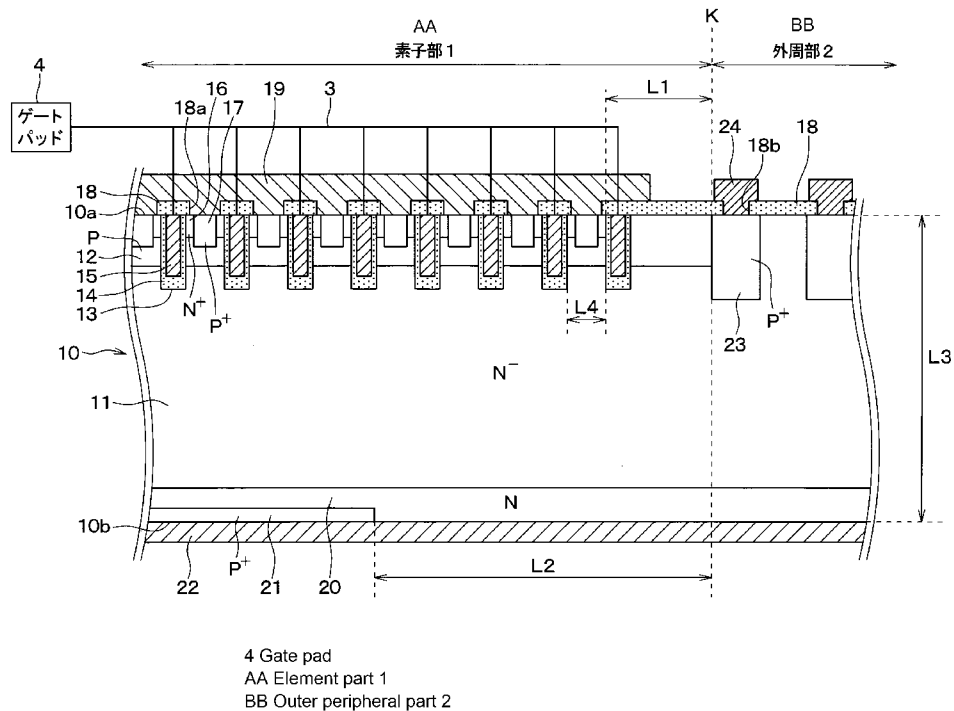
(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 宮田 征典 (MIYATA Masanori); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 高橋 茂樹 (TAKAHASHI Shigeki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 住友 正清 (SUMITOMO Masakiyo); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 志賀 智英 (SHIGA Tomofusa); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** This semiconductor device has an element part (1) and an outer peripheral part (2) surrounding the element part (1), wherein a deep layer (23) is formed more deeply in the outer peripheral part (2) than in a base layer (12). When the position which, in the deep layers (23), is closest to the element part (1) is a boundary position (K), the distance between the boundary position (K) and the position which is closest to the outer peripheral part (2) in an emitter region (16) into which first carriers can be injected is a first distance (L1), and the distance between the boundary position (K)



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

and the position of a stepped part in a surface direction of a semiconductor substrate (10) in a collector layer (21) is a second distance (L2), the first distance (L1) and the second distance (L2) are adjusted so that a carrier density at the outer peripheral part (2) is decreased on the basis of the withstand voltage of the outer peripheral part (2), the withstand voltage having been decreased by the deep layer (23).

(57) 要約: 素子部(1)と、素子部(1)を取り囲む外周部(2)とを有し、外周部(2)にベース層(12)よりも深さが深くされたディープ層(23)が形成された半導体装置において、ディープ層(23)における最も素子部(1)側の位置を境界位置(K)とし、境界位置(K)と、第1キャリアが注入され得るエミッタ領域(16)のうちの最も外周部(2)側の位置との間の距離を第1距離(L1)とし、境界位置(K)と、コレクタ層(21)のうちの半導体基板(10)の面方向における端部の位置との間の距離を第2距離(L2)とすると、第1距離(L1)および第2距離(L2)をディープ層(23)によって低下した外周部(2)の耐圧に基づいて当該外周部(2)におけるキャリア密度が低下するように調整する。

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2017年2月3日に提出された日本特許出願番号2017-18672号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本発明は、絶縁ゲートバイポーラトランジスタ（以下では、単にIGBTという）素子が形成された素子部と、素子部を取り囲む外周部とを有する半導体装置に関する。

背景技術

[0003] 従来より、IGBT素子が形成された素子部と、この素子部を取り囲む外周部とを有する半導体装置が提案されている（例えば、特許文献1参照）。具体的には、この半導体装置は、一面および一面と反対側の他面を有し、ドリフト層を構成する半導体基板を備えている。そして、素子部では、ドリフト層上にP型のベース層が形成され、ベース層の表層部にN⁺型のエミッタ領域が形成されている。また、ゲート絶縁膜を介してベース層と接するように、ゲート電極が形成されている。そして、ドリフト層のうちのベース層と反対側には、コレクタ層が形成されている。なお、このコレクタ層は、素子部から外周部に渡って形成されている。また、半導体基板の一面側には、ベース層およびエミッタ領域と電氣的に接続されるように上部電極が形成され、半導体基板の他面側には、コレクタ層と電氣的に接続されるように下部電極が形成されている。

[0004] 外周部では、半導体基板の一面側に複数のP⁺型のディープ層が多重リング構造を構成するように形成されている。なお、複数のディープ層は、素子部の電界集中が抑制されるように、ベース層よりも深くまで形成されている。

[0005] このような半導体装置では、ゲート電極に所定のゲート電圧が印加される

と、ベース層のうちのゲート電極と隣接する部分に反転層（すなわち、チャネル領域）が形成される。これにより、エミッタ領域から反転層を介して電子がドリフト層に供給されると共に、コレクタ層からホールがドリフト層に供給され、伝導度変調によってドリフト層の抵抗値が低下して電流が流れる。

先行技術文献

特許文献

[0006] 特許文献1：特開2001-217420号公報

発明の概要

[0007] しかしながら、上記半導体装置では、外周部にベース層よりも深いディープ層が形成されているため、外周部では、ドリフト層の実質的な厚さが素子部よりも薄くなって耐圧が低下してしまう。また、上記半導体装置では、コレクタ層が外周部にも形成されており、外周部に形成されたコレクタ層からもホールがドリフト層に供給される。このため、上記半導体装置では、電流が流れている状態から当該電流を遮断する際、外周部でブレイクダウンが発生し易くなる。そして、上記半導体装置は、外周部では素子部よりも電流を掃き出し難いため、外周部でブレイクダウンが発生すると破壊されてしまう可能性が高くなる。

[0008] 本開示は、外周部にベース層よりも深くまで形成されたディープ層を有する半導体装置において、外周部でブレイクダウンが発生することを抑制できる半導体装置を提供することを目的とする。

[0009] 本開示の1つの観点によれば、素子部と、素子部を取り囲む外周部とを有する半導体装置は、一面および一面と反対側の他面を有し、第1導電型のドリフト層を構成する半導体基板と、素子部におけるドリフト層上であって、半導体基板の一面側に形成された第2導電型のベース層と、ベース層を貫通してドリフト層に達し、半導体基板の面方向に沿って延設された複数のトレンチの壁面にそれぞれ形成されたゲート絶縁膜と、ゲート絶縁膜上にそれぞれ形成されたゲート電極と、ベース層の表層部に形成され、トレンチと接す

る第1導電型のエミッタ領域と、外周部におけるドリフト層の表層部であって、半導体基板の一面側に形成され、ベース層よりも深さが深くされた第2導電型のディープ層と、少なくとも素子部における半導体基板の他面側に形成された第2導電型のコレクタ層と、エミッタ領域およびベース層と電氣的に接続される第1電極と、コレクタ層と電氣的に接続される第2電極と、を備えている。そして、半導体装置は、ゲート電極に所定のゲート電圧が印加されることにより、第1電極からエミッタ領域を介してドリフト層に第1キャリアが注入されると共に第2電極からコレクタ層を介してドリフト層に第2キャリアが注入されることで第1電極と第2電極との間に電流を流し、半導体基板の一面において、ディープ層における最も素子部側の位置を境界位置とし、境界位置と、第1電極から第1キャリアが注入され得るエミッタ領域のうちの最も外周部側の位置との間の距離を第1距離とし、境界位置と、コレクタ層のうちの半導体基板の面方向における端部の位置との間の距離を第2距離とすると、第1距離および第2距離は、ディープ層によって低下した外周部の耐圧に基づいて当該外周部におけるキャリア密度が低下するように調整されている。

[0010] これによれば、電流が流れている状態から当該電流を遮断する際、外周部でブレークダウンが発生することを抑制でき、半導体装置が破壊されることを抑制できる。

図面の簡単な説明

[0011] [図1]第1実施形態における半導体装置の断面図である。

[図2A]隣接するトレンチの間隔が4 μm の場合のホール密度を示すシミュレーション結果である。

[図2B]隣接するトレンチの間隔が2 μm の場合のホール密度を示すシミュレーション結果である。

[図2C]隣接するトレンチの間隔が1.2 μm の場合のホール密度を示すシミュレーション結果である。

[図3]隣接するトレンチの間隔と、半導体基板の一面側のキャリア広がりとの

関係を示す図である。

[図4]第1距離および第2距離と、半導体装置の破壊の有無との関係を示す図である。

[図5]第1実施形態における他の半導体装置の断面図である。

[図6]第2実施形態における半導体装置の断面図である。

[図7]第3実施形態における半導体装置の断面図である。

発明を実施するための形態

[0012] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0013] (第1実施形態)

第1実施形態の半導体装置について図1を参照しつつ説明する。図1に示されるように、本実施形態の半導体装置は、一面10aおよび一面10aと反対側の他面10bを有する半導体基板10を備え、IGBT素子が形成された素子部1と、この素子部1を取り囲む外周部2とが形成されている。まず、素子部1の基本的な構成について説明する。

[0014] 素子部1は、N型のドリフト層11を有し、ドリフト層11上（すなわち、半導体基板10の一面10a側）にP型のベース層12が形成されている。また、ベース層12を貫通してドリフト層11に達する複数のトレンチ13が形成されており、ベース層12は複数のトレンチ13によって分断されている。本実施形態では、複数のトレンチ13は、半導体基板10の一面10aの面方向のうちの一方方向（すなわち、図1中紙面奥行き方向）に沿ってストライプ状に等間隔に形成されている。

[0015] なお、本実施形態では、ドリフト層11の不純物濃度が $1.0 \times 10^{14} \text{ cm}^{-3}$ とされている。また、複数のトレンチ13は、それぞれ対向する側面の間隔が一定となるように形成されている。つまり、隣接するトレンチ13の間隔は、トレンチ13の開口部側から底部側に沿って一定とされている。

[0016] 複数のトレンチ13は、それぞれトレンチ13の壁面を覆うように形成さ

れたゲート絶縁膜 14 と、当該ゲート絶縁膜 14 の上に形成されたゲート電極 15 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。なお、本実施形態では、各ゲート電極 15 は、適宜ゲート配線 3 を介してゲートパッド 4 と電氣的に接続され、外部のゲート回路から所定のゲート電圧が印加され得るようになっている。

[0017] ベース層 12 の表層部には、N⁺型のエミッタ領域 16 および P⁺型のボディ領域 17 が形成されている。具体的には、エミッタ領域 16 は、ドリフト層 11 よりも高不純物濃度で構成され、ベース層 12 内において終端し、かつ、トレンチ 13 の側面に接するように形成されている。一方、ボディ領域 17 は、ベース層 12 よりも高不純物濃度で構成され、エミッタ領域 16 と同様に、ベース層 12 内において終端するように形成されている。

[0018] より詳しくは、エミッタ領域 16 は、トレンチ 13 間の領域において、トレンチ 13 の長手方向に沿ってトレンチ 13 の側面に接するように棒状に延設され、トレンチ 13 の先端よりも内側で終端する構造とされている。また、ボディ領域 17 は、2つのエミッタ領域 16 に挟まれてトレンチ 13 の長手方向（すなわち、エミッタ領域 16）に沿って棒状に延設されている。なお、本実施形態のボディ領域 17 は、半導体基板 10 の一面 10a を基準としてエミッタ領域 16 よりも深く形成されている。

[0019] 半導体基板 10 の一面 10a 上には、BPSG (Boro-phospho silicate glass の略) 等で構成される層間絶縁膜 18 が形成されている。層間絶縁膜 18 には、エミッタ領域 16 の一部およびボディ領域 17 を露出させる第 1 コンタクトホール 18a が形成されている。そして、層間絶縁膜 18 上には、第 1 コンタクトホール 18a を介してエミッタ領域 16 およびボディ領域 17 と電氣的に接続される上部電極 19 が形成されている。

[0020] ドリフト層 11 のうちのベース層 12 側と反対側（すなわち、半導体基板 10 の他面 10b 側）には、N型のフィールドストップ層（以下では、単に FS 層という）20 が形成されている。この FS 層 20 は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を

図ると共に、半導体基板 10 の他面 10 b 側から注入されるホールの注入量を制御するために備えてある。

[0021] そして、FS 層 20 を挟んでドリフト層 11 と反対側には、P 型のコレクタ層 21 が形成され、コレクタ層 21 上（すなわち、半導体基板 10 の他面 10 b 上）には、コレクタ層 21 と電氣的に接続される下部電極 22 が形成されている。

[0022] 以上が本実施形態における素子部 1 の基本的な構成である。続いて、外周部 2 の基本的な構成について説明する。

[0023] 外周部 2 は、素子部 1 と同様のドリフト層 11 を有している。そして、ドリフト層 11 の表層部には、素子部 1 の電界集中が抑制されるように、ベース層 12 よりも深くされた P⁺型のディープ層 23 が形成されている。具体的には、外周部 2 には、素子部 1 ではトレンチ 13 の底部に電界集中が発生し易いため、トレンチ 13 の底部の電界集中が抑制されるように P⁺型のディープ層 23 が形成されている。本実施形態では、ディープ層 23 は、複数形成されており、それぞれ素子部 1 を囲む環状構造とされている。つまり、複数のディープ層 23 は、多重リング構造を構成するように形成されている。

[0024] なお、ディープ層 23 は、ベース層 12 より深くなるように形成されているが、深くするほどドリフト層 11 の実質的な厚さが薄くなって耐圧が低下するため、ベース層 12 よりも 1～3 μm 程度深くなるように形成することが好ましい。また、本実施形態では、複数のディープ層 23 のうちの最も素子部 1 側に位置するディープ層 23 は、素子部 1 に形成されたベース層 12 と接触するように形成されている。つまり、このディープ層 23 は、ベース層 12 と連なって形成されているともいえる。

[0025] また、外周部 2 では、素子部 1 と同様に、半導体基板 10 の一面 10 a 上に層間絶縁膜 18 が形成されており、層間絶縁膜 18 には、ディープ層 23 を露出させる第 2 コンタクトホール 18 b が形成されている。そして、層間絶縁膜 18 上には、第 2 コンタクトホール 18 b を介してディープ層 23 と電氣的に接続される外周電極 24 が形成されている。

[0026] 外周部 2 における半導体基板 10 の他面 10b 側は、FS 層 20 が形成されている。そして、外周部 2 では、FS 層 20 上（すなわち、半導体基板 10 の他面 10b 上）に下部電極 22 が形成されている。

[0027] 以上が本実施形態における半導体装置の基本的な構成である。なお、本実施形態では、N⁺型、N⁻型が第 1 導電型に相当しており、P 型、P⁺型が第 2 導電型に相当している。また、上部電極 19 が第 1 電極に相当し、下部電極 22 が第 2 電極に相当している。

[0028] 次に、上記半導体装置の基本的な作動について説明する。上記半導体装置は、上部電極 19 が接地されると共に下部電極 22 に正の電圧が印加された状態でゲート電極 15 に外部のゲート回路から所定のゲート電圧が印加されると、ベース層 12 のうちのトレンチ 13 と接する部分に反転層（すなわち、チャンネル領域）が形成される。そして、半導体装置は、エミッタ領域 16 から反転層を介して電子がドリフト層 11 に供給されると共に、コレクタ層 21 からホールがドリフト層 11 に供給される。これにより、半導体装置は、伝導度変調によってドリフト層 11 の抵抗値が低下し、上部電極 19 と下部電極 22 との間に電流が流れる。

[0029] そして、上記半導体装置は、上部電極 19 に正の電圧が印加されると共に下部電極 22 が接地され、例えば、ゲート電極 15 に 0 V の電圧が印加されることにより、上部電極 19 と下部電極 22 との間に流れていた電流が遮断される。なお、以下では、上部電極 19 と下部電極 22 との間に電流が流れている状態を半導体装置がオン状態であるとし、当該電流が遮断された状態を半導体装置がオフ状態であるとして説明する。また、本実施形態では、電子が第 1 キャリアに相当し、ホールが第 2 キャリアに相当している。

[0030] ここで、本実施形態では、オン状態からオフ状態にする際、外周部 2 にてブレークダウンの発生が抑制されるように、エミッタ領域 16 およびコレクタ層 21 の位置関係が調整されている。すなわち、上記のように、外周部 2 にベース層 12 より深いディープ層 23 を形成すると、外周部 2 におけるドリフト層 11 の実質的な厚さが薄くなり、外周部 2 の耐圧が低くなり易い。

このため、本実施形態では、耐圧が低下したとしても外周部 2 にてブレークダウンが発生し難いように、エミッタ領域 1 6 とコレクタ層 2 1 の位置関係が調整されている。言い換えると、ディープ層 2 3 を形成することによって外周部 2 の耐圧が低下するため、低下した耐圧に基づいて外周部 2 のキャリア密度が低くなるように、エミッタ領域 1 6 とコレクタ層 2 1 との位置関係が調整されている。

[0031] 以下に、エミッタ領域 1 6 およびコレクタ層 2 1 の位置関係について、具体的に説明する。なお、以下では、図 1 に示されるように、ディープ層 2 3 のうちの最も素子部 1 側の位置を素子部 1 と外周部 2 との境界位置 K とする。また、複数のエミッタ領域 1 6 のうちの上部電極 1 9 から電子（すなわち、キャリア）が注入され得るエミッタ領域 1 6 において、最も外周部 2 側の位置（以下では、最外エミッタ位置という）と、境界位置 K との間の距離を第 1 距離 L_1 とする。そして、コレクタ層 2 1 における半導体基板 1 0 の面方向に沿った端部の位置と、境界位置 K との間の距離を第 2 距離 L_2 とする。なお、第 2 距離 L_2 は、コレクタ層 2 1 における半導体基板 1 0 の面方向に沿った端部の位置が素子部 1 内に位置する場合を正の距離とし、当該端部の位置が外周部 2 に位置する場合を負の距離とする。さらに、半導体基板 1 0 の板厚を第 3 距離 L_3 とする。そして、隣接するトレンチ 1 3 の間隔のうちの最も狭い部分の距離をトレンチ間隔 L_4 とする。

[0032] まず、上記のように、本実施形態の半導体装置は、ゲート電極 1 5 に所定のゲート電圧が印加されると、エミッタ領域 1 6 から電子がドリフト層 1 1 に供給されると共に、コレクタ層 2 1 からホールがドリフト層 1 1 に供給されることでオン状態となる。この際、図 2 A ~ 図 2 C に示されるように、トレンチ間隔 d_4 によってホール密度の分布が異なることが確認される。そして、トレンチ間隔 d_4 が狭いほど、ホール密度が高い部分の広がりが大きくなることが確認される。すなわち、図 2 A ~ 図 2 C では、図 2 C がホール密度の高い部分が最も広がっている。なお、図 2 A ~ 図 2 C は、第 1 距離 L_1 を $150\mu\text{m}$ とし、第 2 距離 L_2 を $150\mu\text{m}$ とし、第 3 距離 L_3 を $78\mu\text{m}$

mとしたシミュレーション結果である。

[0033] このため、本発明者らは、板厚に対する一面側のキャリア広がりについて、トレンチ間隔 L_4 に基づいた検討を行い、図3に示す結果を得た。すなわち、図3に示されるように、板厚に対する一面側のキャリア広がり A （以下では、単にキャリア広がり A という）は、トレンチ間隔 L_4 を用いた次式で示される。

[0034] （数1） $A = -0.30 \times L_4 + 1.53$

なお、本実施形態におけるキャリア広がり A は、次のように定義される。すなわち、キャリア広がり A は、ドリフト層11における最も半導体基板10の一面10a側の部分において、最外エミッタ位置の直下の部分を基準とし、当該基準からホール密度がドリフト層11の不純物濃度の10倍となる部分がどれだけ離れているかを示すものとする。本実施形態では、ドリフト層11の不純物濃度が $1.0 \times 10^{14} \text{ cm}^{-3}$ とされているため、 $1.0 \times 10^{15} \text{ cm}^{-3}$ となる部分がどれだけ離れているかを示している。言い換えると、基準から、ホール密度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上となる部分と、ホール密度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 未満となる部分との境界がどれだけ離れているかを示している。例えば、キャリア広がり A が1であれば、ドリフト層11における最も半導体基板10の一面10a側の部分において、最外エミッタ位置の直下の部分からホール密度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 未満となる部分は、外周部2側に $78 \mu\text{m}$ （すなわち、板厚分）以上離れた部分であることを意味している。また、例えば、キャリア広がり A が0.5であれば、ドリフト層11における最も半導体基板10の一面10a側の部分において、最外エミッタ位置の直下の部分からホール密度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 未満となる部分は、外周部2側に $39 \mu\text{m}$ （すなわち、板厚の半分）以上離れた部分であることを意味している。

[0035] ここで、ホール密度がドリフト層11の不純物濃度の10倍となる部分を境界とするのは、ホール密度がドリフト層11の不純物濃度の10倍を超えると、ホールのプラス電荷によって電界強度が強くなり過ぎ、耐圧低下が顕

著となるためである。つまり、本実施形態では、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上となる部分が外周部2に達すると、当該部分から半導体装置が破壊され易くなる。また、キャリア広がりAは、板厚に対する比であるため、板厚×Aが基準からホール密度が $1.0 \times 10^{15} \text{ cm}^{-3}$ となる位置となる。

[0036] なお、ドリフト層11における最も半導体基板10の一面10a側の部分とは、素子部1であればベース層12との境界位置となる。そして、外周部2であれば、ディープ層23との境界位置となる。但し、外周部2の場合は、ディープ層23が形成されていない部分においては、ディープ層23が形成されている部分の境界位置と同じ深さの位置をドリフト層11における最も半導体基板10の一面10a側の部分としている。

[0037] また、トレンチ間隔d4は、隣接するトレンチ13に沿って形成される反転層同士が繋がらないように、少なくとも100nm程度は離間して形成することが好ましい。さらに、トレンチ間隔d4は、広すぎるとドリフト層11にホールを蓄積する効果が著しく低下するため、8μm以下であることが好ましい。

[0038] 続いて、本発明者らは、オン状態からオフ状態にする際、外周部2にてブレークダウンが発生して半導体装置が破壊されるか否かについて、第1距離L1と第2距離L2との関係を検討し、図4に示す結果を得た。なお、図4は、トレンチ間隔L4が1.8μmであり、第3距離L3が78μmである際のシミュレーション結果である。つまり、図4は、キャリア広がりAが1である場合のシミュレーション結果である。言い換えると、基準とホール密度が $1.0 \times 10^{15} \text{ cm}^{-3}$ となる部分との間の長さが78×1となる場合のシミュレーション結果である。

[0039] 図4に示されるように、トレンチ間隔L4が1.8μmの場合、第1距離L1および第2距離L2は、次式を満たせば半導体装置が破壊されないことが確認される。

[0040] (数2) $L1 \geq 78 \times 1 - L2$

そして、図4では、第3距離L3が78であり、キャリア広がりAが1で

あるため、数式 2 を変形すると、次式となる。

[0041] (数 3)

$$L_1 \geq L_3 \times A - L_2$$

このため、上記数式 3 を数式 1 に基づいて変形すると、次式が得られる。

[0042] (数 4) $L_1 \geq L_3 \times (-0.30 \times L_4 + 1.53) - L_2$

したがって、本実施形態では、上記数式を満たすように、第 1 距離 L_1 、第 2 距離 L_2 、第 3 距離 L_3 、およびトレンチ間隔 L_4 が設定されている。

[0043] 以上説明したように、本実施形態では、 $L_1 \geq L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ を満たすように、第 1 距離 L_1 、第 2 距離 L_2 、第 3 距離 L_3 、およびトレンチ間隔 L_4 が設定されている。このため、オン状態からオフ状態にする際、外周部 2 でブレイクダウンが発生することを抑制でき、半導体装置が破壊されることを抑制できる。

[0044] また、 $L_1 = L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ とした場合、半導体装置が破壊されない限界のキャリア密度とすることができる。このため、 $L_1 = L_3 \times (-0.30 \times L_4 + 1.53) - L_2$ とした場合には、オン電圧の低減を図りつつ、半導体装置が破壊されることを抑制できる。

[0045] なお、図 1 では、コレクタ層 21 における半導体基板 10 の面方向に沿った端部の位置が素子部 1 内に位置するものを示している。しかしながら、コレクタ層 21 における半導体基板 10 の面方向に沿った端部の位置は、上記数式 4 を満たすのであれば、図 5 に示されるように、外周部 2 に位置していてもよく、この場合は第 2 距離 L_2 は負の値となる。

[0046] (第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対して、複数のゲート電極 15 の一部をゲートパッド 4 に接続し、複数のゲート電極 15 の残部を上部電極 19 と接続したものであり、その他に関しては第 1 実施形態と同様であるため、ここでは説明を省略する。

[0047] 本実施形態では、図 6 に示されるように、複数のゲート電極 15 のうちの一部のゲート電極 15a は、ゲートパッド 4 と接続されている。そして、複

数のゲート電極 15 のうちの残部のゲート電極 15 b は、ゲートパッド 4 に接続されておらず、層間絶縁膜 18 に形成された第 3 コンタクトホール 18 c を介して上部電極 19 と接続されている。すなわち、上部電極 19 と接続されたゲート電極 15 b は、半導体装置がオン状態である際、ベース層 12 に反転層を形成する機能を発揮しない、いわゆるダミーゲート電極とされている。

[0048] 本実施形態では、一部のゲート電極 15 を第 1 ゲート電極 15 a、残部のゲート電極 15 を第 2 ゲート電極 15 b とすると、第 1 ゲート電極 15 a および第 2 ゲート電極 15 b は、半導体基板 10 の面方向に沿って交互に配置されている。そして、第 1 ゲート電極 15 a および第 2 ゲート電極 15 b は、第 1 ゲート電極 15 a と第 2 ゲート電極 15 b との配列方向における最も外周部 2 側に第 2 ゲート電極 15 b が位置するように配置されている。

[0049] なお、本実施形態では、エミッタ領域 16 は、上記第 1 実施形態と同様に、各トレンチ 13 に沿って形成されている。つまり、本実施形態では、エミッタ領域 16 は、第 2 ゲート電極 15 b が配置されるトレンチ 13 の側面にも形成されている。

[0050] また、第 1 距離 L1 は、上記のように、最外エミッタ位置と、境界位置 K との間の距離である。このため、本実施形態の半導体装置では、第 1 ゲート電極 15 a が配置されるトレンチ 13 に接するエミッタ領域 16 であって、最も外周部 2 側の位置と、境界位置 K との間の距離が第 1 距離 L1 となる。

[0051] 以上説明したように、第 2 ゲート電極（すなわち、ダミーゲート電極）15 b を有する半導体装置としても、上記数式 4 を満たすことにより、上記第 1 実施形態と同様の効果を得ることができる。

[0052] （第 3 実施形態）

第 3 実施形態について説明する。本実施形態は、第 1 実施形態に対して、トレンチ 13 の形状を変更したものであり、その他に関しては第 1 実施形態と同様であるため、ここでは説明を省略する。

[0053] 本実施形態では、図 7 に示されるように、各トレンチ 13 は、対向する側

面の間隔において、底部側の幅が開口部側の幅より長くされている。言い換えると、隣接するトレンチ 13 の間隔は、底部側の間隔が開口部側の間隔より短くされている。すなわち、本実施形態では、トレンチ 13 は、いわゆる壺形状とされている。なお、トレンチ間隔 L4 は、上記のように、隣接するトレンチ 13 の間隔のうちの最も狭い部分である。このため、本実施形態では、トレンチ間隔 L4 は、隣接するトレンチ 13 の間の部分のうちの底部側の部分となる。

[0054] このような半導体装置によれば、隣接するトレンチ 13 の間隔において、トレンチ 13 の開口部側の長さを長くできるため、エミッタ領域 16 およびボディ領域 17 の製造工程の簡略化を図りつつ、上記第 1 実施形態と同様の効果を得ることができる。

[0055] (他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0056] 例えば、上記各実施形態では、第 1 導電型を N 型とし、第 2 導電型を P 型とした例について説明したが、第 1 導電型を P 型とし、第 2 導電型を N 型とすることもできる。

[0057] また、上記第 2 実施形態において、第 2 ゲート電極 15b が配置されるトレンチ 13 の側面に接するようにエミッタ領域 16 が形成されていなくてもよい。つまり、エミッタ領域 16 は、第 1 ゲート電極 15a が配置されるトレンチ 13 の側面のみに形成されていてもよい。また、第 2 ゲート電極 15b は、上部電極 19 と接続されておらず、ゲートパッド 4 と異なるゲートパッドと接続されて所定電位（例えば、グランド電位）に維持されるようにしてもよいし、電極と接続されずにフローティング状態とされていてもよい。さらに、第 1 ゲート電極 15a および第 2 ゲート電極 15b は、第 1 ゲート

電極 1 5 a と第 2 ゲート電極 1 5 b との配列方向における最も外周部 2 側に第 1 ゲート電極 1 5 a が位置していてもよい。

[0058] そして、上記第 2 実施形態を上記第 3 実施形態に組み合わせ、上記第 3 実施形態の半導体装置において、第 1 ゲート電極 1 5 a および第 2 ゲート電極 1 5 b を有する構成としてもよい。

請求の範囲

[請求項1] 素子部（１）と、前記素子部を取り囲む外周部（２）とを有する半導体装置であって、

一面（１０a）および前記一面と反対側の他面（１０b）を有し、第１導電型のドリフト層（１１）を構成する半導体基板（１０）と、

前記素子部における前記ドリフト層上であって、前記半導体基板の一面側に形成された第２導電型のベース層（１２）と、

前記ベース層を貫通して前記ドリフト層に達し、前記半導体基板の面方向に沿って延設された複数のトレンチ（１３）の壁面にそれぞれ形成されたゲート絶縁膜（１４）と、

前記ゲート絶縁膜上にそれぞれ形成されたゲート電極（１５）と、

前記ベース層の表層部に形成され、前記トレンチと接する第１導電型のエミッタ領域（１６）と、

前記外周部における前記ドリフト層の表層部であって、前記半導体基板の一面側に形成され、前記ベース層よりも深さが深くされた第２導電型のディープ層（２３）と、

少なくとも前記素子部における前記半導体基板の他面側に形成された第２導電型のコレクタ層（２１）と、

前記エミッタ領域および前記ベース層と電氣的に接続される第１電極（１９）と、

前記コレクタ層と電氣的に接続される第２電極（２２）と、を備え、

前記ゲート電極に所定のゲート電圧が印加されることにより、前記第１電極から前記エミッタ領域を介して前記ドリフト層に第１キャリアが注入されると共に前記第２電極から前記コレクタ層を介して前記ドリフト層に第２キャリアが注入されることで前記第１電極と前記第２電極との間に電流を流し、

前記半導体基板の一面において、前記ディープ層における最も前記

素子部側の位置を境界位置（K）とし、前記境界位置と、前記第1電極から前記第1キャリアが注入され得る前記エミッタ領域のうちの最も前記外周部側の位置との間の距離を第1距離（L1）とし、前記境界位置と、前記コレクタ層のうちの前記半導体基板の面方向における端部の位置との間の距離を第2距離（L2）とすると、

前記第1距離および前記第2距離は、前記ディープ層によって低下した前記外周部の耐圧に基づいて当該外周部におけるキャリア密度が低下するように調整されている半導体装置。

[請求項2] 前記第1距離および前記第2距離は、隣接する前記トレンチの間隔（L4）に基づいて調整されている請求項1に記載の半導体装置。

[請求項3] 前記半導体基板における厚さを第3距離とし、前記第2距離において、前記コレクタ層の端部が前記素子部内に位置する場合を正の距離とすると共に前記コレクタ層の端部が前記外周部内に位置する場合を負の距離とし、前記第1距離をL1、前記第2距離をL2、前記第3距離をL3、および隣接する前記トレンチの間隔をL4とすると、

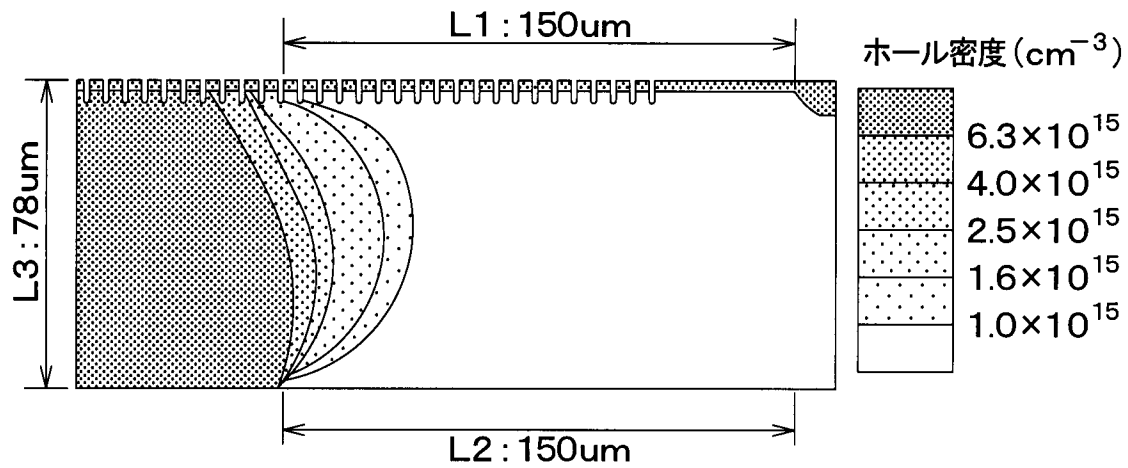
前記第1距離、前記第2距離、前記第3距離、および隣接する前記トレンチの間隔は、

$$L1 \geq L3 \times (-0.30 \times L4 + 1.53) - L2$$
を満たしている請求項2に記載の半導体装置。

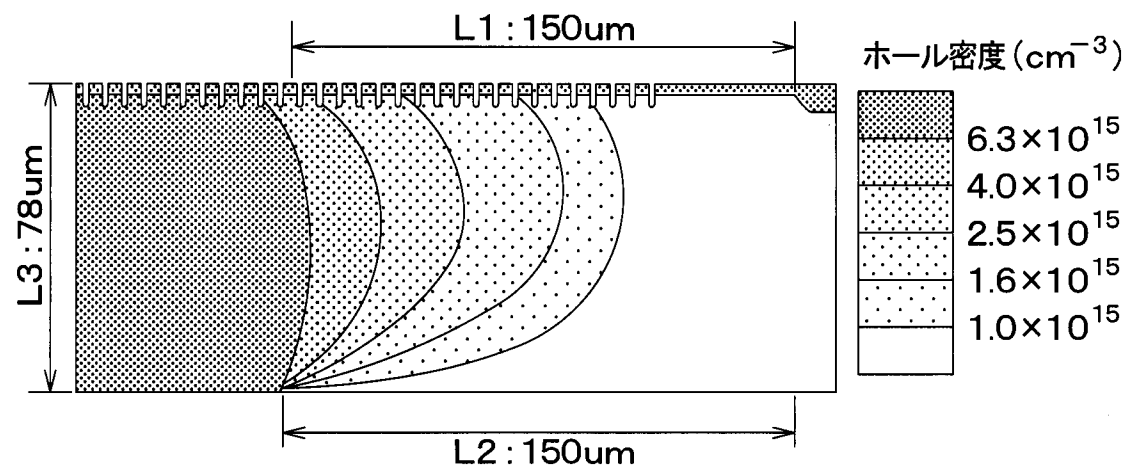
[請求項4] 前記第1距離、前記第2距離、前記第3距離、および隣接する前記トレンチの間隔は、

$$L1 = L3 \times (-0.30 \times L4 + 1.53) - L2$$
である請求項3に記載の半導体装置。

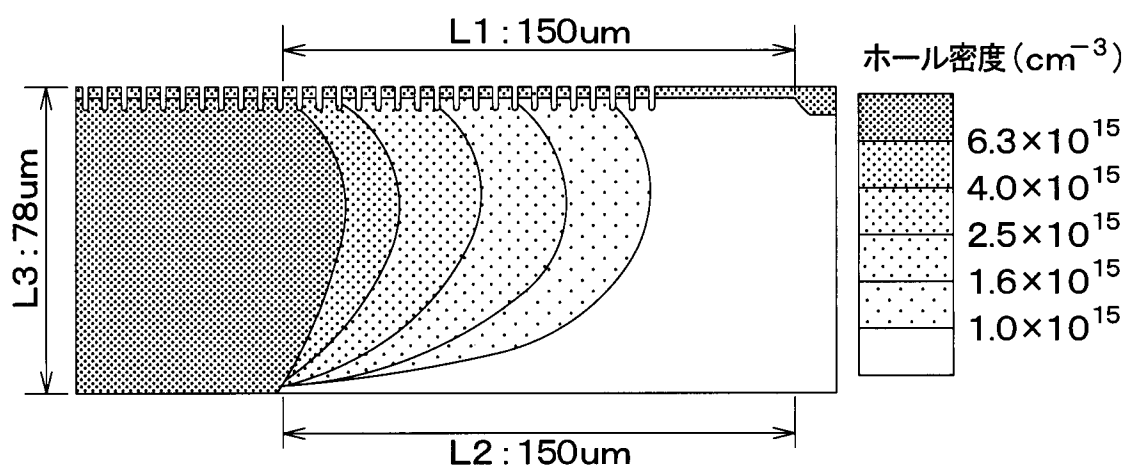
[図2A]



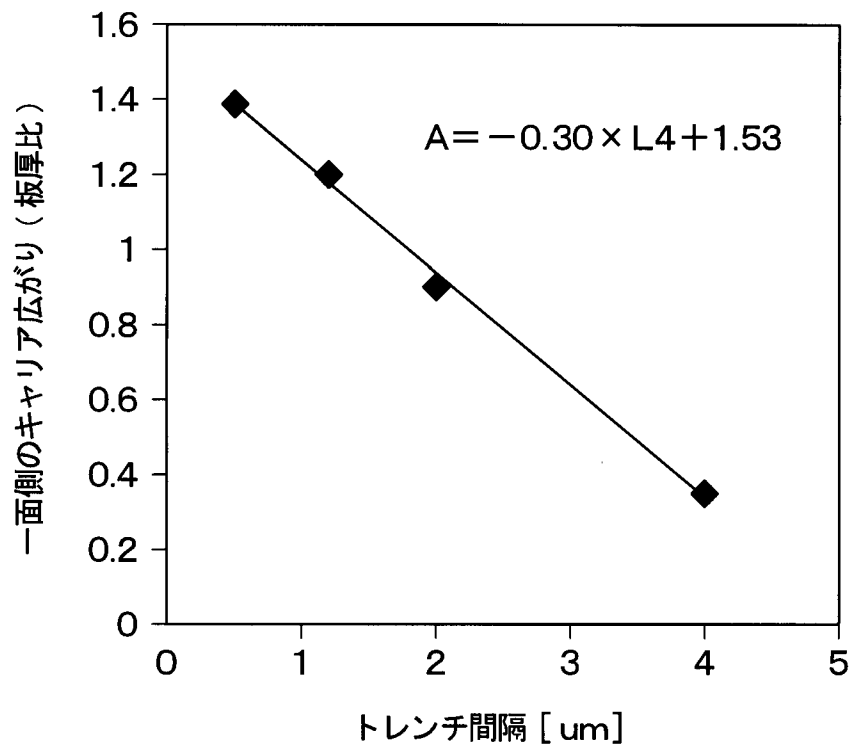
[図2B]



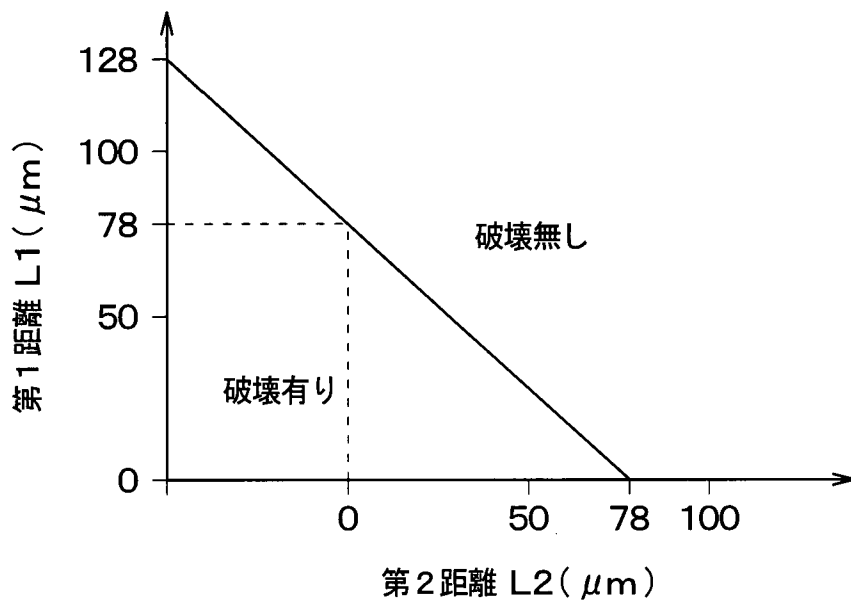
[図2C]



[図3]



[図4]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002276

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L29/06, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-177243 A (DENSO CORPORATION) 12 August 2010, paragraphs [0028]-[0043], fig. 1 (Family: none)	1-4
A	JP 2010-161335 A (DENSO CORPORATION) 22 July 2010, paragraphs [0050]-[0062], fig. 1 & US 2010/0140658 A1, paragraphs [0075]-[0087], fig. 1	1-4

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11.04.2018	Date of mailing of the international search report 24.04.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L29/06, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-177243 A（株式会社デンソー）2010.08.12, 段落0028-0043, 図1, （ファミリーなし）	1-4
A	JP 2010-161335 A（株式会社デンソー）2010.07.22, 段落0050-0062, 図1 & US 2010/0140658 A1, 段落0075-0087, 図1	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

11.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

7895

電話番号 03-3581-1101 内線 3516