



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

254539

(11)

(B1)

(51) Int. Cl.<sup>4</sup>

H 03 M 1/12

(22) Přihlášeno 04 05 86

(21) PV 3183-86.2

(40) Zveřejněno 14 05 87

(45) Vydáno 15 09 88

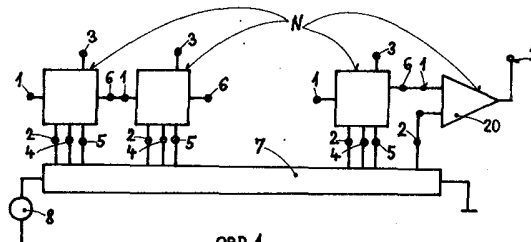
(75)

Autor vynálezu

NEUMANN PŘEMEK doc. ing. CSc., PRAHA

## (54) Kaskádní analogově-číslicový převodník

Je řešen rychlý analogově číslicový převodník, tvořený kaskádou  $N$  bloků.  $N$ -tý blok je jednovýstupovým komparátorem, ostatní bloky jsou shodné. Každý blok má analogový a komparační vstup a číslicový výstup. Každý z  $N-1$  bloků má dále referenční vstup a analogový výstup. Analogové vstupy jsou propojeny s analogovými výstupy. Komparační a referenční vstupy jsou připojeny ke společnému referenčnímu děliči. Každý z  $N-1$  bloků je tvořen dvouvýstupovým komparátorem, jehož neinvertující, respektive invertující vstup je spojen s analogovým vstupem, který je zároveň spojen s invertujícím vstupem přepínacího zesilovače a přes první analogový spínač s jeho neinvertujícím vstupem, na který je zároveň přes druhý analogový spínač připojen referenční vstup. Výstup přepínacího zesilovače je spojen s analogovým výstupem převodníku. Komparační vstup je spojen s invertujícím resp. neinvertujícím vstupem dvouvýstupového komparátoru, jehož jeden výstup je spojen s číslicovým výstupem. Řídící svorky analogových spínačů jsou připojeny na příslušné výstupy dvouvýstupového komparátoru.



OBR. 1

Vynález se týká kaskádního analogově číslicového převodníku napětí, jehož počet dílčích funkčních bloků se shoduje s počtem bitů výstupního číslicového slova. Výstupní signál je v úsporném Grayově kódu.

Současné analogově číslicové převodníky lze rozdělit do dvou velkých skupin: na převodníky s přímým převodem analogového signálu na číslicový a převodníky s nepřímým převodem. Převodníky s nepřímým převodem využívají převodníky číslicově analogové, u kterých se mění číslicový signál na analogový a vyhledává se stav shody výstupního analogového signálu se signálem na vstupu. Podle způsobu vyhledávání trvá převod od 1 do 50  $\mu$ s, což je doba vyhovující pro převod akustických a jiných nízkofrekvenčních signálů.

Analogově číslicové převodníky s přímým převodem lze třídit podle různých hledisek. Podle rychlosti převodu se dělí na pomalé a rychlé. Pomalé převodníky pracují obvykle na integračním principu a mají dobu převodu zpravidla delší než 1 ms. Z rychlých převodníků je nejvíce znám tzv. převodník paralelní.

Je známo, že N bitový převodník je schopen rozlišit nejvýše  $n = 2^N$  diskrétních úrovní signálu. Paralelní převodník potřebuje pro rozlišení n diskrétních úrovní n-1 komparátorů úrovní. Pro binární zakódování výstupního signálu je nutné signály z výstupů komparátorů zpracovat poměrně složitou kombinační logickou sítí s více než n logickými členy. Celková doba převodu je pak dána součtem zpoždění komparátoru a doby průchodu všech dílčích signálů logickou kombinační sítí. Při použití standardních TTL členů se u čtyřbitového paralelního převodníku dosahuje doby převodu kolem 100 ns. Takový převodník vyžaduje 15 komparátorů a dalších asi 15 integrovaných obvodů.

Vícebitové paralelní převodníky jsou velmi složité a proto jsou vyráběny pouze v zemích s mimořádně dokonalým technologickým vybavením pro výrobu integrovaných obvodů veliké hustoty integrace. Např. osmibitový paralelní převodník vyžaduje 255 rychlých komparátorů a odpovídající složitou a rychlou, kombinační logickou síť, například ECL. Takové převodníky se mimořádně obtížně realizují a jsou velmi drahé. Dosahuje se u nich mimořádně krátké doby převodu např. i pod 10 ns. Takové převodníky jsou vhodné pro analogově číslicové převod televizních signálů a v osciloskopech s číslicovou pamětí, avšak za cenu složitosti.

Jestliže nejsou kladeny extrémní požadavky na rychlost převodu, řeší se rychlé převodníky kompromisně: osmibitový převodník se získá spojením dvou paralelních čtyřbitových analogově číslicových převodníků s rychlým čtyřbitovým číslicově analogovým převodníkem, odečítacím elektronickým obvodem a řadou pomocných obvodů. Tím je vytvořen ekonomicky únosný převodník s dobou převodu pod 200 ns. Převodníky tohoto provedení vyžadují asi 70 integrovaných funkčních bloků a v krajním případě jsou použitelné pro méně kvalitní zpracování televizních signálů.

Do skupiny rychlých přímých analogově číslicových převodníků patří též převodníky s postupným převodem bit po bitu. Na rozdíl od předcházejících převodníků prochází signál N bitového převodníku postupně N bloky, přičemž každý blok má vlastní číslicový výstup odpovídající bitu. První blok tedy produkuje první, tedy nejvýznamnější bit, poslední N-tý blok produkuje nejméně významný bit.

Bez úpravy pomocnou logickou sítí je výstupní signál celého převodníku produkován v úsporném Grayově kódu. Je-li nutné získat signál v binárním kódu, stačí použít jednoduchý převodník kódu složený z N-1 obvodů typu Exclusive-or nebo AND-OR-INVERT. Požadavky na počet integrovaných obvodů nejsou tak velké jako u převodníků paralelních.

Nevýhodou dosud známých převodníků s postupným převodem bit po bitu je, že vyžadují velice rychlé a přesné zesilovače absolutní hodnoty a velice rychlé a přesné analogové sčítací nebo odčítací obvody. Současné převodníky tohoto typu neumožňují současně dostatečně rychlý a přesný převod.

Výše uvedené nedostatky dosud používaných převodníků odstraňuje kaskádní analogově číslicový převodník podle vynálezu, který patří mezi převodníky s postupným převodem bit po bitu. Převodník sestává z N kaskádně spojených bloků, kde N je rovno počtu bitů výstupního číslicového slova. Poslední N-tý blok je tvořen samotným jednovýstupovým komparátorem a ostatní N-1 bloky jsou shodné. Každý z N bloků má analogový a komparační vstup a číslicový výstup. Každý z N-1 bloků má dále referenční vstup a analogový výstup. V řetězci je vždy analogový vstup následujícího bloku spojen s analogovým výstupem předchozího bloku.

Podstatou tohoto převodníku je, že všechny komparační vstupy a referenční vstupy jsou připojeny ke společnému referenčnímu děliči, který je připojen ke společnému zdroji referenčního napětí. Každý z N-1 bloků je tvořen dvouvýstupovým komparátorem, přepínacím zesilovačem, prvním a druhým analogovým spínačem. U každého z N-1 bloků je analogový vstup spojen s neinvertujícím resp. invertujícím vstupem dvouvýstupového komparátoru a zároveň přímo s invertujícím vstupem přepínacího zesilovače a přes první analogový spínač s neinvertujícím vstupem přepínacího zesilovače. Na tento neinvertující vstup je zároveň přes druhý analogový spínač připojen referenční vstup. Výstup přepínacího zesilovače je spojen s analogovým výstupem. Komparační vstup je spojen s invertujícím resp. neinvertujícím vstupem dvouvýstupového komparátoru, jehož jeden výstup je spojen s číslicovým výstupem.

Řídicí svorka prvního analogového spínače je spojena s neinvertujícím resp. invertujícím výstupem dvouvýstupového komparátoru a řídicí svorka druhého analogového spínače je spojena s invertujícím resp. neinvertujícím výstupem tohoto dvouvýstupového komparátoru.

Každý z N-1 bloků může mít dále posouvací vstup a oddělovací zesilovač. Tento oddělovací zesilovač je svým invertujícím výstupem připojen k analogovému vstupu, neinvertujícím vstupem je spojen s posouvacím vstupem, který je dále připojen ke společnému děliči. Výstup oddělovacího zesilovače je spojen s invertujícím vstupem přepínacího zesilovače a zároveň s prvním analogovým spínačem.

Analogový vstup může být spojen s invertujícím vstupem přepínacího zesilovače a prvním analogovým spínačem přes zpožďovací člen. Tento zpožďovací člen lze zařadit i v případě zapojení s oddělovacím zesilovačem, a to na jeho vstup.

S výhodou lze oddělovací zesilovač a/nebo přepínací zesilovač vytvořit s operačním zesilovačem. Invertující vstup tohoto operačního zesilovače je spojen přes vstupní odpor s invertujícím vstupem oddělovacího zesilovače resp. přepínacího zesilovače, neinvertující vstup je pak spojen přímo nebo přes vyrovnávací odpor s neinvertujícím vstupem oddělovacího resp. přepínacího zesilovače. Výstup operačního zesilovače je výstupem oddělovacího resp. přepínacího zesilovače a je spojen přes zpětnovazební odpor s invertujícím vstupem operačního zesilovače.

Komparační nebo posouvací nebo referenční vstupy jednotlivých N-1 bloků mohou být uzemněny buď u všech těchto N-1 bloků, nebo je u prvního z nich nebo u všech kromě prvního. Dále je možné posouvací vstup spojit s analogovým vstupem u každého z N-1 bloků nebo jen u prvního z nich nebo u všech kromě prvního.

Další varianta nastává, když se invertující vstup oddělovacího zesilovače spojí s posouvacím vstupem a neinvertující vstup s analogovým vstupem.

Je možné též komparační a/nebo posouvací a/nebo referenční vstupy N-1 bloků a jednovýstupového komparátoru spojit ve společném uzlu společného referenčního děliče.

Kaskádní analogově číslicový převodník podle vynálezu umožňuje dostupnými prostředky a ekonomicky výhodně dosáhnout dostatečně rychlého a přesného převodu analogové veličiny. Ekonomické výhody tohoto převodníku se projevují již u čtyřbitového převodníku a vzrůstají s rostoucím počtem bitů. S běžně dostupnými integrovanými obvody lze realizovat převodník s rozli-

šením až 10 bitů. Kaskádním spojením bloků se dosáhne maximální úspory počtu funkčních bloků převodníku. Vyřazením zesilovače absolutní hodnoty a obvodů pro sčítání a odečítání střídavých signálů se dosáhne podstatného zrychlení funkce převodníku při současném zvětšení přesnosti a linearity. Tyto obvody jsou nahrazeny elektronickým přepínačem, realizovaným dvojicí analogových spínačů a přepínacím zesilovačem. Pro zajištění správné funkce tohoto elektronického přepínače je nutné zvolit určitou kombinaci komparačního, posouvacího a referenčního napětí tak, aby ke střídání funkce analogových spínačů došlo v okamžiku, kdy se shoduje napětí na výstupu oddělovacího zesilovače s referenčním napětím. Tím se vyloučí přechodové zkreslení, které vzniká u dosavadních převodníků s postupným převodem. Tuto podmínku splňuje řada variant spojení podle vynálezu.

Příklady zapojení podle vynálezu jsou uvedeny na přiložených výkresech, kde na obr. 1 je blokové schéma celé kaskády, na obr. 2 je příklad blokového zapojení vnitřní struktury jednoho z N-1 bloků, na obr. 3 je výhodné zapojení oddělovacího a přepínacího zesilovače, na obr. 4 je příklad jednoho ze skutečných zapojení jednoho bloku převodníku a na obr. 5 je znázorněno v grafu chování příkladného bloku převodníku.

Kaskádní analogově číslicový převodník je tvořen řetězcem N bloků, kde N je rovno počtu bitů výstupního číslicového slova. Poslední N-tý blok je tvořen samotným jednovýstupovým komparátorem 20 a má pouze analogový vstup 1, komparační vstup 2 a číslicový výstup 3. Ostatních N-1 bloků má shodnou vnitřní strukturu a liší se případně jen přiřazením komparačních vstupů 2, posouvacích vstupů 4 a referenčních vstupů 5 ke svorkám společného referenčního děliče 7.

Každý z N-1 bloků je opatřen analogovým vstupem 1, komparačním vstupem 2, posouvacím vstupem 4, referenčním vstupem 5, číslicovým výstupem 3 a analogovým výstupem 6. Analogový vstup 1 prvního bloku je vstupem převodníku. Analogový vstup každého z následujících bloků je vždy spojen s analogovým výstupem 6 předcházejícího bloku.

Všechny komparační vstupy 2, posouvací vstupy 4 a referenční vstupy 5 jsou spojeny se společným referenčním děličem 7, který je napojen na společný zdroj 8 referenčního napětí, případně mohou být některé z nich připojeny na zemnicí svorku tohoto společného referenčního děliče 7.

Každý z N-1 bloků sestává v tomto případě z dvouvýstupového komparátoru 9, oddělovacího zesilovače 10, přepínacího zesilovače 11, prvního analogového spínače 12 a druhého analogového spínače 13. Analogový vstup 1 je spojen s neinvertujícím resp. invertujícím vstupem dvouvýstupového komparátoru 9 a s invertujícím vstupem oddělovacího zesilovače 10.

Je-li z úsporných důvodů oddělovací zesilovač 10 vynechán, je analogový vstup 1 spojen přímo s invertujícím vstupem přepínacího zesilovače 11 a s prvním analogovým spínačem 12, případně je s těmito vstupy spojen přes zpožďovací člen 18.

Pokud je oddělovací zesilovač 10 zařazen, je jeho výstup spojen přímo nebo přes zpožďovací člen 18 s invertujícím vstupem přepínacího zesilovače 11 a zároveň přes první analogový spínač 12 s neinvertujícím vstupem přepínacího zesilovače 11. Komparační vstup 2 je spojen s invertujícím resp. neinvertujícím vstupem dvouvýstupového komparátoru 9, jehož jeden z výstupů je číslicovým výstupem 3 bloku podle dalšího využití a zpracování číslicového signálu. Posouvací vstup 4 je spojen s neinvertujícím vstupem oddělovacího zesilovače 10. Pokud není zařazen oddělovací zesilovač 10, nemá blok ani posouvací vstup 4.

V některých případech mohou být vstupy oddělovacího zesilovače 10 prohozeny, nebo případně oba spojeny s analogovým vstupem 1. Toto záleží na požadavcích, jaké jsou v různých aplikacích kladeny. Pokud je vyžadován velký vstupní odpor a zároveň možnost posuvu výstupního signálu proti signálu vstupnímu, je nutné vstupy oddělovacího zesilovače 10 prohodit. V případě, že není nutná podmínka posuvu výstupního signálu vzhledem ke vstupnímu, je použit

oddělovací zesilovač 10 jako sledovač a oba jeho vstupy jsou připojeny k analogovému vstupu 1 a pak je posouvací vstup 4 zrušen.

Referenční vstup 5 je spojen přes druhý analogový spínač 13 s neinvertujícím vstupem přepínacího zesilovače 11, jehož výstup je analogovým výstupem 6 bloku.

Řídící svorka prvního analogového spínače 12 je spojena s neinvertujícím resp. invertujícím výstupem dvouvýstupového komparátoru 9 a řídící svorka druhého analogového spínače 13 je spojena s invertujícím resp. neinvertujícím výstupem tohoto dvouvýstupového komparátoru 9.

U vícebitových převodníků je výhodné realizovat oddělovací zesilovač 10 a přepínací zesilovač 11 s operačními zesilovači, neboť je tak zaručena reprodukovatelnost parametrů a navíc je toto řešení též cenově výhodné. V tomto případě je základem operační zesilovač 15, jehož invertující vstup je spojen přes vstupní odpor 14 s invertujícím vstupem oddělovacího resp. přepínacího zesilovače 10 resp. 11 a neinvertující vstup je spojen přímo nebo přes vyrovnávací odpor 16 s neinvertujícím vstupem tohoto oddělovacího resp. přepínacího zesilovače 10 resp. 11. Výstup operačního zesilovače 15 je výstupem oddělovacího zesilovače 10 resp. přepínacího zesilovače 11 a je spojen přes zpětnovazební odpor 17 s invertujícím vstupem operačního zesilovače 15.

V příkladném konkrétním zapojení jednoho z N-1 bloků převodníku jsou oddělovací zesilovač 10 i přepínací zesilovač 11 realizovány s operačními zesilovači 15 a první a druhý analogový spínač 12 a 13 jsou realizovány tranzistory MOSFET s indukovaným n-kanálem.

Použitý dvouvýstupový komparátor 9 má dvojici výstupů s TTL úrovněmi, které vyhovují pro řízení obou analogových spínačů 12 a 13. U tohoto obvodu jsou jednoznačně přiřazeny vstupy a výstupy dvouvýstupového komparátoru 9 takto: analogový vstup 1 je spojen s neinvertujícím vstupem, komparační vstup 2 je uzemněn a je spojen s invertujícím vstupem, neinvertující výstup je číslicovým výstupem 3 a je spojen s řídící svorkou druhého analogového spínače 13, invertující výstup je spojen s řídící svorkou prvního analogového spínače 12. Na posouvací vstup 4 je připojeno záporné posouvací napětí o hodnotě  $U_p$  a na referenční vstup 5 je připojeno záporné referenční napětí o hodnotě  $U_R$ . Vstupní napětí  $u_o$  na analogovém vstupu 1 může mít kladnou i zápornou hodnotu a pohybuje se v mezích ohraničených napětími  $+U_M$  a  $-U_M$ . V uvedeném příkladu zapojení je vstupní odpor 14 a zpětnovazební odpor 17 oddělovacího a přepínacího zesilovače 10 a 11 zvolen se stejnou hodnotou R. Na hodnotách vyrovnávacích odporů 16 základní funkce bloku převodníku nezávisí.

Pro volbu posouvacího napětí  $U_p$  a referenčního napětí  $U_R$  v příkladném provedení pak platí

$$4U_p = 2U_R = U_M \quad (1)$$

Napětí  $u_p$  na výstupu oddělovacího zesilovače 10 je dáno vztahem

$$u_p = -U_R - u_o, \quad (2)$$

Dvouvýstupový komparátor 9 mění stavy výstupů při průchodu vstupního napětí  $u_o$  na analogovém vstupu 1 nulou tak, že při  $u_o > 0$  je jeho neinvertující výstup ve stavu H a jeho invertující výstup ve stavu L a při  $u_o < 0$  je to naopak. Jestliže je vstupní napětí  $u_o$  analogového vstupu 1 bloku převodníku v intervalu  $-U_M \leq u_o < 0$ , je sepnut první analogový spínač 12 a přepínací zesilovač 11 pracuje jako sledovač napětí, takže výstupní napětí  $u_v$  na analogovém výstupu 6 se mění podle vztahu

$$u_v = u_p = -U_R - u_o \quad (3)$$

Je-li vstupní napětí  $u_o$  v intervalu  $0 < u_o \leq +U_M$ , je sepnut druhý analogový spínač 13, přepínací zesilovač 11 pracuje jako invertor, takže jeho výstupní napětí  $u_v$  splňuje vztah

$$u_V = -2U_R - u_P = -2U_R + U_R + u_O = -U_R + u_O \quad (4)$$

Je-li podle vztahu (1)  $2U_R = U_M$ , je celý průběh výstupního napětí  $u_V$  posunut o hodnotu  $U_R$  tak, aby probíhal v intervalu  $-U_M/2 < u_V < +U_M/2$ . Tím je napětí analogového výstupu 6 upraveno do rozmezí a průběhu, vhodného pro zpracování dalším shodným blokem převodníku. Protože interval napětí klesl na polovinu, musí další blok pracovat s polovičními napětími  $U_P$  a  $U_R$  na posouvacím vstupu 4 i referenčním vstupu 5.

Uvedený příklad zapojení kaskádního analogově číslicového převodníku podle vynálezu je velmi výhodný. Uzemněný komparační vstup 2 výstupového komparátoru 9 umožňuje jednoduše a bez vedlejších účinků zavést do vstupu napětí pro kompenzaci offsetu tohoto dvouvýstupového komparátoru 9. Připojení obou analogových spínačů 12 a 13, s výhodou tvořených MOSFET tranzistory s indukovaným n-kanálem, přímo k výstupům komparátoru zaručuje nejkratší možnou dobu převodu příslušného bloku.

Realizace oddělovacího a přepínacího zesilovače 10 a 11 s operačním zesilovačem 15 podle příkladného zapojení umožňuje jednoduše kompenzovat vliv vstupního klidového proudu těchto zesilovačů a zavést takovou kmitočtovou kompenzaci zpětnovazební smyčky, při níž je daný typ operačního zesilovače 15 nejrychlejší.

Použití oddělovacího zesilovače 10 a zpožďovacího členu 18 na jeho vstupu umožňuje kompenzovat vliv časového zpoždění výstupní odezvy dvouvýstupového komparátoru 9 na čistotu výstupního průběhu v okamžiku přepínání. Pro nejrychlejší převodníky je důležité, aby oba analogové přepínače 12 a 13 přepnuly právě v okamžiku, kdy výstupní napětí  $u_P$  oddělovacího zesilovače 10 má hodnotu  $-U_R$ .

#### P R E D M Ě T V Y N Á L E Z U

1. Kaskádní analogově číslicový převodník tvořený N kaskádně spojenými bloky, kde N je rovno počtu bitů výstupního číslicového slova, přičemž poslední N-tý blok je tvořen samotným jednovýstupovým komparátorem a ostatní N-1 bloky jsou shodné, každý z N bloků je opatřen analogovým vstupem, komparačním vstupem a číslicovým výstupem a každý z N-1 bloků je dále opatřen referenčním vstupem a analogovým výstupem, kde vždy analogový vstup následujícího bloku je spojen s analogovým výstupem předcházejícího bloku vyznačující se tím, že všechny komparační vstupy (2) a referenční vstupy (5) jsou připojeny ke společnému referenčnímu děliči (7), který je připojen ke společnému zdroji (8) referenčního napětí, každý z N-1 bloků je tvořen dvouvýstupovým komparátorem (9), přepínacím zesilovačem (11), prvním analogovým spínačem (12) a druhým analogovým spínačem (13), kde u každého z N-1 bloků je analogový vstup (1) spojen s neinvertujícím resp. invertujícím vstupem dvouvýstupového komparátoru (9) a zároveň přímo s invertujícím vstupem přepínacího zesilovače (11) a přes první analogový spínač (12) s neinvertujícím vstupem přepínacího zesilovače (11), na který je zároveň přes druhý analogový spínač (13) připojen referenční vstup (5), výstup přepínacího zesilovače (11) je spojen s analogovým výstupem (6) a dále komparační vstup (2) je spojen s invertujícím resp. neinvertujícím vstupem dvouvýstupového komparátoru (9), jehož jeden výstup je spojen s číslicovým výstupem (3), přičemž řídicí svorka prvního analogového spínače (12) je spojena s neinvertujícím resp. invertujícím výstupem dvouvýstupového komparátoru (9) a řídicí svorka druhého analogového spínače (13) je spojena s invertujícím resp. neinvertujícím výstupem dvouvýstupového komparátoru (9).

2. Kaskádní analogově číslicový převodník podle bodu 1 vyznačující se tím, že každý z N-1 bloků má posouvací vstup (4) a oddělovací zesilovač (10), který je svým invertujícím vstupem připojen k analogovému vstupu (1), neinvertujícím vstupem je spojen s posouvacím vstupem (4), který je dále připojen ke společnému děliči (7) a výstup oddělovacího zesilovače (10) je spojen s invertujícím vstupem přepínacího zesilovače (11) a zároveň s prvním analogovým spínačem (12).

3. Kaskádní analogově číslicový převodník podle bodu 1 vyznačující se tím, že analogový vstup (1) je s invertujícím vstupem přepínacího zesilovače (11) a prvním analogovým spínačem (12) spojen přes zpožďovací člen (18).

4. Kaskádní analogově číslicový převodník podle bodů 1 a 2 vyznačující se tím, že na vstup oddělovacího zesilovače (10) je připojen zpožďovací člen (18).

5. Kaskádní analogově číslicový převodník podle bodů 1 až 4 vyznačující se tím, že oddělovací zesilovač (10) a/nebo přepínací zesilovač (11) jsou tvořeny operačním zesilovačem (15), jehož invertující vstup je spojen přes vstupní odpor (14) s invertujícím vstupem oddělovacího zesilovače (10) resp. přepínacího zesilovače (11), neinvertující vstup je spojen přímo nebo přes vyrovnávací odpor (16) s neinvertujícím vstupem oddělovacího zesilovače (10) resp. přepínacího zesilovače (11) a výstup operačního zesilovače (15) je výstupem oddělovacího zesilovače (10) resp. přepínacího zesilovače (11) a je spojen přes zpětnovazební odpor (17) s invertujícím vstupem operačního zesilovače (15).

6. Kaskádní analogově číslicový převodník podle bodů 1 až 5 vyznačující se tím, že komparační vstupy (2) nebo posuvací vstupy (4) nebo referenční vstupy (5) N-1 bloků jsou uzemněny.

7. Kaskádní analogově číslicový převodník podle bodů 1 až 5 vyznačující se tím, že komparační vstup (2) nebo posuvací vstup (4) nebo referenční vstup (5) prvního z N-1 bloků je uzemněn.

8. Kaskádní analogově číslicový převodník podle bodů 1 až 5 vyznačující se tím, že komparační vstupy (2) nebo posuvací vstupy (4) nebo referenční vstupy (5) druhého až N-1. bloku jsou uzemněny.

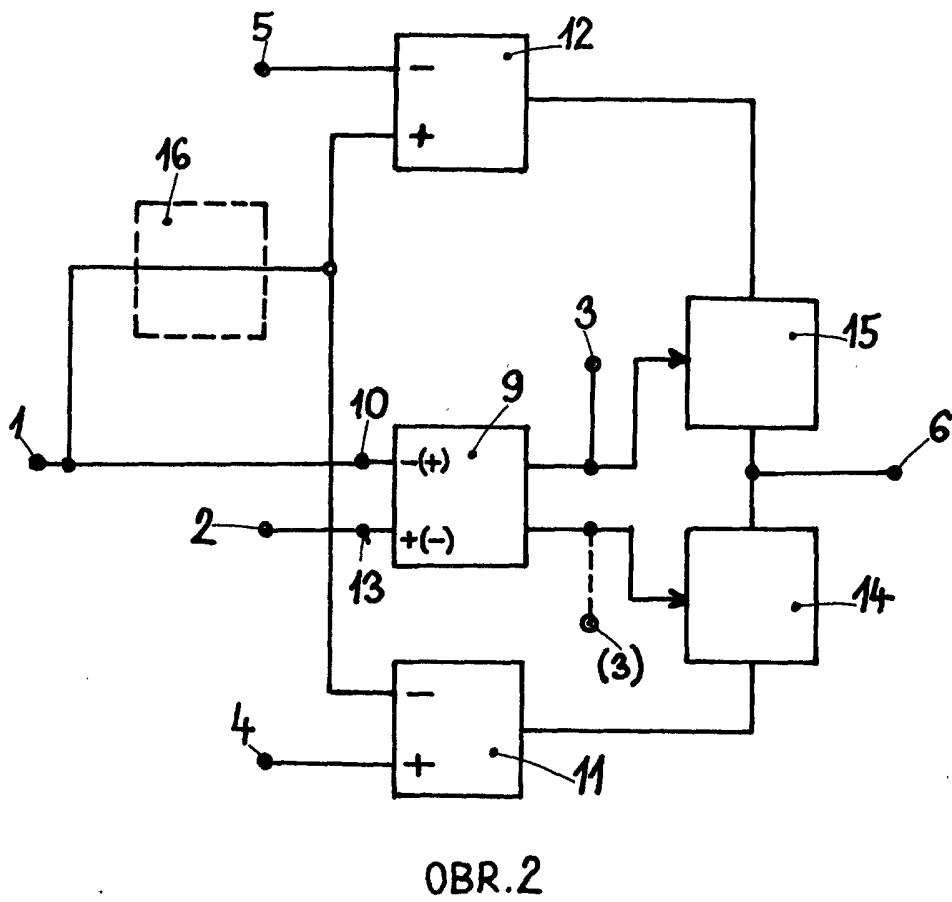
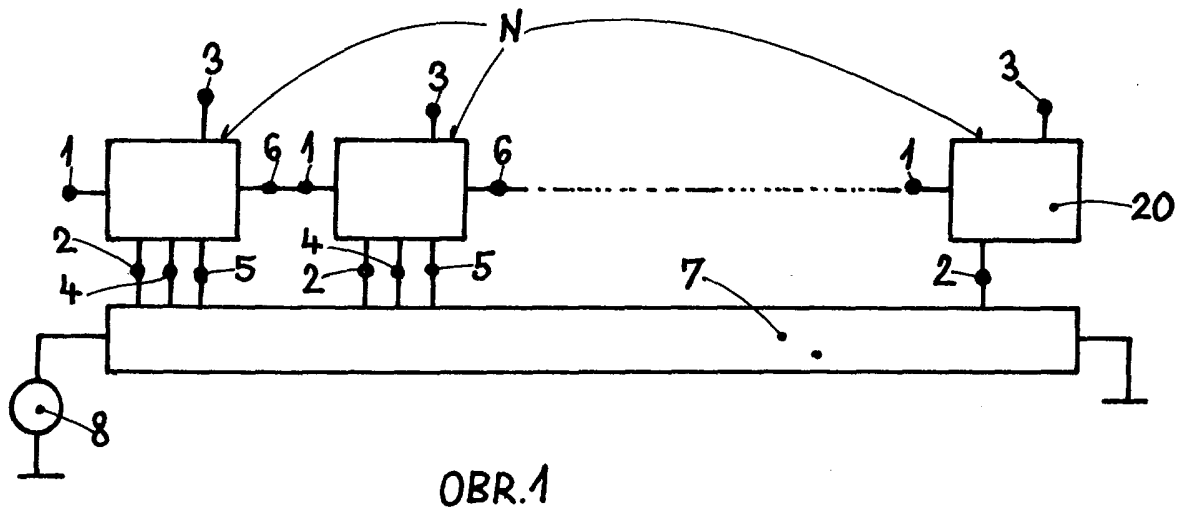
9. Kaskádní analogově číslicový převodník podle bodů 1 až 8 vyznačující se tím, že každý z N-1 bloků má posuvací vstup (4) spojen s analogovým vstupem (1).

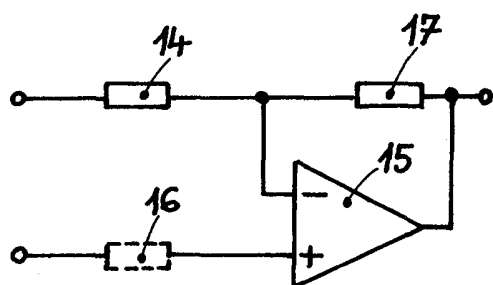
10. Kaskádní analogově číslicový převodník podle bodů 1 až 8 vyznačující se tím, že první z N-1 bloků má posuvací vstup (4) spojen s analogovým vstupem (1).

11. Kaskádní analogově číslicový převodník podle bodů 1 až 8 vyznačující se tím, že druhý až N-1. blok má posuvací vstup (4) spojen s analogovým vstupem (1).

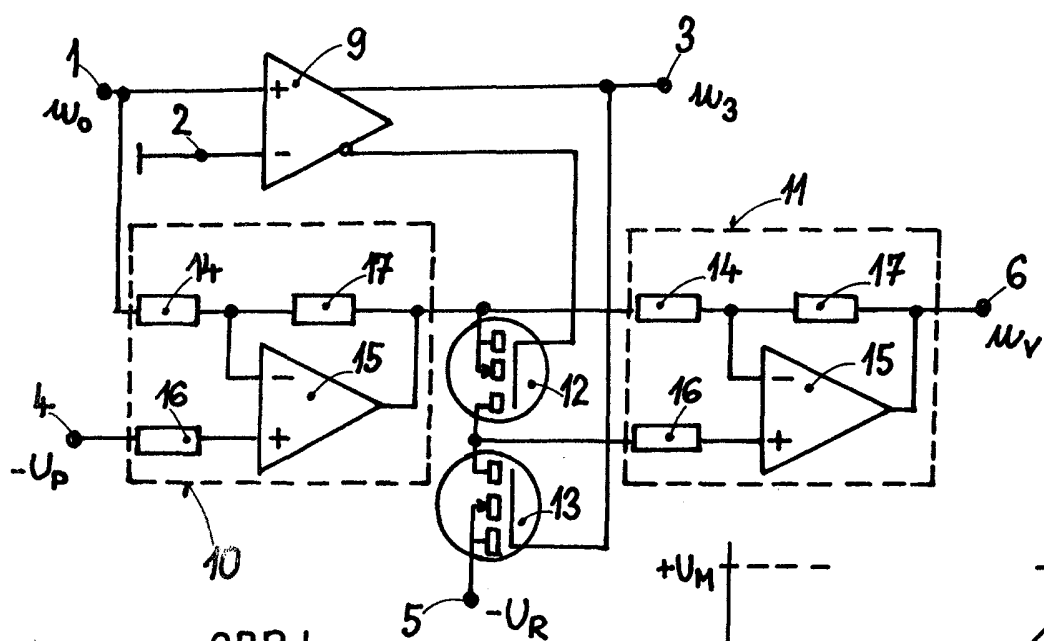
12. Kaskádní analogově číslicový převodník podle bodů 1 až 11 vyznačující se tím, že invertující vstup oddělovacího zesilovače (10) je spojen s posuvacím vstupem (4) a neinvertující vstup oddělovacího zesilovače (10) je spojen s analogovým vstupem (1).

13. Kaskádní analogově číslicový převodník podle bodů 1 až 12 vyznačující se tím, že komparační vstupy (2) a/nebo posuvací vstupy (4) a/nebo referenční vstupy (5) N-1 bloků a jednovýstupového komparátoru (20) jsou spojeny ve společném uzlu společného referenčního děliče (7).

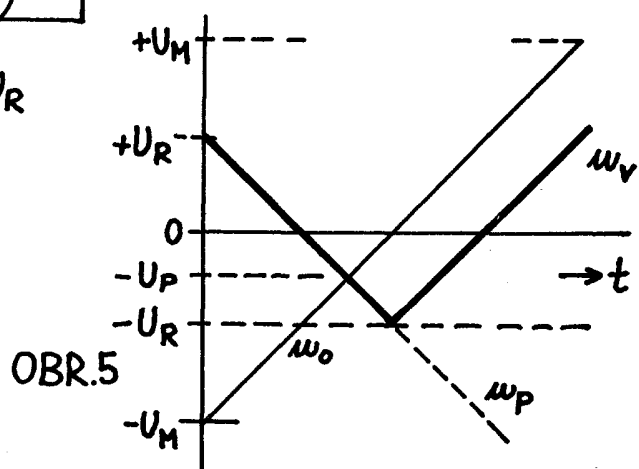




OBR.3



OBR.4



OBR.5