(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3746811号
(P3746811)
(45)発行日　平成18年2月15日(2006.2.15)　(24)登録日　平成17年12月2日(2005.12.2)

(51)Int.Cl.　F I
G11C 29/56 (2006.01)　G11C 29/00 659

請求項の数 5　(全 13 頁)

(21)出願番号　特願平7-170203
(22)出願日　平成7年6月13日(1995.6.13)
(65)公開番号　特開平8-339697
(43)公開日　平成8年12月24日(1996.12.24)
審査請求日　平成14年6月5日(2002.6.5)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　岩橋　誠之
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　日下田　恵一
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　藤村　康弘
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】

【請求項１】

内部アドレス信号のデコード結果に基づいてメモリセルを選択し、選択されたメモリセルのデータを読み出すメモリ部と、

前記メモリ部の前記内部アドレス信号入力端子に出力が結合されクロック入力端子に供給される信号の第１の状態から第２の状態への変化に同期して前記内部アドレス信号を保持して前記メモリ部に供給するアドレス入力ラッチ回路と、

前記メモリ部の前記データ読出し用のデータ端子に入力が結合されクロック入力端子に供給される信号の第２の状態において入力を出力に伝達し、前記信号の第２の状態から第１の状態への変化に同期して入力データを保持して出力するデータ出力ラッチ回路と、

前記アドレス入力ラッチ回路のクロック入力端子に接続された第１のクロック配線と、

前記データ出力ラッチ回路のクロック入力端子に、前記第１のクロック配線からのクロック信号、第２のクロック配線からのクロック信号、及び前記第２の状態に固定された信号の中から選ばれた任意の一つの信号を選択的に供給する制御回路と、

前記データ出力ラッチ回路の出力を受けて論理動作を行う論理回路と、を備えて、１チップ化されて成るものであることを特徴とする半導体集積回路。

【請求項２】

前記制御回路は、前記第１及び第２のクロック配線に結合されると共に、複数ビットのモード信号を入力し、前記モード信号に従って、前記第１のクロック配線からのクロック信号、前記第２のクロック配線からのクロック信号又は前記第２の状態に固定された信号

を選択するものであり、前記第１のクロック配線は第１の外部クロック入力端子に、前記第２のクロック配線は第２の外部クロック入力端子に結合されて成るものであることを特徴とする請求項１記載の半導体集積回路。

【請求項３】

前記メモリ部、アドレス入力ラッチ回路、データ出力ラッチ回路、及び制御回路から成る一の組の回路と、前記夫々の回路を含む他の組の回路とは夫々に専用の外部クロック入力端子に結合されて成るものであることを特徴とする請求項２記載の半導体集積回路。

【請求項４】

前記メモリ部は、スタティック・ランダム・アクセス・メモリであることを特徴とする請求項３記載の半導体集積回路。

【請求項５】

前記アドレス入力ラッチ回路はエッジトリガ型のラッチ回路であり、前記データ出力ラッチ回路はＤ型ラッチ回路であることを特徴とする請求項４記載の半導体集積回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、複数個のメモリ部を備え、メモリ部から読出されたデータを利用して論理動作を行う回路を備えた半導体集積回路に係り、詳しくは当該回路のメモリ部に対するテストを効率化する技術に関し、例えば連想メモリ又は論理機能付きメモリに適用して有効な技術に関する。

【０００２】

【従来の技術】

キャッシュメモリ、アドレス変換バッファ、アドレス変換機構、ＡＩ（Artificial Intelligence）メモリ等の連想メモリ構造を適用した半導体集積回路においては、一つのメモリ部の出力をそのまま或いは所要の論理演算を施して他のメモリ部のアドレス情報として利用することが行われる。このとき、前段から次段へのデータ供給を順次クロック信号に同期させるには信号経路の要所要所に当該クロック信号でラッチ動作が制御されるラッチ回路若しくはレジスタを配置することができる。

【０００３】

【発明が解決しようとする課題】

特に本発明者は、半導体集積回路に内蔵されたメモリ部の動作を一定の動作基準クロック信号に全て同期させると、当該クロック信号サイクルの途中で動作を完了する場合にも次のサイクルを待たなければならず、高速動作を企図する半導体集積回路においてはそのような待ち時間による無駄は無視し得ないことを見出した。そこで、相互に位相が少しづつずれた複数相のクロック信号を用いて、半導体集積回路に内蔵された複数個のメモリ部を必要に応じてタイミングをずらして動作させることについて検討した。それによれば、メモリ部のアドレス入力段にアドレスラッチ回路を設け、相互に位相のずれたクロック信号にてアドレスラッチタイミングをずらし、複数個のメモリから必要なデータを得るタイミングを揃え、或いは、次段回路の動作開始までに無駄な時間を費やさないようにすることができる。このとき、各メモリ部のテスト動作を考慮すると、アドレスラッチ回路がアドレス信号をラッチしてからデータが確定するまでの時間、アドレスラッチ回路がアドレス信号をラッチしてから前回のアクセスデータがホールドされている時間など、各種アクセスタイムのテストにおいては、メモリ部の出力側にもテスト専用のデータラッチ回路を配置することの有用性が見出された。

【０００４】

しかしながら、アドレス入力ラッチ回路とデータラッチ回路をそれぞれ異なるクロック信号で制御してテストを行う場合には、多数のクロック信号を用いることによってそれらクロック信号相互間での誤差を最小限にするためのクロック合わせ込みに手間がかかる上に、一つのメモリ部に対する一つのアクセス時間の判定も２種類のクロック信号の波形を考慮しなければならない。このため、アドレス入力ラッチ回路とデータラッチ回路をそれぞ

れ異なるクロック信号で制御するという手法でメモリ部に対する全てのテストを行うならば、テスト時間が膨大になり、テストが非能率的になりことが本発明者によって明らかにされた。

【０００５】

本発明の目的は、半導体集積回路に内蔵された複数個のメモリ部に対するテスト効率を向上させることにある。

【０００６】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【０００７】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【０００８】

すなわち、半導体集積回路（１，２）は、メモリ部（１０１）と、クロック端子に供給される信号の第１の状態から第２の状態への変化に同期して内部アドレス信号を保持してメモリ部に供給するアドレス入力ラッチ回路（１０５）と、クロック端子に供給される信号の第２の状態において入力を出力に伝達し、前記信号の第２の状態から第１の状態への変化に同期して入力データを保持して出力するメモリ部のデータ出力ラッチ回路（１０７）と、前記データ出力ラッチ回路のクロック入力端子に、第１のクロック信号（ＣＫ００）、第２のクロック信号（ＣＫ０１）、及び前記第２の状態に固定された信号の中から選ばれた任意の一つの信号を選択的に供給する制御回路（１１５）と、を複数組供え、さらに、前記データ出力ラッチ回路の出力を受けて論理動作を行う論理回路（１１０）を備えて、１チップ化されて成る。例えば前記アドレス入力ラッチ回路はエッジトリガ型のラッチ回路であり、前記データ出力ラッチ回路はＤ型ラッチ回路である。

【０００９】

前記制御回路は、複数ビットのモード信号（Ｓ１，Ｓ２）に基づいて、クロック信号（ＣＫ００）、クロック信号（ＣＫ０１）、又は前記第２の状態に固定された信号を選択する。

【００１０】

半導体集積回路全体において、前記メモリ部、アドレス入力ラッチ回路、データ出力ラッチ回路、及び制御回路から成る一の組の回路と、前記夫々の回路を含む他の組の回路とは夫々に専用化された外部クロック入力端子（Ｐ００，Ｐ０１とＰ１０，Ｐ１１）から前記アドレス入力及びデータ出力用のクロック信号を個別的に受ける。

【００１１】

【作用】

上記した手段によれば、複数個のメモリ部を利用した半導体集積回路全体としての内部動作を高速化するために、位相差のある複数相のクロック信号を用いて、相互に異なるメモリ部のアドレス入力ラッチタイミングをずらすことができる。斯る前提を有する半導体集積回路においてメモリ部（１０１，１０２）のテストにおいては、アドレス入力ラッチ回路（１０５，１０６）がアドレス信号をラッチしてからデータが確定するまでの時間、アドレス入力ラッチ回路（１０５，１０６）がアドレス信号をラッチしてから前回のアクセスデータがホールドされている時間など、各種アクセスタイムをテストすることが必要であり、そのために、前記データ出力ラッチ回路（１０７，１０８）が設けられている。前記制御回路（１１５，１１６）により、テストモードにおけるアドレスラッチタイミングとデータラッチタイミングは図６に例示されるように夫々各別の２相のクロック信号にて行う状態と、図７に例示されるように１相のクロック信号にて行う状態とを選択可能にされる。１相のクロック信号によるテストはメモリ部に対する比較的低速のテストに用いることができ、２相のクロック信号によるテストはメモリ部に対する比較的高速のテストに用いることができる。例えば、アドレスラッチタイミングから読出しデータ確定タイミン

グまでの最小時間を、第１のクロック信号（ＣＫ００）の立ち上がりタイミングから第２のクロック信号（ＣＫ０１）の立ち下がりタイミングまでの時間として検出することができる。さらに、第２のクロック信号（ＣＫ０１）の位相差を変化させることによって直前のアクセスによって読出されたデータがホールドされているタイミングも検出することができる。このように２相のクロック信号を用いることによってメモリ部に対して各種のテストを行うことができる。但し、アドレス入力ラッチ回路とデータ出力ラッチ回路をそれぞれ位相の異なるクロック信号で制御してテストを行う場合には、全体として多数のクロック信号を用いることによってそれらクロック信号相互間での誤差を最小限にするためのクロック合わせ込みの手間がかかる上に、一つのメモリ部に対する一つのアクセス時間の判定も２種類のクロック信号の波形を考慮しなければならない。このため、アドレス入力ラッチ回路とデータラッチ回路をそれぞれ異なるクロック信号で制御するという手法でメモリ部に対する全てのテストを行うならば、テスト時間が膨大になり、テストが非能率的になる。テスト効率を上げる場合には図８の（Ｆ），（Ｇ）に例示されるように、１相のクロック信号（ＣＫ００）をアドレス入力ラッチとデータ出力ラッチの双方に利用する。このとき、アクセスタイムは、クロック信号（ＣＫ００）の立ち上がりタイミングから立ち下がりタイミングまでの時間として簡単に得ることができる。双方のラッチタイミングの制御を１相のクロック信号で行うから、２相クロック信号を用いる場合のようなクロック信号相互間の誤差の合わせ込みなどを要しない。これらによってテスト効率を向上させることができる。但し、メモリアクセスのサイクルタイムを短くした（アドレス入力からデータ出力までのアクセスタイムに比べてサイクルタイムをさほど長くしない）高速テストにおいては、図８の（Ｆ），（Ｇ）に例示された波形からも明らかなように、クロック信号（ＣＫ００）の周波数が高くなる上にそのデューティー比が大きくなってくるので、そのようなクロック信号を高精度に生成するには高価な若しくは相当に高機能なテスタが必要になる。したがって高速テストには２相クロックを利用し、低速テストには１相クロックを利用することによって、全体としてのテスト効率を向上させることができる。

【００１２】

【実施例】

図１には本発明の一実施例に係る論理付きメモリのブロック図が示される。同図に示される論理付きメモリ１は、特に制限されないが、相互に同一の２個のメモリブロック１０１，１０２を備え、それらメモリブロック１０１，１０２から読出されたデータを受けて論理動作を行う論理回路１０３が設けられている。

【００１３】

メモリブロック１０１，１０２は、特に制限されないがＥＣＬ－ＣＭＯＳ形式の高速ＳＲＡＭ（スタティック・ランダム・アクセス・メモリ）とされ、例えば図２に示されるように、スタティック型メモリセルＭＣがマトリクス配置されたメモリセルアレイ１３０を有する。メモリセルＭＣの選択端子は代表的に示されたワード線ＷＬに、メモリセルＭＣのデータ端子は代表的に示された相補ビット線ＢＬに結合される。ロウアドレスデコーダ１３１はアドレス入力端子１４０に与えられる内部ロウアドレス信号をデコードし、そのデコード結果がワードドライバ１３２に与えられることによって、当該内部ロウアドレス信号に対応されるワード線が選択レベルに駆動される。カラムアドレスデコーダ１３３はアドレス入力端子１４１に与えられる内部カラムアドレス信号をデコードし、そのデコード結果に従ってカラムスイッチ回路１３４を選択動作させて、当該内部ロウアドレス信号に対応されるｎ対の相補データ線をリード・ライトアンプＡＭＰ１～ＡＭＰｎに接続制御する。これにより、内部ロウアドレス信号にて選択されたワード線に選択端子が結合され、且つ内部カラムアドレス信号にて選択された相補ビット線にデータ端子が結合された、ｎ個のメモリセルがｎ個のリード・ライトアンプＡＭＰ１～ＡＭＰｎに接続される。リード・ライトアンプＡＭＰ１～ＡＭＰｎは、ライトイネーブル信号ＷＥにて読出し動作が指示されている場合には、上述のように選択されたメモリセルからの読出しデータを増幅してデータ出力端子１４２に供給する。また、リード・ライトアンプＡＭＰ１～ＡＭＰｎは、ライトイネーブル信号ＷＥにて書込み動作が指示されている場合には、データ入力端子１

４３から供給される書込みデータを増幅して上述のように選択されたメモリセルに供給する。

【００１４】

図１のメモリブロック１０１、１０２において、内部アドレス信号（内部ロウアドレス信号及び内部カラムアドレス信号）は外部アドレス信号を入力するアドレス入力バッファ１０４が形成する。アドレス入力バッファ１０４の出力はアドレス入力ラッチ回路（ＬＡＴａｉ）１０５、１０６を経て、各メモリブロック１０１，１０２のアドレス入力端子１４０，１４１に供給される。メモリブロック１０１，１０２のデータ出力端子１４２はデータ出力ラッチ回路（ＬＡＴｄｏ）１０７、１０８を経て論理回路１０３に供給される。各メモリブロック１０１，１０２のデータ入力端子１４３はデータ入力バッファ１０９に接続される。尚、図１にはライトイネーブル信号ＷＥやチップ選択信号を省略してあるが、それらは論理付きメモリ１のアクセス主体から供給される。

【００１５】

前記アドレス入力ラッチ回路１０５のクロック端子にはクロックバッファ１１１を介してクロック信号ＣＫ００が供給され、その立ち上がり変化（ローレベルからハイレベルへの変化）に同期してアドレス入力をラッチするエッジトリガ型のラッチ回路とされる。同様に、前記アドレス入力ラッチ回路１０６のクロック端子にはクロックバッファ１１２を介してクロック信号ＣＫ１０が供給され、その立ち上がり変化に同期してアドレス入力をラッチするエッジトリガ型のラッチ回路とされる。前記データ出力ラッチ回路１０７のクロック端子にはクロック信号ＣＫｄｏ０が供給され、そのハイレベルの期間には入力データを出力に伝達し、ローレベルからハイレベルへの変化に同期して入力データをラッチするＤ型のラッチ回路とされる。同様に、前記データ出力ラッチ回路１０８のクロック端子にはクロック信号ＣＫｄｏ１が供給され、そのハイレベルの期間には入力データを出力に伝達し、ローレベルからハイレベルへの変化に同期して入力データをラッチするＤ（ディレイ）型のラッチ回路とされる。データ出力ラッチ回路１０７，１０８のラッチ動作は専らメモリ部１０１，１０２のテストのために利用され、通常動作においてクロック信号ＣＫｄｏ０，ＣＫｄｏ１はハイレベルに固定され、双方のデータ出力ラッチ回路１０７、１０８は入力データをスルーで出力する状態に制御されることになる。その制御内容については詳細を後述する。

【００１６】

ここで、本実施例の論理付きメモリ１においてる論理回路１０３での具体的な論理動作については詳細に説明しないが、例えば、データ出力ラッチ回路１０７の出力は前段論理回路１１０にて、論理回路１０３から供給されるデータとの比較又は論理回路１０３から供給される制御データに従ったシフト演算などが施されて論理回路１０３に供給される。論理回路１０３は前段論理回路１１０の出力とデータ出力ラッチ回路１０８の出力を利用して所定の論理動作を行い、その結果を出力する。このとき、前記通常動作においてクロック信号ＣＫ００の立ち上がり変化に同期してアドレス入力ラッチ回路１０５がアドレス信号をラッチしてから前段論理回路１１１の出力が確定するまでの時間と、クロック信号ＣＫ１０の立ち上がり変化に同期してアドレス入力ラッチ回路１０６がアドレス信号をラッチしてからデータ出力ラッチ回路の出力が確定するまでの時間との間には少なからず相違がある。図３の（Ａ）において前者の時間をＴ０、後者の時間をＴ１と記す。本実施例においては、図３の（Ａ）に示されるようにクロック信号ＣＫ００とＣＫ１０は周波数が等しく位相が一定にずらされた（例えば１／４周期ずらされている）クロック信号とされている。位相のずれは前記時間Ｔ０とＴ１の差の時間を含む量とされる。そして時間Ｔ０はクロック信号ＣＫ００の１周期を越える時間とされる。このように位相差のある２相のクロック信号ＣＫ００，ＣＫ０１にてアドレスラッチタイミングをずらすことにより、論理回路１０３は双方のメモリブロック１０１，１０２から読出されたデータを実質的に同一タイミングにて入力し論理動作を行うことができる。論理回路の論理動作はクロック信号ＣＫ１０に同期される。図３の（Ｂ）に示されるように仮に１相のクロック信号ＣＫ００のみで動作されるとするならば、論理回路１０３の論理動作の開始は遅れることになる。

以上より明らかなように、内部動作を高速化するために、位相差のある複数相のクロック信号を用いてアドレス入力ラッチタイミングをずらすようにされている。尚、図３において、アドレス入力バッファ１０４から論理付きメモリ１の内部に供給されるアドレス信号は、クロック信号ＣＫ００の２サイクルの期間有効とされる。また、Ｐ００，Ｐ０１，Ｐ１０，Ｐ１１はクロック信号ＣＫ００，ＣＫ０１，ＣＫ１０，ＣＫ１１の外部入力端子である。

【００１７】

斯る前提を有する論理付きメモリ１においてメモリブロック１０１，１０２のテストにおいては、アドレス入力ラッチ回路１０５，１０６がアドレス信号をラッチしてからデータが確定するまでの時間、アドレス入力ラッチ回路１０５，１０６がアドレス信号をラッチしてから前回のアクセスデータがホールドされている時間など、各種アクセスタイムをテストすることが必要であり、そのために、前記データ出力ラッチ回路１０７，１０８が設けてある。更に、データ出力ラッチ回路１０７，１０８の出力端子近傍には、出力データ観測用のテストパッド１１３，１１４が配置されている。テストパッド１１３、１１４はテスタの入力端子に接続されてデータ出力ラッチ回路の出力を観測するのに用いられる。

【００１８】

前記クロック信号ＣＫｄｏ０，ＣＫｄｏ１に対する制御はクロック制御回路１１５，１１６が行う。クロック制御回路１１５，１１６は相互に同一回路構成を有し、図４にはクロック制御回路１１５の一例が示される。クロック制御回路１１５はクロック制御回路１１５，１１６に共通の制御信号Ｓ１，Ｓ２と、クロック信号ＣＫ００，ＣＫ０１を入力する。信号Ｓ２は通常モードかテストモードかを指示し、Ｓ２＝ローレベル（通常モード指定）のときナンドゲートＮＡＮＤ１の出力はハイレベルに固定され、これによってデータ出力ラッチ回路１０７は図５に示されるように入力を出力にスルーさせる。

【００１９】

Ｓ２＝ハイレベル（テストモード指定）のときナンドゲートＮＡＮＤ１の出力はアンドゲートＡＮＤの出力によって決定される。信号Ｓ１がローレベル（Ｌ）のときはナンドゲートＮＡＮＤ２の出力はハイレベルに固定される結果、ＣＫｄｏ０＝ＣＫ０１とされる。したがって、図６に示されるように、アドレス入力ラッチ回路１０５はクロック信号ＣＫ００の立ち上がりエッジに同期してラッチされ、読出しデータはクロック信号ＣＫ０１の立ち下がり変化に同期してラッチされる。一方、信号Ｓ１がハイレベル（Ｈ）のときはナンドゲートＮＡＮＤ１の出力はハイレベルに固定される結果、ＣＫｄｏ０＝ＣＫ００とされる。したがって、図７に示されるように、アドレス入力ラッチ回路１０５はクロック信号ＣＫ００の立ち上がりエッジに同期してラッチされ、読出しデータはクロック信号ＣＫ００の立ち下がり変化に同期してラッチされる。図４においてＩＶＴはインバータである。

【００２０】

上記クロック制御回路１１５，１１６により、テストモードにおけるアドレスラッチタイミングとデータラッチタイミングは図６に示されるようにそれぞれ各別の２相のクロック信号にて行う状態と、図７に示されるように１相のクロック信号にて行う状態とを選択可能にされる。１相のクロック信号によるテストはメモリブロックに対する比較的低速のテストに用いられ、２相のクロック信号によるテストはメモリブロックに対する比較的高速のテストに用いられる。論理回路１０３を含めた全体的なファンクションテストは２相のクロック信号を用いて行われる。

【００２１】

図８にはテストモードにおける動作タイミング例が示される。同図に示されるタイミングはメモリブロック１０１に着目したものである。例えば（Ａ），（Ｃ）に示されるクロック信号を用いてメモリブロック１０１を動作テストする場合、（Ｃ）のクロック信号ＣＫ０１によってラッチされたデータが期待値に一致するか否かを調べる。同様に（Ｄ）のように（Ｃ）とは位相がずれたクロック信号ＣＫ０１を用いてラッチしたデータが期待値に一致するか否かを調べる。これによってアドレスラッチタイミングから読出しデータ確定タイミングまでの最小時間を、ＣＫ００の立ち上がりタイミングからＣＫ０１の立ち下が

りタイミングまでの時間として検出することができる。さらに、クロック信号ＣＫ０１を（Ｅ）に示されるような位相とすることにより、直前のアクセスによって読出されたデータがホールドされているタイミングも検出することができる。このように２相のクロック信号を用いることによってメモリ部に対して各種のテストを行うことができる。但し、アドレス入力ラッチ回路とデータ出力ラッチ回路をそれぞれ位相の異なるクロック信号で制御してテストを行う場合には、全体として多数のクロック信号を用いることによってそれらクロック信号相互間での誤差を最小限にするためのクロック合わせ込みの手間がかかる上に、一つのメモリ部に対する一つのアクセス時間の判定も２種類のクロック信号の波形を考慮しなければならない。このため、アドレス入力ラッチ回路とデータラッチ回路をそれぞれ異なるクロック信号で制御するという手法でメモリ部に対する全てのテストを行うならば、テスト時間が膨大になり、テストが非能率的になる。

【００２２】

テスト効率を上げる場合には図８の（Ｆ），（Ｇ）のように１相のクロック信号ＣＫ００をアドレス入力ラッチとデータ出力ラッチの双方に利用する。アクセスタイムは、（Ｆ），（Ｇ）に示されるようにクロック信号ＣＫ００の立ち上がりタイミングから立ち下がりタイミングまでの時間として簡単に得ることができる。双方のラッチタイミングの制御を１相のクロック信号で行うから、２相クロック信号を用いる場合のようなクロック信号相互間の誤差の合わせ込みなどを要しない。これらによってテスト効率を向上させることができる。但し、メモリアクセスのサイクルタイムを短くした（アドレス入力からデータ出力までのアクセスタイムに比べてサイクルタイムをさほど長くしない）高速テストにおいては、図８の（Ｆ），（Ｇ）の波形からも明らかなように、クロック信号ＣＫ００の周波数が高くなる上にそのデューティー比が大きくなってくるので、そのようなクロック信号を高精度に生成するには高価な若しくは相当に高機能なテスタが必要になる。したがって高速テストには２相クロックを利用し、低速テストには１相クロックを利用することによって、全体としてのテスト効率を向上させることができる。例えば最小アクセス時間をテストする場合には必然的にサイクルタイムも短くして行うので２相クロックを利用することが得策であり、最大アクセス時間をテストする場合には必然的にサイクルタイムも長くして行うので１相クロックを利用すれば十分である。

【００２３】

図９には本発明の他の実施例に係る半導体集積回路２のブロック図が示される。同図には論理アドレスを物理アドレスに変換するアドレス変換機構としてのアドレス変換テーブルが示される。同図においてアドレス変換バッファは省略されている。図示が省略された中央処理装置が出力する論理アドレスは、特に制限されないが、最上位側より、セグメント番号ＳＥＧ、ページ番号ＰＡＧ、オフセットＯＦＴとみなされる。アドレス変換テーブルは２個のメモリブロック１０１，１０２にて構成される。メモリブロック１０１にはセグメントテーブルが構成される。メモリブロック１０２には複数のページテーブルが構成される。セグメント番号ＳＥＧはメモリブロック１０１に構成されるセグメントテーブルの先頭アドレスからのオフセットアドレスとされる。メモリブロック１０１に構成されるセグメントテーブルの先頭アドレスはレジスタ１２０に格納されている。セグメント番号ＳＥＧは加算器１２１にてレジスタ１２０のセグメントテーブル先頭アドレスに加算され、アドレス入力ラッチ回路１０５を経てメモリブロック１０１に供給される。セグメントテーブルはセグメント番号ＳＥＧに応ずるページテーブルの先頭アドレスを保有する。論理アドレスに含まれるページ番号ＰＡＧはページテーブル先頭アドレスからのオフセットとされる。メモリブロック１０１から読出されたページテーブル先頭アドレスは、加算器１２２にて前記ページ番号と加算され、アドレス入力ラッチ回路１０６を経てメモリブロック１０２に供給される。ページテーブルはページ番号ＰＡＧに対応されるページ先頭番地を保有する。メモリブロック１０２からデータ出力ラッチ１０８を経て出力されるページ先頭番地は物理ページアドレスとされ、その下位側にオフセットＯＦＴが結合された情報が物理アドレス情報とされる。

【００２４】

図９の実施例においてアドレス入力ラッチ回路１０５，１０６及びデータ出力ラッチ回路１０７，１０８に対するクロック信号の供給は図１の実施例と同じクロック制御回路１１５，１１６が行う。クロック制御回路１１５，１１６については既に説明したのでその詳細については説明を省略する。その他、図１で説明したものと同一の回路には同一符号を付してその詳細な説明を省略する。

【００２５】

本実施例において前記加算器１２１、１２２が論理回路を構成する。アドレス入力ラッチ回路１０６は加算器１２２の出力をアドレス信号として入力しなければならない。このとき、前記通常動作においてクロック信号ＣＫ００の立ち上がり変化に同期してアドレス入力ラッチ回路１０５がアドレス信号をラッチしてから加算器１２２の出力が確定するまでの時間と、クロック信号ＣＫ１０の立ち上がり変化に同期してアドレス入力ラッチ回路１０６がアドレス信号をラッチしてからデータ出力ラッチ回路１０８の出力が確定するまでの時間との間には少なからず相違がある。図１０の（Ａ）において前者の時間をＴ２、後者の時間をＴ３と記す。本実施例においては、図１０の（Ａ）に示されるようにクロック信号ＣＫ００とＣＫ１０は周波数が等しく位相が一定にずらされた（例えば１／２周期ずらされている）クロック信号とされている。位相のずれは前記時間Ｔ２とＴ３の差の時間を含む量とされる。そして時間Ｔ２はクロック信号ＣＫ００の１周期を越える時間とされる。このように位相差のある２相のクロック信号ＣＫ００，ＣＫ０１にてアドレスラッチタイミングをずらすことにより、メモリブロック１０２は時刻ｔｎまで待つことなくｔｍにてアクセスを開始してアドレス変換を行うことができる。図１０の（Ｂ）に示されるように、仮に１相のクロック信号ＣＫ００のみで動作されるとするならば、メモリブロック１０２のアドレス入力ラッチ回路１０６のラッチ動作は時刻ｔｎから開始され、アドレス変換動作が遅れることになる。本実施例においても上記実施例同様に、内部動作を高速化するために、位相差のある複数相のクロック信号を用いてアドレス入力ラッチタイミングをずらすようにされている。尚、本実施例では図１０の（Ａ）において論理アドレスはクロック信号ＣＫ００の２サイクルの期間に亘って確定されるものとする。

【００２６】

斯る前提を有する半導体集積回路２においてメモリブロック１０１，１０２のテストにおいては、アドレス入力ラッチ回路１０５，１０６がアドレス信号をラッチしてからデータが確定するまでの時間、アドレス入力ラッチ回路１０５，１０６がアドレス信号をラッチしてから前回のアクセスデータがホールドされている時間など、各種アクセスタイムをテストすることが必要であり、そのために、前記データ出力ラッチ回路１０７，１０８が設けてある。更に、データ出力ラッチ回路１０７，１０８の出力端子近傍には、出力データ観測用のテストパッド１１３，１１４が配置されている。上記クロック制御回路１１５，１１６により、テストモードにおけるアドレスラッチタイミングとデータラッチタイミングは図６に示されるようにそれぞれ各別の２相のクロック信号にて行う状態と、図７に示されるように１相のクロック信号にて行う状態とを選択可能にされる。１相のクロック信号によるテストはメモリブロックに対する比較的低速のテストに用いられ、２相のクロック信号によるテストはメモリブロックに対する比較的高速のテストに用いられる。したがって、本実施例においても、高速テストには２相クロックを利用し、低速テストには１相クロックを利用することによって、全体としてのテスト効率を向上させることができる。

【００２７】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば半導体集積回路に内蔵されるメモリブロックの数、メモリブロックの構成、メモリブロックのデータ記憶形式等は上記実施例に限定されず適宜変更可能である。また、本発明は、アドレス変換の他に、アドレス変換バッファ、キャッシュメモリ、ＡＩメモリなどの各種半導体集積回路の広く適用することができる。

【００２８】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【００２９】

すなわち、位相差のある複数相のクロック信号を用いて、相互に異なるメモリ部のアドレス入力ラッチタイミングをずらすことができるので、複数個のメモリ部を利用した全体としての内部動作を高速化できる。斯る前提のもとにおいて、前記データ出力ラッチ回路（１０７，１０８）が設けられているので、メモリ部（１０１，１０２）のテストにおいては、アドレス入力ラッチ回路（１０５，１０６）がアドレス信号をラッチしてからデータが確定するまでの時間、アドレス入力ラッチ回路（１０５，１０６）がアドレス信号をラッチしてから前回のアクセスデータがホールドされている時間など、各種アクセスタイムをテストすることができる。このとき、制御回路（１１５，１１６）により、テストモードにおけるアドレスラッチタイミングとデータラッチタイミングを夫々各別の２相のクロック信号にて行う状態と、１相のクロック信号にて行う状態とを選択することができる。したがって高速テストには２相クロックを利用し、低速テストには１相クロックを利用することによって、全体としてのテスト効率を向上させることができる。

【図面の簡単な説明】

【図１】本発明の一実施例に係る論理付きメモリのブロック図である。

【図２】メモリブロックの一例ブロック図である。

【図３】図１の論理付きメモリにおいて２相のクロック信号を用いてアドレス入力ラッチ制御を行う通常動作の説明図である。

【図４】クロック制御回路の一例論理回路図である。

【図５】クロック制御回路に通常動作モードを設定したときのメモリブロックに対するクロック制御の説明図である。

【図６】クロック制御回路に２相クロックを用いるテストモードを設定したときのメモリブロックに対するクロック制御の説明図である。

【図７】クロック制御回路に１相クロックを用いるテストモードを設定したときのメモリブロックに対するクロック制御の説明図である。

【図８】テストモードにおける一例動作タイミング図である。

【図９】本発明の他の実施例に係る半導体集積回路のブロック図である。

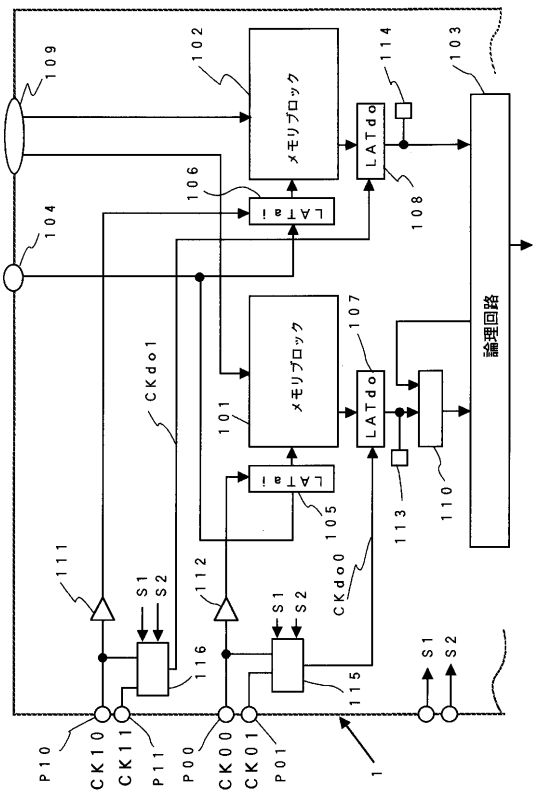
【図１０】図９の半導体集積回路において２相のクロック信号を用いてアドレス入力ラッチ制御を行う通常動作の説明図である。

【符号の説明】

１　論理付きメモリ
２　半導体集積回路
１０１，１０２　メモリブロック
１０３　論理回路
１０５，１０６　アドレス入力ラッチ回路
１０７，１０８　データ出力ラッチ回路
１１５，１１６　クロック制御回路
ＣＫ００，ＣＫ０１，ＣＫ１０，ＣＫ１１　クロック信号
Ｓ１，Ｓ２　制御信号
１２２　加算器

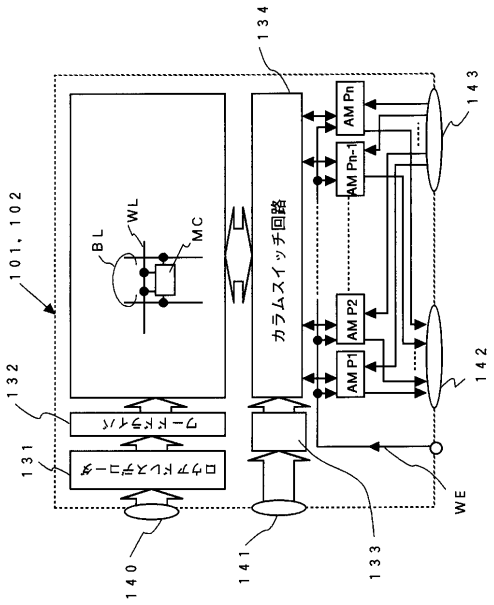
【図１】

【図1】



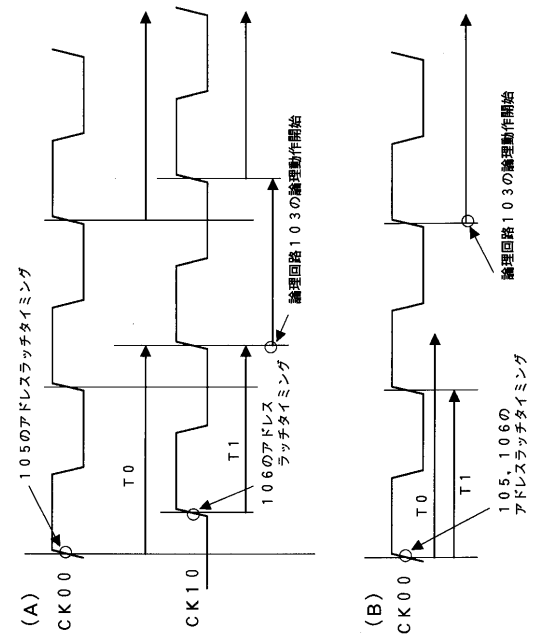
【図２】

【図2】



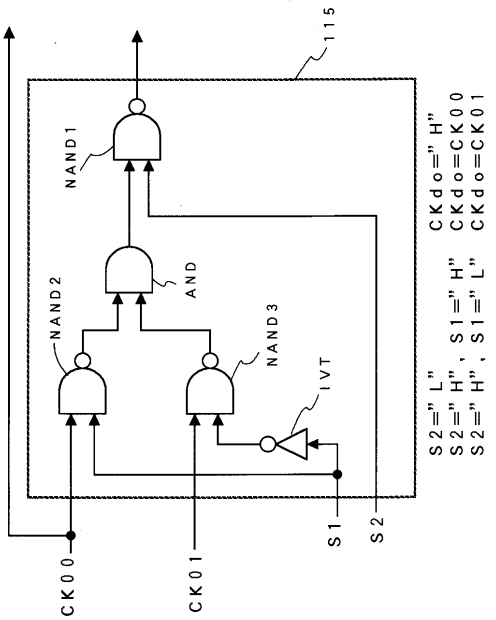
【図３】

【図3】

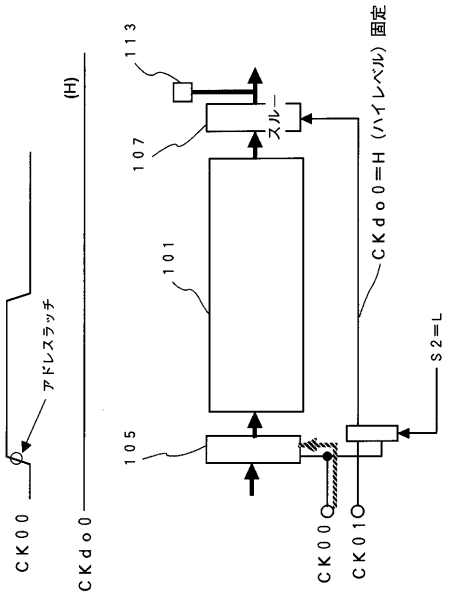


【図４】

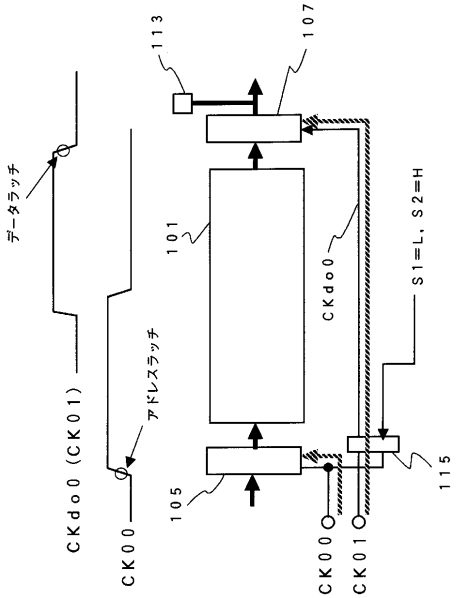
【図4】



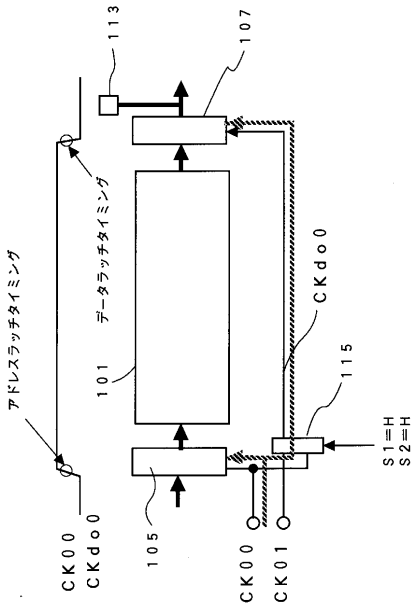
【図５】
【図5】



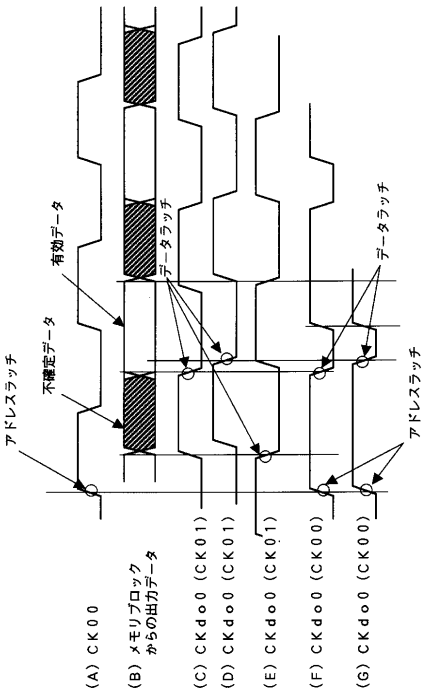
【図６】
【図6】



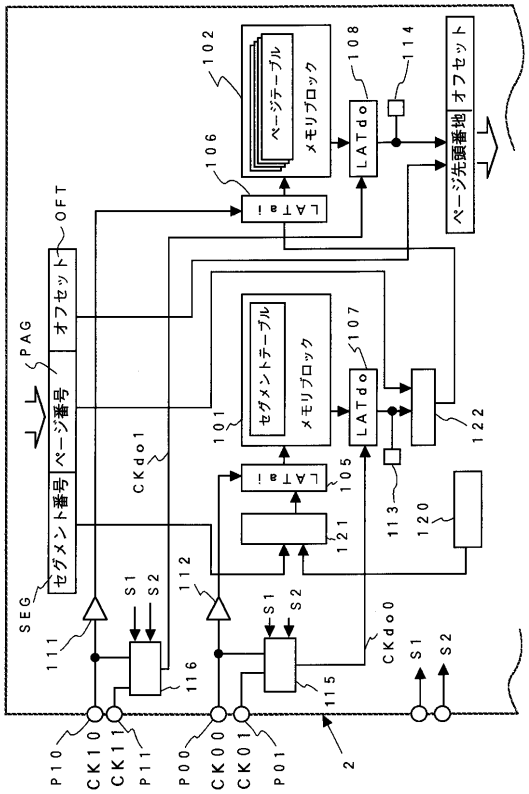
【図７】
【図7】



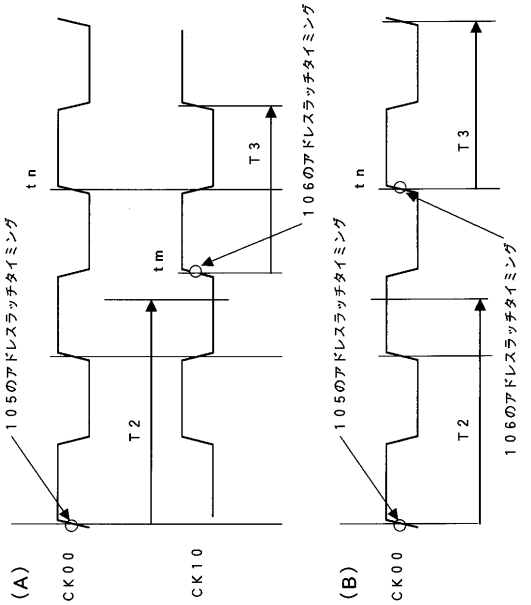
【図８】
【図8】



【図９】
【図9】


102
ページテーブル
メモリブロック
108
LATdo
114
ページ先頭番地
オフセット
106
LATai
OFT
PAG
オフセット
ページ番号
セグメント番号
SEG
111
CKdo1
101
セグメントテーブル
メモリブロック
107
LATdo
122
LATai
105
121
113
120
S1
S2
112
116
115
CKdo0
P10
CK10
CK11
P11
P00
CK00
CK01
P01
2

【図１０】
【図10】


tn
tm
T3
T2
105のアドレスラッチタイミング
106のアドレスラッチタイミング
(A)
CK00
CK10
(B)
CK00

フロントページの続き

(72)発明者　磯村　悟
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　山口　邦彦
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

審査官　小松　正

(56)参考文献　特開平０５－１７４６００（ＪＰ，Ａ）
特開平０６－０５８９９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/00