

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 02824753.1

H01L 29/868 (2006.01)

H01L 27/06 (2006.01)

H01L 29/417 (2006.01)

[45] 授权公告日 2009 年 7 月 29 日

[11] 授权公告号 CN 100521245C

[22] 申请日 2002.11.22 [21] 申请号 02824753.1

[30] 优先权

[32] 2001.12.11 [33] DE [31] 10160829.2

[86] 国际申请 PCT/EP2002/013138 2002.11.22

[87] 国际公布 WO2003/050885 德 2003.6.19

[85] 进入国家阶段日期 2004.6.11

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 C·阿伦斯 W·哈通

H·霍耶尔曼恩 R·洛塞汉德

J·-P·沙弗

[56] 参考文献

EP1146567A1 2001.10.17

CN1133105A 1996.10.9

US2001/0042900A1 2001.11.22

CN1159656A 1997.9.17

审查员 郭金霞

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张志醒

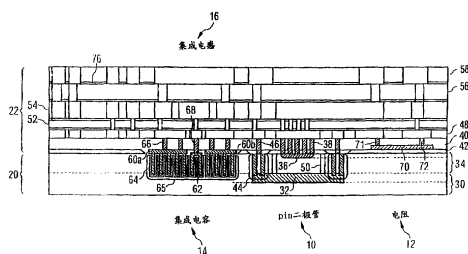
权利要求书 4 页 说明书 10 页 附图 2 页

[54] 发明名称

二极管电路及其制造方法

[57] 摘要

本发明涉及二极管电路及其制造方法。一种二极管电路，包括一 pin 二极管结构(10)，其中 n 半导体层是一埋入层(32)，于其上通过外延淀积方法沉积 i 区域(34)，且其中一 p 半导体层(36)被导入外延淀积层内。p 半导体层的接触(38)以及 n 半导体层(32)的接触(44, 46)被设置于半导体基板(20)的相同的主表面上，使得具有一集成电容(14)，一集成电阻(12)及/或一集成电感(16)的集成是可能的。



1. 一种二极管电路, 包括:

一半导体基板, 具有一主表面, 其中该半导体基板包括:

一第一掺杂型态的一第一半导体层(36);

一第二掺杂型态的一第二半导体层(32); 以及

一第三半导体层(34)设置于该第一与该第二半导体层之间, 其自由电荷的浓度小于该第一及该第二半导体层的自由电荷浓度,

其中该第二半导体层(32)是被埋入该半导体基板(20)之内的一层,

其中该第一半导体层(36)分布于该半导体基板(20)的该主表面之上;

其中一沟槽出现于该第三半导体层(34)之内, 该沟槽至少一部份从该半导体基板的该主表面延伸至该第二半导体层(32),

一第一接触(38), 用于设置于该半导体基板的该主表面上的该第一半导体层(36)的接触; 以及

一第二接触(44,46), 用于该第二半导体层(32)的接触, 其中该第二接触从该半导体基板(20)的该主表面延伸至该第二半导体层(32),

其中该第二接触(44,46)包括一重掺杂区域(44)设置于该第三半导体层(34)之内, 该区域空间上设置于该第三半导体层(34)内的该沟槽周围,

其中该沟槽通过一隔离层(64)与该重掺杂区域(44)隔离。

2. 如权利要求1所述的二极管电路, 其特征在于,

还包括一电容集成于该半导体基板内, 包括一第一电极(60a,60b)以及一第二电极(62), 其二者被设置于该半导体基板(20)的该主表面。

3. 如权利要求2所述的二极管电路, 其特征在于, 该电容还包括:

一另外的沟槽位于该第三半导体层(34)内;

一掺杂区域(65)位于该第三半导体层(34)内并设置于该另外的沟槽的周围;

一隔离层(64)位于该另外的沟槽内;

一导电材料位于该隔离层上及该另外的沟槽内,其中该第一电极连接于该另外的沟槽内的该导电材料,以及

其中该第二电极连接至设置于该另外的沟槽周围的该掺杂区域(65)。

4. 如权利要求3所述的二极管电路,其特征在于,

还包括一集成电阻(12)通过该半导体基板的该主表面上的一隔离材料层与该半导体基板(20)分离,并包括由导电材料制成的一区域(70)。

5. 如权利要求4所述的二极管电路,其特征在于,所述由导电材料制成的该区域包括一材料,其与设置于该第三半导体层(34)内的该电容的该另外的沟槽内的该导电材料相同,或与该沟槽中的材料相同,该沟槽周围空间上设置了该第二接触的该重掺杂区域。

6. 如权利要求1所述的二极管电路,其特征在于,

还包括一集成电感(16)通过至少一另外的隔离层(40)与该半导体基板分离。

7. 如权利要求1或2所述的二极管电路,其特征在于,该二极管电路更包含一集成电感,该集成电感包括:

至少一圈,其中该圈被形成为一层(58,54)内的一导电区域,该层以至少一另外的隔离层(40)而与该半导体基板(20)分离,该至少一另外的隔离层(40)被设置于形成有该至少一圈的该层与该半导体基板的该主表面之间。

8. 如权利要求1所述的二极管电路,其特征在于,

该半导体基板包括一高电阻基底基板(30),其中该第二半导体层(32)设置于该高电阻基底基板的上表面区域之内。

9. 如权利要求1所述的二极管电路,

还包括一连接线层(48),其中该连接线层通过至少一另外的隔离层与该半导体基板(20)的该主表面分离。

10. 如权利要求1所述的二极管电路,该二极管电路形成一集成电路,其特征在于,该集成电路包括:

一HF输入端(3)用于一HF输入信号;

一HF输出端(4)用于一HF输出信号;

一控制端(1)用以输入一供电电压至该第一接触;

一接地端(2)用以输入一大地电位至该第二接触, 其中该 HF 输入端(3), 该 HF 输出端(4), 该控制端(1)与该接地端被形成于一另外的连接线层中, 该另外的连接线层藉由至少一隔离层而分离于该半导体基板的该主表面;

一集成电阻 R1 位于该控制端(1)与一中间点之间;

一第一集成电感 L1 位于该中间点与该第一接触之间;

一第一集成电容 C1 位于该中间点与该接地端(2)之间;

一第二集成电容 C2 位于该 HF 输入端(3)与该第一接触之间。

11. 如权利要求 10 所述的二极管电路, 其特征在于, 一第一另一电感及与该第一另一电感串联的另一电容 C4 连接于该第一与该第二接触之间,

其中该第一另一电感(L3)的尺寸被设定为其形成具有该第一与该第二半导体层之间的一反向偏压的一截止电容的一共振电路, 该共振电路具有一共振频率, 其接近于一 HF 输入端输入的高频电压的平均操作频率。

12. 如权利要求 10 或 11 所述的二极管电路, 其特征在于,

一第二另一电感 L1 被设置于该第二接触与该接地端(2)之间, 其中另一电阻(R2)连接于该第二半导体层与该接地端(2)之间;

及/或

其中另一电容 C3 连接于该另一电阻(R2)与该 HF 输出端(4)之间。

13. 一种制造二极管电路的方法, 包括以下步骤:

提供具有一主表面的一半导体基板, 其中该半导体基板包括:

一第一掺杂型态的一第一半导体层(36);

一第二掺杂型态的一第二半导体层(32); 以及

一第三半导体层(34)设置于该第一与该第二半导体层之间, 其自由电荷的浓度小于该第一及该第二半导体层的自由电荷浓度,

其中该第二半导体层(32)是被埋入该半导体基板(20)之内的一层,

其中该第一半导体层(36)分布于该半导体基板(20)的该主表面之上;

产生一第一接触(38), 用于设置于该半导体基板之该主表面上的该第一半导体层(36)的接触; 以及

产生一第二接触(44,46), 用于该第二半导体层(32)的接触, 其中该第二接触从该半导体基板(20)的该主表面延伸至该第二半导体层(32), 其中产生该第二接触的步骤包括下列步骤:

形成穿过该第三半导体层(34)的至少一部分的一沟槽;

掺杂该沟槽周围之一区域(44)以便于产生延伸至该第二半导体层(32)的该沟槽周围的一掺杂区域(44); 以及

通过将一隔离层导入该沟槽而隔离该沟槽之一表面并以一导电材料填入该沟槽。

14. 如权利要求 13 所述的方法, 其特征在于,

提供该半导体基板的步骤包括下列子步骤:

提供一低电阻基底半导体基板(30);

掺杂该低电阻基底半导体基板的一区域以产生该第二半导体层(32);

沉积一本征或轻掺杂区域(34)于该第二半导体层(32)之上以产生该第三半导体层(34); 以及

掺杂该第三半导体层(34)内的一区域以产生该第一半导体层(36)。

15. 如权利要求 13 或 14 所述的方法, 其特征在于, 于该产生该第二接触的步骤中, 在相同时间于该第三半导体层内产生一电容沟槽。

二极管电路及其制造方法

技术领域

本发明涉及二极管电路，尤其是关于集成二极管电路。

背景技术

EP 1146567 A1 公开了一种二极管以及其制造方法。此二极管之实施例是一 pin 二极管，并包括于其上沉积一轻度掺杂 n 导电区域之重度掺杂 n 导电硅基板。于该轻度掺杂 n 导电区域之上设置有一重度掺杂 p 导电区域。该轻度掺杂区域是通过在该重度掺杂硅基板上之外延 (epitaxy) 所形成，而其中该重度掺杂 p 导电区域是通过该外延区域中之植入所产生。在平面视图中为圆形之 pin 二极管包括一隔离沟槽 (trench) 延伸环绕该主动二极管结构并形成其限制。此二极管通过设置一电极于重度掺杂 p 导电区域上以及通过沉积，在背后 (back side) 薄化之后，一背后接触于重度掺杂 n 导电硅基板之背表面上。通过提供隔离沟槽，空乏区域 (depletion region) 之延伸，以及因此二极管的电容与该上部电极解耦合，因此空乏区的延伸可以独立于电极的尺寸而被选择。这允许较短的切换开/关时间，这对于 pin 二极管被当成高频开关使用时尤其需要。

为设置此种二极管至一电路内，必须提供外部的 HF 耦入网络 (couple-in network)，以及额外具有一偏压馈入网络，因此二极管可于一高频电路中被使用。此半导体二极管因此必须在外部分为：该 HF 耦入与一高通 (high pass)，该 HF 耦出 (couple-out) 之高通 (high pass)，以及该偏压馈入之低通 (low pass) 接触。

此概念的缺陷在于区域消耗相当高。此外，需要复杂且因此昂贵的处理步骤以便获得外部连接的接触，例如通过打线 (bonding)。此外，会导入使用打线之外部接触产生额外的寄生效应，尤其是打线的导电性有问题的效应，其一方面仅可被仿真，且因此很不好地被列入电路设计时的考虑，

且另一方面，降低整个电路的截止频率(cut-off frequency)。

发明内容

本发明的之一目的在于提供一种二极管电路及产生二极管电路之方法，其较不昂贵且就区域消耗考量时是较好的。

此目的通过依据权利要求 1 的二极管电路以及权利要求 15 的产生二极管电路之方法而达成。

本发明是以较好的及较不昂贵的电路可以通过集成二极管与供电网络在一起而达成的发现为基础。依据本发明，这通过一 pin 二极管被制造，其接触重度掺杂 n 区域及接触重度掺杂 p 区域之电极被设置在半导体基板之相同表面上而可达成。这是通过将 p 区域或 n 区域当成一「埋入层」而可获得。二极管之二端电被设置在半导体表面之相同表面上之结构使得二极管与其它的电路，例如电容，电阻或线圈的集成是可能的。

为了使得二极管与电容的集成是可能的，此二极管被形成于高电阻电路基板之上。

于较佳实施例中，埋入层通过在高电阻基板上的植入(implantation)而产生。此 i 层通过外延方法在埋入层上成长。高度掺杂 p 区域通过掺杂该外延层之一上部区域而产生。此埋入层的接触区域使用一沟槽而产生。以此沟槽蚀刻，电浆限制用之沟槽的协助，此 pin 二极管及与该埋入层分离之一集成的电容可在相同的基板中产生。当，除了该埋入层接触之沟槽之外，一隔离沟槽及一沟槽电容被形成，包围沟槽之外延区域将首先经过该沟槽(除了该隔离沟槽区域)而被掺杂。接着，提供一隔离层于沟槽的表面以获得电容介电质。这造成接触沟槽或埋入层用的沟槽也被隔离的结果。电流的传输不再经由实质上被填充导电物质之沟槽而发生，而是经由包围接触沟槽之掺杂区域。被填入导电材料以为接触埋入层之用的沟槽不再适合传输电流，因为它们已经被隔离。但是，其已发展为经由沟槽周围的电流传输之足够的。因此，不需外执行额外的步骤再次将电容介电质取出“接触沟槽”。

在本发明另一实施例中，由和用以填充至集成电容沟槽内之材料相同

之层所形成之一集成电阻在掺杂后被填入，并产生隔离。可以通过金属化薄片形成连接线。当数个金属薄片呈现时，也经由被填充金属之孔与二极管连接之集成电感，电容及电阻，如果需要的话，也可于金属化薄片上产生。

附图说明

本发明较佳实施例将参照附图而被详细说明，其中：

图 1 是具有一 pin 二极管，一集成电容，一集成电阻以及一集成电感的集成电路的剖面图；以及

图 2 是电路图，用以说明二极管对无源组件的较佳集成连接，其可经由图一金属化结构获得。

具体实施方式

在对图 1 及图 2 详细解释之前，将参照 pin 二极管之一般的操作模式。通常，pin 二极管包括一轻度掺杂或无掺杂本征区域(intrinsic region)。此本征区域与 p 掺杂及 n 掺杂区域相较之下具有较大的延伸。当施加一截止电压(cut-off voltage)至 pin 二极管时，此 i 区域很快地清除所有的自由电荷载子且空间电荷区域伸及整个 i 区域。这产生的效应为 pin 二极管在反向具有极低的截止电容，在 200 与 300 fF 范围之间。

但如果此二极管被正向偏压(forward bias)，此 i 区域充满电荷载子且 p 区域与 i 区域之间的扩散电容很大。此外，二极管的欧姆(ohmic)电阻极低，因为 i 区域充满自由电荷载子。

pin 二极管因此可被视为受控的电阻，在正向中，具有极小的值，且其中在流动方向的电容也非常大。对施加至 pin 二极管之高频信号而言，这表示由于小的欧姆电阻，会产生小的衰减，且高的扩散电容代表高频信号之短路(short circuit)。但对于 pin 二极管反向偏压(reverse bias)而言，高频信号看见一极高的欧姆电阻，以及一极小的串联电容。此 pin 二极管因此代表一高频开关，当二极管正向偏压时开关为关(closed)，而当二极管反向偏压时开关为开(open)。

接着,本发明 pin 二极管及和无源组件的接触将参照图一来讨论。图一表示具有一 pin 二极管 10, 一集成电阻 12, 一集成电容 14, 以及一集成电感 16 之集成电路之剖面图。在一平面图中, 此 pin 二极管可以, 例如, 以圆形或矩形的方式实施。这在理论上对电阻, 集成电容及集成电感而言也是正确的, 其中为简化之故, 选择在平面图上为矩形的形式做为集成电阻。

图一所示之集成电路包括半导体基板 20 以及金属结构 22, 其中金属结构 22 于本导体基板被产出之后被沉积在半导体基板 20 之上。此半导体基板 20 通过提供一基底半导体基板 30 而产生。一层 32 被形成于该基底半导体基板 30 之内, 例如通过植入, 其将于稍后 - 外延之后 - 被当成埋入层使用。在本发明较佳实施例中, 埋入层 32 是一重度 n 掺杂层。如从图一所见, 重度 n 掺杂层被限制在 pin 二极管 10 之区域。在集成电容 14 及集成电阻 14 及集成电感之下没有此埋入层 32。应该说明的是基底半导体基板 30 较佳者为一高电阻基板, 因此, 例如, 集成电容 14 主动与集成 pin 二极管隔离。基底半导体基板 30 之基板的区域中之重度掺杂层 32 的产生可以, 例如, 通过光学微影技术以及离子植入, 例如通过离子扩散, 产生。

通过外延方法, 轻度 n 掺杂甚至为本征, 亦即其掺杂浓度通常比埋入层 32 之掺杂浓度, 同时也比第一半导体层 36 之掺杂浓度, 的数值小数个级数(order), 之第三半导体层 34, 被成长于形成具有第二掺杂型态 n 之第二半导体层之埋入层 32 之上。第一半导体层 36, 其通常为重度 p 掺杂, 通过于第二半导体层 34 内掺杂一区域化区域而产生。此 pin 二极管因此包括一 p 层 36, 接下来是一 i 层 34, 再接着是半导体基板 20 内之 n 层 32。第一半导体层 36, 其于图一中被表示为 p 掺杂, 通过第一接触 38 而被接触。第一接触 38 包括被填充钨且穿过第一隔离层 40 及第二隔离层 42 之孔。

此埋入层 32 通过包括被掺杂于第二半导体层 34 内之一区域 44 之一第二接触而被接触, 随后将进行解释。第二接触更包括被填充钨材料之一穿孔 46, 其可被连接至其它组件, 如同第一接触 38 的情况般, 通过连接

线层 48。连接层 48 左边空处应，例如包括铜区域，而图 1 以黑影线方式呈现之区域是表示一隔离层。于本发明较佳实施例中，pin 二极管更包括一隔离沟槽 50 沿主动 i 区域延伸，其使得正向偏压 pin 二极管中的电荷载子限制是可能的，且因此导致短的切换开/关时间，如 EP 1146567 A1 所述。

图 1 所示之金属结构 22 更包括，除了也被称为第一金属层之交叉连接层 48 之外，一第一缝隙层 52，一第二金属层 54，一第二缝隙层 56 以及一第三金属层 58。由层 40 及 42 形成之层也称为钨层，因为第一及第二接触之钨栓被形成于该处。

在本发明之较佳实施例中，以下的垂直尺寸对个别的层而言是较佳的。金属层 M1 (48) 通常具有 600 nm 的延伸。第一缝隙层 52 通常具有 900 nm 的延伸。第二金属层 M2 (54) 通常具有 2.5 μ m 的延伸。第二缝隙层 56 通常具有 1 至 2 μ m 的延伸。第三金属层 M3 (58) 通常具有 2.5 μ m 的延伸。

集成电容后续将被详细处理。集成电容包括一第一电容电极 60a, 60b 以及一第二电容电极 62。电容介电质通过一隔离层 64 所形成。第一电容电极 60a/60b 通过一或数个钨栓连接至交叉连接层 48。相同的情况也适用于第二电容电极 62，其亦通过钨栓 68 连接至交叉连接层 48。

第一电容电极 60a/60b 包括填充导电材料之沟槽，例如，重度掺杂的 n^+ 多晶硅。它们经由隔离层 64 被包围外延层 34 中之沟槽的重度掺杂区域 65 所包围，其中此重度掺杂区域 65 实际上形成第二电容电极。沟槽 62 因此不被当成传输电流之用，但沟槽 62 附近以导电方式连接至钨栓 68 则被使用。沟槽 62 因此被称为哑沟槽，其本身对电流传输没有贡献，因为它们通过隔离层 64 与周围的导电区域 65 隔离，但它们对于产生重度掺杂区域 65 而言是需要的。此处，使用与 pin 二极管之埋入层之第二接触相同的原理，其中沟槽对于产生导电区域 44 而言也是需要的，但是当电路被完成时，不能被用以当成传输电流之用，因为在较佳实施例中自沟槽移除这个被当成电容介电质之隔离材料是复杂的，虽然在原则上是可执行的。

集成电感 16 通常被形成于金属层 M3 (58) 及/或 M2 (54) 之内，且因此

被形成螺旋形式。其可于一金属层内延伸，其中二端可通过穿孔被拉至连接线层 48。此电感也可被设置于二金属层之内，其中螺旋的内部端点可以，例如，经由缝隙层 56 从第三金属层 58 被拉下至第二金属层 54，以便防止所谓的电感内所需的桥(bridge)，其被设置于一单一金属层内应仅可在一侧被接触。

此集成电阻包括一区域 70 定义一电阻以及一第一端 71 及一第二端 72。定义电阻之区域 70 被定义在较低的隔离层 42 上且通过钨栓 71 及 72 被拉至连接线层 48。区域 70 的材料较好和填充至集成电容，及 pin 二极管之沟槽内之材料或 pin 二极管之埋入层之接触相同。

接着将处理依据本发明较佳实施例之图一所示电路的产生。

首先，提供高电阻基底半导体基板 30，其中区域化埋入层 32 随后通过 n 掺杂而产生。接着，本征或轻掺杂外延层 34 在整个基底半导体基板上成长，亦即在埋入层及在基底半导体基板不具有重掺杂之次区域中。接着，第一重 p 掺杂半导体层 36 被形成于外延层之内，于是半导体基板 20 的整个表面现在被提供隔离层 42。在即将产生第一接触，第二接触及电容用之蚀刻之沟槽之区域内移除隔离层。随后执行沟槽蚀刻，其中沟槽至少有部份伸过第三半导体层 34，亦即外延层。当隔离沟槽 50 被使用时，沟槽必须伸过整个外延层 34。当隔离沟槽 50 未被使用时，沟槽必须伸越外延层 34 至穿过沟槽之被掺杂区域「达到」该埋入层 32。

在埋入层 32 及电容结构二者之接触用之蚀刻沟槽之后，较好使用 PoCl 扩散以重度掺杂沟槽附近的区域 65 及 44。在完成掺杂之后，具有电容介电质效应之隔离层在沟槽区域中成长。此隔离层也被导入第二接触 44 之沟槽内，因为这些沟槽将被覆盖，否则将导致更复杂及昂贵的步骤。接着，在沉积隔离层 64 之后，沟槽填充导电材料。在此步骤中，产生由与沟槽内之材料相同之材料做成之电阻 12 之区域 70。此处， n^- 掺杂多晶硅是较佳的材料。之后，第二隔离层 44 被沉积在整个所产生的表面上。接着，钨栓用的穿孔被定义在此层内，产生并填入钨。接着，另一层 48, 52, 54, 56 及 58 通过总是制造一薄隔离层(例如 76)于该等层之间而被产生，于其上一厚隔离层随后被沉积，其中产生穿孔接触，集成电感或连

接线层用之想要的金属结构。

图一仅表示二极管, 电容, 电阻及线圈(电感)在集成电路之设置而无独立组件互相连接的图式。组件的联机较佳者在连接线层 48 中发生, 但也可发生在任何其它设置于连接线层 48 之上的层。此 HF 输入, HF 输出, 控制输入以及控制输出(电路接地端)通常在第三金属层 58 中实现, 因为其可立即为外部所使用。但是如果图一所示之集成 pin 二极管是一大电路之一部份, 此输入/输出也可在另外的层实现, 因为他们被金属结构 22 中之邻近组件所控制。

无源接触之较佳实施例将参照图 2 而被详细说明。被称为“1”之输入代表输入二极管用之供电电压用之一控制输入(CTRL)。在图 2 之第二输入被称为“2”, 代表接地(ground)输入。图 2 的第三输入被称为“3”是用以输入高频输入信号(HF IN)。此 HF 输出信号(HF OUT)可在图二中被称为“4”的输出端被输出。

提供电阻 R1 以将在输入端“1”输入之电压转换为二极管 D 用之电源电流。电容 C1 及电感 L1 形成二极管供电电流之低通(low pass)。输入 3 的直流解耦以一电容 C2 发生。较佳者也提供另一线圈 L2 于二极管 D 之输出与地之间以可形成直流返回路径, 当直流返回路径未经由电路输出 4 发生时。在此情况中也可于输出 4 与阴极(亦即埋入的 n 层)之间提供一串连的电容 C3。另一电阻 R2 使得二极管内储存的电荷可以消散, 因此改善关闭时间。

较佳者, 使电感 L3 与二极管 D 并联, 该电感之尺寸是可形成具有二极管截止电容之一并联共振电路, 当二极管在反向操作时, 亦即负偏压, 以等于在输入 3 输入之 HF 信号之平均的操作频率的共振频率操作。因此, 二极管的截止表现, 亦即二极管在反向的阻抗, 可增加, 因为并联共振电路在共振理论上具有无限的高电阻。做为其它的设计参数, 可以使用电阻 R3 及电容 C4, 以将线圈 L3 的寄生组件列入考虑或获得, 通常考虑图二所示电路之所有其它组件, 最小的从 HF 输入 3 至 HF 输出 4 之可能正向转换参数, 当二极管在反向操作时, 亦即, 当本发明集成 pin 开关是开(open)的时候。

图2所示之不连续组件可以图1所示之技术在一单一半导体基板上实现,并且可以依据图二所示之电路图被互相连接以获得具有HF耦入网络, HF耦出网络及偏压网络之集成二极管电路。

本发明之优点在于提供HF及DC偏压用之分离的输入/输出,其中通过本发明之整体集成可节省区域,且通过整体集成此电路可便宜地制造并产生的寄生效应具有比二极管通过外部组件连接之情况中所产生者少。

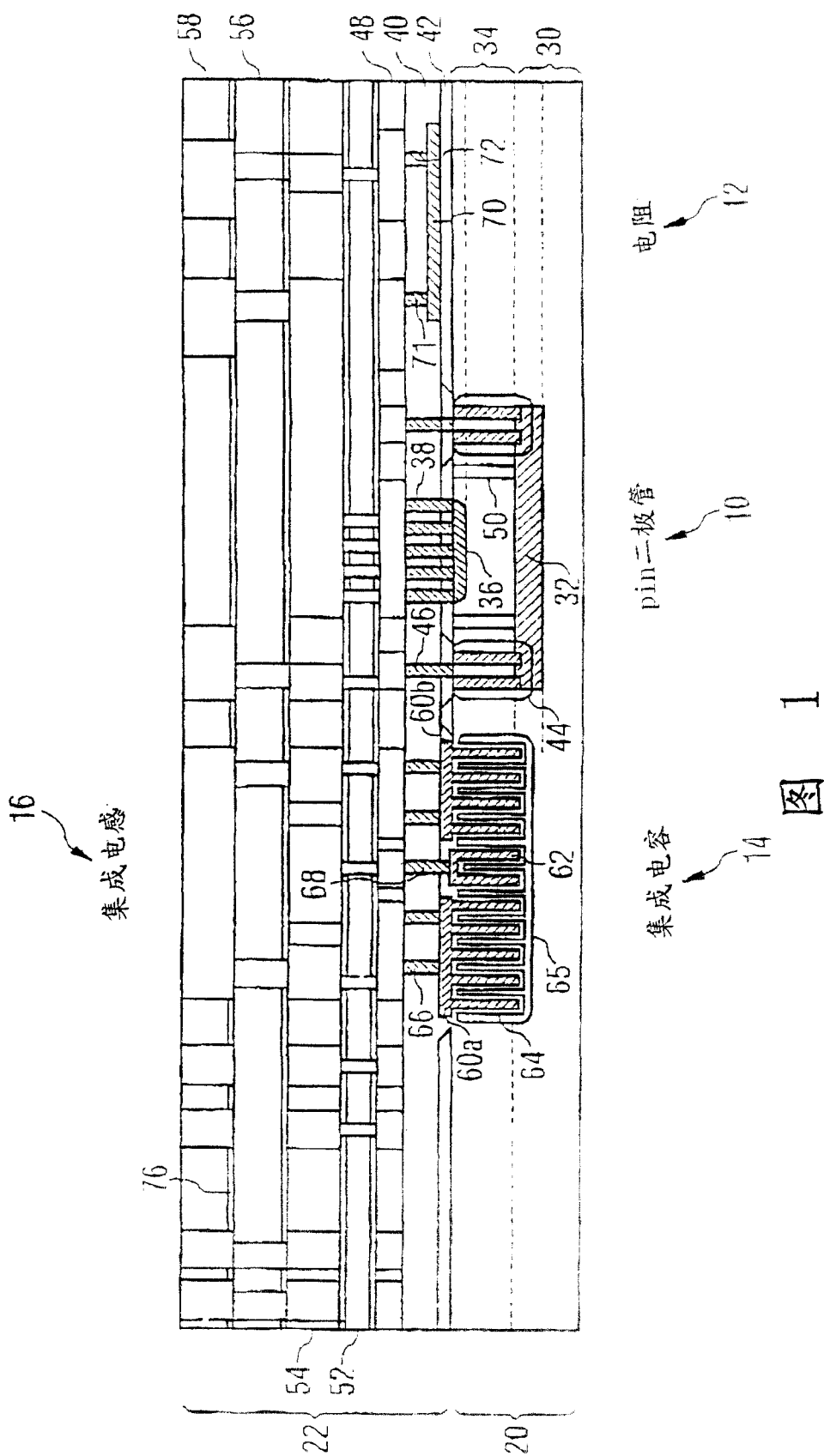
这是可能的,通过使pin二极管包括通过接触一埋入层之一侧向接触排列以及集成电容及集成电阻可被集成至pin二极管制程步骤中以及额外地使用高电阻基板,因此即使是具有高品质的集成电感有可被产生,因为没有如同低电阻基板情况所产生的大逆流损失发生。

此处要说明的是,可获得具有高品质的线圈,尤其是,当,与图一相反,金属结构之最小可能数字,且尤其是,没有一电容的低电阻区域呈现在电感之下时。

参考标号表

1	控制输入
2	接地输入
3	HF 输入
4	HF 输出
R1	集成电阻
R2	集成电阻
R3	集成电阻
C1	集成电容
C2	集成电容
C3	集成电容
C4	集成电容
L1	集成线圈
L2	集成线圈
L3	集成线圈
10	pin 二极管
12	集成电阻
14	集成电容
16	集成电感
20	半导体基板
22	金属结构
30	基底半导体基板
32	n - 半导体层
34	i - 半导体层
36	p - 半导体层
38	p - 半导体层用之钨栓
40	隔离层
42	隔离层

44	第二接触的导电区
46	第二接触的钨栓
48	连接线层
50	隔离沟槽
52	缝隙层
54	第二金属层
56	第二缝隙层
58	第三金属层
60a, 60b	第一电容电极
62	第二电容电极
64	电容介电质
65	掺杂的电容电极区域
66	钨栓
68	钨栓
70	具一定义电阻的区域
71	电阻之第一电极
72	电阻之第二电极
76	薄隔离层



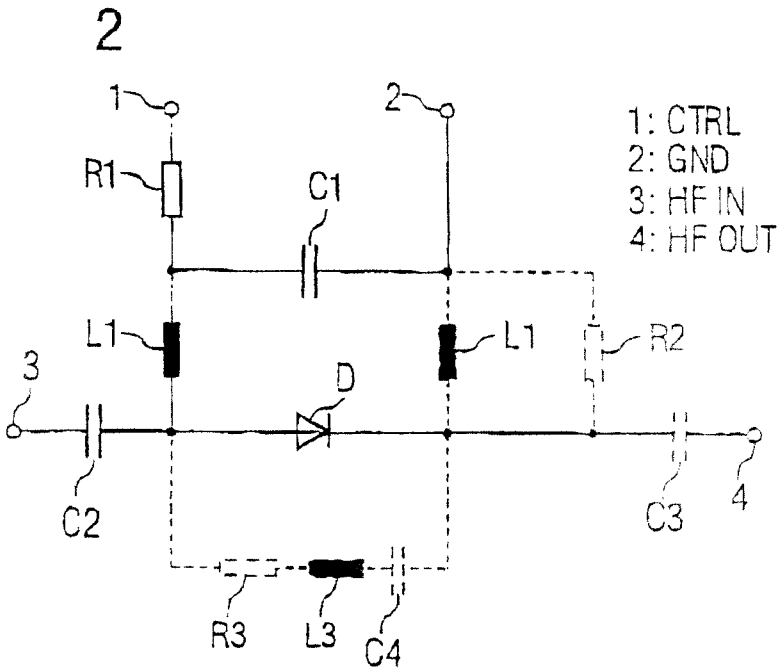


图 2