



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I471806 B

(45)公告日：中華民國 104 (2015) 年 02 月 01 日

(21)申請案號：098102581

(22)申請日：中華民國 98 (2009) 年 01 月 22 日

(51)Int. Cl. : G06K19/077 (2006.01)

G06F11/16 (2006.01)

(30)優先權：2008/01/31 日本

2008-020938

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小山潤 KOYAMA, JUN (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2002/0195590A1

US 2005/0045729A1

US 2007/0210923A1

審查人員：李國福

申請專利範圍項數：34 項 圖式數：21 共 74 頁

(54)名稱

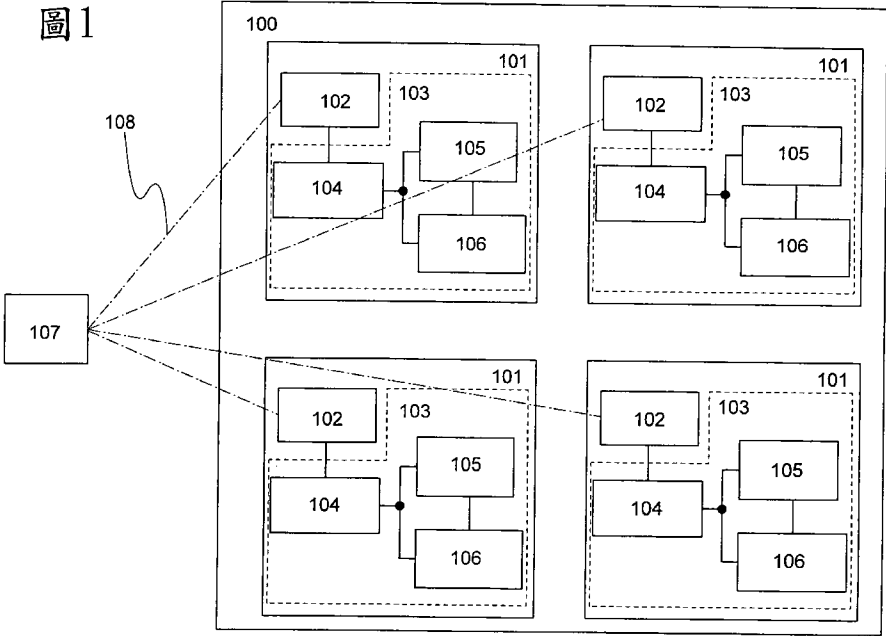
半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的在於：提高能夠進行無線通信的半導體裝置的可靠性。本發明的半導體裝置包括作為冗餘電路的多個功能電路，該功能電路包括天線、半導體積體電路，並且該多個功能電路被纖維體中浸滲有樹脂的同一個密封層覆蓋。再者，半導體積體電路具有設置有電連接到天線的收發電路、電連接到收發電路的電源電路、以及電連接到收發電路及電源電路的邏輯電路的結構。

An object is to increase the reliability of a semiconductor device which is capable of wireless communication. The semiconductor device includes a plurality of functional circuits as redundant circuits, and each of the plurality of functional circuits includes an antenna and a semiconductor integrated circuit. The plurality of functional circuits is covered with one sealing layer in which a fibrous body is impregnated with resin. Further, the semiconductor integrated circuit is provided with a transmission/reception circuit electrically connected to the antenna, a power supply circuit electrically connected to the transmission/reception circuit, and a logic circuit electrically connected to the transmission/reception circuit and the power supply circuit.



- 100 . . . 半導體裝置
- 101 . . . 功能電路
- 102 . . . 天線
- 103 . . . 半導體積體
電路
- 104 . . . 收發電路
- 105 . . . 電源電路
- 106 . . . 邏輯電路
- 107 . . . 外部無線通
信裝置
- 108 . . . 電波

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98102581

※申請日：98年01月22日

※IPC分類：G06K 19/01 (2006.01)

一、發明名稱：(中文／英文)

G06F 11/16 (2006.01)

半導體裝置

Semiconductor device

二、中文發明摘要：

本發明的目的在於：提高能夠進行無線通信的半導體裝置的可靠性。本發明的半導體裝置包括作為冗餘電路的多個功能電路，該功能電路包括天線、半導體積體電路，並且該多個功能電路被纖維體中浸滲有樹脂的同一個密封層覆蓋。再者，半導體積體電路具有設置有電連接到天線的收發電路、電連接到收發電路的電源電路、以及電連接到收發電路及電源電路的邏輯電路的結構。

三、英文發明摘要：

An object is to increase the reliability of a semiconductor device which is capable of wireless communication. The semiconductor device includes a plurality of functional circuits as redundant circuits, and each of the plurality of functional circuits includes an antenna and a semiconductor integrated circuit. The plurality of functional circuits is covered with one sealing layer in which a fibrous body is impregnated with resin. Further, the semiconductor integrated circuit is provided with a transmission/reception circuit electrically connected to the antenna, a power supply circuit electrically connected to the transmission/reception circuit, and a logic circuit electrically connected to the transmission/reception circuit and the power supply circuit.

四、指定代表圖：

(一) 本案指定代表圖為：第 1 圖。

(二) 本代表圖之元件符號簡單說明：

100：半 導 體 裝 置

101：功 能 電 路

102：天 線

103：半 導 體 積 體 電 路

104：收 發 電 路

105：電 源 電 路

106：邏 輯 電 路

107：外 部 無 線 通 信 裝 置

108：電 波

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種能夠進行無線通信的半導體裝置。

【先前技術】

近年來，利用電磁場或電波等的無線通信的個體識別技術引人注目。尤其是，作為藉藉由無線通信進行資料的交換的半導體裝置，利用 RFID（Radio Frequency Identification；射頻識別技術）標籤（例如包括非接觸 IC（Integrated Circuit；積體電路）標籤、RF 標籤、無線標籤、電子標籤、轉發器、或資料載體等）的個體識別技術引人注目。利用 RFID 標籤（以下稱為 RFID）的個體識別技術已開始應用於各個物件物的生產、管理等，並被期待應用於個人識別。

如上述那樣的 RFID 等的半導體裝置為提高對外力等的耐性並獲得撓性而採用功能電路本身被樹脂等的密封材料密封的結構。然而，為獲得半導體裝置的撓性需要使樹脂的厚度減薄。然而，若是厚度薄，則不能充分地提高對外力的耐性而會使破壞的可能性增高。

作為對抗外力破壞的對策的一個例子，可以舉出藉藉由設置多個具有相同的功能的電路來提高冗餘的結構（例如，專利文獻 1）。藉由設置多個具有相同的功能的電路，當檢測出因外力等的破壞多個具有相同的功能的電路（以下稱為冗餘電路）中的一個電路出現故障時，可以用其

他任何電路代替被判定為具有不良的電路工作。

[專利文獻 1]日本專利申請公開第 2002-083277 號公報

【發明內容】

本發明的課題在於：進一步提高 RFID 等的半導體裝置的冗餘性，並還提高其可靠性。

本發明說明所公開的揭示之一個方式為一種半導體裝置，包括多個功能電路，它們具有相同的功能，並分別由從外部發送的電波判定是否正常，且當判定為正常時，由從外部發送的電波控制是否工作。其中該功能電路包括天線、以及電連接到天線並儲存有識別資訊的半導體積體電路，並且多個功能電路的識別資訊彼此不同，並且多個功能電路被同一個密封層覆蓋。

半導體積體電路還可以採用一種結構，其中包括電連接到天線的收發電路、電連接到收發電路的電源電路、以及電連接到收發電路及電源電路的邏輯電路。

此外，本發明說明所揭示的發明的一個方式為一種半導體裝置，包括：多個功能電路，它們具有相同的功能，並分別由從外部發送的電波判定是否正常，且當判定為正常時，由從外部發送的電波控制是否工作；以及第一天線。其中功能電路包括藉由與第一天線電磁耦合收發電波的第二天線、電連接到第二天線並儲存有識別資訊的半導體積體電路，並且多個功能電路的識別資訊彼此不同，並且

多個功能電路被同一個密封層覆蓋。

半導體積體電路還可以採用一種結構，其中包括電連接到第二天線的收發電路、電連接到收發電路的電源電路、以及電連接到收發電路及電源電路的邏輯電路。

此外，本發明說明所揭示的發明之一個方式為一種半導體裝置，包括：多個功能電路，它們具有相同的功能，並分別由從外部發送的電波判定是否正常，且當判定為正常時，由從外部發送的電波控制是否工作。其中功能電路包括天線、以及半導體積體電路，並且半導體積體電路包括電連接到天線的收發電路、電連接到收發電路的電源電路、電連接到收發電路及電源電路並儲存有識別資訊的邏輯電路、電連接到電源電路及邏輯電路的電源控制電路、以及電連接到邏輯電路及電源控制電路的判定電路，並且多個功能電路的識別資訊彼此不同。

此外，本發明說明所揭示的發明的一個方式為一種半導體裝置，包括：多個功能電路，它們具有相同的功能，並分別由從外部發送的電波判定是否正常，且當判定為正常時由從外部發送的電波控制是否工作；以及第一天線。其中功能電路包括藉由與第一天線電磁耦收發電波的第二天線、以及半導體積體電路，並且半導體積體電路包括電連接到第二天線的收發電路、電連接到收發電路的電源電路、電連接到收發電路及電源電路並儲存有識別資訊的邏輯電路、電連接到電源電路及邏輯電路的電源控制電路、以及電連接到邏輯電路及電源控制電路的判定電路，並且

多個功能電路的識別資訊彼此不同。

多個功能電路還可以採用被同一個層覆蓋的結構。

注意，在本說明書（發明說明、申請專利範圍書或附圖等）中，電晶體至少包括三個端子，即閘極端子、源極端子、及汲極端子。閘極端子是指閘極電極的部分（包括導電層及佈線等）或與閘極電極電連接的部分的一部分。源極端子是指源極電極的部分（包括導電層及佈線等）、或與源極電極電連接的部分的一部分。汲極端子是指汲極電極的部分（包括導電層及佈線等）、或與汲極電極電連接的部分的一部分。

此外，在本說明書（發明說明、申請專利範圍書或附圖等）中，電晶體的源極端子和汲極端子根據電晶體的結構及工作條件等而改變，所以難以限定哪一個是源極端子或汲極端子。於是，在本說明書中（發明說明、申請專利範圍書或附圖等）中，將任意地選自源極端子及汲極端子之中的一個端子表示為源極端子及汲極端子之一，而將另一個端子表示為源極端子及汲極端子的另一。

本發明可以提高能夠進行無線通信的半導體裝置的可靠性。

【實施方式】

下面，關於本發明說明所揭示的發明的實施例模式將參照附圖給予說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明說明所揭示的發

明可以以多個不同形式來實施，其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明所揭示的發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。

實施例模式 1

在本實施例模式中，作為本發明說明所揭示的發明的一個方式說明半導體裝置。

首先，參照圖 1 說明本實施例模式中的半導體裝置的電路結構。圖 1 是示出本實施例模式中的半導體裝置的電路結構的方塊圖。

如圖 1 所示，半導體裝置 100 包括多個功能電路 101，功能電路 101 包括天線 102、以及電連接到天線 102 的半導體積體電路 103。

功能電路 101 具有如下功能，即、使用天線 102 所接收的電波（載波等）生成電源電壓，並使用電源電壓進行按照天線 102 所接收的電波中的信號的指令的工作。此外，多個功能電路 101 具有相同的功能，並分別用作可以進行相等的工作的冗餘電路。

此外，多個功能電路 101 具有彼此不同的識別資訊。例如可以使用各個功能電路 101 的位置差異、信號的發送或接收所需要的時間差異、或回應信號的頻率差異等生成彼此不同的識別資訊。

天線 102 具有如下功能，即例如藉由收發電波，與外

部無線通信裝置（例如為可以利用無線通信與半導體裝置 100 進行資料收發的裝置如讀取器、讀寫器、或詢問器等）107 等進行資料交換。例如，功能電路 101 可以利用電波 108 經由天線 102 將在功能電路 101 中生成的信號發送到外部無線通信裝置 107。此外，例如藉由將晶片上天線（on chip antenna）用作天線 102，可以抑制天線 102 和半導體積體電路 103 的接觸不良。

注意，在外部無線通信裝置 107 和半導體裝置 100 之間使用的電波頻率較佳的為 30MHz 以上且 5GHz 以下左右，例如使用 950MHz、2.45GHz 等的頻帶即可。

此外，作為應用於天線 102 的信號的傳送方式，根據頻率例如可以採用電磁耦合方式、電磁感應方式、或微波方式等。適當地考慮使用用途而選擇傳送方式，並根據傳送方式設置具有最適合的長度及形狀的天線即可。

半導體積體電路 103 是為獲得特定的功能而將多個半導體元件集中配置為一個的電路。作為半導體元件，例如可以適當地使用電晶體、二極體、電阻元件、以及電容元件中的任何一種或多種。此外，在半導體積體電路 103 中儲存有上述識別資訊。

注意，多個功能電路 101 較佳的被同一個密封層覆蓋。藉由由同一個密封層覆蓋多個功能電路 101，可以抑制從外部混入水等雜質，並還可以提高對外力的耐性。作為密封層，例如可以使用在纖維體中浸滲有樹脂的材料（例如為預浸料）等。

再者，半導體積體電路 103 由電連接到天線 102 的收發電路 104、電連接到收發電路 104 的電源電路 105、電連接到收發電路 104 及電源路 105 的邏輯電路 106 構成。但是，例如也可以採用還追加有其他電路的結構而不局限於上述結構。

收發電路 104 具有如下功能，即利用天線 102 所接收的電波生成信號，並輸出到電源電路 105 及邏輯電路 106 中。收發電路 104 例如可以由整流電路、調制電路、解調電路等構成。

電源電路 105 具有如下功能，即利用收發電路 104 所生成的信號生成電源電壓。所生成的電源電壓輸出到邏輯電路 106。

邏輯電路 106 具有如下功能，即藉由接收從電源電路 105 供給的電源電壓，按照天線 102 所接收的電波的信號中的指令進行預定的工作。在邏輯電路 106 中設置有儲存電路，並且在儲存電路中寫入有用來進行按照天線 102 所接收的電波的信號中的指令的工作的資料（識別資訊等）。

注意，在圖 1 中，說明作為多個功能電路設置四個功能電路的結構，但是不局限於此。只要具有至少兩個以上的功能電路，就可以成為多個功能電路，例如可以設置多於四個的功能電路。

此外，在本實施例模式中，除了設置在功能電路中的天線之外，還可以將增益天線（booster antenna）設置在

半導體裝置中。參照圖 2 說明設置有增益天線的半導體裝置的結構例子。圖 2 是示出本實施例模式中的半導體裝置的其他結構的方塊圖。

圖 2 所示的本實施例模式中的半導體裝置 200 包括多個功能電路 201、以及第一天線 202。功能電路 201 包括第二天線 203、以及電連接到第二天線 203 的半導體積體電路 204。

再者，半導體積體電路 204 由電連接到第二天線 203 的收發電路 205、電連接到收發電路 205 的電源電路 206、電連接到收發電路 205 及電源電路 206 的邏輯電路 207 構成。

半導體積體電路 204 相當於圖 1 中的半導體積體電路 103，從而對於其結構及功能援用圖 1 的半導體積體電路的說明。

此外，收發電路 205、電源電路 206、以及邏輯電路 207 分別相當於圖 1 中的收發電路 104、電源電路 105、以及邏輯電路 106。對於各電路的功能援用收發電路 104、電源電路 105、及邏輯電路 106 的說明。

第二天線 203 相當於圖 1 中的天線 102。此外，第一天線 202 也稱為增益天線，並藉由與第二天線 203 磁耦合可以接受信號。此外，第一天線 202 例如具有藉由收發電波 209 與外部無線通信裝置 208 等進行資料交換的功能。例如，當將電波從外部無線通信裝置 208 發送到第一天線 202 時，在第一天線 202 中產生交流電流，並且在第一天

線 202 的周圍產生磁場。而且，藉由第一天線 202 和第二天線 203 的磁耦合，在第二天線 203 中產生感應電動勢。功能電路 201 使用感應電動勢工作，並可以經由第一天線 202 收發電波 209。此外，在將作為電波的信號從功能電路 201 發送到外部無線通信裝置 208 的情況下，根據在功能電路 201 中生成的信號將電流流過到第二天線 203 來進行磁耦合。在被進行磁耦合的第一天線 202 中產生感應電動勢，並將電波 209 經由第一天線 202 發送到外部通信裝置 208。

如上所述，藉由採用除了設置在功能電路的天線之外還設置增益天線的結構，可以延長通信距離而不限制可接收的電波的頻帶。

本實施例模式中的半導體裝置在多個功能電路中分別被判定是否正常。

接著，說明多個功能電路的選擇工作。注意，在此，作為例子將半導體裝置的結構假定為圖 1 的結構進行說明。

作為功能電路的選擇工作，在電源電路 105 中，進行正常或不良的判定（以下稱為判定處理）。參照圖 3 說明電源電路 105 中的判定處理。圖 3 是一種流程圖，其示出本發明說明所公開的發明的一個方式的半導體裝置中的功能電路的選擇工作。

如圖 3 所示，作為開始之後的第一步驟（圖 3 中的 S1），將電波從外部無線通信裝置 107 發送到多個功能電

路。

接著，作為第二步驟（圖 3 中的 S2），藉由判定各個功能電路 101 是否工作來進行電源電路 105 的判定處理。工作的（Yes）功能電路 101 將對回應信號作出應答的電波經由天線 102 發送到外部無線通信裝置 107。將對回應信號作出應答的電波發送到外部無線通信裝置 107 的功能電路 101 被判定為正常。此外，因為沒工作的（No）功能電路 101 不生成響應信號，所以不將電波發送到外部無線通信裝置 107 而被判定為不良。被判定為正常的功能電路 101 在判定處理之後也作為功能電路進行與外部無線通信裝置 107 的資料交換，而被判定為不良的功能電路 101 在判定處理之後不從外部無線通信裝置 107 發送電波。藉由上述步驟，結束選擇工作。

注意，較佳的是，多個功能電路 101 具有衝突防止功能（抗衝突功能）而可以對從外部無線通信裝置 107 接收的電波各個功能電路 101 以彼此不同的時序分別回應。例如，在每個功能電路 101 具有不同的識別資訊的情況下，可以根據識別資訊選擇響應的功能電路 101，從而各個功能電路 101 可以以不同的時序回應。

再者，較佳的是，在具有多個藉由判定處理被判定為正常的功能電路 101 的情況下，將電波從外部無線通信裝置 107 發送到功能電路 101，只使正常的功能電路 101 中的任何一個工作，並且使其他的正常電路停止工作。

如上所述，在本實施例模式的半導體裝置中，藉由設

置多個功能電路，並只要其中任何一個功能電路正常就可以使半導體裝置工作。由此，可以提高可靠性。

此外，本實施例模式的半導體裝置可以選擇正常的功能電路中的任何一個而使用。因此，例如在發貨之前等進行上述工作來可以預先掌握不良的功能電路而只使用正常的功能電路。

● 實施例模式 2

在本實施例模式中，說明本發明說明所揭示的發明之一個方式的半導體裝置的其他結構。

首先，參照圖 4 說明本發明說明所揭示的發明之一個方式的半導體裝置結構中的功能電路的結構。圖 4 是示出本實施例模式中的功能電路的結構的方塊圖。

如圖 4 所示，本實施例模式中的半導體裝置 300 包括多個功能電路 301。功能電路 301 包括天線 302、以及電連接到天線 302 的半導體積體電路 303。

● 功能電路 301 具有如下功能，即利用天線 302 所接收的電波（載波等）生成電源電壓，並使用電源電壓進行根據天線 302 所接收的電波中的信號的指令的工作。此外，多個功能電路 301 具有相同的功能，並分別用作能夠進行相等的工作的冗餘電路。

此外，多個功能電路 301 具有彼此不同的識別資訊。例如使用各個功能電路 301 的位置差異、信號的發送或接收所需要的時間差異、或者回應信號的頻率等的差異生成

彼此不同的識別資訊。

天線 302 具有如下功能，即例如藉由電波的收發，與外部無線通信裝置 309 等進行資料交換。例如，功能電路 301 可以利用電波 330 將在功能電路 301 中生成的信號經由天線 302 發送到外部無線通信裝置 309。此外，例如藉由使用片上天線作為天線 302，可以抑制天線和半導體積體電路的接觸不良。

注意，在外部無線通信裝置 309 和半導體裝置 300 之間使用的電波頻率較佳的為 30MHz 以上且 5GHz 以下左右，例如使用 950MHz、2.45GHz 等的頻帶即可。

此外，作為應用於天線 302 的信號的傳送方式，根據頻率例如可以採用電磁耦合方式、電磁感應方式、或微波方式等。適當地考慮使用用途選擇傳送方式，並根據傳送方式設置具有最適合的長度及形狀的天線即可。

半導體積體電路 303 是為獲得特定的功能而將多個半導體元件集中配置為一個的電路。作為半導體裝置，例如可以適當地使用電晶體、二極體、電阻元件、以及電容元件中的任何一種或多種。

注意，多個功能電路 301 較佳的被同一個密封層覆蓋。藉由由同一個密封層覆蓋多個功能電路 301，可以抑制從外部混入水等雜質，並還可以提高對外力的耐性。作為密封層，例如可以使用在纖維體中浸滲有樹脂的材料（例如為預浸料）等。

再者，半導體積體電路 303 由電連接到天線 302 的收

發電路 304、電連接到收發電路 304 的電源電路 305 及邏輯電路 306、電連接到電源電路 305 及邏輯電路 306 的電源控制電路 307、以及電連接到電源控制電路 307 的判定電路 308 構成。但是，例如也可以採用還追加有其他電路的結構而不局限於上述結構。

收發電路 304 具有如下功能，即利用天線 302 所接收的電波生成信號，並輸出到電源電路 305 及邏輯電路 306 中。收發電路 304 例如可以由整流電路、調制電路、解調電路等構成。

電源電路 305 具有如下功能，即利用收發電路 304 所生成的信號生成電源電壓。所生成的電源電壓輸出到邏輯電路 306。

邏輯電路 306 具有如下功能，即藉由接收從電源電路 305 供給的電源電壓，按照天線 302 所接收的電波的信號中的指令進行預定的工作。在邏輯電路 306 中設置有儲存電路，並且寫入有用來進行按照天線 302 所接收的電波的信號中的指令的工作的資料（識別資訊等）。

電源控制電路 307 具有控制是否使電源電路 305 工作的功能。判定電路 308 至少包括儲存電路，並且根據邏輯電路 306 是否進行正常工作，High 或 Low 的資料被寫入到儲存電路中。注意，在本發明說明中，Low 是指接地電位或與此相等的低電位的狀態，而 High 是指其電位比 Low 高的狀態，並且這些值是可以任何設定的。

作為邏輯電路 306 及判定電路 308 的儲存電路，例如

可以使用非易失性記憶體或易失性記憶體等。例如，可以使用 DRAM（動態隨機存取記憶體）、SRAM（靜態隨機存取記憶體）、FeRAM、掩模 ROM（唯讀記憶體）、EPROM（電可編程唯讀記憶體）、EEPROM（電可擦可編程唯讀記憶體）、快閃記憶體、有機記憶體、無機記憶體等。例如，藉由使用不能改寫資料的記憶體，在發貨之後也可以維持寫入的 High 或 Low 的資料。此外，藉由使用能夠改寫資料的記憶體，在發貨之後也可以判定功能電路的不良並改寫已寫入的 High 或 Low 的資料。

在本實施例模式的半導體裝置中，多個具有上述結構的功能電路 301 被判定是否正常，被判定的多個功能電路 301 中的正常的功能電路 301 中的任何一個在被判定之後也與外部無線通信裝置 309 進行資料交換。

再者，參照圖 5 說明本實施例模式的半導體裝置的具體結構。圖 5 是示出本實施例模式的半導體裝置中的功能電路的結構的圖。

如圖 5 所示，本實施例模式的半導體裝置中的功能電路 301 包括天線 302、電連接到天線 302 的收發電路 304、電連接到收發電路 304 的電源電路 305 及邏輯電路 306、電連接到電源電路 305 及邏輯電路 306 的電源控制電路 307、以及電連接到電源控制電路 307 的判定電路 308。

天線 302、收發電路 304、邏輯電路 306、以及判定電路 308 具有與圖 4 相同的結構或功能。

電源電路 305 包括電晶體 315、電晶體 310、電晶體

311、電阻元件 312、及電晶體 313。

電晶體 315 包括閘極端子、源極端子、汲極端子。閘極端子電連接到源極端子及汲極端子之一，並且源極端子及汲極端子的另一個電連接到收發電路 304。

在電晶體 301 中，閘極端子電連接到電晶體 315 的閘極端子，並且源極端子及汲極端子之一電連接到收發電路 304。

在電晶體 311 中，閘極端子電連接到電晶體 310 的源極端子及汲極端子的另一個，源極端子及汲極端子之一電連接到電晶體 315 的源極端子及汲極端子之一，並且源極端子及汲極端子的另一個電連接到邏輯電路 306 及電源控制電路 307。

在電阻元件 312 中，一個端子電連接到電晶體 311 的源極端子及汲極端子的另一個，並且另一個的端子接地。

在電晶體 313 中，閘極端子電連接到邏輯電路 306、電源控制電路 307、電晶體 311 的源極端子及汲極端子的另一個、以及電阻元件 312 的一個端子，源極端子及汲極端子之一接地，源極端子及汲極端子的另一個電連接到電晶體 310 的源極端子及汲極端子的另一個及電晶體 311 的閘極端子。

注意，在圖 5 中，電晶體 315 及電晶體 310 是 P 型電晶體，而電晶體 311 及電晶體 313 是 N 型電晶體，但是不局限於此。只要能夠進行與圖 5 所示的電源電路 305 相同的工作，就也可以在各個電晶體中應用導電型不同的電

晶體。此外，電源電路 305 不局限於圖 5 所示的結構，而例如可以使用其他元件等構成。

電源控制電路 307 包括具有閘極端子、源極端子、及汲極端子的電晶體 314。在電晶體 314 中，閘極端子電連接到判定電路 308，源極端子及汲極端子之一電連接到電源電路 305 及邏輯電路 306，並且源極端子及汲極端子的另一個接地。注意，電源控制電路 307 不局限於圖 5 所示的結構而可以使用其他元件構成。

此外，在本實施例模式中，除了設置在功能電路的天線之外還可以將增益天線設置在半導體裝置中。參照圖 6 說明設置有增益天線的半導體裝置的結構例子。圖 6 是示出本實施例模式中的半導體裝置的其他結構的方塊圖。

圖 6 所示的本實施例模式中的半導體裝置 400 包括多個功能電路 401、以及第一天線 402。功能電路 401 包括第二天線 403、電連接到第二天線 403 的半導體積體電路 404。

再者，半導體積體電路 404 包括電連接到第二天線 403 的收發電路 405、電連接到收發電路 405 的電源電路 406 及邏輯電路 407、電連接到電源電路 406 及邏輯電路 407 的電源控制電路 408、以及電連接到邏輯電路 407 及電源控制電路 408 的判定電路 409。

半導體積體電路 404 相當於圖 4 中的半導體積體電路 303，從而對於其結構及功能援用半導體積體電路 303 的說明。

此外，收發電路 405、電源電路 406、邏輯電路 407、電源控制電路 408、以及判定電路 409 分別相當於圖 4 中的收發電路 304、電源電路 305、邏輯電路 306、電源控制電路 307、以及判定電路 308。對於各個電路的功能援用收發電路 304、電源電路 305、邏輯電路 306、電源控制電路 307、以及判定電路 308 的說明。

第二天線 403 相當於圖 4 中的天線 302。第一天線 402 也可以稱為增益天線，並藉由與第二天線 403 磁耦合可以接受信號。此外，第一天線 402 例如具有藉由收發電波 411 與外部無線通信裝置 410 等進行資料交換的功能。例如，當將電波從外部無線通信裝置 410 發送到第一天線 402 時，在第一天線 402 中產生交流電流，並且在第一天線 402 的周圍產生磁場。而且，藉由第一天線 402 和第二天線 403 的磁耦合，在第二天線 403 中產生感應電動勢。功能電路 401 使用感應電動勢工作，並可以經由第一天線 402 收發電波 411。此外，在將電波從功能電路 401 發送到外部無線通信裝置 410 的情況下，根據在功能電路 401 中生成的信號對第二天線 403 流過電流來進行磁耦合。在被進行磁耦合的第一天線 402 中產生感應電動勢，將電波經由第一天線 402 發送到外部通信裝置 410。

如上所述，本實施例模式的半導體裝置藉由採用除了設置在功能電路的天線之外還設置增益天線的結構，可以延長通信距離而不限制可接收的電波的頻帶。

接著，說明本實施例模式的半導體裝置中的功能電路

的選擇工作。在此，作為例子，假設半導體裝置的結構為圖 4 所示的結構，並且功能電路 301 的結構為圖 5 所示的結構，來進行說明。

由於功能電路的選擇工作與上述實施例模式 1 所示的功能電路的選擇電路的選擇工作相同，因此適當地援用圖 3 所示的流程圖來說明。首先，藉由進行電源電路 305 中的判定處理，判定各個功能電路 301 是否正常。

注意，此時較佳的是，多個功能電路 301 具有衝突防止功能（抗衝突功能）並可以對從外部無線通信裝置 309 接收的電波各個功能電路 301 以彼此不同的時序分別回應。例如，在每個功能電路 301 具有不同的識別資訊的情況下，可以根據識別資訊選擇響應的功能電路，從而各個功能電路 301 可以以不同的時序回應。

接著，進行邏輯電路 306 是否正常的判定處理。

參照圖 7 說明邏輯電路 306 中的判定處理。圖 7 是示出本實施例模式的半導體裝置中的邏輯電路的判定處理的流程圖。

如圖 7 所示，作為開始之後的第一步驟（圖 7 中的 S1），進行判定處理。以下說明判定處理的具體方法。

例如，當在任意選擇的功能電路 301 的邏輯電路 306 中進行判定處理時，在正常的情況下顯示正常的資料（在本實施例模式中為 High）被寫入到判定電路 308 的儲存電路中，而在不良的情況下顯示不良的資料（在本實施例模式中為 Low）被寫入到判定電路 308 的儲存電路中。

注意，作為此時的判定處理的方法，若是電源電路 305 正常則可以採用將電波從外部無線通信裝置等發送到功能電路 301 來判定邏輯電路 306 是否工作的方法等。此外，在發貨之前等的情況下，例如可以採用使用探測器等從外部對邏輯電路 306 施加電源電壓來判定邏輯電路 306 是否工作的方法等。

當顯示不良的資料被寫入到判定電路 308 的儲存電路中時，電源控制電路 307 的電晶體 314 處於導通狀態，並且將接地電位經由電晶體 314 供給到電源電路 305，所以電源電路 315 停止且不生成電源電壓。由此，功能電路 301 不能工作。

如上所述，當多個功能電路 301 中的被選擇的任何功能電路 301 中被判定為不良時，在還沒有被選擇的其他功能電路 301 中進行與上述相同的判定處理。由此，在例如一個功能電路 301 中，電源電路 305 被判定為正常，而邏輯電路 306 被判定為不良的情況下，可以使功能電路 301 停止工作，從而可以防止具有被判定為不良的邏輯電路 306 的功能電路 301 的故障。

再者，作為第二步驟（圖 7 中的 S2），根據藉由邏輯電路 306 中的判定處理被判定為正常的功能電路 301 的數量，進行第一寫入處理至第五寫入處理中的任何一個。以下說明各種寫入處理。

在被判定為正常的功能電路 301 的數量為 1 的情況下，作為第一寫入處理，顯示正常的資料被寫入到被判定為

正常的功能電路 301 中的判定電路 308 的儲存電路中。被寫入正常的資料的功能電路 301 在判定處理之後也與外部（外部無線通信裝置 309 等）進行資料交換。

在被判定為正常的功能電路 301 的數量為 2 的情況下，作為第二寫入處理，顯示正常的資料被寫入到被判定為正常的兩個功能電路 301 中的任何一方的功能電路 301 中的判定電路 308 的儲存電路中，並且顯示停止的資料（在本實施例模式中為 Low）被寫入到任何另一方的功能電路 301 中的判定電路 308 的儲存電路中。被寫入顯示停止的資料的功能電路 301 處於停止狀態，並且只有被寫入顯示正常的資料的功能電路 301 在判定處理之後也與外部（外部無線通信裝置 309 等）進行資料交換。

在被判定為正常的功能電路 301 的數量為 3 的情況下，作為第三寫入處理，顯示正常的資料被寫入到被判定為正常的三個功能電路 301 中的任何一個功能電路 301 中的判定電路 308 的儲存電路中，並且顯示停止的資料（在本實施例模式中為 Low）被寫入到其他功能電路 301 中的判定電路 308 的儲存電路中。被寫入顯示停止的資料的功能電路 301 處於停止狀態，只有被寫入顯示正常的資料的功能電路 301 在判定之後也與外部（外部無線通信裝置 309 等）進行資料交換。

在被判定為正常的功能電路 301 的數量為 4 的情況下，作為第四寫入處理，顯示正常的資料被寫入到被判定為正常的四個功能電路 301 中的任何一個功能電路 301 中的

判定電路 308 的儲存電路中，並且顯示停止的資料（在本實施例模式中為 Low）被寫入到其他功能電路 301 中的判定電路 308 的儲存電路中。被寫入顯示停止的資料的功能電路 301 處於停止狀態，只有被寫入顯示正常的資料的功能電路 301 在判定之後也與外部（外部無線通信裝置 309 等）進行資料交換。

注意，在本實施例模式中，也可以將顯示正常的資料設定為 Low，並且將顯示異常及停止的資料設定為 High。此外，也可以將 High 及 Low 以外的電位的狀態用作顯示正常、或者異常或停止的資料。

在被判定為正常的功能電路 301 的數量為 0 的情況下，作為第五寫入處理，顯示不良的資料被寫入到所有的功能電路 301 中的判定電路 308 的儲存電路中。此時，可以不對多個功能電路 301 中最後被判定的功能電路 301 進行判定處理。

藉由進行上述多個寫入處理中的任何一種，結束選擇工作。

如上所述，本實施例模式的半導體裝置藉由設置多個功能電路，只要任何一個功能電路正常就可以工作，所以可以提高可靠性。

此外，本實施例模式的半導體裝置藉由在各個功能電路中進行利用判定處理的選擇工作，可以選擇正常的功能電路而使用。因此，例如在發貨之前等進行上述判定工作來可以預先掌握不良的功能電路而只使用正常的功能電路

。另外，還可以當有多個正常的功能電路時，僅選擇正常的功能電路中的任何一個而使用，所以可以減少功耗。

實施例模式 3

在本實施例模式中，說明本發明說明所揭示的發明之一個方式的半導體裝置的結構的一個例子。

首先，參照圖 8A 和 8B 說明本實施例模式中的半導體裝置結構的一個例子。圖 8A 和 8B 是示出本實施例模式中的半導體裝置結構的一個例子的斜視圖。

如圖 8A 所示，本實施例模式中的半導體裝置包括密封層 500、密封層 501、以及被密封層 500 及密封層 501 覆蓋的多個功能電路 502（虛線部分）。

此外，在圖 8B 中，為簡便起見，而由實線表示圖 8A 的多個功能電路 502，並且由虛線表示密封層 500。如圖 8B 所示，被密封層 500（虛線部分）及密封層 501 覆蓋的多個功能電路 502 包括設置在功能電路 502 上的天線 503。

接著，參照圖 9 說明本實施例模式中的半導體裝置的截面結構。圖 9 是沿著圖 8B 的線 A-B 的截面圖。

如圖 9 所示，本實施例模式中的半導體裝置包括多個功能電路 502，該多個功能電路 502 包括密封層 500、設置在密封層 500 上的剝離層 504、設置在剝離層 504 上的半導體元件層 505、設置在半導體元件層 505 上並具有開口部的第一絕緣層 506 及第二絕緣層 507、以其一部分經

過開口部接觸於半導體元件層 505 的方式設置的導電層 508、以覆蓋導電層 508 及第二絕緣層 507 的方式設置的第三絕緣層 509、以及設置在第三絕緣層 509 上的密封層 501。

密封層 500 是第一密封層，密封層 501 是第二密封層。密封層 500 及密封層 501 在端部相接，並且剝離層 504、半導體元件層 505、第一絕緣層 506、第二絕緣層 507、導電層 508、以及第三絕緣層 509 被由密封層 500 和密封層 501 構成的一個密封層覆蓋。作為密封層 500 及密封層 501，可以如圖 9 所示那樣應用在纖維體 510 中浸滲有樹脂等的材料（例如為預浸料）等。此時的纖維體 510 是使用有機化合物或無機化合物的高強度纖維的織布或無紡布。作為高強度纖維，具體地舉出拉伸彈性模量高的纖維或楊氏模量高的纖維。作為高強度纖維的典型例子，舉出聚乙烯醇類纖維、聚酯類纖維、聚醯胺類纖維、聚乙烯類纖維、芳族聚醯胺纖維、聚對苯撐苯並二噁唑纖維、玻璃纖維、或碳纖維等。作為玻璃纖維，可以適用使用 E 玻璃、S 玻璃、D 玻璃、Q 玻璃等的玻璃纖維。注意，纖維體 510 也可以由一種上述高強度纖維形成。此外，還可以由多個上述高強度纖維形成。

此外，作為纖維體 510，使用碳纖維使纖維體 510 具有導電性來可以抑制靜電破壞。

另外，纖維體 510 也可以由織布或無紡布構成，所述織布是將纖維（單股線）把（以下稱為線把）用於經線及

緯線編織而成的，所述無紡織是多種纖維的線把任意或在一個方向上堆積而成的。當採用織布時，可以適當地使用平紋組織、斜紋組織、緞紋組織等。

線把的截面可以是圓形或橢圓形。作為纖維線把，也可以使用藉由以高壓水流、液體為介質的高頻振盪、連續超聲波振動、以及利用滾筒的推壓等而經過開纖加工後的纖維線把。受開纖加工的纖維線把的寬度增加並且可以減少在厚度方向上的單股線數，而線把的截面成為橢圓形或平板狀。另外，藉由使用弱撚紗線作為線把，容易使線把變平，而線把的截面形狀成為橢圓形或平板狀。像這樣，藉由使用其截面是橢圓形或平板狀的線把，可以減少纖維體 510 的厚度。由此，可以減少密封層 500 及密封層 501 的厚度，而可以製造薄型半導體裝置。線把寬度是 $4\mu\text{m}$ 以上且 $400\mu\text{m}$ 以下，較佳的是 $4\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。另外，雖然線把厚度是 $4\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下即可，但是根據纖維的材料種類可以進一步減少厚度，所以可以根據纖維的材料種類適當地設定線把厚度。

圖 10A 和 10B 是將纖維體 510 的纖維線把用於經線及緯線編織而成的織布的俯視圖。

如圖 10A 所示，纖維體 510 是編織其之間有一定距離的經線 510a 及其之間有一定距離的緯線 510b 而成的。這種纖維體具有經線 510a 及緯線 510b 不存在的區域（稱為籃孔（baskethole）510c）。當使用這種纖維體 510 時，浸滲在纖維體中的有機樹脂的比例提高，而可以提高纖

纖維體 510 和元件層的緊密性。

另外，如圖 10B 所示，纖維體 510 也可以是經線 510a 及緯線 510b 的密度高並且籃孔 510c 的比例低。典型地，籃孔 510c 的尺寸較佳的小於被局部按壓的面積。典型地，較佳的是一邊長為 0.01mm 以上且 0.2mm 以下的矩形。若纖維體 510 的籃孔 510c 的面積這樣小，則即使在使用先端很細的構件（典型為筆或鉛筆等的書寫工具）按壓，也可以由纖維體 510 整體吸收該壓力。

此外，還可以對纖維進行表面處理，以便提高有機樹脂向纖維線把內部滲透的比例。例如有用於使線把表面啓動的電暈放電處理、電漿放電處理等。另外，還有使用了矽氧烷耦合劑、鈦酸鹽耦合劑的表面處理。

作為浸漬在纖維體 510 中並密封半導體元件層 505 的表面的樹脂，可以使用熱固化樹脂諸如環氧樹脂、不飽和聚酯樹脂、聚醯亞胺樹脂、雙馬來醯亞胺三嗪樹脂或氰酸酯樹脂等。或者，還可以使用熱可塑性樹脂諸如聚苯醚樹脂、聚醚醯亞胺樹脂或氟樹脂等。而且，還可以使用 UV 固化樹脂、可塑性有機樹脂。另外，也可以使用上述熱可塑性樹脂及上述熱固化樹脂中的多種。若使用上述樹脂，可以藉由熱處理將纖維體 510 固定在半導體元件層 505 上。注意，樹脂的玻璃轉移溫度越高，越不容易由於受局部按壓而破壞，因而是較佳的。

另外，密封層 500 及密封層 501 的厚度較佳的是 10 μ m 以上且 100 μ m 以下，更佳的是 10 μ m 以上且 30 μ m 以

下。藉由使用具有這種厚度的密封層，可以製造薄型且能彎曲的半導體裝置。

也可以在樹脂或纖維體 510 的線把中分散高導熱填料。作為高導熱填料有氮化鋁、氮化硼、氮化矽、氧化鋁等。另外，作為高導熱填料有如銀、銅等的金屬粒子。藉由在有機樹脂或線把中包含高導熱填料，容易將在元件層中產生的熱放出到外部，而可以抑制半導體裝置的蓄熱，並且可以減少半導體裝置的破壞。

此外，也可以將碳粒子分散在樹脂或纖維體 510 的線把中。特別是，當半導體元件 505 中包括薄膜電晶體（Thin Film Transistor）時，藉由在 TFT 的下方設置包括分散有碳粒子的樹脂或纖維體 510 的密封層 500 及密封層 501，可以防止因靜電 TFT 受到破壞。

剝離層 504 用作剝離設置在其他基板上的半導體元件層 505 和用來形成半導體元件層 505 的基板的層，例如可以使用由選自鎢、鉬、鈦、鉭、鈮、鎳、鈷、鎳、鋅、鈦、銻、鉍、鐵、銻及矽等中的元素、以上述元素為主要成分的合金材料、或以上述元素為主要成分的化合物材料構成的層的單層或多層形成。

在剝離層 504 具有單層結構的情況下，較佳的形成包含鎢、鉬、或鎢和鉬的混合物的層。或者，形成包含鎢的氧化物或氧氮化物的層、包含鉬的氧化物或氧氮化物的層、或包含鎢和鉬的混合物的氧化物或氧氮化物的層。注意，鎢和鉬的混合物例如相當於鎢和鉬的合金。

在剝離層 504 具有疊層結構的清況下，較佳的是作為第一層形成金屬層，作為第二層形成金屬氧化物層。典型地是，作為第一金屬層形成包含鎢、鉬、或鎢和鉬的混合物的層，作為第二層形成如下層，即包含鎢、鉬、或鎢和鉬的混合物的氧化物的層；包含鎢、鉬、或鎢和鉬的混合物的氮化物的層；包含鎢、鉬、或鎢和鉬的混合物的氧氮化物的層；或者包含鎢、鉬、或鎢和鉬的混合物的氮氧化物的層。

在形成作為第一層的金屬層和作為第二層的金屬氧化物層的疊層結構並用作剝離層 504 的清況下，可以利用如下現象，即藉由作為金屬層形成包含鎢的層，作為其上層形成由氧化物構成的絕緣層，在包含鎢的層和絕緣層之間的介面形成作為金屬氧化物層的包含鎢的氧化物的層。再者，也可以對金屬層的表面進行熱氧化處理、氧電漿處理、利用臭氧水等的氧化力強的溶液的處理等形成金屬氧化物層。

此外，作為鎢的氧化物，有例如 WO_2 、 W_2O_5 、 W_4O_{11} 、 WO_3 等。

使用半導體元件層 505 形成上述實施例模式 1 所示的半導體積體電路。半導體層 505 較佳的以 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下，更佳的以 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下的厚度形成。藉由將半導體元件層 505 的厚度設定為上述範圍，可以製造可彎曲的半導體裝置。此外，半導體裝置的頂面面積較佳的為 4mm^2 以上，更佳的為 9mm^2 以上。

在此，參照圖 11 說明半導體元件層 505 的更具體的結構。圖 11 是示出本實施例模式中的半導體元件層的結構的截面圖。

如圖 11 所示，本實施例模式中的半導體元件層 505 包括底層 600、以及設置在底層 600 上的多個電晶體 601。多個電晶體 601 包括具有雜質區域的半導體層 602、以覆蓋半導體層 602 的方式設置的閘極絕緣層 603、隔著閘極絕緣層 603 設置在半導體層 602 的一部分上的閘極電極 604、設置在閘極電極 604 及閘極絕緣層 603 上並具有開口部的第一層間絕緣層 605 及第二絕緣層 606、以及以經過開口部接觸於半導體層 602 的雜質區域的一部分的方式設置的電極 607。

此外，導電層 508 的一部分藉由圖 9 中的第一絕緣層 506 及第二絕緣層 507 的開口部接觸於設置在與電晶體 601 的電極 607 相同的層中的電極 608。

作為底層 600，使用氧化矽膜、包含氮的氧化矽膜、氮化矽膜、包含氧的氮化矽膜中的任何一種或其兩種以上的疊層膜，即可。

此外，底層 600 還可以採用如圖 12 所示的半導體元件層 505 那樣的結構，即由底層 600a 和底層 600b 的兩層構成，並且一個底層的一部分受到蝕刻被去除。藉由在蝕刻之後也使另一個底層殘留，可以抑制雜質混入。

半導體層 602 包括通道區域、源極區域、及汲汲極區域。作為半導體層 602 可以使用非晶半導體、微晶半導體

或多晶半導體。微晶半導體是一種具有非晶結構和結晶結構（包括單晶、多晶）的中間結構且具有自由能穩定的第三狀態的半導體，並且包括具有短程有序和晶格畸變的結晶區域。在微晶半導體膜的至少一部分區域可以觀察到 0.5 nm 至 20 nm 的結晶區域。當以矽為主要成分時，拉曼光譜向低於 520 cm^{-1} 波數的一側偏移。在 X 射線衍射中，可以觀察到來源於矽晶格的 (111) 和 (220) 的衍射峰。

微晶半導體至少包含 1 原子 % 以上的氫或鹵素以補充懸空鍵。例如，在使用微晶矽的情況下，藉由使材料氣體輝光放電分解（電漿 CVD）形成。作為此時的材料氣體，不僅可以使用 SiH_4 ，還可使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。或者，也可以混合 GeF_4 。該材料氣體還可以使用 H_2 、或者 H_2 與選自 He、Ar、Kr 和 Ne 的一種或多種稀有氣體元素稀釋。此時的稀釋比率為 2 倍以上且 1000 倍以下的範圍內，壓力為 0.1 Pa 以上且 33 Pa 以下的範圍內，電源頻率為 1 MHz 以上且 120 MHz 以下，較佳的為 13 MHz 以上且 60 MHz 以下的範圍內。基板加熱溫度可以為 300°C 以下的範圍內。作為膜中的雜質元素，來源於大氣成分的雜質諸如氧、氮和碳等都較佳的為 $1 \times 10^{20} \text{ cm}^{-3}$ 以下。特別地，氧的濃度較佳的為 $5 \times 10^{19} / \text{cm}^3$ 以下，更佳的為 $1 \times 10^{19} / \text{cm}^3$ 以下。

此外，半導體層 602 的雜質區域用作源極區域或汲汲極區域。例如，可以藉由添加磷及砷等的 n 型雜質元素、或硼等的 p 型雜質元素形成。再者，接觸於雜質區域的電

極用作源極電極或汲極電極。此外，可以對每個半導體層 602 分別添加賦予相同的導電型的雜質元素。並且，也可以對每個半導體層 602 分別添加賦予不同的導電型的雜質元素。另外，在本實施例模式中，也可以設置其雜質濃度低於成為源極區域或汲極區域的雜質區域的雜質濃度的低濃度雜質區域（也稱為 LDD 區域）。藉由設置低濃度雜質區域，可以抑制截止電流。

作為閘極絕緣層 603，例如可以使用氧化矽膜、包含氮的氧化矽膜、氮化矽膜、包含氧的氮化矽膜中的任何一種或其兩種以上的疊層膜等。閘極絕緣層 603 可以藉由濺射法或電漿 CVD 法等形式。

作為閘極電極 604，例如可以採用單層的導電膜、或兩層、三層的導電膜的疊層結構。作為閘極電極 604 的材料，可以使用導電膜，例如：鉬、鈦、鉬、鎢、鉻、矽等元素的單體膜；上述元素的氮化膜（典型地為氮化鉬膜、氮化鎢膜、氮化鈦膜）；組合上述元素的合金膜（典型地為 Mo-W 合金、Mo-Ta 合金）；或上述元素的矽化物膜（典型地為鎢矽化物膜、鈦矽化物膜）等。注意，可以以單層或疊層使用上述單體膜、氮化膜、合金膜、矽化物膜等。

作為第一層間絕緣膜 605 及第二層間絕緣膜 606，例如可以使用氧化矽膜、包含氮的氧化矽膜、氮化矽膜、包含氧的氮化矽膜中的任何一種或其兩種以上的疊層膜。

作為電極 607，可以使用如下材料：鋁、鎳、碳、鎢

、鉬、鈦、鉑、銅、鉭、金或錳等的元素的單體膜；上述元素的氮化膜；組合上述元素的合金膜；或上述元素的矽化物膜。例如，作為包含多個元素的合金，可以使用包含碳和鈦的鋁合金、包含鎳的鋁合金、包含碳和鎳的鋁合金、包含碳和錳的鋁合金等。例如，在以疊層結構設置的情況下，藉由採用由鉬或鈦等夾著鋁的結構，可以提高鋁的對熱及化學反應的耐性。

注意，本實施例模式中的半導體元件層 505 的結構不局限於圖 11 及圖 12 所示的結構，還可以設置二極體、電阻元件、電容元件、或具有浮動閘極的電晶體等的半導體元件。

此外，電晶體 601 不局限於圖 11 及圖 12 所示的結構，例如可以採用反交錯結構、鰭式 FET 結構等的電晶體結構。例如藉由採用鰭式 FET 結構，可以抑制電晶體尺寸的微細化所引起的短通道效應。另外，作為電晶體 601，還可以使用 SOI 基板等的半導體基板。使用半導體基板製造的電晶體的遷移率高，因此可以縮小電晶體的尺寸。此外，還可以採用使用有機半導體的電晶體、或使用碳奈米管的電晶體等。

第一絕緣層 506 具有層間絕緣層的功能，例如可以使用氧化矽膜、包含氮的氧化矽膜、氮化矽膜、包含氧的氮化矽膜中的任何一種或其兩種以上的疊層膜等。藉由由第一絕緣層 506 覆蓋半導體元件層 505，可以抑制雜質混入到成為半導體積體電路的半導體元件層 505 中。

第二絕緣層 507 具有層間絕緣膜的功能，例如可以使用樹脂等。

導電層 508 用作圖 8 中的天線 503，它例如可以使用銀、金、銅、鎳、鉑、鈮、鉭、鈾、鈦、鋁等中的任何一種或兩種以上形成。在本實施例模式中作為天線的形狀採用環形天線，因此可以縮小功能電路的面積。但是，天線 503 的形狀不局限於環形，只要是能夠接收電波的形狀即可。例如，可以使用偶極天線、折疊偶極天線、縫隙天線、彎折線天線、微帶天線等。

作為第三絕緣層 509，可以使用非晶矽膜、氧化矽膜、包含氮的氧化矽膜、氮化矽膜、包含氧的氮化矽膜中的任何一種或其兩種以上的疊層膜等。此外，在使用非晶矽膜的情況下，也可以添加賦予一種導電型的雜質元素。藉由添加賦予一種導電型的雜質元素，可以防止元件的靜電破壞。注意，採用不設置第三絕緣層 509 的結構來可以減薄半導體裝置的厚度。

圖 9 所示的半導體裝置具有多個半導體元件層 505、第一絕緣層 506、及導電層 508 被由密封層 500 和密封層 501 構成的同一個密封層覆蓋的結構。由此，可以抑制雜質混入到成為半導體積體電路的半導體元件層 505 中。

此外，本實施例模式的半導體裝置採用如圖 13 所示的功能電路 502 那樣在區域 514 中使密封層 500 和密封層 501 接觸的結構，並且還可以採用半導體元件層 505、第一絕緣層 506、及導電層 508 被由密封層 500 和密封層

501 構成的同一個密封層覆蓋的結構。由此，可以抑制雜質混入到成為半導體積體電路的半導體元件層中。

如上所述，本實施例模式的半導體裝置可以藉由採用上述結構來提高冗餘，從而可以提高可靠性。此外，由於可以抑制雜質混入到半導體積體電路中，緩和對彎曲的壓力，並提高對外力的耐性，因此可以提高各個功能電路的可靠性。

接著，參照圖 14A 至圖 17B 說明本實施例模式中的半導體裝置的製造方法。圖 14A 至圖 17B 是示出本實施例模式中的半導體裝置的製造方法的截面圖。在此，作為例子說明圖 11 所示的結構中的半導體裝置的製造方法。

如圖 14A 所示，首先在基板 511 上形成剝離層 504，然後在剝離層 504 上形成半導體元件層 505。剝離層 504 可以藉由濺射法、電漿 CVD 法、塗敷法、印刷法等形成。注意，塗敷法是指將溶液噴出在被處理物上進行成膜的方法，例如包括旋塗法及液滴噴出法。此外，液滴噴出法是指將包含微粒子的組成物的液滴從微細的孔噴出形成預定形狀的圖案的方法。

接著，以覆蓋半導體元件層 505 的方式形成第一絕緣層 506 及第二絕緣層 507。

接著，如圖 14B 所示，藉由蝕刻去除第一絕緣層 506 及第二絕緣層 507 的一部分。此時，至少使覆蓋半導體元件層 505 的部分的第一絕緣層 506 及第二絕緣層 507 殘留。此外，在殘留在半導體元件層 505 上的第一絕緣層 506

及第二絕緣層 507 的一部分設置開口部。

接著，如圖 15A 所示，以其一部分隔著第一絕緣層 506 及第二絕緣層 507 與半導體元件層 505 中的電極接觸的方式形成導電層 508。導電層 508 例如可以藉由如下步驟形成，即將具有上述能夠用作導電層 508 的材料的金屬粒子的液滴及膏劑等藉由液滴噴出法（噴墨法、分配器法等）另外噴出到基板上，然後進行乾燥和焙燒。藉由採用液滴噴出法形成導電層 508 可以縮減製程數目，由此可以實現成本的縮減。

接著，如圖 15B 所示，覆蓋第二絕緣層 507 和導電層 508 地形成第三絕緣層 509。

接著，如圖 16A 所示，將密封層 501 粘接到第三導電層 509 上。作為粘接的方法，例如可以舉出對密封層 501 進行加壓粘接的方法。

接著，如圖 16B 所示，在密封層 501 上設置因光或熱能夠剝離的粘接膠帶 512，當在粘接膠帶 512 上旋轉滾筒 513 的同時剝離剝離層 504 並分離基板 511。

接著，如圖 17A 所示，從形成有剝離層 504 的面照射雷射，在剝離層 504、第三絕緣層 509、及密封層 501 的一部分形成槽 515。注意，既可以在形成槽 515 之後剝離粘接膠帶 512，又可以在形成槽 515 之前剝離。

接著，如圖 17B 所示，將密封層 500 粘接到第三絕緣層 509 的基板 511 被剝離一側的表面。作為粘接方法，例如可以舉出對密封層 500 進行加壓粘接的方法等。藉由粘

接密封層 500 使密封層 500 和密封層 501 中的樹脂流到槽 515 中，從而密封層 500 和密封層 501 成爲一個。此時，去除因槽 515 密封層 500 和密封層 501 的端部不一致的部分。

如上所述，可以製造具有圖 11 所示的結構的半導體裝置。此外，藉由採用本實施例模式的半導體裝置的製造方法，可以形成半導體層 505 被夾在密封層 500 和密封層 501 之間的結構。注意，本實施例模式所示的半導體裝置的製造方法是一個例子，還可以採用其他製造方法。

此外，參照圖 18 說明設置有增益天線的半導體裝置。圖 18 是示出本實施例模式中的半導體裝置的其他結構的斜視圖。

如圖 18 所示，本實施例模式中的半導體裝置的其他結構包括功能電路 700，設置在功能電路 700 上的基板 701（虛線部分）、以及設置在基板 701 的一方上的天線 702。

功能電路 700 與圖 9 所示的功能電路 502 的結構相同。

注意，在本實施例模式中作爲天線 702 的形狀採用環形的天線 702，由此可以縮小半導體裝置的面積。此外，但是，天線 702 的形狀不局限於環形，只要是能夠接收電波的形狀即可。例如，可以使用偶極天線、折疊偶極天線、縫隙天線、彎折線天線、微帶天線等。

此外，也可以以不使用基板 701 的方式將天線 702 貼

合到功能電路 700。藉由不使用基板 701，可以減薄半導體裝置的厚度。

接著，參照圖 19 示出設置有增益天線的半導體裝置的截面結構。圖 19 是沿著圖 18 的線 A-B 的截面圖。

如圖 19 所示，本實施例模式中的半導體裝置包括功能電路 700 和基板 701。其中所述功能電路 700 包括密封層 703、設置在密封層 703 上的剝離層 704、設置在剝離層 704 上的半導體元件層 705、設置在半導體元件層 705 上並具有開口部的第一絕緣層 706 及第二絕緣層 707、以其一部分經過開口部與半導體元件層 705 接觸的方式設置的導電層 708、以覆蓋導電層 708 及第二絕緣層 707 的方式設置的第三絕緣層 709、以及設置在第三絕緣層 709 上的密封層 710，並且所述基板 701 設置在密封層 710 上且包括導電層 711。

注意，在圖 19 中，密封層 703、剝離層 704、半導體元件層 705、第一絕緣層 706、第二絕緣層 707、導電層 708、第三絕緣層 709、及密封層 710 可以分別應用能夠應用於圖 9 中的密封層 500、剝離層 504、半導體元件層 505、第一絕緣層 506、第二絕緣層 507、導電層 508、第三絕緣層 509、及密封層 501 的結構及材料。

導電層 711 在圖 18 中用作增益天線的天線 702，例如可以使用銀、金、銅、鎳、鉑、鈮、鉭、鉬、鈦、鋁等中的任何一種或兩種以上形成。

注意，在本實施例模式中作為天線 702 的形狀採用環

形的天線 702，由此可以縮小功能電路的面積。但是，天線 702 的形狀不局限於環形，只要是能夠接收電波的形狀即可。例如，可以使用偶極天線、折疊偶極天線、縫隙天線、彎折線天線、微帶天線等。

如上所述，在採用設置成為第一天線的導電層 708 和成為用作增益天線的第二天線的導電層 711 的結構的情況下，可以以非接觸的方式進行第一天線和第二天線之間的電力發送和接受。此外，藉由設置第二天線，可接收的電波的頻帶不被限制而可以延長通信距離。

接著，參照圖 20A 和 20B 說明圖 19 所示的半導體裝置的製造方法。圖 20 是示出本實施例模式中的半導體裝置的其他結構的製造方法的截面圖。

如圖 20A 所示，首先採用如上述圖 14A 至圖 17B 所示的半導體裝置的製造方法形成功能電路 700。

接著，如圖 20B 所示，以形成有導電層 711 的表面成為功能電路 700 一側的方式貼合功能電路 700 和形成有導電層 711 的基板 701。此時，也可以另外隔著粘接層貼合基板 701 和功能電路 700。藉由設置粘接層，可以提高貼合面的粘接強度。

如上所述，可以製造作為增益天線設置第二天線（天線 702）的半導體裝置。藉由採用本實施例模式的製造方法，可以形成半導體元件層 705 被由密封層 703 和密封層 710 構成的一個密封層覆蓋的結構。此外，藉由在第二天線之下配置多個功能電路，可以縮小半導體裝置的面積。

注意，本實施例模式所示的半導體裝置的製造方法只是一個例子，也可以採用其他製造方法。

注意，本實施例模式可以與其他實施例模式適當地組合。

實施例模式 4

在本實施例模式中，說明上述實施例模式所示的半導體裝置的使用例子。

參照圖 21A 至 21F 說明本實施例模式的半導體裝置的具體使用例子。圖 21 是示出本實施例模式中的半導體裝置的使用例子的圖。

圖 21A 至 21F 示出上述實施例模式中的半導體裝置的使用例子。半導體裝置可以廣泛應用，例如可以設置在物品如鈔票、硬幣、有價證券類、無記名債券類、證書類（駕駛證、居民卡等，參照圖 21A）、包裝容器類（包裝紙、瓶子等，參照圖 21C）、記錄媒體（DVD 軟體、錄影帶等，參照圖 21B）））、車輛類（自行車等，參照圖 21D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服類、生活器具類、或電子設備（液晶顯示裝置、EL 顯示裝置、電視裝置、或行動電話）等、或每個物品所帶的標籤（參照圖 21E 和 21F）等中而使用。

半導體裝置 800 可以安裝在印刷基板上、附著到表面上、或者嵌入等的方式固定到物品上。例如，半導體裝置嵌入在書本的紙張裏，或者嵌入在由有機樹脂構成

的包裝裏以在每個物品中固定。半導體裝置 800 因為實現了尺寸小、厚度薄以及重量輕，所以即使在固定到上述物品中以後也不會破壞所述物品本身的設計性。另外，藉由在鈔票、硬幣、有價證券類、無記名債券類和證書類等中設置半導體裝置 800，可以提供認證功能，而且藉由利用所述認證功能可以防止對其的偽造。另外，可以藉由在包裝容器類、記錄媒體、個人物品、食物類、衣服類、生活器具類或電子設備等中安裝半導體裝置，提高檢測系統的系統運行效率。另外，當將半導體裝置安裝於車輛上時，可以提高防盜的安全性。

如上所述，由於上述實施例模式所示的半導體裝置具有高可靠性，因此藉由使用於本實施例模式所舉出的各個用途，可以進一步提高物品的認證性、或安全性等。

【圖式簡單說明】

在附圖中：

圖 1 是示出實施例模式 1 中的半導體裝置的結構的方塊圖；

圖 2 是示出實施例模式 1 中的半導體裝置的其他結構的方塊圖；

圖 3 是示出實施例模式 1 的半導體裝置中的功能電路的選擇工作的流程圖；

圖 4 是示出實施例模式 2 中的半導體裝置的結構的方

塊圖；

圖 5 是示出實施例模式 2 中的半導體裝置中的功能電路的結構的方塊圖；圖 6 是示出實施例模式 2 中的半導體裝置的其他結構的方塊圖；

圖 7 是示出實施例模式 2 的半導體裝置中的功能電路的選擇工作的流程圖；

圖 8A 和 8B 是示出實施例模式 3 中的半導體裝置的結構的斜視圖；

圖 9 是示出實施例模式 3 中的半導體裝置的結構的截面圖；

圖 10A 和 10B 是示出實施例模式 3 中的織布的俯視圖；

圖 11 是示出實施例模式 3 中的半導體裝置的半導體元件層的結構的截面圖；

圖 12 是示出實施例模式 3 中的半導體裝置的半導體元件層的結構的截面圖；

圖 13 是示出實施例模式 3 中的半導體裝置的其他結構的截面圖；

圖 14A 和 14B 是示出實施例模式 3 中的半導體裝置的製造方法的截面圖；

圖 15A 和 15B 是示出實施例模式 3 中的半導體裝置的製造方法的截面圖；

圖 16A 和 16B 是示出實施例模式 3 中的半導體裝置的製造方法的截面圖；

圖 17A 和 17B 是示出實施例模式 3 中的半導體裝置的製造方法的截面圖；

圖 18 是示出實施例模式 3 中的半導體裝置的其他結構的斜視圖；

圖 19 是示出實施例模式 3 中的半導體裝置的其他結構的截面圖；

圖 20A 和 20B 是示出實施例模式 3 中的半導體裝置的製造方法的截面圖；以及

圖 21A 至 21F 是示出實施例模式 4 中的半導體裝置的使用例子的圖。

【主要元件符號說明】

100：半導體裝置

101：功能電路

102：天線

103：半導體積體電路

104：收發電路

105：電源電路

106：邏輯電路

107：外部無線通信裝置

108：電波

200：半導體裝置

201：功能電路

202：第一天線

- 203：第二天線
- 204：半導體積體電路
- 205：收發電路
- 206：電源電路
- 207：邏輯電路
- 208：外部無線通信裝置
- 209：電波
- 300：半導體裝置
- 301：功能電路
- 302：天線
- 303：半導體積體電路
- 304：收發電路
- 305：電源電路
- 306：邏輯電路
- 307：電源控制電路
- 308：判定電路
- 309：外部無線通信裝置
- 310：電晶體
- 311：電晶體
- 312：電阻元件
- 313：電晶體
- 314：電晶體
- 315：電晶體
- 330：電波

- 400：半 導 體 裝 置
- 401：功 能 電 路
- 402：第 一 天 線
- 403：第 二 天 線
- 404：半 導 體 積 體 電 路
- 405：收 發 電 路
- 406：電 源 電 路
- 407：邏 輯 電 路
- 408：電 源 控 制 電 路
- 409：判 定 電 路
- 410：外 部 無 線 通 信 裝 置
- 411：電 波
- 500：密 封 層
- 501：密 封 層
- 502：功 能 電 路
- 503：天 線
- 504：剝 離 層
- 505：半 導 體 元 件 層
- 506：第 一 絕 緣 層
- 507：第 二 絕 緣 層
- 508：導 電 層
- 509：第 三 絕 緣 層
- 510：纖 維 體
- 510a：經 線

510b：緯線

510c：籃孔

600：底層

601：電晶體

602：半導體層

603：閘極絕緣層

604：閘極電極

605：第一層間絕緣層

606：第二層間絕緣層

607：電極

608：電極

511：基板

512：粘接膠帶

513：旋轉滾筒

514：區域

515：槽

700：功能電路

701：基板

702：天線

703：密封層

704：剝離層

705：半導體元件層

706：第一絕緣層

707：第二絕緣層

708：導電層

709：第三絕緣層

710：密封層

711：導電層

800：半導體裝置

空白頁

七、申請專利範圍：**1.一種半導體裝置，包含：**

第一功能電路，其包含第一天線以及用以儲存識別資訊並電連接到該第一天線的第一半導體積體電路；

第二功能電路，其包含第二天線以及用以儲存識別資訊並電連接到該第二天線的第二半導體積體電路；

圍繞該第一功能電路和該第二功能電路的密封層，

其中，該第一功能電路與該第二功能電路係電絕緣的，

其中，該第一功能電路中的識別資訊與該第二功能電路中的識別資訊不同，以及

其中，該密封層以浸滲有樹脂的纖維體形成。

2.如申請專利範圍第 1 項的半導體裝置，其中該第一半導體積體電路和該第二半導體積體電路之各者包含電連接到該第一天線或該第二天線的收發電路、電連接到該收發電路的電源電路、以及用以儲存有該識別資訊並電連接到該收發電路和該電源電路的邏輯電路。

3.如申請專利範圍第 1 項的半導體裝置，其中該第一半導體積體電路和該第二半導體積體電路之各者包含電連接到該第一天線或該第二天線的收發電路、電連接到該收發電路的電源電路、用以儲存有該識別資訊並電連接到該收發電路和該電源電路的邏輯電路、電連接到該電源電路和該邏輯電路的電源控制電路、以及電連接到該邏輯電路和該電源控制電路的判定電路。

4.如申請專利範圍第 1 項的半導體裝置，其中該第一功能電路和該第二功能電路具有相同的功能。

5.如申請專利範圍第 1 項的半導體裝置，其中該第一功能電路和該第二功能電路具有防撞功能，且依照該識別資訊在不同時間回應從該半導體裝置的外部所接收的電波。

6.如申請專利範圍第 1 項的半導體裝置，其中使用該第一功能電路和該第二功能電路的位置差異、該第一功能電路和該第二功能電路的信號的發送或接收所需要的時間差異、或該第一功能電路和該第二功能電路的響應信號的頻率差異來生成該識別資訊。

7.如申請專利範圍第 1 項的半導體裝置，其中該第一功能電路和該第二功能電路分別由從該半導體裝置的外部發送的電波判定該第一功能電路和該第二功能電路是否工作，且由該從該半導體裝置外部發送的電波控制是否工作。

8.一種半導體裝置，包含：

第一功能電路，其包含第一天線以及用以儲存識別資訊並電連接到該第一天線的第一半導體積體電路；

第二功能電路，其包含第二天線以及用以儲存識別資訊並電連接到該第二天線的第二半導體積體電路；

圍繞該第一功能電路和該第二功能電路的密封層；以及

藉由與該第一功能電路的該第一天線電磁耦合並與該

第二功能電路的該第二天線電磁耦合用以收發電波的第三天線，

其中，該第一功能電路與該第二功能電路係電絕緣的，以及

其中，該第一功能電路中的識別資訊與該第二功能電路中的識別資訊不同。

9.如申請專利範圍第 8 項的半導體裝置，其中該第一半導體積體電路和該第二半導體積體電路之各者包含電連接到該第一天線或該第二天線的收發電路、電連接到該收發電路的電源電路、以及用以儲存有該識別資訊並電連接到該收發電路和該電源電路的邏輯電路。

10.如申請專利範圍第 8 項的半導體裝置，其中該第一半導體積體電路和該第二半導體積體電路之各者包含電連接到該第一天線或該第二天線的收發電路、電連接到該收發電路的電源電路、用以儲存有該識別資訊並電連接到該收發電路和該電源電路的邏輯電路、電連接到該電源電路和該邏輯電路的電源控制電路、以及電連接到該邏輯電路和該電源控制電路的判定電路。

11.如申請專利範圍第 8 項的半導體裝置，其中該第一功能電路和該第二功能電路具有相同的功能。

12.如申請專利範圍第 8 項的半導體裝置，其中該第一功能電路和該第二功能電路具有防撞功能，且依照該識別資訊在不同時間回應從該半導體裝置的外部所接收的電波。

13.如申請專利範圍第 8 項的半導體裝置，其中使用該第一功能電路和該第二功能電路的位置差異、該第一功能電路和該第二功能電路的信號的發送或接收所需要的時間差異、或該第一功能電路和該第二功能電路的響應信號的頻率差異來生成該識別資訊。

14.如申請專利範圍第 8 項的半導體裝置，其中該第一功能電路和該第二功能電路分別由從該半導體裝置外部發送的電波判定該第一功能電路和該第二功能電路是否工作，且由該從該半導體裝置外部發送的電波控制是否工作。

15.如申請專利範圍第 1 項的半導體裝置，其中使該第一功能電路工作的資料被寫在該第一功能電路中，以及使該第二功能電路停止的資料被寫在該第二功能電路中。

16.如申請專利範圍第 1 項的半導體裝置，其中該密封層的厚度為 $10\ \mu\text{m}$ 或更大且 $100\ \mu\text{m}$ 或更小。

17.如申請專利範圍第 1 項的半導體裝置，其中該纖維體由碳纖維形成。

18.如申請專利範圍第 1 項的半導體裝置，

其中該纖維體由織布或無紡布形成，

其中該織布是將纖維把用於經線和緯線編織而成，以及該無紡布是將纖維把在任意或在一個方向上堆積而成。

19.如申請專利範圍第 1 項的半導體裝置，其中高導熱填料分散在該樹脂和該纖維體的至少一個中。

20.如申請專利範圍第 1 項的半導體裝置，其中碳粒

子分散在該樹脂和該纖維體的至少一個中。

21.如申請專利範圍第 8 項的半導體裝置，其中使該第一功能電路工作的資料被寫在該第一功能電路中，以及使該第二功能電路停止的資料被寫在該第二功能電路中。

22.如申請專利範圍第 8 項的半導體裝置，其中該密封層的厚度為 $10\ \mu\text{m}$ 或更大且 $100\ \mu\text{m}$ 或更小。

23.如申請專利範圍第 8 項的半導體裝置，其中該密封層以浸滲有樹脂的纖維體形成。

24.如申請專利範圍第 23 項的半導體裝置，其中該纖維體由碳纖維形成。

25.如申請專利範圍第 23 項的半導體裝置，
其中該纖維體由織布或無紡布形成，
其中該織布是將纖維把用於經線和緯線編織而成，以及該無紡布是將纖維把在任意或在一個方向上堆積而成。

26.如申請專利範圍第 23 項的半導體裝置，其中高導熱填料分散在該樹脂和該纖維體的至少一個中。

27.如申請專利範圍第 23 項的半導體裝置，其中碳粒子分散在該樹脂和該纖維體的至少一個中。

28.一種半導體裝置，包含：

第一功能電路，其包含第一天線以及用以儲存識別資訊並電連接到該第一天線的第一半導體積體電路；

第二功能電路，其包含第二天線以及用以儲存識別資訊並電連接到該第二天線的第二半導體積體電路；

圍繞該第一功能電路和該第二功能電路的密封層，

其中，該第一功能電路與該第二功能電路係電絕緣的，

其中，該第一功能電路中的識別資訊與該第二功能電路中的識別資訊不同，

其中，該第一半導體積體電路和該第二半導體積體電路之各者包含判定電路，以及

其中，工作的資料被寫在該第一功能電路的該判定電路中，以及停止的資料被寫在該第二功能電路的該判定電路中。

29.如申請專利範圍第 28 項的半導體裝置，其中該密封層的厚度為 $10\ \mu\text{m}$ 或更大且 $100\ \mu\text{m}$ 或更小。

30.如申請專利範圍第 28 項的半導體裝置，其中該密封層以浸滲有樹脂的纖維體形成。

31.如申請專利範圍第 30 項的半導體裝置，其中該纖維體由碳纖維形成。

32.如申請專利範圍第 30 項的半導體裝置，

其中該纖維體由織布或無紡布形成，

其中該織布是將纖維把用於經線和緯線編織而成，以及該無紡布是將纖維把在任意或在一個方向上堆積而成。

33.如申請專利範圍第 30 項的半導體裝置，其中高導熱填料分散在該樹脂和該纖維體的至少一個中。

34.如申請專利範圍第 30 項的半導體裝置，其中碳粒子分散在該樹脂和該纖維體的至少一個中。

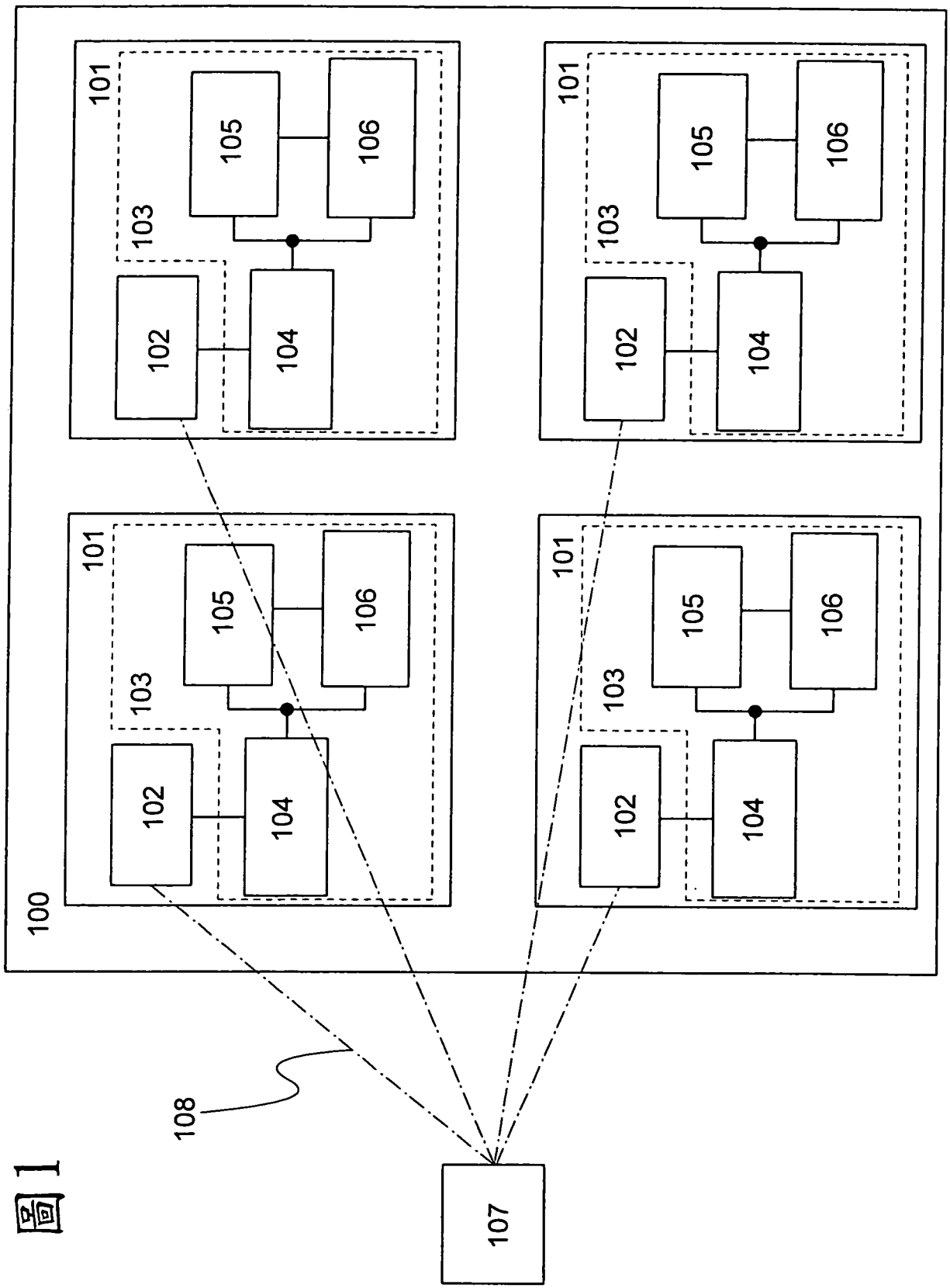


圖1

圖2

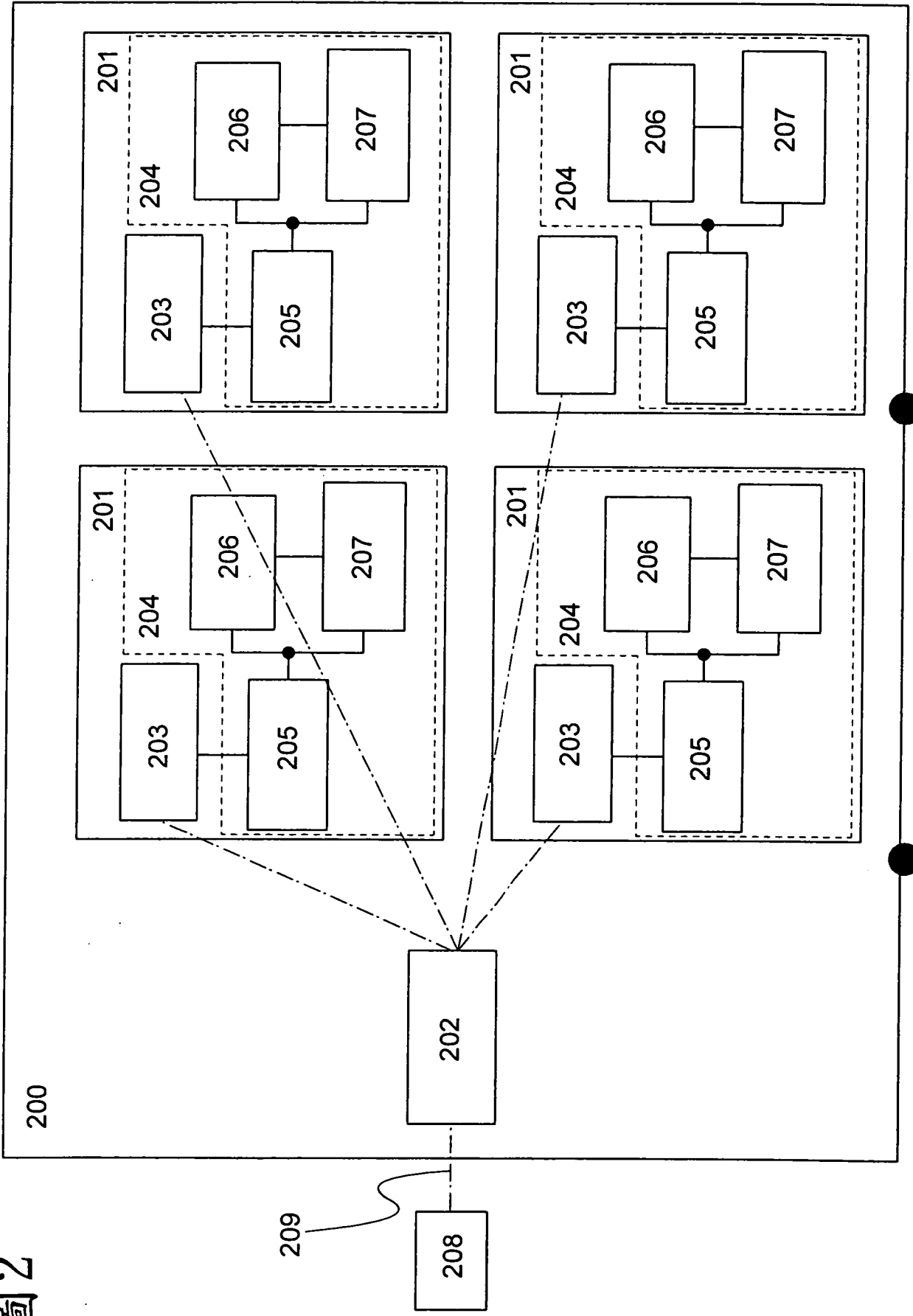
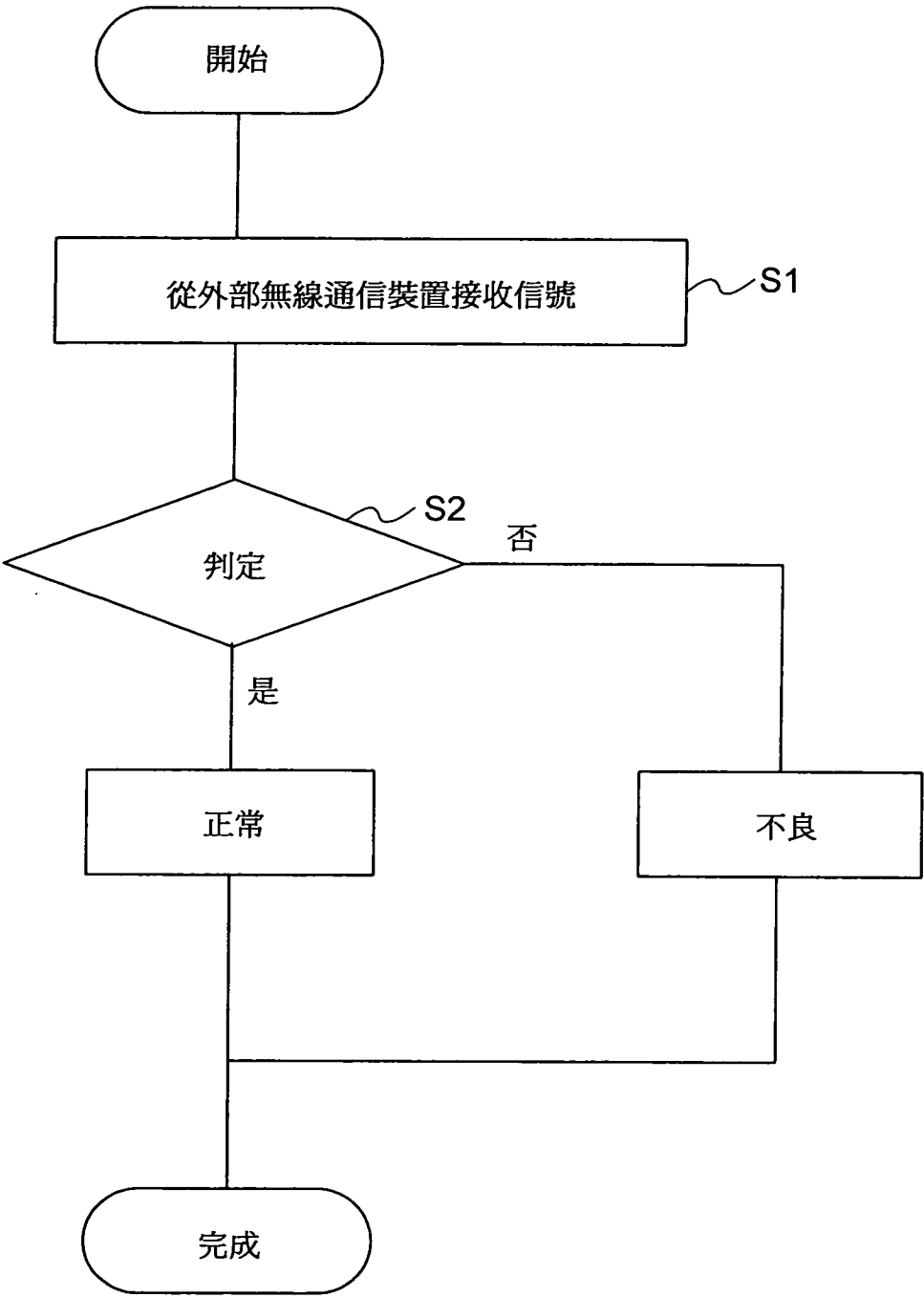


圖3



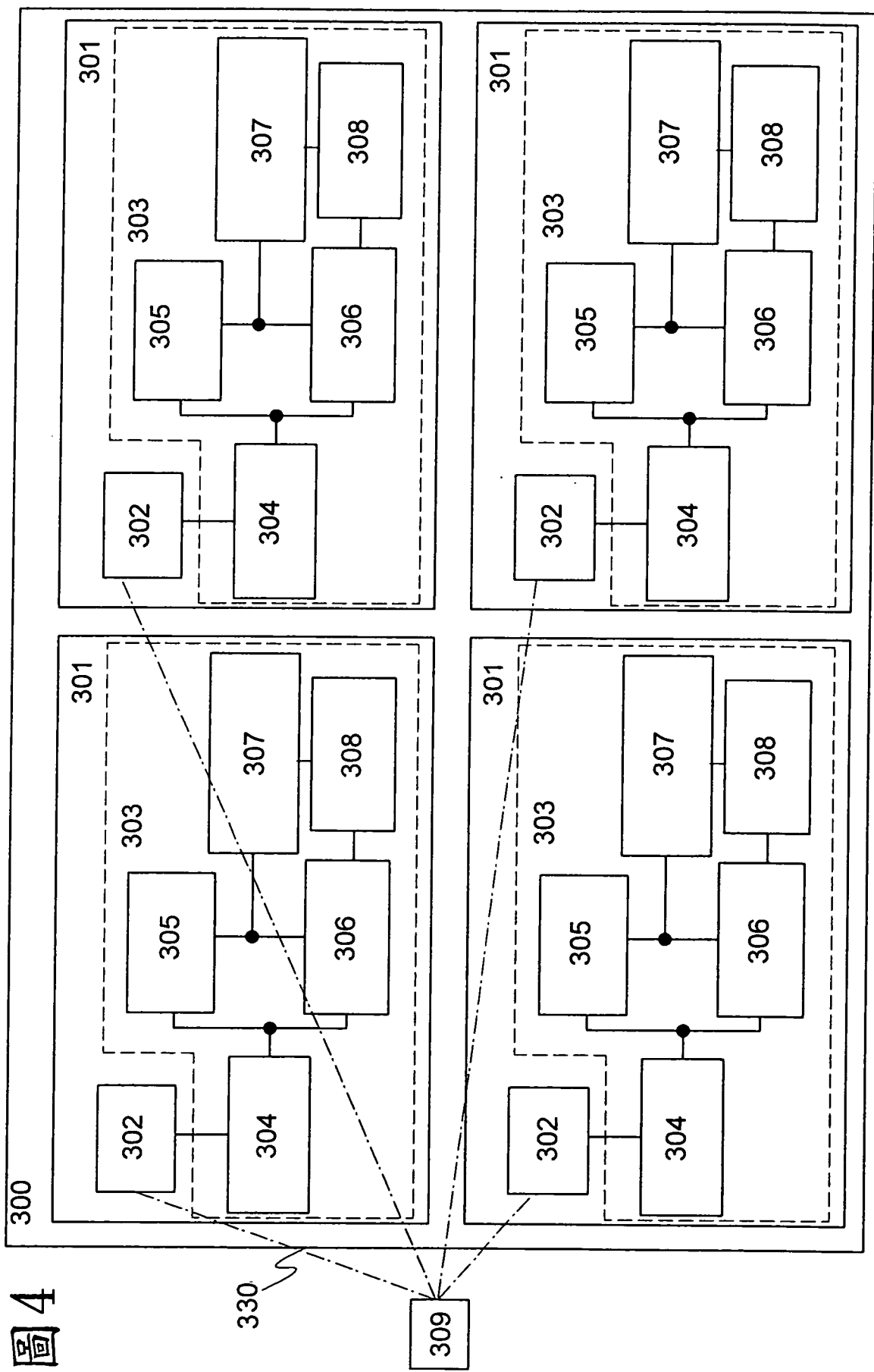


圖 4

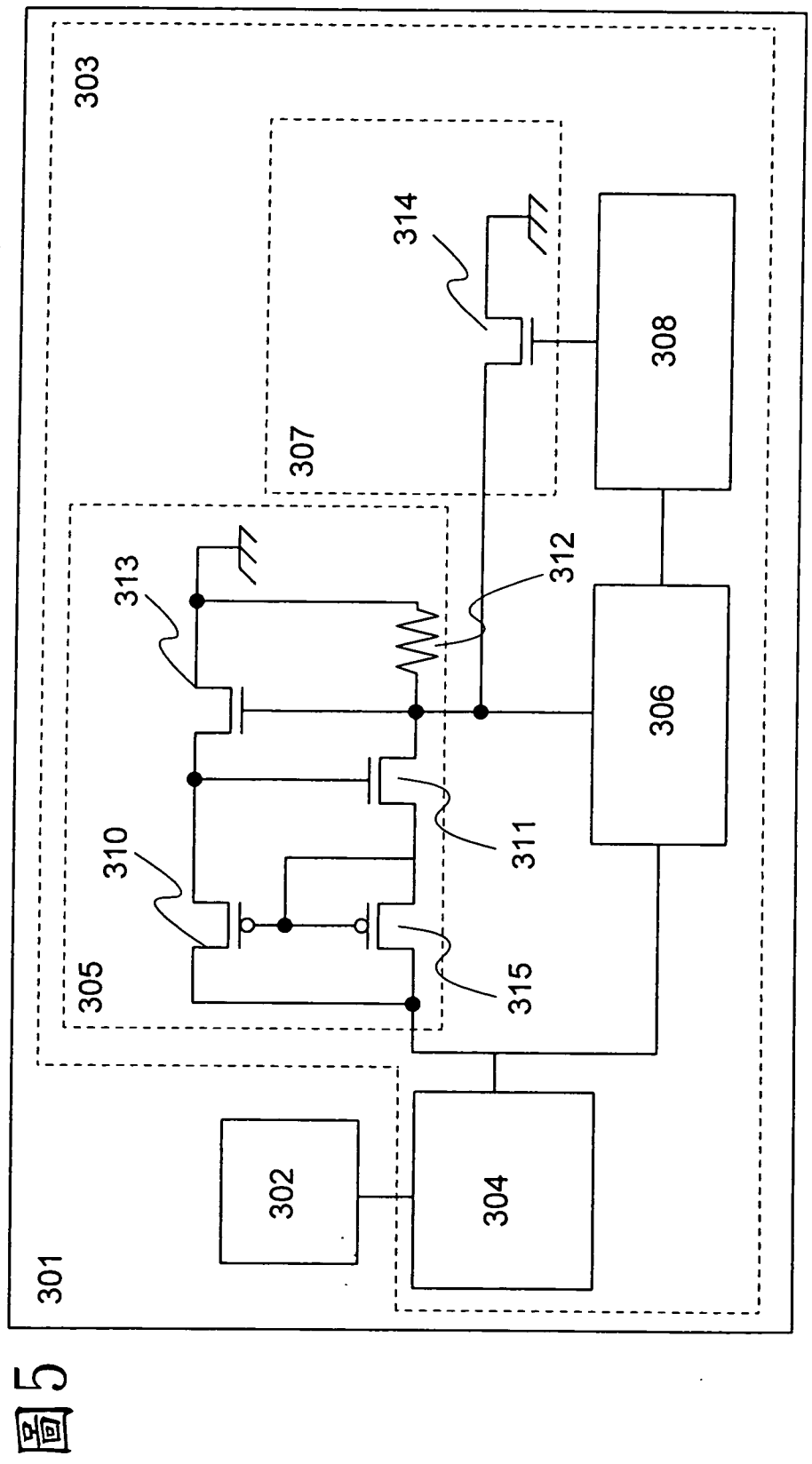


圖6

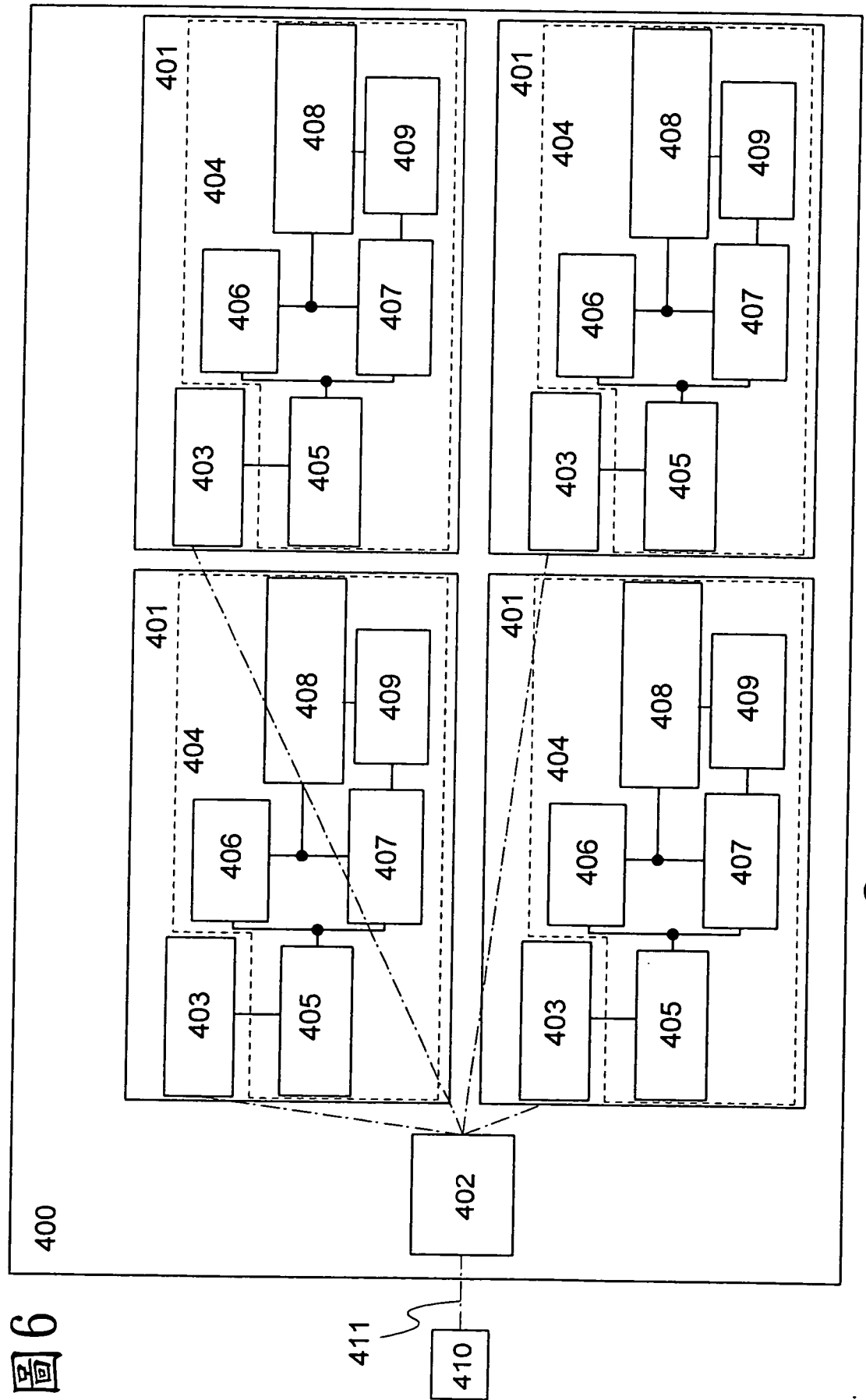


圖7

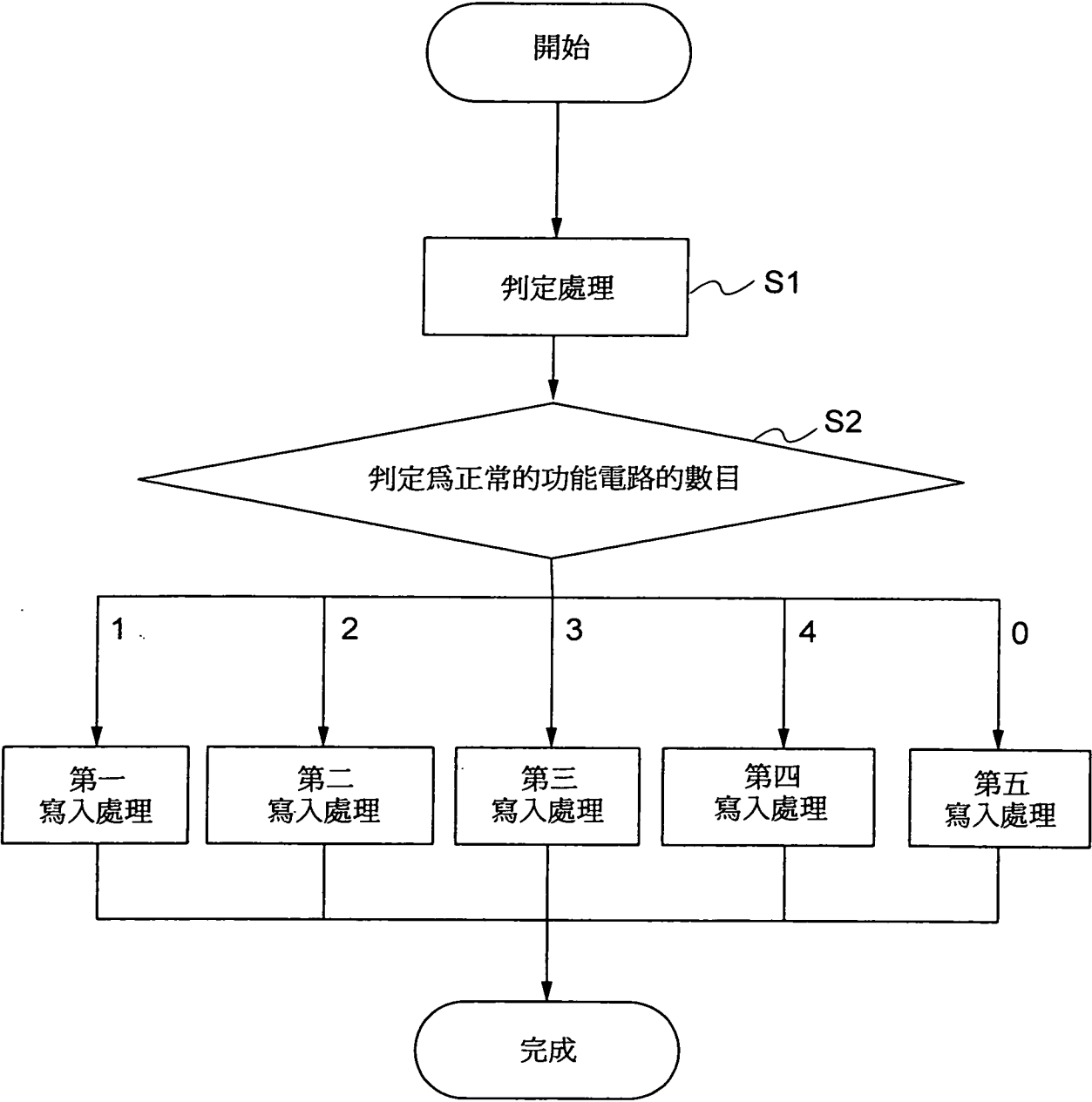


圖 8A

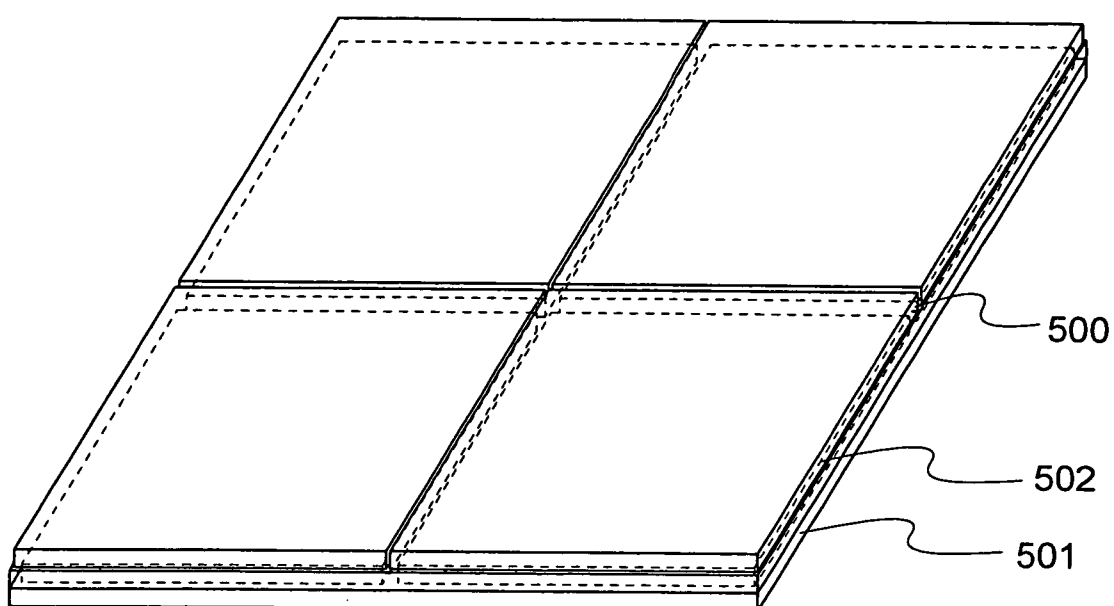


圖 8B

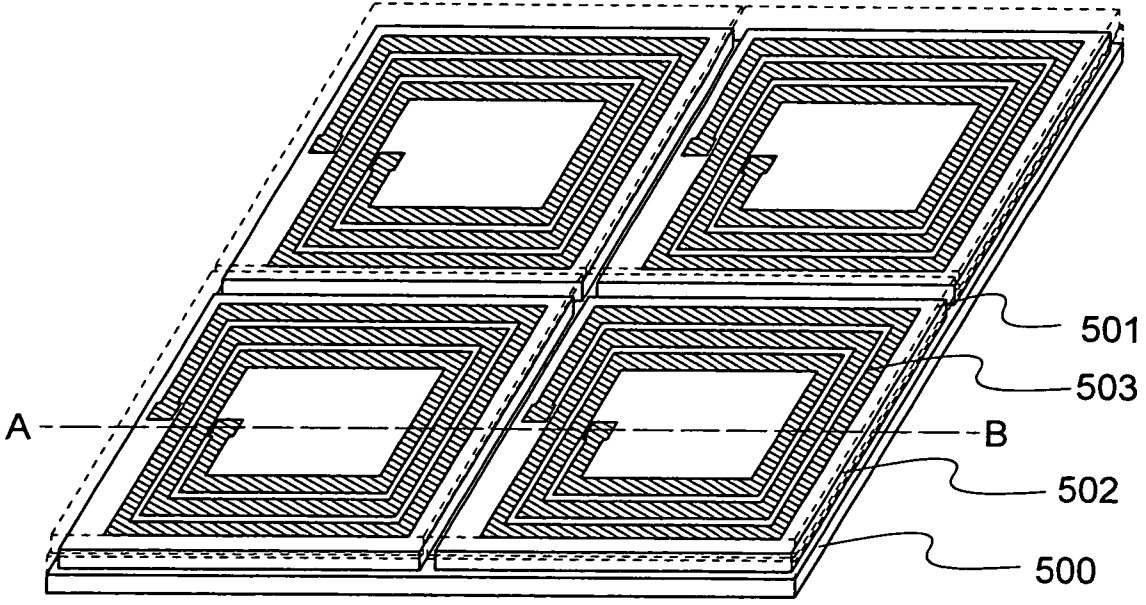


圖9

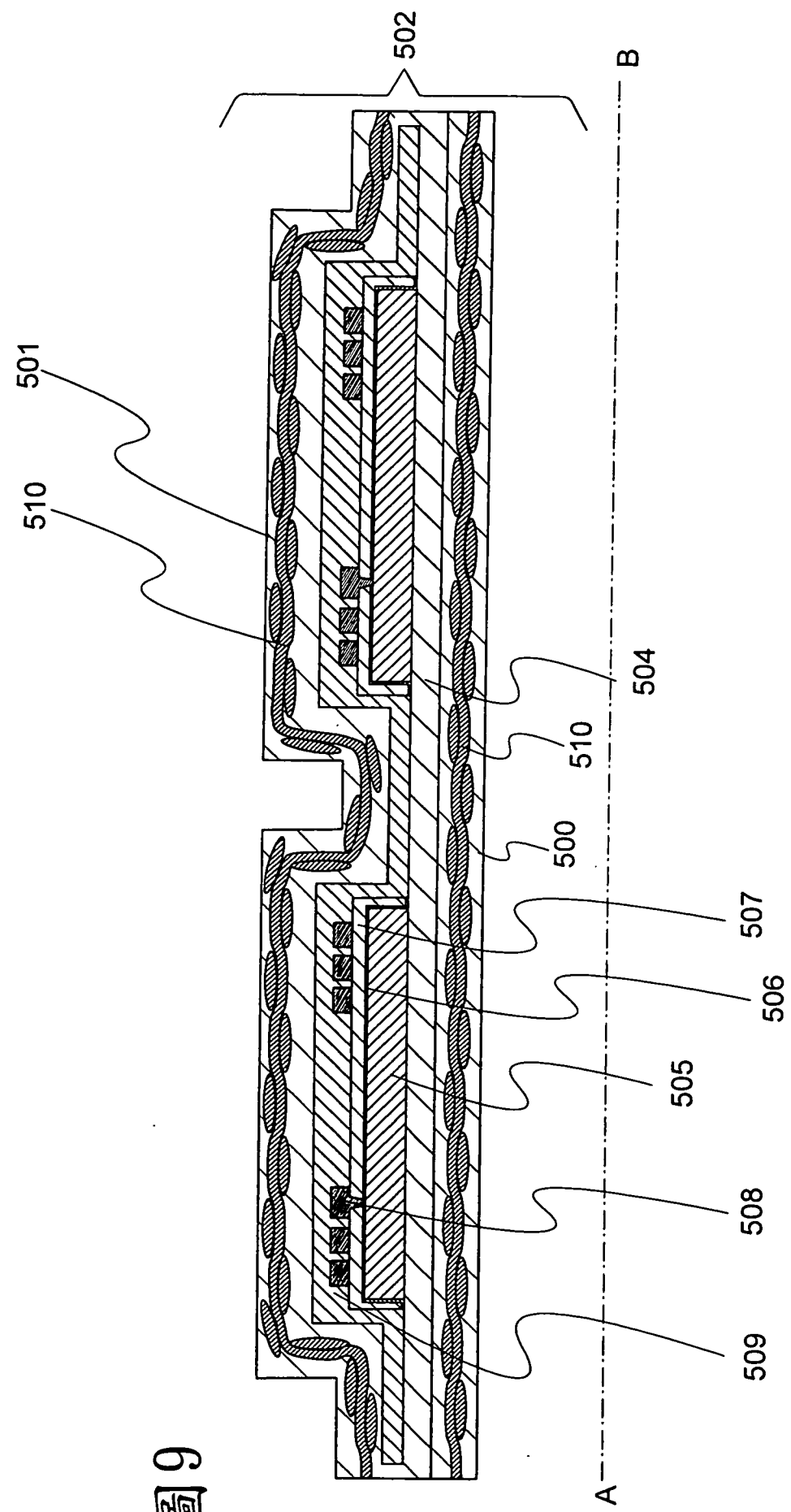


圖 10A

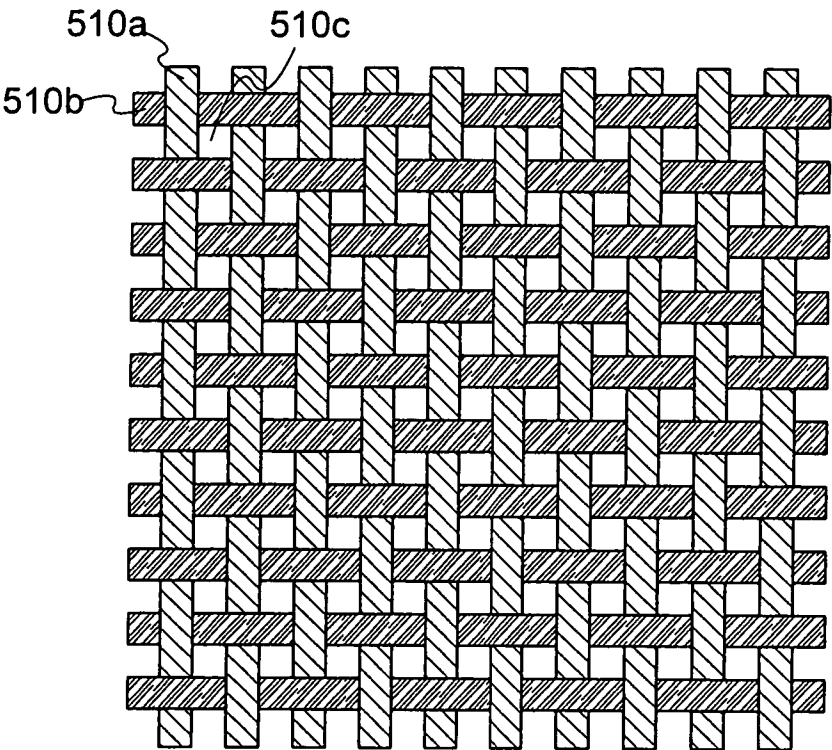


圖 10B

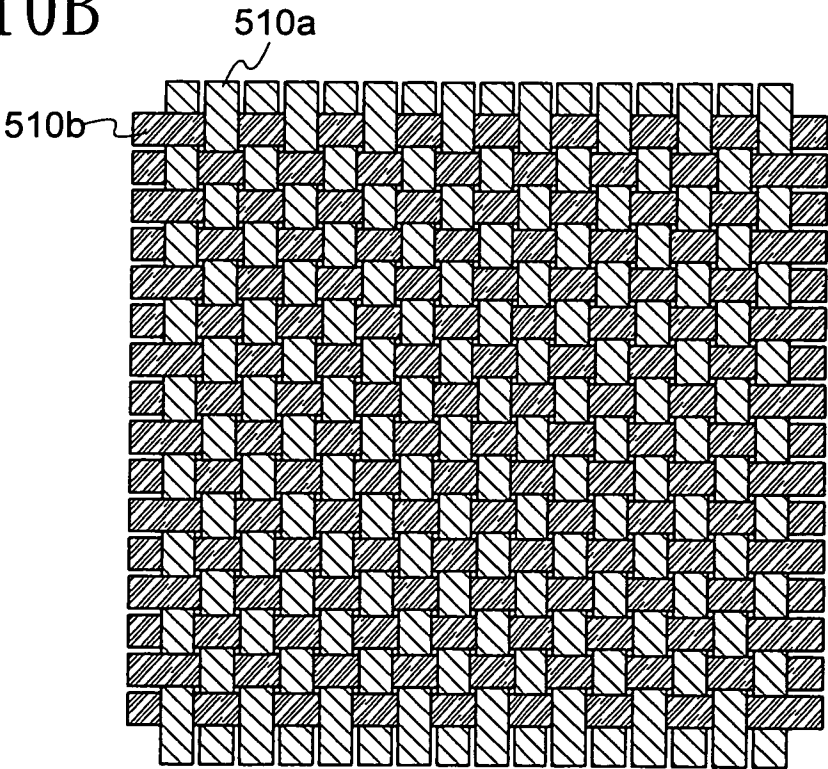


圖12

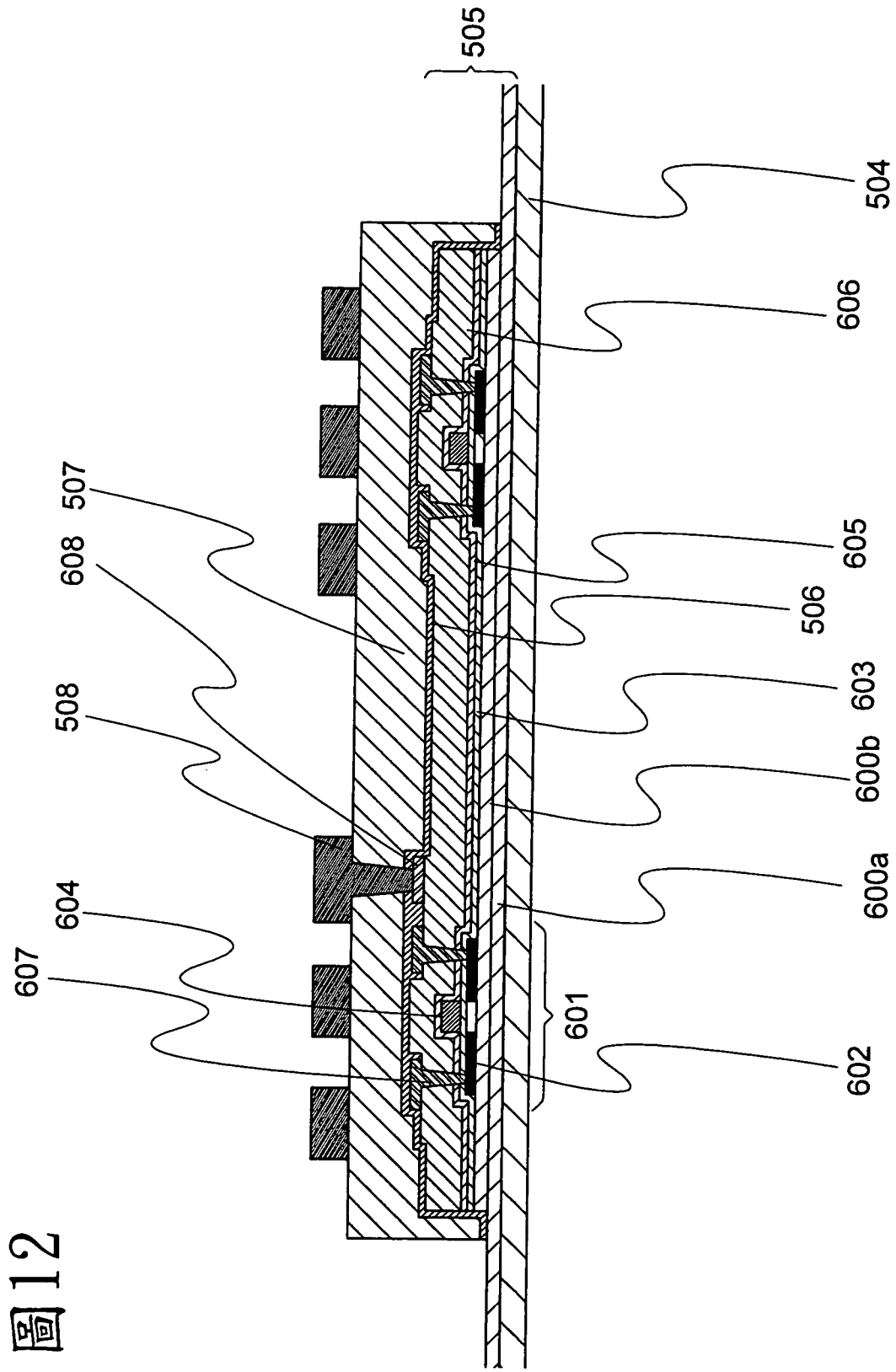


圖13

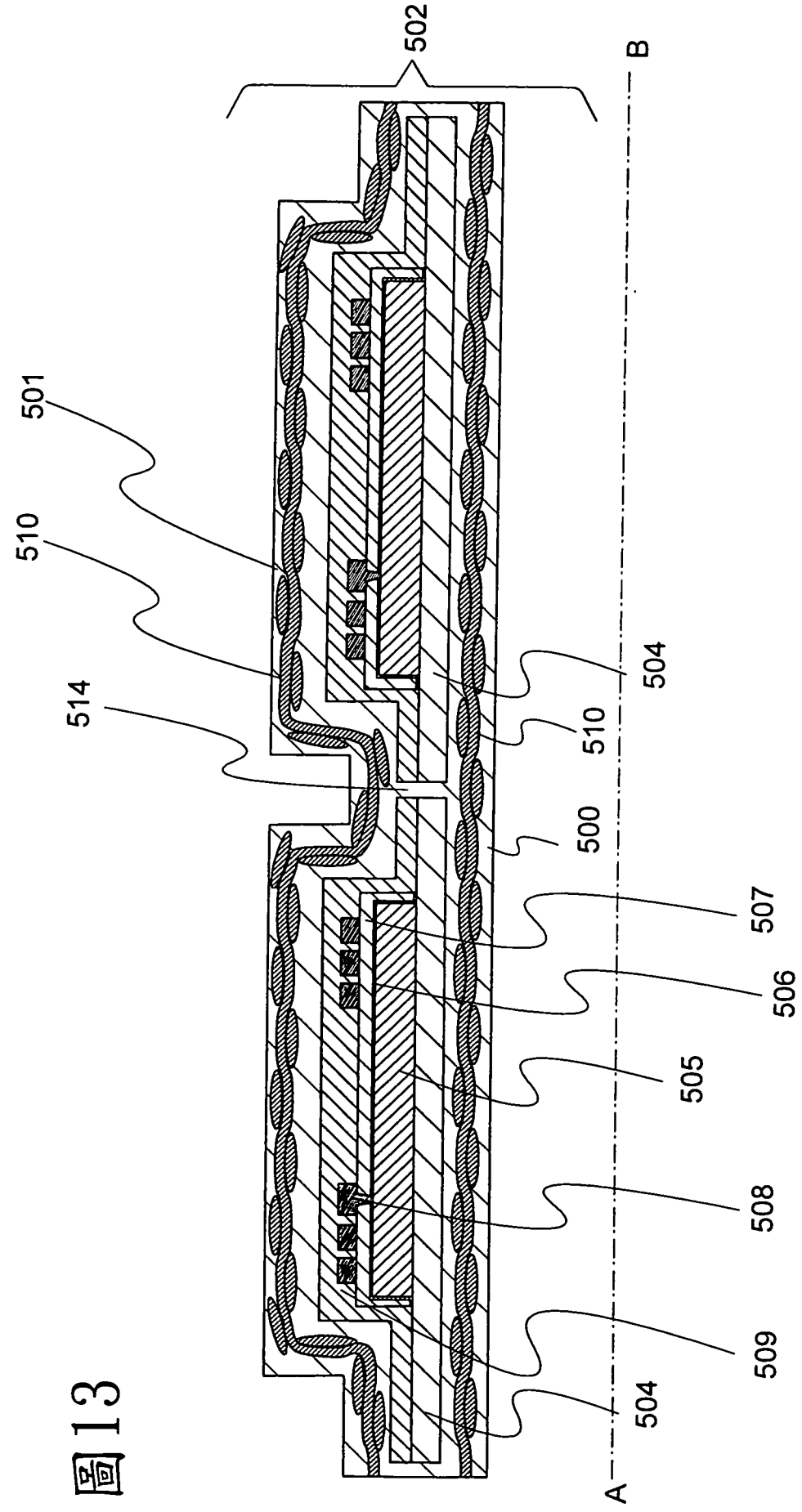


圖 14A

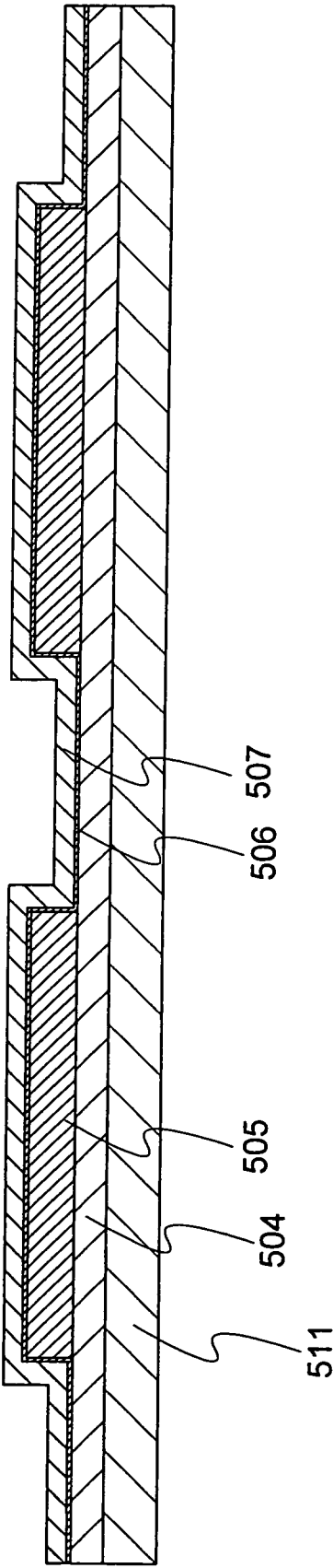


圖 14B

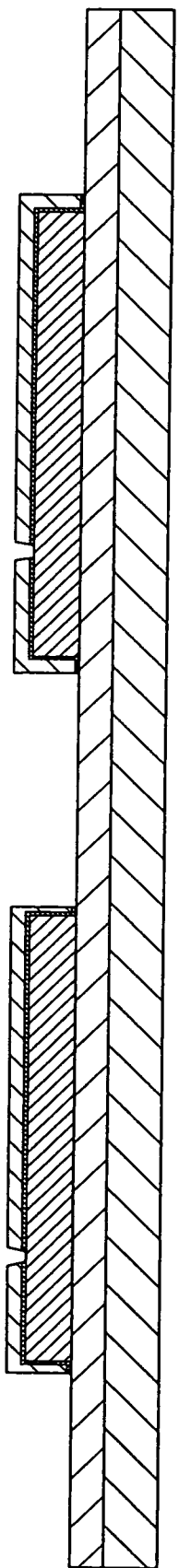


圖15A

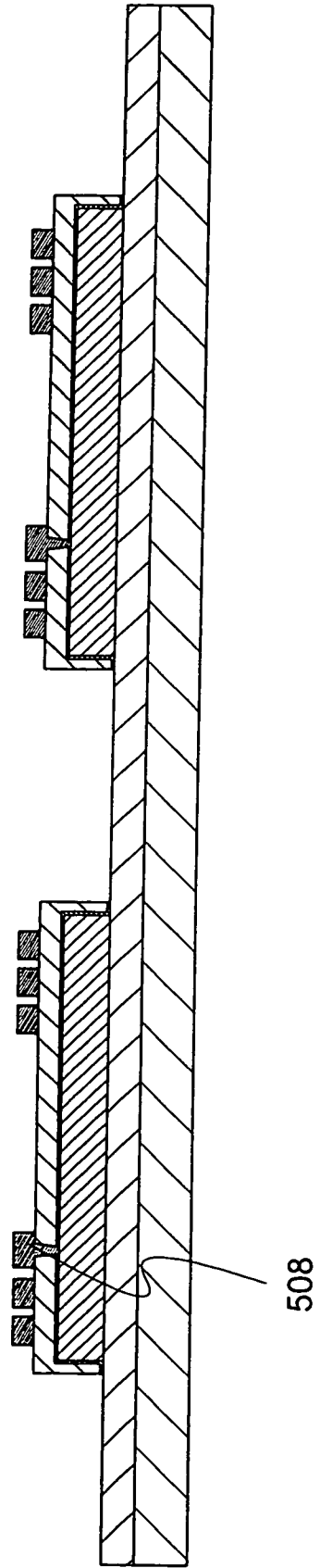


圖15B

509

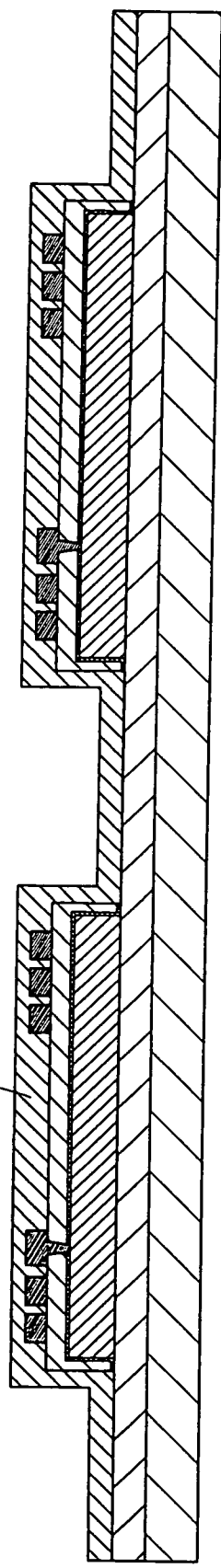


圖 16A

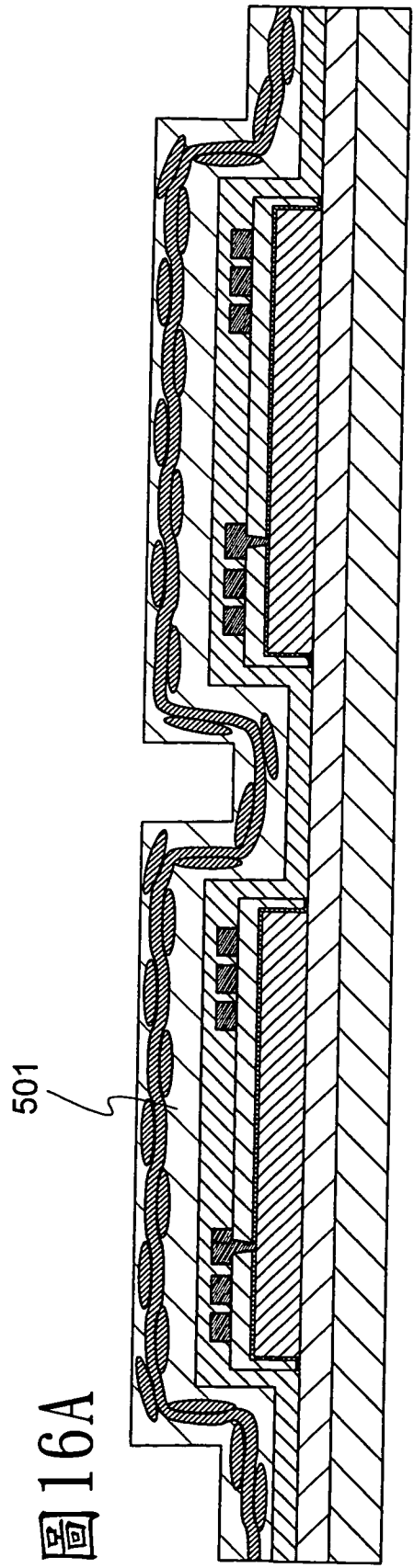


圖 16B

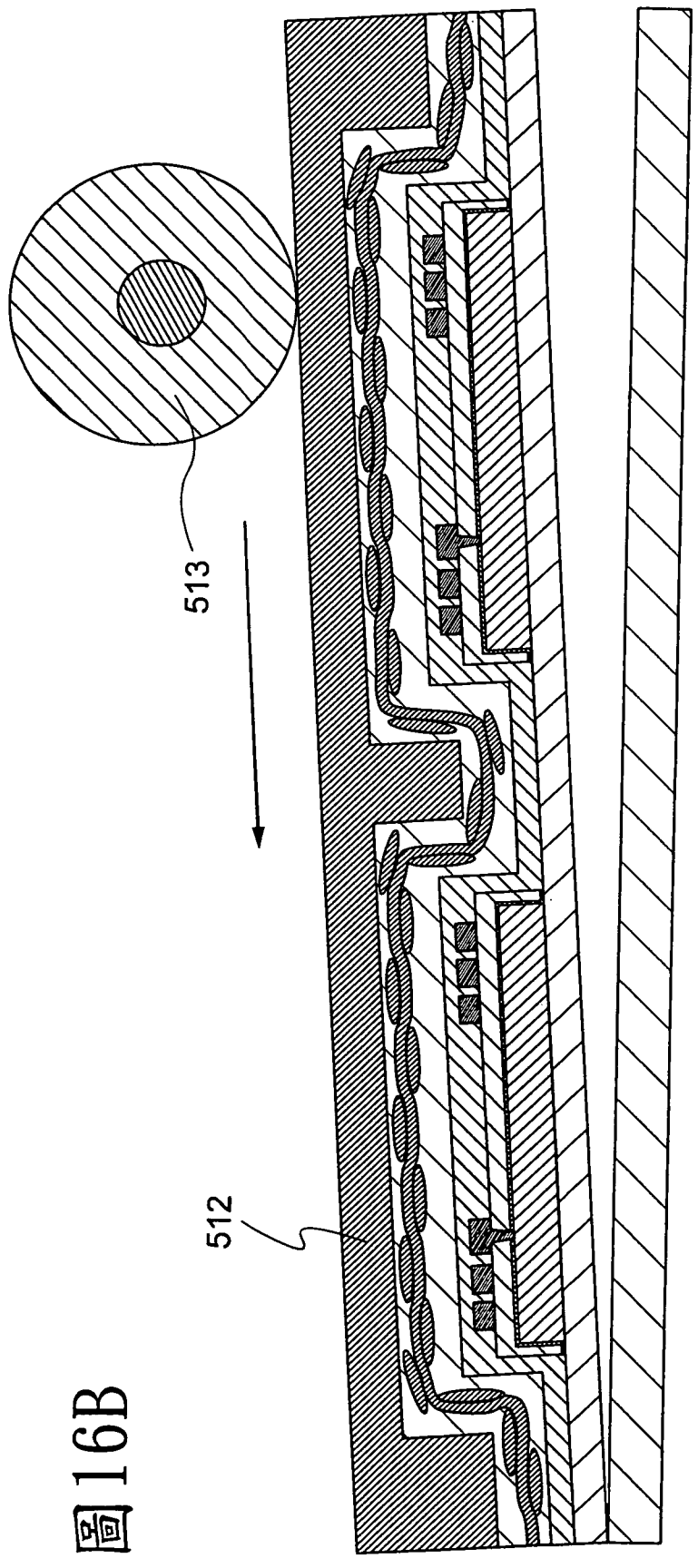


圖17A

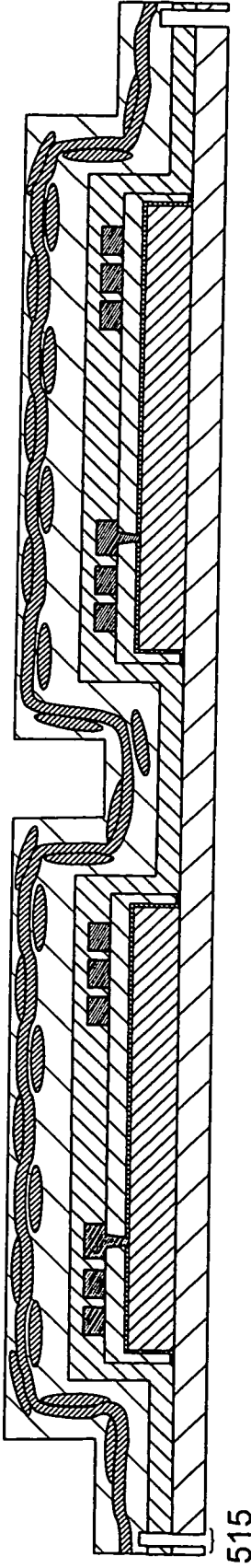


圖17B

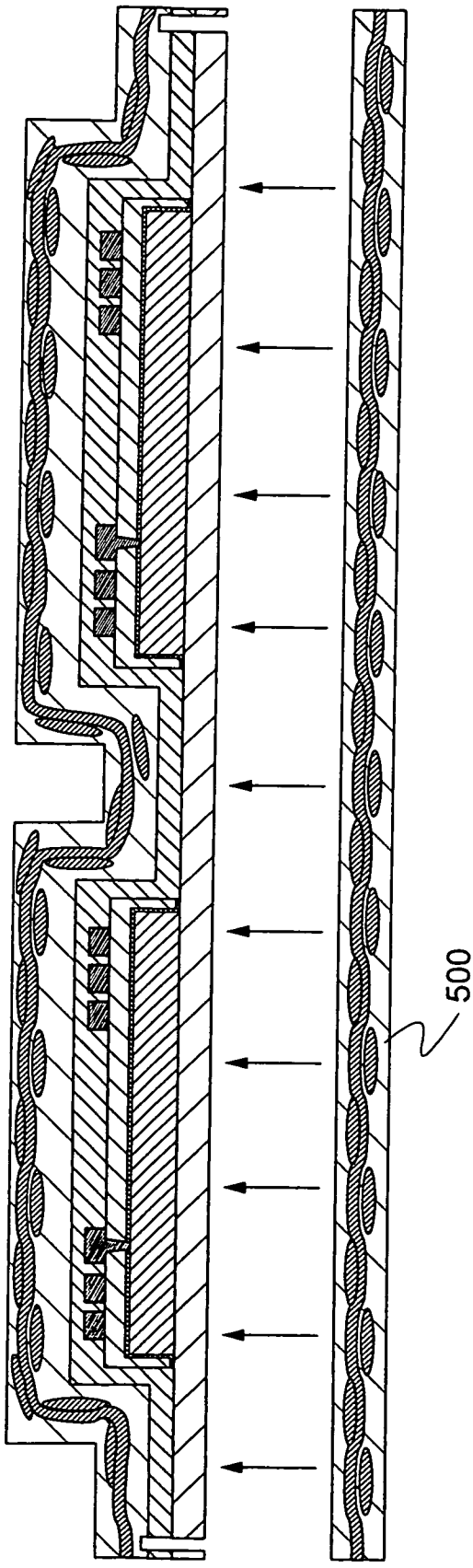


圖 18

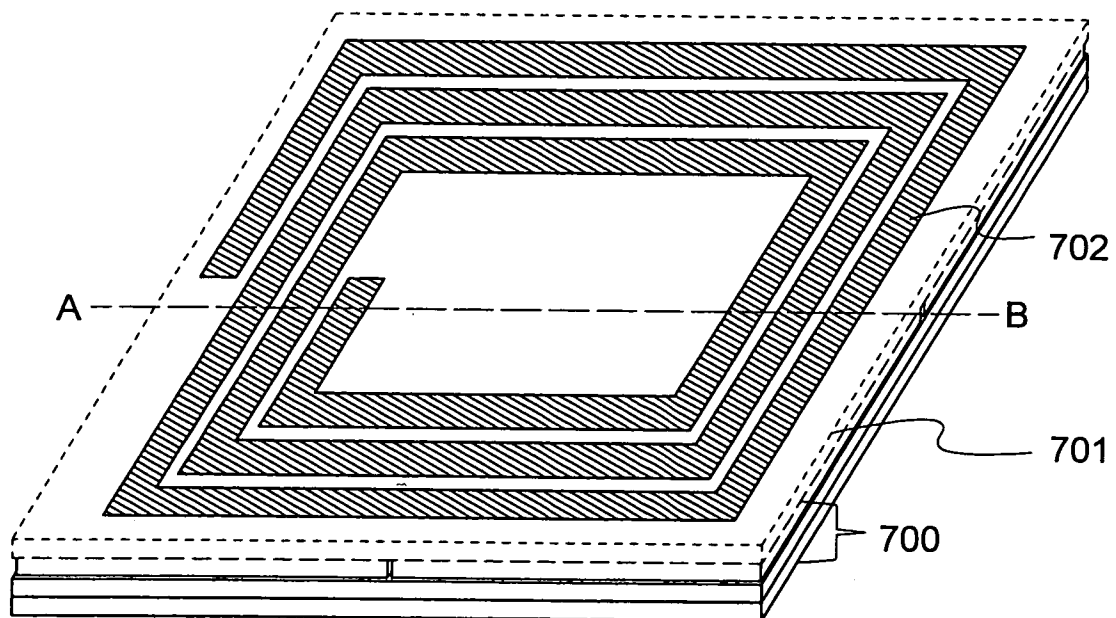


圖19

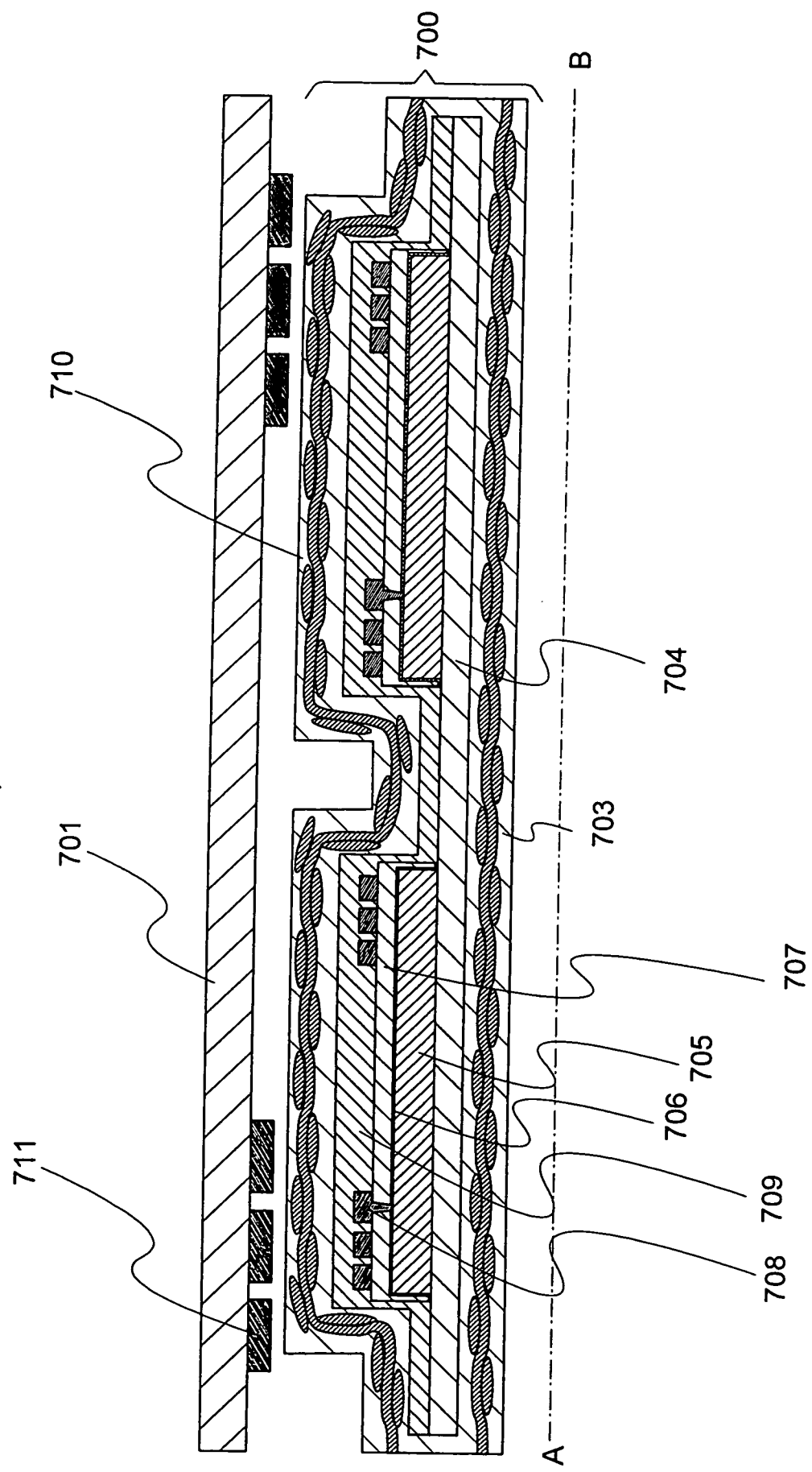


圖 20A

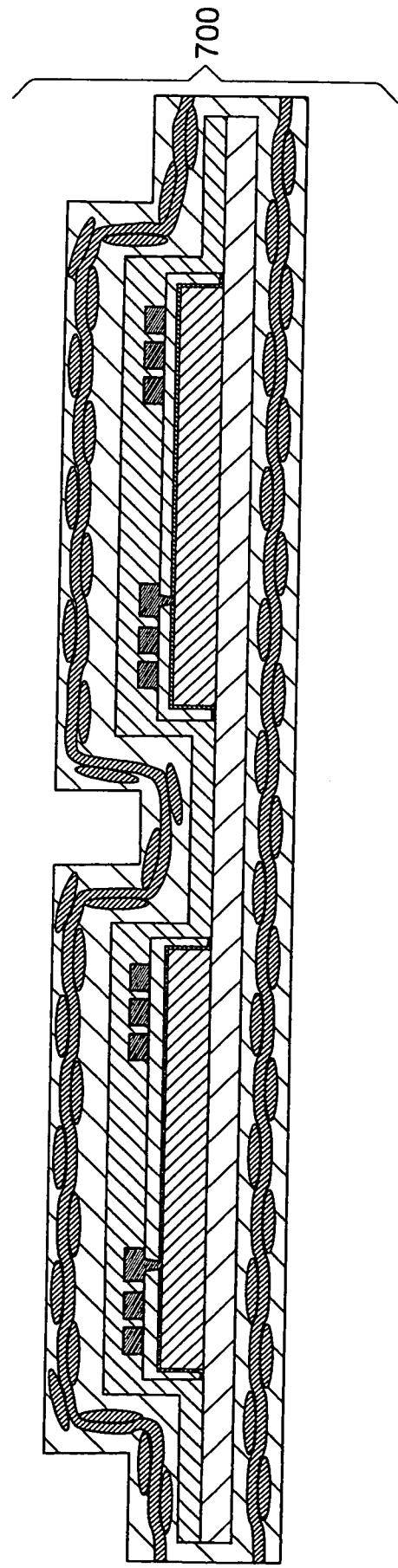


圖 20B

711 701

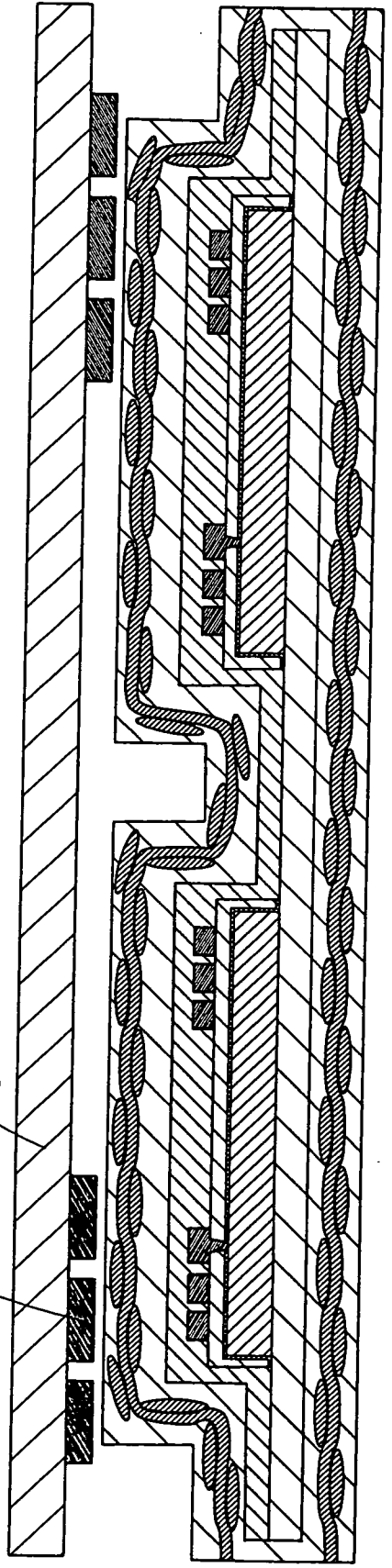


圖 21A

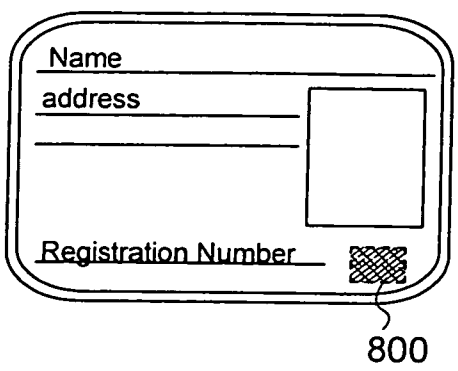


圖 21B

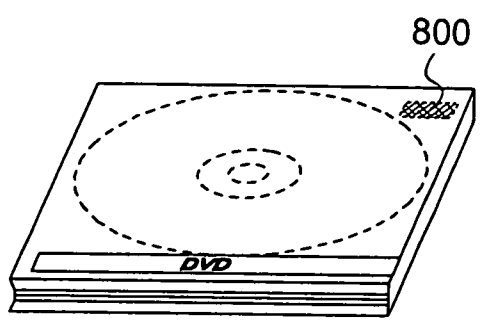


圖 21C

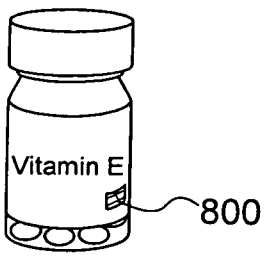


圖 21D

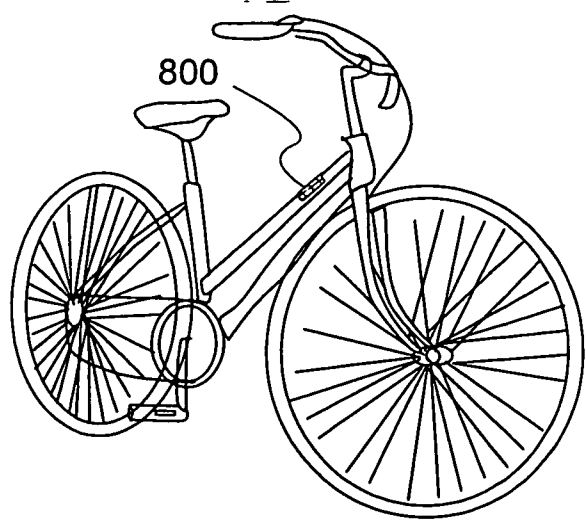


圖 21E



圖 21F

