

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-142951

(P2024-142951A)

(43)公開日 令和6年10月11日(2024.10.11)

(51)国際特許分類	F I	テーマコード (参考)
H 0 1 S 5/185(2021.01)	H 0 1 S 5/185	5 F 1 7 3
H 0 1 S 5/343(2006.01)	H 0 1 S 5/343	6 1 0
H 0 1 S 5/11 (2021.01)	H 0 1 S 5/11	

審査請求 未請求 請求項の数 11 O L (全19頁)

(21)出願番号	特願2023-55375(P2023-55375)	(71)出願人	504132272
(22)出願日	令和5年3月30日(2023.3.30)		国立大学法人京都大学
			京都府京都市左京区吉田本町3番地1
		(71)出願人	000002303
			スタンレー電気株式会社
			東京都目黒区中目黒2丁目9番13号
		(74)代理人	100159628
			弁理士 吉田 雅比呂
		(74)代理人	100147728
			弁理士 高野 信司
		(74)代理人	110000800
			デロイトトーマツ弁理士法人
		(72)発明者	野田 進
			京都府京都市左京区吉田本町3番地1
			国立大学法人京都大学内

最終頁に続く

(54)【発明の名称】 面発光半導体レーザ素子の製造方法及び面発光半導体レーザ素子

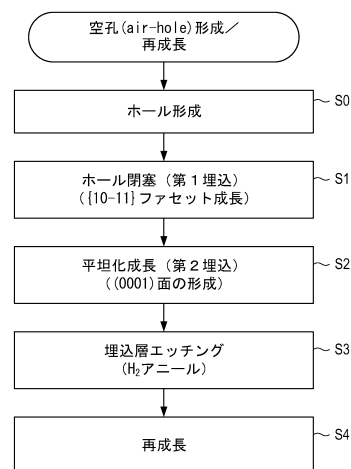
(57)【要約】 (修正有)

【課題】空孔層と活性層とを近接させ共振効果を高くすることが可能であり、かつ、高品質の活性層を有し、低閾値かつ高効率の面発光半導体レーザ素子の製造方法を提供する。

【解決手段】 (a) 基板上にホール形成準備層を形成し、(b) ホール形成準備層に、格子点の各々に2次元的に配置されたホールを形成して、ホール形成層を形成し、(c) ホールを閉塞するファセット成長を行って第1の埋込層を形成し、(d) 第1の埋込層を平坦に埋め込む第2の埋込層の成長を行ってホールに対応する空孔を有する空孔層を形成し、(e) 水素雰囲気におけるアニールにより第2の埋込層の平坦エッチングを行い、(f) 平坦エッチングされた第2の埋込層上に活性層を含む半導体層の結晶成長を行う。

【選択図】 図3

FIG.3



10

【特許請求の範囲】

【請求項 1】

面発光半導体レーザ素子の製造方法であって、

(a) 基板上にホール形成準備層を形成し、

(b) 前記ホール形成準備層に、格子点の各々に 2 次元的に配置されたホールを形成して、ホール形成層を形成し、

(c) 前記ホールを閉塞するファセット成長を行って第 1 の埋込層を形成し、

(d) 前記第 1 の埋込層を平坦に埋め込む第 2 の埋込層の成長を行って前記ホールに対応する空孔を有する空孔層を形成し、

(e) 水素雰囲気におけるアニールにより前記第 2 の埋込層の平坦エッチングを行い、

(f) 前記平坦エッチングされた前記第 2 の埋込層上に活性層を含む半導体層の結晶成長を行う、製造方法。

10

【請求項 2】

前記面発光半導体レーザ素子は GaN 系半導体レーザ素子であり、

前記基板の結晶成長面は {0001} 面であり、

前記平坦エッチング後の前記第 2 の埋込層の表面は {0001} 面である、

請求項 1 に記載の製造方法。

【請求項 3】

前記平坦エッチング後における前記ホール形成層の上面上の前記第 2 の埋込層の層厚は 2 nm 以上である請求項 1 に記載の製造方法。

20

【請求項 4】

前記空孔層の前記空孔の上面から前記活性層までの距離が 200 nm 以下である請求項 1 に記載の製造方法。

【請求項 5】

前記ファセット成長は、表面が {1-101} ファセットである結晶が選択的に成長される請求項 2 に記載の製造方法。

【請求項 6】

請求項 1 ないし 4 に記載の製造方法により製造されたフォトリック結晶面発光レーザ素子であって、

前記活性層と前記空孔層との距離は 200 nm 以下であるフォトリック結晶面発光レーザ素子。

30

【請求項 7】

請求項 1 ないし 4 に記載の製造方法により製造されたフォトリック結晶面発光レーザ素子であって、

前記活性層と前記空孔層との距離は 150 nm 以下であるフォトリック結晶面発光レーザ素子。

【請求項 8】

窒化物半導体系からなる面発光レーザ素子であって、

透光性の基板と、

前記基板上に設けられた第 1 の半導体層と、

前記第 1 の半導体層上に設けられた活性層と、

前記活性層上に設けられ、前記第 1 の半導体層とは反対導電型の第 2 の半導体層と、を備え、

40

前記第 1 の半導体層は、前記活性層に平行な面内において 2 次元的な周期性を有して配された空孔を備えるフォトリック結晶層である空孔層と、埋込層と、を有し、

前記埋込層は、前記空孔を閉塞している第 1 の埋込層と、前記第 1 の埋込層上に設けられた第 2 の埋込層と、を有し、

前記空孔層と、前記活性層との距離は、200 nm 以下であるフォトリック結晶面発光レーザ素子。

【請求項 9】

50

前記埋込層の膜厚は、30 nm以上200 nm以下である請求項8に記載のフォトニック結晶面発光レーザ素子。

【請求項10】

前記第2の埋込層の膜厚は2 nm以上である請求項8又は9に記載のフォトニック結晶面発光レーザ素子。

【請求項11】

前記第2の埋込層上面の20 μ m $\times$ 20 μ mの領域で測定した表面粗さRaは1.0 nm未満である請求項8に記載のフォトニック結晶面発光レーザ素子。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、フォトニック結晶を有する面発光半導体レーザ素子の製造方法及び面発光半導体レーザ素子に関する。

【背景技術】

【0002】

近年、フォトニック結晶（PC：Photonic Crystal）を用いた、フォトニック結晶面発光レーザ（PCSEL：Photonic-Crystal Surface-Emitting Laser）の開発が進められている。

【0003】

例えば、特許文献1には、フォトニック結晶レーザにおいて空孔層における回折効果を強め高い共振効果を得るために、ファセット選択成長を用いて側面が{10-10}からなる六角柱構造の空孔をIII族窒化物半導体層内に埋め込む方法が提案されている。これにより、フィリングファクタが大きく、また大きな光閉じ込め係数を有するフォトニック結晶を備えたフォトニック結晶レーザ素子を実現することについて記載されている。

20

【0004】

また、特許文献2には、フォトニック結晶レーザにおいて、マストランSPORTを利用して空孔をIII族窒化物半導体層内に埋め込む方法が提案されている。これにより、フォトニック結晶層を伝搬する光波に対する結合係数が大きなフォトニック結晶レーザを得ることについて記載されている。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献1】特許第7101370号公報

【特許文献2】特開2020-38892号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に記載のような手法を用いた場合、十分な空孔充填率の空孔層を形成することができるが、空孔層を埋め込むための層厚が厚くなり、空孔層と活性層との距離を近づけることができない。すなわち、空孔層における共振効果を高めることができない。

40

【0007】

また、特許文献2にはマストランSPORTを利用した空孔埋め込み方法が提案されているが、この方法を用いた場合には、空孔は断面形状が熱的に最も安定な柱状構造、すなわち正六角柱構造で埋め込まれる。したがって、空孔の断面形状に非対称性を導入することが困難であり、高い出射効率を得ることができない。すなわち高出力動作することができない。

【0008】

以上のことから、従来技術においては、高い出力を維持しつつ共振効果を高め、閾値電流を下げるのが困難であった。

50

【0009】

本願発明は、空孔層と活性層とを近接させ共振効果を高くすることが可能であり、かつ、高品質の活性層を有し、低閾値かつ高効率の面発光半導体レーザ素子の製造方法及び面発光半導体レーザ素子を提供することを目的としている。

【課題を解決するための手段】

【0010】

本発明の1実施態様による面発光半導体レーザ素子の製造方法は、
基板上にホール形成準備層を形成し、
前記ホール形成準備層に、格子点の各々に2次元的に配置されたホールを形成して、ホール形成層を形成し、
前記ホールを閉塞するファセット成長を行って第1の埋込層を形成し、
前記第1の埋込層を平坦に埋め込む第2の埋込層の成長を行って前記ホールに対応する空孔を有する空孔層を形成し、
水素雰囲気におけるアニールにより前記第2の埋込層の平坦エッチングを行い、
前記平坦エッチングされた前記第2の埋込層上に活性層を含む半導体層の結晶成長を行う。

10

【0011】

本発明の1実施態様による面発光半導体レーザ素子は、
上記製造方法により製造されたフォトリソニック結晶面発光レーザ素子であって、
前記活性層と前記空孔層との距離は200nm以下である。

20

【図面の簡単な説明】

【0012】

【図1A】第1の実施形態のPCSEL素子の構造の一例を模式的に示す断面図である。
【図1B】図1Aに示す空孔層中に配列された空孔を模式的に示す拡大断面図である。
【図2A】PCSEL素子の上面を模式的に示す平面図である。
【図2B】n側ガイド層に平行な面における断面を模式的に示す断面図である。
【図2C】PCSEL素子の下面を模式的に示す平面図である。
【図3】第1の実施形態のPCSEL素子の製造方法を示すフローチャートである。
【図4】埋込層の形成ステップS0～S3におけるn側ガイド層の断面を模式的に示す断面図である。
【図5】レジストの主開口及び副開口、及び、エッチング後の主ホール及び副ホールを模式的に示す平面図である。
【図6】形成された空孔層の中心軸CXに垂直な断面を模式的に示す図である。
【図7A】エッチング時間が(i)5分の場合のウエハの断面のSEM像である。
【図7B】エッチング時間が(ii)20分の場合のウエハの断面のSEM像である。
【図7C】エッチング時間が(iii)50分の場合のウエハの断面のSEM像である。
【図8】活性層の表面のAFM像を示す図である。
【図9A】エッチング時間が(ii)20分の場合の表面粗さの測定結果を示す図である。
【図9B】エッチング時間が(iii)50分の場合の表面粗さの測定結果を示す図である。
【図10】埋込層の層厚に対する20μm×20μmの領域の表面粗さRaの測定値を示す図である。

30

40

【発明を実施するための形態】

【0013】

以下においては、本発明の好適な実施形態について説明するが、これらを適宜改変し、組合せてもよい。また、以下の説明及び添付図面において、実質的に同一又は等価な部分には同一の参照符を付して説明する。

【0014】

【第1の実施形態】

1. フォトリソニック結晶面発光レーザ素子の構造

フォトリソニック結晶面発光レーザ素子(PCSEL素子)は、発光素子を構成する半導体

50

発光構造層（ n 側ガイド層、発光層、 p 側ガイド層）と平行方向に共振器層を有し、当該共振器層に直交する方向にコヒーレントな光を放射する面発光半導体レーザ素子である。

【0015】

すなわち、PCSEL素子では、空孔層（フォトリック結晶層）に平行な面内を伝搬する光波はフォトリック結晶の回折効果により回折され2次元的な共振モードを形成するとともに、当該平行面に垂直な方向にも回折される。すなわち、PCSEL素子では、共振方向（空孔層に平行な面内）に対して、光取り出し方向が垂直方向である。

【0016】

図1Aは、本発明の実施形態によるフォトリック結晶面発光レーザ素子（PCSEL素子）10の構造の一例を模式的に示す断面図である。また、図1Bは、図1Aの空孔層14P及び空孔層14P中に配列された空孔（air hole）14Kを模式的に示す拡大断面図である。

10

【0017】

また、図2Aは、PCSEL素子10の上面を模式的に示す平面図である。また、図2Bは、空孔層14Pの n 側ガイド層14に平行な面における断面を模式的に示す断面図であり、図2Cは、PCSEL素子10の下面を模式的に示す平面図である。

図1Aに示すように、半導体構造層11が透光性の素子基板12上に形成されている。なお、半導体構造層11の中心軸CXに垂直に半導体層が積層されている。

【0018】

また、半導体構造層11は、六方晶系の窒化物半導体からなる。本実施形態においては、半導体構造層11は、例えば、GaN系半導体からなる。

20

【0019】

より詳細には、素子基板12上に複数の半導体層からなる半導体構造層11、すなわち n -クラッド層（第1導電型の第1のクラッド層）13、 n 側に設けられたガイド層である n 側ガイド層（第1のガイド層）14、光分布調整層23、活性層（ACT）15、 p 側に設けられたガイド層である p 側ガイド層（第2のガイド層）16、電子障壁層（EBL: Electron Blocking Layer）17、 p -クラッド層（第2導電型の第2のクラッド層）18、 p -コンタクト層19がこの順で形成されている。

【0020】

なお、第1導電型が n 型、第1導電型の反対導電型である第2導電型が p 型の場合について説明するが、第1導電型及び第2導電型がそれぞれ p 型、 n 型であってもよい。

30

【0021】

素子基板12は、六方晶のGaN単結晶であり、活性層15から放射された光の透過率が高い基板である。より詳細には、素子基板12は、主面（結晶成長面）が、Ga原子が最表面に配列した $\{0001\}$ 面である $+c$ 面の六方晶のGaN単結晶基板である。裏面（光出射面）は、N原子が最表面に配列した $(000-1)$ 面である $-c$ 面である。 $-c$ 面は酸化等に対して耐性があるので光出射面として適している。

【0022】

素子基板12はこれに限定されないが、いわゆるジャスト基板、又は、例えば、主面が m 軸方向に 1° 程度までオフセットした基板が好ましい。例えば、 m 軸方向に $0.3 \sim 0.7^\circ$ 程度までオフセットした基板は、広範な成長条件下にて鏡面成長を得ることができる。

40

【0023】

主面と対向する基板裏面が光出射面であり、N原子が最表面に配列した $(000-1)$ 面である「 $-c$ 」面である。 $-c$ 面は酸化等に対して耐性があるので光取り出し面として適している。

【0024】

以下に各半導体層の組成、層厚等の構成について説明するが、例示に過ぎず、適宜変更して適用することができる。

【0025】

50

n-クラッド層13は、例えばAl組成が4%の $n\text{-Al}_{0.04}\text{Ga}_{0.96}\text{N}$ 層であり、層厚は $2\mu\text{m}$ である。アルミニウム (Al) 組成比は、活性層15側に隣接する層 (すなわち、n側ガイド層14) より屈折率が小さくなる組成としている。

【0026】

n側ガイド層14は、下ガイド層14A、フォトリソニック結晶層である空孔層 (air-hole layer) (又はPC層) 14P及び埋込層14Bからなる。図1Bに示すように、空孔層14Pは層厚 d_{pc} を有し、埋込層14Bは層厚Dを有する。例えば、空孔層14Pの層厚 d_{pc} は $40\sim 180\text{nm}$ である。

【0027】

なお、本明細書において、空孔層14Pは、n側ガイド層14において空孔の上端から下端に至る層部分をいう (図1Bを参照)。したがって、空孔層14Pの層厚 d_{pc} は、空孔の高さに等しい。

【0028】

下ガイド層14Aは、例えば層厚が $100\sim 400\text{nm}$ の $n\text{-Ga}\text{N}$ である。空孔層14Pは、層厚 (又は空孔14Kの高さ) が $40\sim 180\text{nm}$ の $n\text{-Ga}\text{N}$ である。

【0029】

埋込層14Bは、 $n\text{-Ga}\text{N}$ 又は $n\text{-InGa}\text{N}$ 、又はアンドープ GaN 、アンドープ InGaN からなる。あるいは、これらの半導体層が積層された層であってもよい。埋込層14Bの層厚Dは、例えば $30\sim 150\text{nm}$ である。なお、埋込層14Bは、第1の埋込層14B1及び第2の埋込層14B2からなる。換言すれば、埋込層14Bは、第1の埋込層14B1上に第2の埋込層14B2が積層された積層埋込層である。

【0030】

埋込層14Bの表面層である第2の埋込層14B2上には、第2の埋込層14B2とは結晶組成が異なり、第2の埋込層14B2とヘテロ構造を形成するヘテロ半導体層 (異種半導体層) である光分布調整層23が設けられている。

【0031】

なお、光分布調整層23は第2の埋込層14B2とは同一導電型の半導体層であるか、又は少なくとも一方がi層 (真性半導体層) であってもよい。

【0032】

光分布調整層23は、埋込層14Bと活性層15との間に設けられ、空孔層14P内を伝搬する光と共振器としての空孔層14Pとの結合効率を調整する機能を有する。

【0033】

本実施形態においては、光分布調整層23は、アンドープの $\text{In}_{0.03}\text{Ga}_{0.97}\text{N}$ 層であり、例えば層厚は 50nm である。光分布調整層23の層厚は、光分布調整層23の組成又は屈折率、及び層厚は、結合効率の調整に応じて選ばれる。

【0034】

なお、n側ガイド層14及び光分布調整層23を含むn側半導体層を第1の半導体層とも称するが、光分布調整層23は設けられていなくともよい。

【0035】

発光層である活性層15は、例えば2つの量子井戸層を有する多重量子井戸 (MQW) 層である。MQWのバリア層及び量子井戸層は、それぞれ GaN (層厚 6.0nm) 及び InGaN (層厚 4.0nm) である。また、活性層15の発光中心波長は 440nm である。

【0036】

なお、活性層15は、空孔層14Pから 180nm 以内 (すなわち空孔の周期PK以内) に配置されていることが好ましい。この場合、空孔層14Pによる高い共振効果が得られる。

【0037】

p側ガイド層16は、アンドープ $\text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 層 (層厚 70nm) であるp側ガイド層(1) 16Aとアンドープ GaN 層 (層厚 180nm) であるp側ガイド層(2)

10

20

30

40

50

) 16Bとからなる。

【0038】

p側ガイド層16は、ドーパント(Mg：マグネシウム等)による光吸収を考慮してアンドープ層としたが、良好な電気伝導性を得るためにドーブしても良い。また、発振動作モードの電界分布を調整するため、p側ガイド層(1)16AのIn組成及び層厚は適宜選択することができる。

【0039】

電子障壁層(EBL)17は、マグネシウム(Mg)がドーブされたp型の $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層であり、例えば、層厚15nmを有する。

【0040】

pクラッド層18は、Mgドーブの $\text{p-Al}_{0.06}\text{Ga}_{0.94}\text{N}$ 層であり、例えば、層厚600nmを有する。pクラッド層18のAl組成は、p側ガイド層16よりも屈折率が小であるように選ばれていることが好ましい。pクラッド層18は、第1のpクラッド層として機能する。

【0041】

また、pコンタクト層19は、Mgドーブのp-GaN層であり、例えば、層厚20nmを有する。pコンタクト層19のキャリア密度は、その表面に設けた透光性導電体層である透光性電極29とオーミック接合できる濃度としている。p型GaNの代わりに、p型またはアンドープInGaNを用いてもよい。あるいは、GaN層とInGaN層を積層させた層としてもよい。

【0042】

なお、p側ガイド層16、電子障壁層17、pクラッド層18及びpコンタクト層19からなる層を第2の半導体層とも称する。

【0043】

なお、本明細書において、「n側」、「p側」は、必ずしもn型、p型を有することを意味するものではない。例えば、n側ガイド層は活性層よりもn側に設けられたガイド層を意味し、アンドープ層(又はi層)であってもよい。

【0044】

また、nクラッド層13は単一層ではなく複数の層から構成されていてもよく、その場合、全ての層がn層(nドーブ層)である必要はなく、アンドープ層(i層)を含んでもよい。ガイド層16、pクラッド層18についても同様である。

【0045】

また、上記した全ての半導体層を設ける必要はなく、第1導電型の第1の半導体層、第2導電型の第2の半導体層及びこれらの層に挟まれた活性層(発光層)を有する構成であればよい。

【0046】

また、本実施形態においては、第1の半導体層(n型半導体層)内に空孔層14Pを設けた場合について説明したが、空孔層を第2の半導体層(p型半導体層)内に設けた構成してもよい。

pコンタクト層19上には、p電極20B(第2の電極)として、透光性電極29(図示せず)、銀(Ag)層、金(Au)層が順に積層された、透光性電極/Ag/Au層が形成されている。すなわち、p電極20Bは光反射層として機能し、透光性電極29とp電極20BのAg層との界面が反射面SRである。なお、反射面SRは空孔層14Pと平行に設けられている。

【0047】

p電極20Bは、空孔形成領域14Rの中心軸CXを中心とする直径がRAの円形状を有している。具体的には、透光性電極29は、上面視において(すなわち、半導体構造層11に垂直な方向から見たとき)、例えば $RA = 300\text{ }\mu\text{m}$ の直径を有している。

【0048】

なお、p電極20Bとして、Pd、Al、Al合金等を用いることもできる。また、p

10

20

30

40

50

電極 20B 上にパッド電極等を設けてもよい。

【0049】

透光性電極 29 は、透光性の導電体によって形成され、例えばインジウムスズ酸化物 (ITO) で形成されている。なお、透光性電極 29 は、ITO に限定されず、亜鉛錫酸化物 (ZTO)、GZO (ZnO:Ga)、AZO (ZnO:Al) 等の透光性導電体を用いることができる。

【0050】

半導体構造層 11 の側面及び上面及び p 電極 20B の側面は、SiO₂ などの絶縁膜 21 で被覆されている。また、絶縁膜 21 は、p 電極 20B に乗り上げ、p 電極 20B の上面の縁部を覆うように形成されている。

10

【0051】

絶縁膜 21 は保護膜としても機能し、PCSEL 素子 10 を構成するアルミニウム (Al) を含む結晶層を腐食性ガス等から保護する。また、付着物や実装時におけるはんだの這い上がりによる短絡等を防止し、信頼性、歩留まりの向上に寄与する。絶縁膜 21 の材料は SiO₂ に限らず、ZrO₂、HfO₂、TiO₂、Al₂O₃、SiN_x 等を選択することができる。

【0052】

素子基板 12 の裏面には円環状のカソード電極 20A (第 1 の電極) が形成されている (図 2C を参照)。また、カソード電極 20A の内側には無反射 (AR) コート層 27 が形成されている。

20

【0053】

カソード電極 20A は、Ti/Au からなり、素子基板 12 とオーミック接触している。電極材料は、Ti/Au 以外に、Ti/Al、Ti/Rh、Ti/Al/Pt/Au、Ti/Pt/Au などを選択することができる。

【0054】

活性層 15 からの放射光は空孔層 (PC 層) 14P によって回折される。空孔層 14P によって回折され (回折面 WS)、空孔層 14P から直接放出された光 (直接回折光 Ld: 第 1 の回折光) と、空孔層 14P の回折によって放出され、反射面 SR によって反射された光 (反射回折光 Lr: 第 2 の回折光) とが素子基板 12 の裏面 (出射面) 12R の光出射領域 20L (図 2C) から外部に出射される。

30

【0055】

図 2B に示すように、空孔層 14P において空孔 14K は、例えば矩形の空孔形成領域 14R 内に周期的に配列されて設けられている。図 2C に示すように、アノード領域 RA は、空孔形成領域 14R 内に包含されるように形成されている。

【0056】

また、カソード電極 20A は、空孔層 14P に対して垂直方向から見たときに p 電極 20B に重ならないように p 電極 20B の外側に環状の電極として設けられている。

【0057】

カソード電極 20A の内側の領域が光出射領域 20L である。また、カソード電極 20 に電氣的に接続され、外部からの給電用のワイヤを接続するボンディングパッド 20C が設けられている。

40

【0058】

2. 空孔層の製法及び再結晶成長

以下に、空孔層の作製工程及び再結晶成長について説明する。結晶成長方法として MOVPE (Metalorganic Vapor Phase Epitaxy) 法を用いた。なお、以下においては、空孔層 14P が二重格子フォトリック結晶層である場合を例にその形成方法について説明するが、単一格子フォトリック結晶層及び多重格子フォトリック結晶層も同様に形成することができる。

【0059】

(a) 製造フロー

50

図 3 は、PCSEL 素子 10 の製造方法を示すフローチャートである。以下に、図 3 を参照し、凹部（ホール）の埋め込み成長を行って空孔層の空孔（air-hole）を形成し、続いて活性層、p 側ガイド層を成長して PCSEL 素子 10 を製造する工程について詳細に説明する。

【0060】

また、図 4 は、埋込層 14B の形成ステップ S0～S3 における n 側ガイド層 14 の断面を模式的に示す断面図である。なお、図 4 においては、説明及び理解の容易さのため、空孔層 14P が単一格子フォトリソニック結晶層である場合を図示して説明するが、多重格子フォトリソニック結晶層の場合においても同様に形成することができる。

【0061】

以下に、図 3 及び図 4 を参照して空孔（air-hole）上に再結晶成長によって形成される埋込層 14B（積層埋込層）について詳細に説明する。

【0062】

（ステップ S0）ホールの形成

まず、基板 12 上に n-クラッド層 13 として Al 組成が 4% の n 型 $\text{Al}_{0.04}\text{Ga}_{0.96}\text{N}$ 層を成長した。続いて、n-クラッド層 13 上に n 型 GaN 層であるホール形成準備層 14E を成長した。このホール形成準備層 14E は、下ガイド層 14A と、空孔を含む空孔層 14P を形成するための準備層である。ホール形成準備層 14E は、平坦な（0001）面からなる表面（上面）を有している。

【0063】

上記ホール形成準備層 14E を形成後、基板を MOVPE 装置のチャンバより取り出し、成長層表面に微細な凹部（ホール）を形成した。洗浄により清浄表面を得た後、プラズマ CVD を用いてシリコン窒化膜（ SiN_x ）を成膜した。この上に電子線描画用レジストを塗布し、電子線描画装置に入れて 2 次元周期構造のパターニングを行った。

【0064】

図 5 は、レジストの主開口 K1 及び副開口 K2、及び、エッチング後の主ホール 14H1 及び副ホール 14H2 を模式的に示す平面図である。図 5 に示すように、長円形状の主開口 K1 及び主開口 K1 よりも小なる副開口 K2 からなる開口対を周期 PK で正方格子状にレジストの面内で 2 次元配列したパターニングを行った。なお、図面の明確さのため、開口部にハッチングを施して示している。

【0065】

より詳細には、主開口 K1 は、その重心 CD1 が互いに直交する 2 方向（x 方向及び y 方向）に周期 PK の正方格子の格子点上に 2 次元的に配列されている。副開口 K2 も同様に、その重心 CD2 が x 方向及び y 方向に周期 PK の正方格子の格子点上に 2 次元的に配列されている。

【0066】

主開口 K1 及び副開口 K2 の長軸は結晶方位の $\langle 11-20 \rangle$ 方向に平行であり、主開口 K1 及び副開口 K2 の短軸は $\langle 1-100 \rangle$ 方向に平行である。

【0067】

また、副開口 K2 の重心 CD2 は、主開口 K1 の重心 CD1 に対して Δx 及び Δy だけ離間している。ここでは、 $\Delta x = \Delta y$ とした。すなわち、副開口 K2 の重心 CD2 は、主開口 K1 の重心 CD1 から $\langle 1-100 \rangle$ 方向に離間している。

【0068】

また、主開口 K1 及び副開口 K2 の重心間距離 Δx 、 Δy を、 $\Delta x = \Delta y = 0.46 PK$ とした。パターニングしたレジストを現像後、ICP-RIE（Inductive Coupled Plasma - Reactive Ion Etching）装置によって SiN_x 膜を選択的にドライエッチングした。これにより周期 PK の正方格子の格子点上に 2 次元的に配列された主開口 K1 及び副開口 K2 が SiN_x 膜を貫通するように形成された。

【0069】

なお、周期（空孔間隔）PK は、発振波長（ λ ）を 438 nm とするため、 $PK = 17$

10

20

30

40

50

7.5 nmとした。

【0070】

続いて、レジストを除去し、パターニングした SiN_x 膜をハードマスクとしてGaN表面部に凹部（ホール）を形成した。ICP-RIE装置にて塩素系ガス及びアルゴンガスをを用いてGaNを深さ方向にドライエッチングすることにより、GaN表面に垂直に掘られた長円柱状の凹部である主ホール14H1及び副ホール14H2を形成した。

【0071】

なお、上記エッチングによりホール形成準備層14E（GaN）の表面部に掘られた凹部を空孔層14Pにおける空孔（air-hole）と区別するため、単にホールと称する。また、主ホール14H1，副ホール14H2を特に区別しない場合には、これらをホール14Hと称する場合がある。

【0072】

なお、ホール14Hの形状は長円柱状に限らず、円柱状、多角形状などであってもよい。

【0073】

以上により、ホール形成準備層14Eにホール14Hが形成され、ホール形成層14Jが形成された（図4、S0）。

【0074】

（ステップS1）ホール閉塞－第1の埋込成長

まず、ホール14Hを形成した基板（図4、S0）を洗浄した後、再度MOVPE装置のリアクタ内に導入し、再結晶成長を行った。具体的には、アンモニア（ NH_3 ）、トリメチルガリウム（TMG）を供給してファセット成長による第1の埋込成長がなされ、ホール14Hの開口を閉塞した。

【0075】

具体的には、マストランスポートによってホール14Hの形状が熱的に安定な面で構成される形状へと変形する第1の温度（920℃）で第1の埋込成長がなされた。

【0076】

より詳細には、この第1の温度領域では、成長基板の最表面にはN原子が付着しているため、N極性面が選択的に成長される。したがって、図4に示すように、表面が{1-101}ファセットである結晶が選択的に成長される。対向する{1-101}ファセットがそれぞれぶつかることで、ホール14Hは閉塞され埋め込まれる（ファセット成長）。かかるファセット成長による第1の埋込成長がなされ、ホール14Hに対応して空孔14Kが形成される。

なお、図4には埋込層14Bが形成される前のホール形成層14J（GaN層）を破線で示している。

【0077】

（ステップS2）平坦化埋め込み－第2の埋込成長

続いて、ファセット成長によりホール14Hを閉塞した後、厚さD2が50 nmの第2の埋込層14B2を成長した。第2の埋込層14B2の成長は、基板温度（成長温度）を1050℃（第2の埋込温度）まで昇温後、トリエチルガリウム（TEG）及び NH_3 を供給することで行った。なお、第2の埋込温度は、第1の埋込温度よりも高温であった。ただし、第2の埋込層14B2の成長表面が（0001）面となるように成長することができれば、第2の埋め込み温度と第1の埋め込み温度との温度関係は逆転しても良い。

【0078】

図4に示すように、熱効果によりマストランスポートを発生させ、第2の埋込成長（平坦化埋込成長）がなされ、表面に（0001）面が出現した第2の埋込層14B2が形成される。第1の埋込成長及び第2の埋込成長により、埋込層14Bが形成される。

【0079】

なお、ここでは説明の便宜上、空孔層14Pの上面（活性層15に近い側の面）からホール形成層14Jの上面14JSまでの層（ホール形成層14Jの一部を含む）を第1の

10

20

30

40

50

埋込層 14B1 と称し、ホール形成層 14J の上面 14JS から第 2 の埋込成長による平坦表面までの層を第 2 の埋込層 14B2 と称する（図 4、S3 を参照）。

【0080】

また、空孔層 14P の上面から第 2 の埋込層 14B2 の上面までの半導体層の全体（ホール形成層 14J の一部を含む）を埋込層 14B と称する。

【0081】

また、ここで、第 1 の埋込層 14B1 の厚さを D_1 と定義し、第 2 の埋込層 14B2 の厚さを D_2 と定義する。したがって、埋込層 14B の厚さは $D = D_1 + D_2$ で与えられる。

なお、本明細書において、 n 側ガイド層（第 1 のガイド層）14 の各半導体層について、「上面」とは活性層 15 に近い側の面をいう。

【0082】

また、本実施形態において第 2 の埋込成長には GaN を用いた。第 2 の埋込層 14B2 は、光と空孔層 14P との結合効率（光フィールド）を調整するための光分布調整層としても機能する。

【0083】

すなわち、本実施形態において第 1 の埋込成長及び第 2 の埋込成長にはアンドープ GaN を用いた。しかし、第 1 の埋込成長及び第 2 の埋込成長には、 GaN に限らず、 $n-GaN$ 、 $n-InGaN$ 、又はアンドープ GaN 、アンドープ $InGaN$ 、あるいは、これらの半導体を組み合わせて用いることができる。

【0084】

（ステップ S3） H_2 アニールによるエッチング

続いて、水素（ H_2 ）雰囲気中で 1,050℃ の温度で高温アニールを行い、埋込層 14B の表面のエッチングを行った。図 5 には、第 2 の埋込層 14B2 をその表面から厚さ T_E だけ平坦エッチングした場合を示している。

【0085】

より詳細には、 H_2 雰囲気中でのアニールにおいては、（0001）面は熱的に安定な面であり、表面の平坦性を保ったまま埋込層 14B をエッチングして薄くすることができる。したがって、埋込層 14B 上に平坦性が高く、高品質の活性層を成長することができる。なお、アニール雰囲気には III 族原料、V 族原料が含まれていても良い。

【0086】

より詳細には、III 族窒化物半導体においては、 H_2 雰囲気中で高温アニールを行うと表面原子の脱離が発生し、表面がエッチングされる。この時、最もエッチングレートが遅い面が残るため、最も熱的に安定な（0001）面が表面には形成される。したがって、 c 面基板を用いる場合には基板に平行な（0001）面を維持したままエッチングを行うことができる。これにより、第 2 の埋込層 14B2 を薄くすることができ、空孔層 14P と活性層 15 との距離を近づけることができる。

【0087】

III 族窒化物半導体の H_2 アニールは、900～1100℃ の温度範囲で行われることが好ましい。

【0088】

なお、第 2 の埋込層 14B2 のエッチング工程においては、雰囲気ガスとして H_2 に適宜 N_2 ガスなどの不活性ガスを混入させても良い。このとき、不活性ガス分圧を高くすることでエッチングレートは低下するため、ガス分圧を制御することでエッチングレートを制御することができる。

【0089】

また、III 族窒化物半導体を H_2 雰囲気中でアニールする場合、III 族原子に比べて窒素原子の方が脱離しやすいため、窒素空孔の形成や Ga ドロップレットが発生する。これらを抑制するためには窒素供給源として NH_3 ガスを混入させることが有用であるため、 NH_3 ガスを適宜混入させても良い。

10

20

30

40

50

【0090】

(ステップS4) 再結晶成長

続いて、埋込層14Bのエッチングを行った基板に対し、リアクタ内にてさらに光分布調整層23よりも上部層の結晶成長を行った。

【0091】

具体的には、第2の埋込層14B2上に光分布調整層23を成長した。具体的には、光分布調整層23はアンドープの $\text{In}_{0.03}\text{Ga}_{0.97}\text{N}$ 層であり、埋込層14B (Ga N層) とは結晶組成の異なる半導体層 (異種半導体層) である。

【0092】

続いて、光分布調整層23上に、活性層15、p側ガイド層 (第2のガイド層) 16、電子障壁層 (EBL) 17、pークラッド層18、p-コンタクト層19を順次成長した。以上により、PCSEL素子10が作製された。

【0093】

(b) 空孔層

上記した埋込工程により、主空孔14K1及び副空孔14K2からなる空孔対14Kが正方格子点の各々に2次元的に配置された二重格子構造の空孔層14Pが形成された。ここで、副空孔14K2は主空孔14K1よりも空孔径及び高さが小さい。本発明において、多重格子構造の空孔層14Pにおける空孔の上面は、主空孔14K1または副空孔14K2の上面のうち、より上部層 (活性層) に近い上面 (すなわち、浅い上面を有する空孔) を意味する。尚、空孔対14Kは、大きさの異なる主空孔14K1及び副空孔14K2でなく、同じ大きさの空孔が正方格子点の各々に2次元的に配置された単一格子構造とすることもできる。

【0094】

図6は、形成された空孔層14Pの、中心軸CXに垂直な断面を模式的に示す図である。III族窒化物においてホール14Hを埋め込む際には、マストランスポートによってホール14Hの形状が熱的に安定な面で構成される形状へと変形し空孔14Kが形成される。

【0095】

すなわち、+c面基板においては、ホール14Hの内側面は(1-100)面 (すなわち、m面) へと形状変化する。すなわち、長円柱状の形状から側面がm面で構成される長六角柱状の空孔14Kへと形状変化する。

【0096】

形成された主空孔14K1は、長径が72.5nm及び短径が43.5nmであり、長径/短径比は1.67である長六角柱形状を有していた。また、副空孔14K2は長径が44.6nm及び短径が38.3nmであり、長径/短径比は1.16であり、主空孔14K1よりも正六角柱に近い長六角柱形状を有していた。

【0097】

また、主空孔14K1及び副空孔14K2の重心間距離 Δx 及び Δy は、81.6nm ($\Delta x = \Delta y = 0.46PK$) であり、埋め込み前から変化していないことが確認された。また、主空孔14K1及び副空孔14K2の長軸は<11-20>軸 (すなわち、a軸) に平行であることが確認された。

【0098】

また、主空孔14K1及び副空孔14K2の空孔充填率 (フィリングファクタ) $FF1$ 、 $FF2$ を算出したところ、 $FF1 = 8.8\%$ 、 $FF2 = 4.2\%$ であった。ここで空孔充填率とは、2次元的な規則配列において、単位面積あたりの各空孔が占める面積の割合である。具体的には、空孔層14Pにおける主空孔14K1及び副空孔14K2の面積をそれぞれ $S1$ 、 $S2$ としたとき、主空孔14K1及び副空孔14K2の空孔充填率 $FF1$ 、 $FF2$ は次の式で与えられる。

【0099】

$$FF1 = S1 / PK^2, \quad FF2 = S2 / PK^2$$

10

20

30

40

50

以上の工程により、空孔層である空孔層 1 4 P を含む n 側ガイド層 1 4 の形成が完了した。

【0100】

(c) エッチングされた埋込層及びその平坦性

1, 050℃の温度でアニール時間を (i) 5 分、(ii) 20 分、(iii) 50 分として埋込層 1 4 B を H_2 アニールによってエッチングした後、埋込層 1 4 B 上に光分布調整層 2 3 及び活性層 1 5 を成長し、断面を SEM (Scanning Electron Microscope) により、また活性層 1 5 の表面を AFM (原子間力顕微鏡) で観察した。

【0101】

図 7 A - 図 7 C は、それぞれエッチング時間が (i) 5 分、(ii) 20 分、(iii) 50 分の場合のウエハの断面の SEM 像である。また、図中、D はエッチング後の埋込層 1 4 B の厚さ (すなわち、エッチング後の第 1 の埋込層 1 4 B 1 及び第 2 の埋込層 1 4 B 2 の総厚)、DE はエッチング後の第 2 の埋込層 1 4 B 2 の層厚である。なお、図 7 A - 図 7 C の SEM 像には、ホール形成層 1 4 J の断面が僅かな濃淡で観察されている。

また、図の明確さのため、埋込層 1 4 B、活性層 1 5 及び光分布調整層 2 3 の半導体層についてその参照符号で示している。

【0102】

エッチング時間が 5 分の場合は、 $D = 140\text{ nm}$ 、 $DE = 60\text{ nm}$ 、20 分の場合は、 $D = 109\text{ nm}$ 、 $DE = 31\text{ nm}$ 、20 分の場合は $D = 82\text{ nm}$ 、 $DE < 2\text{ nm}$ であった。

【0103】

図 8 は、活性層 1 5 の表面の AFM 像を示している。エッチング時間が 5 分の場合の表面粗さは、 $20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$ 及び $2\text{ }\mu\text{m} \times 2\text{ }\mu\text{m}$ の領域で、それぞれ $Ra = 0.602\text{ nm}$ 、 0.210 nm であり、エッチング時間が 20 分の場合では、それぞれ $Ra = 0.576\text{ nm}$ 、 0.197 nm であった。また、エッチング時間が 50 分の場合では、それぞれ $Ra = 2.06\text{ nm}$ 、 0.634 nm であった。

【0104】

エッチング時間を長くすると表面粗さが大きくなることがわかった。また、エッチング時間が 50 分以上、すなわち、DE が 2 nm 未満の場合、表面粗さが大きく、そのような表面の上には良好な結晶品質の活性層が得られないことが分かった。

【0105】

H_2 アニールによるエッチング時間が長い場合に表面荒れが生じるのは、ホール 1 4 H を形成したホール形成層 1 4 J の表面に多量の Si が堆積しているためと考えられた。より詳細には、ホール 1 4 H の形成時に使用されるハードマスク (SiN 膜等) 及び大気中のシロキサンなどがホール形成層 1 4 J の表面に付着することで Si が堆積している。

【0106】

反応性の高い窒素雰囲気 (すなわち、 NH_3 が高温で解離した雰囲気) では半導体 (GaN) 表面で Si が N と反応し、SiN を形成する。GaN 表面において SiN はインバージョンドメインを形成するため、GaN 層の極性が局所的に反転し、マストランスポートによる形状変化の際に大きな表面荒れを発生させる。図 8 によれば、表面荒れは、半導体 (GaN) 表面で発生したインバージョンドメインが原因となる表面荒れが活性層まで形成した後も活性層 1 5 の上面にまで現れていることがわかる。

【0107】

図 9 A 及び図 9 B は、それぞれエッチング時間が (ii) 20 分、(iii) 50 分の場合について、 $20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$ の領域の M-M 線 (図 8 参照) に沿った表面粗さ (表面の高さ) の測定結果を示している。

【0108】

エッチング時間が (ii) 20 分の場合では、活性層 1 5 の表面状態は閾値電流に影響するほどの表面荒れではない。一方、エッチング時間が (iii) 50 分の場合では、活性層 1 5 の表面荒れは大きく、良好な品質の活性層を成長することが困難である。

【0109】

図10は、エッチング後の第2の埋込層14B2の層厚DEを変化させたときの $20\mu\text{m} \times 20\mu\text{m}$ の領域の表面粗さRaの測定値を示している。ホール形成層14Jの上面と第2の埋込層14B2の境界を($DE = 0\text{nm}$)を破線で示している。また、第2の埋込層14B2の層厚DEに対し、表面粗さRaが臨界的に変化する層厚を矢印で示している。

【0110】

図10に示すように、エッチング後の第2の埋込層14B2の層厚DEが 2nm 以上の場合は表面粗さRaが大きくても 1.0nm 未満である一方で、層厚DEが 2nm 未満では表面粗さが大きく増加し、良好な結晶品質の活性層を成長することが困難であることが分かった。

10

【0111】

したがって、 H_2 アニールにより第2の埋込層14B2の表面を平坦エッチングし、第2の埋込層14B2の層厚DEを 2nm 以上とすることで、第2の埋込層14B2上に良好な結晶品質の活性層及び半導体層を成長することができる。

【0112】

なお、活性層15と空孔層14Pとの結合効率の点から、活性層15と空孔層14Pとの距離、すなわち、空孔層14Pの空孔14Kの上面と活性層15との距離は 200nm 以下であることが好ましい。また、高い結合効率を得る点から、空孔層14Pの空孔14Kの上面と活性層15との距離は 150nm 以下であることがさらに好ましい。

20

【0113】

なお、活性層15が量子井戸構造の活性層の場合には、空孔14Kの上面と活性層15との距離は、空孔14Kの上面と最初の量子井戸層（すなわち、最も空孔層14Pに近い量子井戸層）との距離をいう。

【0114】

また、従来、多重格子構造の空孔層において、高い空孔充填率を得る場合には、単一格子構造の空孔層よりも厚い埋込層を必要とする場合があった。本発明によれば、かかる場合であっても、薄い埋込層を用いることができ、空孔層と活性層との高い結合効率（共振効果）を得ることができる。

【0115】

以上、詳細に説明したように、本発明によれば、空孔層と活性層とを近接させ共振効果を高くすることが可能であり、かつ、高品質の活性層を有し、低閾値かつ高効率のフォトリック結晶面発光レーザ素子の製造方法及びフォトリック結晶面発光レーザ素子を提供することができる。

30

【0116】

なお、上記した実施形態における数値等は、特に示した場合を除き、例示に過ぎず適宜変更して適用することができる。また、二重格子構造のPCSEL素子について例示したが、単一格子構造のPCSEL素子、及び一般に多重格子構造のPCSEL素子について適用することができる。

【0117】

また、本発明は、空孔が六角柱形状を有するフォトリック結晶層（空孔層）について例示したが、フォトリック結晶層の空孔が円柱状、矩形状、多角形状、またティアドロップ形状などの不定柱形状を有する場合についても適用することができる。

40

【符号の説明】

【0118】

- 10：PCSEL素子
- 12：素子基板
- 13：第1のクラッド層
- 14：第1のガイド層
- 14A：下ガイド層

50

- 1 4 B : 埋込層
- 1 4 B 1 : 第 1 の埋込層
- 1 4 B 2 : 第 2 の埋込層
- 1 4 E : ホール形成準備層
- 1 4 J : ホール形成層
- 1 4 K : 空孔／空孔対
- 1 4 K 1 ／ 1 4 K 2 : 主／副空孔
- 1 4 P : 空孔層（フォトリソ結晶層）
- 1 5 : 活性層
- 1 6 : 第 2 のガイド層
- 1 7 ; 電子障壁層
- 1 8 : 第 2 のクラッド層
- 1 9 : コンタクト層
- 2 3 : 光分布調整層

【図面】

【図 1 A】

【図 1 B】

FIG.1A

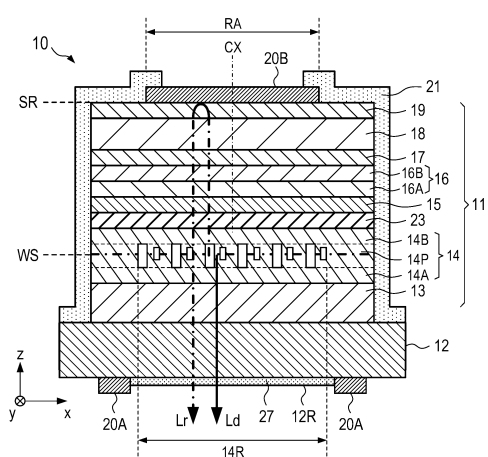
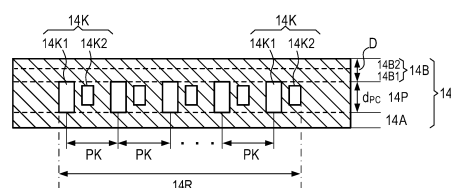


FIG.1 B

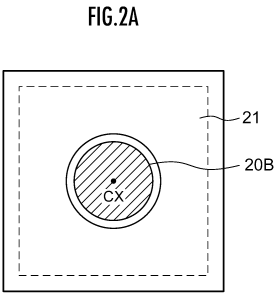


30

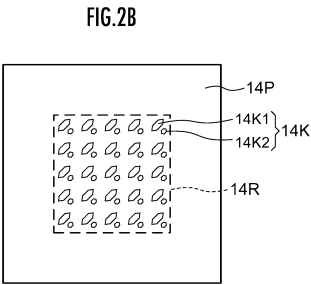
40

50

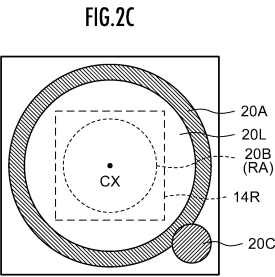
【図 2 A】



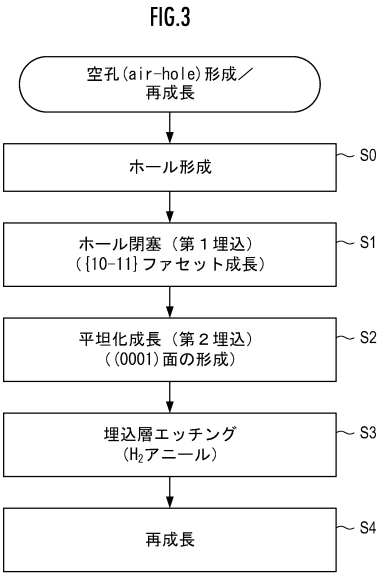
【図 2 B】



【図 2 C】



【図 3】



10

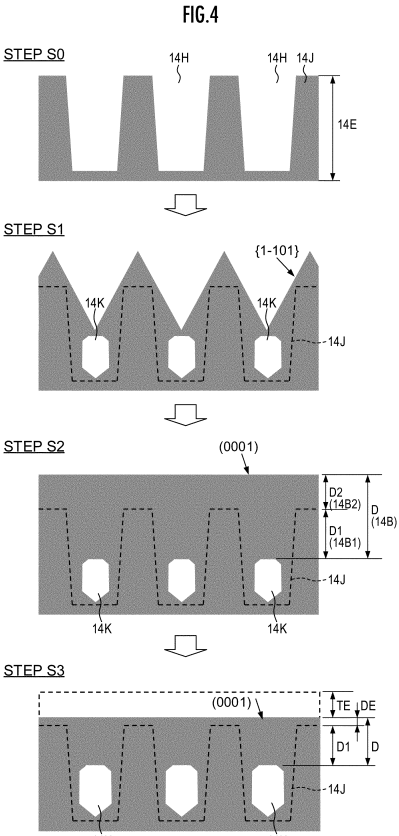
20

30

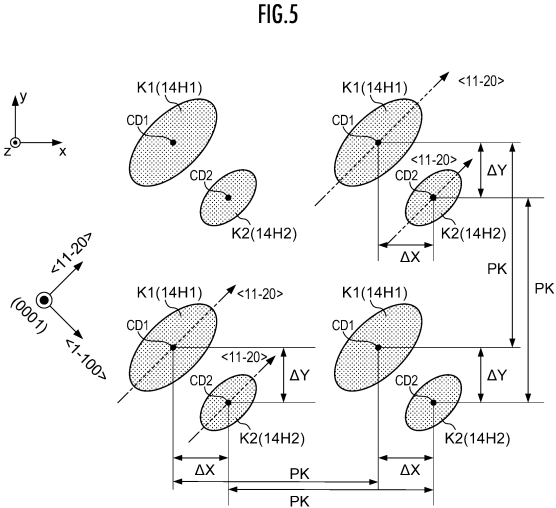
40

50

【 図 4 】



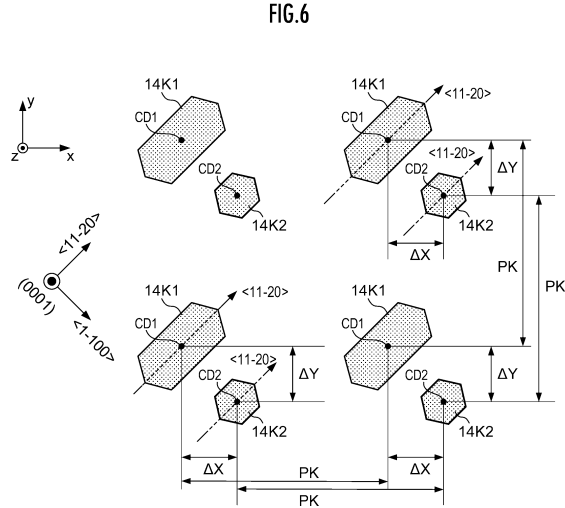
【 図 5 】



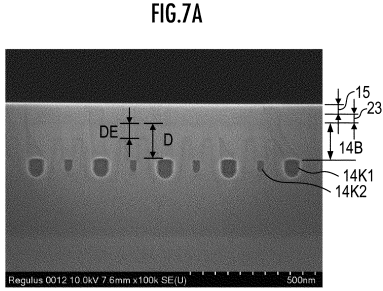
10

20

【 図 6 】



【 図 7 A 】

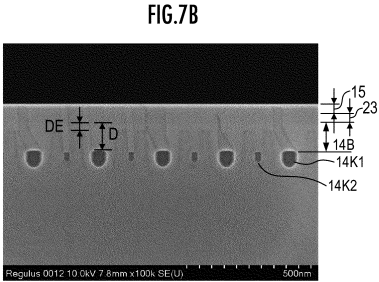


30

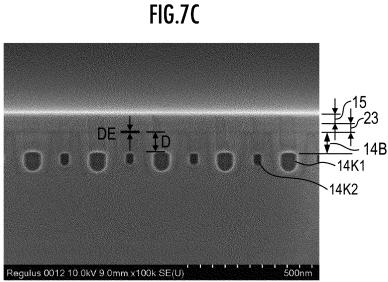
40

50

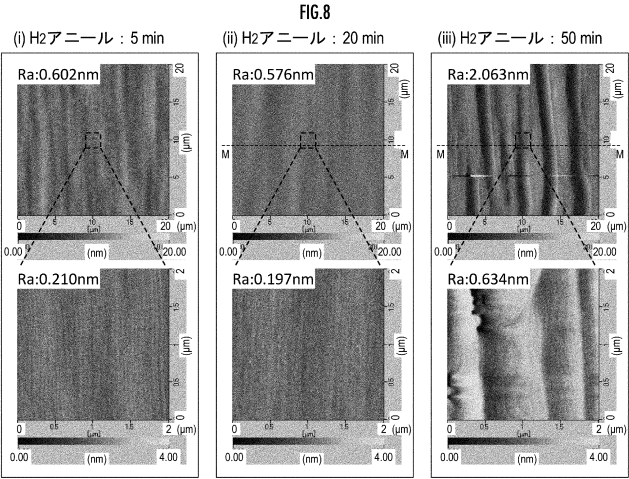
【図 7 B】



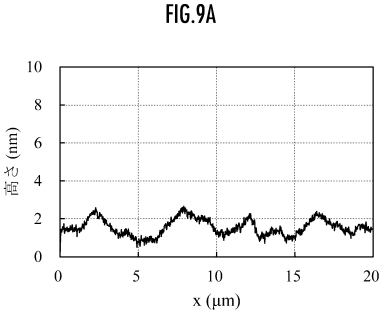
【図 7 C】



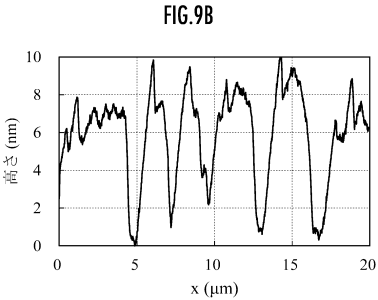
【図 8】



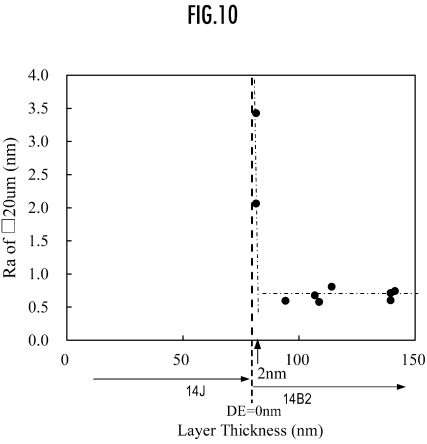
【図 9 A】



【図 9 B】



【図 1 0】



10

20

30

40

50

フロントページの続き

(72)発明者 小泉 朋朗

東京都目黒区中目黒 2 丁目 9 番 1 3 号 スタンレー電気株式会社内

(72)発明者 江本 溪

東京都目黒区中目黒 2 丁目 9 番 1 3 号 スタンレー電気株式会社内

F ターム (参考) 5F173 AB53 AB90 AH22 AK08 AK20 AL07 AL13 AL14 AP05 AP17

AP33 AP37 AP42 AP62 AR23