СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1141403 A

4(51) G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3655439/24-24
(22) 31.08.83
(72) А.Т. Пешков и Л.А. Глухова
(71) Минский радиотехнический институт
(46) 23.02.85. Бюл. № 7
(53) 681.325(088.8)
(56) 1. Авторское свидетельство СССР № 840900, кл. G 06 F 7/62, 1979.

2. Авторское свидетельство СССР № 817703, кл. G 06 F 7/52, 1979.

3. Карцев А.М. Арифметика цифровых машин. М., "Наука", 1969, с. 502-515 (прототип).

4. Дроздов Е.А. и др. Электронные вычислительные машины единой системы. М., "Машиностроение", 1976.

(54)(57) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ, содержащее сумматор, регистр поразрядной суммы, регистр поразрядного переноса, регистр делителя, регистр положительных цифр частного, регистр отрицательных цифр частного, блок управления и анализатор, содержащий элемент ИЛИ, первый и второй элементы И и элемент НЕ, причем первый и второй информационные входы сумматора подключены соответственно к выходам регистров поразрядных суммы и переноса, а третий информационный вход сумматора подключен к выходу регистра делителя, информационный вход которого соединен с входом делителя устройства, вход делимого которого подключен к первому информационному входу регистра поразрядной суммы, второй информационный вход которого подключен к выходу поразрядной суммы сумматора, выход поразрядного переноса которого соединен с информационным входом регистра поразрядного переноса, вход переноса младшего разряда сумматора соединен с управляющим входом выдачи обратного кода регистра делителя, управляющий вход приема кода регистра поразрядной суммы соединен с управляющим входом приема кода регистра поразрядного переноса и с первым управляющим выходом блока управления, второй управляющий выход которого соединен с входами сдвига регистров положительных и отрицательных цифр частного, выходы которых соединены соответственно с первым и вторым выходами устройства, вход "Пуск" и выход "Конец операции" которого подключены соответственно к входу "Пуск" и выходу "Конец операции" блока управления, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, в него введен блок определения режима анализа, который содержит первый, второй, третий и четвертый элементы ИЛИ, первый, второй, третий, четвертый, пятый элементы НЕ, первый, второй, третий, четвертый, пятый, шестой, седьмой, восьмой элементы И, первй и второй триггеры, причем в блоке определения режима анализа выход первого триггера соединен с первым входом второго элемента ИЛИ и с третьим входом первого элемента И, второй вход которого соединен с первым входом второго элемента И и с выходом второго триггера, вход установки единицы которого соединен с выходом восьмого элемента И, первый вход

(19) SU (11) 1141403 A

которого соединен с выходом четвертого элемента ИЛИ, первый вход которого соединен с выходом шестого элемента И, первый вход которого соединен с вторым входом третьего элемента ИЛИ и с выходом пятого элемента НЕ, вход которого соединен с выходом второго элемента ИЛИ, вход установки единицы первого триггера соединен с выходом седьмого элемента И, первый вход которого соединен с выходом третьего элемента ИЛИ, первый вход которого соединен с выходом пятого элемента И, три входа которого соединены соответственно с выходами первого, второго и третьего элементов НЕ, вход первого элемента НЕ соединен с первым входом третьего элемента И, второй вход которого соединен с вторым входом первого элемента ИЛИ, выход которого соединен с четвертым входом четвертого элемента И, первый вход которого соединен с вторым входом шестого элемента И и с выходом четвертого элемента НЕ, вход которого соединен с выходом третьего элемента И, выход первого элемента И соединен с входом третьего элемента НЕ, выходы второго и четвертого элементов И соединены соответственно с вторыми входами второго и четвертого элементов ИЛИ, вторые входы седьмого и восьмого элементов И соединены с третьим управляющим выходом блока управления, четвертый управляющий выход которого соединен с входами установки нуля первого и второго триггеров, первый и второй входы первого и второго элементов И соответственно соединены с выходом переноса в знаковый разряд сумматора, анализатор содержит дополнительно второй, третий, четвертый, пятый элементы ИЛИ, третий, четвертый элементы И, первый и второй триггеры, причем в анализаторе выходы триггеров соединены с управляющими входами выдачи прямого и обратного кодов регистра делителя соответственно, вход установки единицы первого триггера соединен с информационным входом регистра отрицательных цифр частного и с выходом элемента НЕ, вход которого соединен с выходом четвертого элемента И, первый, второй, третий, четвертый входы которого соединены соответственно с выходами первого, второго, третьего, четвертого элементов ИЛИ, вход установки единицы второго триггера соединен с информационным входом регистра положительных цифр частного и с выходом пятого элемента ИЛИ, первый, второй, третий входы которого соединены соответственно с выходами первого, второго и третьего элементов И, третий вход третьего элемента И соединен с выходом первого элемента ИЛИ блока определения режима анализа, выход второго элемента ИЛИ которого соединен с вторым входом четвертого элемента ИЛИ, третьим входом второго элемента И и четвертым входом третьего элемента И анализатора, первый вход первого элемента И которого соединен с третьим входом третьего элемента ИЛИ, четвертыми входами первого и второго элементов ИЛИ анализатора и с выходом первого элемента И блока определения режима анализа, первый управляющий выход блока управления соединен с входами установки нуля первого и второго триггеров, вторым входом первого элемента И, четвертым и пятым входами второго и третьего элементов И анализатора, пятые входы первого и второго элементов ИЛИ которого соединены с первым входом четвертого элемента ИЛИ, четвертым входом третьего элемента ИЛИ, анализатора и пятым управляющим выходом блока управления, первые входы первого и второго элементов ИЛИ и третьего элемента И анализатора соединены с вторым входом четвертого элемента И блока определения режима анализа и выходом второго старшего разряда переноса сумматора, выход первого старшего разряда переноса которого соединен с третьим входом первого элемента ИЛИ, вторым входом третьего элемента ИЛИ, вторым входом второго элемента И анализатора и первым входом первого элемента ИЛИ блока определения режима анализа, вход второго элемента НЕ которого соединен с третьим входом второго элемента ИЛИ, первым входом третьего элемента ИЛИ, первым входом второго элемента И анализатора и с выходом первого старшего разряда суммы сумматора, выход второго старшего разряда суммы которого соединен с вторыми входами первого и

второго элементов ИЛИ и третьего элемента И анализатора и с третьим входом четвертого элемента И блока определения режима анализа, кроме того, блок управления содержит генератор сигналов, триггер работы, счетчик, анализатор нуля, первый и второй элементы НЕ, первый, второй и третий элементы И, первый, второй, третий и четвертый элементы задержки, причем в блоке управления вход "Пуск" блока управления соединен с входом установки единицы триггера работы и тактовым входом счетчика, счетный вход которого соединен с первым выходом блока управления, входом второго элемента задержки и выходом первого элемента задержки, вход которого соединен с входом второго элемента НЕ и выходом первого элемента И, второй вход которого соединен с выходом триггера работы и первым входом второго элемента И, третий вход которого соединен с выходом генератора сигналов и третьим входом первого элемента И, первый вход которого соединен с первым входом третьего элемента И и выходом первого элемента НЕ, вход которого соединен с вторым входом второго элемента И и выходом анализатора нуля, вход которого соединен с выходом счетчика, вход установки нуля триггера работы соединен с выходом второго элемента И и с выходом "Конец операции" блока управления, второй выход которого соединен с выходом третьего элемента И, второй вход которого соединен с выходом четвертого элемента задержки, вход которого соединен с четвертым выходом блока управления и выходом третьего элемента задержки, вход которого соединен с выходом второго элемента задержки и третьим выходом блока управления, пятый выход которого соединен с выходом первого элемента НЕ.

1

Изобретение относится к вычислительной технике.

Известно устройство деления, содержащее счетчики делимого, делителя и результата, первый и второй счетчики, переключатель, два управляющих ключа, два формирователя импульсов, триггер и элемент И [1].

Недостатком устройства является малое быстродействие.

Известно устройство для умножения и деления последовательно-параллельного действия, содержащее преобразователь цифр множимого (делителя) в единичный код, реверсивный счетчик цифр множителя (делителя), реверсивный счетчик произведения (делимого), триггер реверса произведения, n групп (n - разрядность операндов) элементов И и ИЛИ [2].

Недостатком данного устройства является малое быстродействие.

Наиболее близким по технической сущности к предлагаемому устройству является устройство деления, содержащее сумматор, регистр поразрядных сумм, регистр поразрядных переносов,

2

сдвигающий регистр положительных цифр частного, сдвигающий регистр отрицательных цифр частного, блок управления, дополнительный сумматор, анализатор кода старших разрядов остатка, информационные входы делимого и делителя, управляющий вход пуска, управляющий выход конца операции, информационные выходы кодов положительных и отрицательных цифр частного , причем информационный вход кода первого слагаемого сумматора подключен к информационному выходу регистра поразрядно суммы, к первому и второму информационным входам которого подключены соответственно информационный вход делимого устройства деления и выход поразрядной суммы сумматора, второй информационный вход которого подключен к информационному выходу регистра поразрядного переноса, информационным входом подключенного к информационному выходу переносов сумматора, третий информационный вход которого соединен с информационным выходом регистра делителя, информационным

входом подключенного к информационному входу делителя устройства деления, вход пуска которого подключен к входу пуска блока управления, первый, второй и третий выходы которого подключены соответственно к управляющему входу анализатора кода старших разрядов остатка, к управляющим входам приема кода регистров поразрядных сумм и переноса и к управляющим входам сдвига регистров положительных и отрицательных цифр частного, информационными выходами соединенных соответственно с информационными выходами кодов положительных и отрицательных цифр частного , первый и второй разрядные информационные входы дополнительного сумматора присоединены к выходу четырех старших разрядов регистра поразрядного переноса и регистра поразрядной суммы, входы четырех старших разрядов которого соединены с выходами дополнительного сумматора, вход анализатора кода старших разрядов остатка подключен к выходу старших разрядов регистра поразрядной суммы, выход "1" анализатора кода старших разрядов остатка-к управляющему входу обратного кода регистра делителя, к входу "+1" в младший разряд сумматора и к входу "+1" регистра положительных цифр частного, выход "-1" анализатора соединен с входом выдачи прямого кода регистра делителя, выход "Конец операции" устройства деления подсоединен к выходу "Конец операции" блока управления.

Особенностью устройства деления является то, что формирование остатка осуществляется в виде двухрядного кода поразрядной суммы и переноса (без распределения переносов по разрядам)[3].

Недостатком известного устройства деления являются большие задержки при формировании знака остатка при значительных затратах оборудования.

Цель изобретения - повышение быстродействия и уменьшение аппаратурных затрат.

Поставленная цель достигается тем, что в устройство деления, содержащее сумматор, регистр поразрядной суммы, регистр поразрядного переноса, регистр делителя, блок управления, регистр положительных цифр частного, регистр отрицательных цифр частного и анализатор, содержащий элементы ИЛИ, первый и второй элементы И и элемент НЕ, причем первый и второй информационные входы сумматора подключены соответственно к выходам регистров поразрядной суммы и переноса, а третий информационный вход сумматора - к выходу регистра делителя, информационный вход которого соединен с входом делителя устройства, входом делимого подключенного к первому информационному входу регистра поразрядной суммы, второй информационный вход которого подключен к выходу поразрядной суммы сумматора, выходом поразрядного переноса соединенного с информационным входом регистра поразрядного переноса, вход переноса младшего разряда сумматора соединен с вторым управляющим входом выдачи обратного кода регистра делителя, управляющий вход приема кода регистра поразрядной суммы - с управляющим входом приема кода регистра поразрядного переноса и с первым управляющим выходом блока управления, вторым управляющим выходом соединенного с входами сдвига регистров положительных и отрицательных цифр частного, выходы которых соединены соответственно с первым и вторым выходами устройства, вход "Пуск" и выход "Конец операции" которого подключены соответственно к входу "Пуск" и выходу "Конец операции" блока управления, введен блок определения режима анализа, который содержит первый, второй, третий и четвертый элементы ИЛИ, первый, второй, третий, четвертый и пятый элементы НЕ, первый, второй, третий, четвертый, пятый, шестой, седьмой и восьмой элементы И, первый и второй триггеры, причем в блоке определения режима анализа выход первого триггера соединен с первым входом второго элемента ИЛИ и с третьим входом первого элемента И, второй вход которого соединен с первым входом второго элемента И и с выходом второго триггера, входом установки единицы соединенного с выходом восьмого элемента И, первый вход которого соединен с выходом четвертого элемента ИЛИ, первым входом соединенного с выходом шестого элемента

И, первый вход которого соединен с вторым входом третьего элемента ИЛИ и с выходом пятого элемента НЕ, входом соединенного с выходом второго элемента ИЛИ, вход установки единицы первого триггера соединен с выходом седьмого элемента И, первый вход которого соединен с выходом третьего элемента ИЛИ, первым входом соединенного с выходом пятого элемента И, три входа которого соединены соответственно с выходами первого, второго и третьего элементов НЕ, вход первого элемента НЕ - с первым входом третьего элемента И, второй вход которого соединен с вторым входом первого элемента ИЛИ, выходом соединенного с четвертым входом четвертого элемента И, первый вход которого соединен с вторым входом шестого элемента И и с выходом четвертого элемента НЕ, входом соединенного с выходом третьего элемента И, выход первого элемента И соединен с входом третьего элемента НЕ, выходы второго и четвертого элементов И - соответственно с вторыми входами второго и четвертого элементов ИЛИ, вторые ходы седьмого и восьмого элементов И - с третьим управляющим выходом блока управления, четвертый управляющий выход которого соединен с входами установки нуля первого и второго триггеров, первый и второй входы первого и второго элементов И - соответственно с выходом переноса в знаковый разряд сумматора, анализатор дополнительно содержит второй, третий, четвертый и пятый элементы ИЛИ, третий четвертый элементы И, первый и второй триггеры, причем в анализаторе выходы триггеров соединены соответственно с первым и вторым управляющими входами регистра делителя, вход установки единицы первого триггера - с информационным входом регистра отрицательных цифр частного и с выходом элемента НЕ, вход которого соединен с выходом четвертого элемента И, первым, вторым, третьим и четвертым входами соединенного соответственно с выходами первого, второго, третьего и четвертого элементов ИЛИ, вход установки единицы второго триггера соединен с информационным входом регистра положительных цифр частного и с выходом пятого элемента ИЛИ, первый, второй и третий входы которого соединены соответственно с выходами первого, второго и третьего элементов И, третий вход третьего элемента И - с выходом первого элемента ИЛИ блока определения режима анализа, выход второго элемента ИЛИ которого соединен с вторым входом четвертого элемента ИЛИ, третьим входом второго элемента И и четвертым входом третьего элемента И анализатора, первым входом первого элемента И соединенного с третьим входом третьего элемента ИЛИ, четвертыми входами первого и второго элементов ИЛИ анализатора и с выходом первого элемента И блока определения режима анализа, первый управляющий выход блока управления соединен с входами установки нуля первого и второго триггеров, вторым входом первого элемента И, четвертым и пятым входами второго и третьего элементов И анализатора, пятые входы первого и второго элементов ИЛИ которого соединены с первым входом четвертого элемента ИЛИ, четвертым входом третьего элемента ИЛИ, анализатора и пятым управляющим выходом блока управления, первые входы первого и второго элементов ИЛИ и третьего элемента И анализатора - с вторым входом четвертого элемента И блока определения режима анализа и выходом второго старшего разряда переноса сумматор, выход первого старшего разряда переноса которого соединен с третьим входом первого элемента ИЛИ, вторым входом третьего элемента ИЛИ, вторым входом второго элемента И анализатора и первым входом первого элемента ИЛИ блока определения режима анализа, входом второго элемента НЕ соединенного с третьим входом второго элемента ИЛИ, первым входом третьего элемента ИЛИ, первым входом второго элемента И анализатора с выходом первого старшего разряда суммы сумматора, выход второго старшего разряда суммы которого соединен с вторыми входами первого и второго элементов ИЛИ и третьего элемента И анализатора и с третьим входом четвертого элемента И блока определения режима анализа, при этом блок управления содержит генератор сигналов,

триггер работы, счетчик, анализатор нуля, первый и второй элементы НЕ, первый, второй и третий элементы И, первый, второй, третий и четвертый элементы задержки, причем в блоке управления вход "Пуск" блока управления соединен с входом установки единицы триггера работы и тактовым входом счетчика, счетный вход которого соединен с первым выходом блока управления, входом второго элемента задержки и выходом первого элемента задержки, входом соединенного с входом второго элемента НЕ и выходом первого элемента И, второй вход которого соединен с выходом триггера работы и первым входом второго элемента И, третий вход которого соединен с выходом генератора сигналов и третьим входом первого элемента И, первым входом соединенного с первым входом третьего элемента И и выходом первого элемента НЕ, вход которого соединен с вторым входом второго элемента И и выходом анализатора нуля, входом соединенного с выходом счетчика, вход установки нуля триггера работы соединен с выходом второго элемента И и выходом "Конец операции" блока управления, второй выход которого соединен с выходом третьего элемента И, вторым входом соединенного с выходом четвертого элемента задержки, вход которого соединен с четвертым выходом блока управления и выходом третьего элемента задержки, входом соединенного с выходом второго элемента задержки и третьим выходом блока управления, пятый выход которого соединен с выходом первого элемента НЕ.

На фиг. 1 приведена структурная схема устройства для деления; на фиг. 2 и 3 - соответственно схемы блока определения режима анализа и анализатора; на фиг. 4 - схема блока управления; на фиг. 5 - временная диаграмма его работы.

Устройство для деления (фиг. 1) содержит сумматор 1, вход 2 переноса младшего разряда сумматора 1, первый информационный вход 3 сумматора 1, выход 4 поразрядной суммы сумматора 1, второй информационный вход 5 сумматора 1, выход 6 поразрядного переноса сумматора 1, третий информационный вход 7 сумматора 1, выходы старших разрядов поразрядной суммы 8 сумматора 1 и поразрядного переноса 9 сумматора 1, выход 10 переноса в знаковый разряд сумматора 1, регистр 11 поразрядной суммы, первый 12 и второй 13 информационные входы регистра 11, управляющий вход 14 приема кода регистра 11, выход 15 регистра 11, регистр 16 поразрядного переноса, информационный вход 17 регистра 16, управляющий вход 18 приема кода регистра 16, выход 19 регистра 16, регистр 20 двигателя, информационный вход 21 регистра 20, управляющие входы прямого 22 и обратного 23 кодов регистра 20, выход 24 регистра 20, блок 25 управления, вход 26 "Пуск" блока 25, выход 27 "Конец операций" блока 25, управляющие выходы 28-32 блока 25, анализатор 33, вход34 старших разрядов переноса анализатора 33, вход 35 старших разрядов суммы анализатора 33, выходы 36 и 37 анализатора 33, управляющие входы 38 и 39 анализатора 33, выходы 40 и 41 анализатора 33, входы 42-44 анализатора 33, блок 45 определения режима анализа, вход 46 старших разрядов переноса блока 45, вход 47 старших разрядов суммы блока 45, выходы 48-50 блока 45, управляющие входы 51 и 52 блока 45, вход 53 переноса в знаковый разряд блока 45, регистр 54 положительных цифр частного, информационный вход 55 регистра 54, вход 56 сдвига регистра 54, выход 57 регистра 54, регистр 58 отрицательных цифр частного, вход 59 сдвига регистра 58, информационный вход 60 регистра 58, выход 61 регистра 58, вход 62 делимого устройства, вход 63 делителя устройства, вход 64 "Пуск" устройства, вход 65 "Конец операций" устройства, первый 66 и второй 67 выходы устройства.

Блок определения режима анализа (фиг. 2) содержит первый 68, второй 69, третий 70 и четвертый 71 элементы ИЛИ, первый 72, второй 73, третий 74, четвертый 75 и пятый 76 элементы НЕ, первый 77, второй 78, третий 79, четвертый 80, пятый 81, шестой 82, седьмой 83 и восьмой 84 элементы И, первый 85 и второй 86 триггеры, входы первого 87 (S 1)

и второго 88 (S 2) старших разрядов суммы, являющиеся двумя разрядами входа 47 старших разрядов суммы блока 45 определения режима анализа, входы второго 89 (П2) и третьего 90 (П3) старших разрядов переноса, являющиеся двумя разрядами входа 46 старших разрядов переноса блока 45 определения режима анализа.

Анализатор (фиг. 3) содержит первый 91, второй 92, третий 93, четвертый 94 и пятый 95 элементы ИЛИ, первый 96, второй 97, третий 98 и четвертый 99 элементы И, элемент НЕ 100, первый 101 и второй 102 триггеры, входы первого 103 (S 1) и второго 104 (S 2) старших разрядов суммы, являющиеся двумя разрядами входа 35 старших разрядов суммы анализатора, входы второго 105 (П2) и третьего 106 (П3) старших разрядов переноса, являющиеся двумя разрядами входа 34 старших разрядов переноса анализатора.

Блок управления (фиг. 4) содержит счетчик 107, анализатор 108 нуля, триггер 109 работы, генератор 110 сигналов, первый 111 и второй 112 элементы НЕ, первый 113, второй 114 и третий 115 элементы И, первый 116, второй 117, третий 118 и четвертый 119 элементы задержки.

Деление выполняется над нормализованными числами, т.е. делимое и делитель должны иметь единицу в старшем разряде дробной части. Операнды положительные.

В предлагаемом устройстве применяется принцип деления, при котором используется избыточный код частного, т.е. каждая цифра частного может быть представлена в виде одной из трех цифр: -1, 0, +1. Остаток формируется в виде двухрядного кода, включающего код поразрядной суммы и код поразрядного переноса.

Анализ знака остатка выполняется непосредственно по двухрядному коду остатка, причем анализируется только по два старших разряда дробной части кодов поразрядных суммы S1 S2 переноса П2П3 остатка. При этом учитывается перенос в знаковый разряд, вид остатка, полученного на предыдущем этапе, а также режим анализа.

Режим анализа устанавливается на основании трех признаков, в качестве которых используется: П1 - перенос из старшего разряда остатка в знаковый разряд (если указанный перенос сгенерирован при очередном этапе сложения, то П1=1); ПОП - перспективное отрицательное переполнение, (ПОП=1, если остаток отрицательный), а не имея информации о младших разрядах кодов поразрядной суммы (S2, S3... Sn) и поразрядного переноса (П3, П4...Пn), можно сделать предположение,что полученный остаток может быть по модулю не меньше 0,5 (т.е. после сдвига его на один разряд влево можно получить отрицательное число, не меньшее по модулю единицы), ПУП - предварительно учтенный перенос (ПУП=1, если при выполнении решения о знаке на предыдущем этапе был учтен перенос, который на следующем этапе обусловит выработку П1=1).

В таблице приведены все возможные комбинации S1S2, П2 П3 (колонка 2) и все допустимые комбинации признаков режима (колонки 3-8). Заштрихованные клетки соответствуют ситуациям, которое не могут появиться из-за невозможности появления остатка, по модулю не меньшего 1. Комбинации $ПУП \cdot \overline{П1}=1$ не могут появиться исходя из определения ПУП. На пересечениях колонок 3-8 и строк 1-16 указаны сигналы, которые в соответствующих случаях вырабатывает анализатор ("+" - обнаружен отрицательный знак остатка, и на текущем этапе делитель будет прибавляться к нему, "-" - обнаружен положительный остаток, и делитель на текущем этапе будет вычитаться из этого остатка), и признаки, какие будет устанавливать блок определения режима анализа для последующего этапа деления.

На основании анализа таблицы в устройстве выделяются два режима анализа: режим, при котором $\overline{ПОП} \times \overline{ПУП} \cdot П1=1$, и режим, при котором $\overline{ПОП} + \overline{ПУП} \cdot П1=1$.

Если отсутствует ситуация $\overline{ПОП} \times \overline{ПУП} \cdot П1 = 1$, то для строк 1-6 анализатор всегда вырабатывает сигнал "+", если $\overline{ПОП} \cdot \overline{ПУП} \cdot П1=1$, то анализатор независимо от S1S2, П2П3 вырабатывает сигнал "-".

Если $\overline{ПОП} + \overline{ПУП} \cdot П1=1$, то анализатор для строк 11-16 всегда вырабатывает сигнал "-", а если $\overline{ПОП} + \overline{ПУП} \times$

»П1=0, то анализатор независимо от S1S2, П2П3 вырабатывает сигнал "+".

Для формирования ПОП и ПУП используются следующие логические выражения: $ПУП_{i+1} = (П2+S1)\cdot П2\cdot\overline{S2}\cdot\overline{П2}\cdot\overline{S1} + \overline{П2}\cdot S1\cdot\overline{ПОП_i}+\overline{ПУП_i}\cdot П_{i+1}$; $ПОП_{i+1}=\overline{ПОП_i}+\overline{ПУП_i}\cdot П1_{i+1}+\overline{(ПОП_i\cdot ПУП_i\cdot П1_{i+1})}\cdot S1_{i+1}\cdot П_{i+1}$ (i - номер такта).

Блок управления вырабатывает на каждом такте деления, где определяется очередной разряд частного, следующие один за другим четыре управляющих сигнала, причем первый управляющий сигнал-парафазный И1, $\overline{И1}$, И2, И3, И4.

В исходном состоянии в триггере 109 работы и в счетчике 107 устанавливается нуль. Сигналы управления И1, $\overline{И1}$, И2, И3, И4 соответственно на выходах 32, 31, 30, 29 и 28 отсутствуют. Отсутствует сигнал "Конец операции" на выходе 27.

Перед началом деления в блок управления (на вход 26) поступает сигнал "Пуск", в счетчике 107 устанавливается код числа, определяющий количество тактов деления, триггер работы устанавливается в состояние "1", которое разрешает по второму входу работу элемента И 113, на первый вход которого после установки в счетчике кода также поступает разрешающий сигнал с выхода первого элемента НЕ 111. В результате сигналы с генератора 110 проходят через первый элемент И 113 и через элементы НЕ 112 задержки 116-119 и обеспечивают формирование управляющих сигналов на выходах 31, 32, 30, 29 и 28. Кроме того, каждый очередной сигнал с выхода первого элемента 116 задержки поступает на счетный вход счетчика 107, уменьшая его содержимое на единицу. Сигналы с генератора 110 сигналов будут проходить через первый элемент И 113 до появления нуля в счетчике 107. Как только в счетчике 107 появится нулевое значение, оно через анализатор 108 нуля разрешает прохождение сигналов с генератора 110 через второй элемент И 114, а через первый элемент НЕ 111 запрещается прохождение сигналов через первый элемент И 113. Триггер работы устанавливается в нуль, а на выходе 27 "Конец операции" блока управления появляется сигнал указывающий на завершение операции деления. Элемент 116 задержки нужен для того, чтобы сигналы на выходах 32 и 31 были противоположны по значению и формировались бы в один и тот же момент времени.

Обозначения на фиг. 5: ТР - выход единицы триггера 109 работы, ГС - выход генератора 110 сигналов, А "0" - выход анализатора 108 нуля, КОП - выходной сигнал 27 "Конец операции" блока управления.

Задержки между сигналами И1 и И2 (величина задержки элемента 117) выбирается таким образом, чтобы сброс триггеров 85 и 86 происходил после появления сигналов на выходах 49 и 50 блока определения режима анализа при формировании выходных сигналов в анализаторе. Задержка сигнала И3 по отношению к И2 выбирается таким образом, чтобы сброс триггеров 85 и 86 блока 45 определения режима анализа не накладывался на процесс установки одного из них в состояние единицы.

Сигнал И4 задерживается по отношению к сигналу И1 таким образом, чтобы сдвиг регистров 54 и 58 устройства деления проходил после завершения установки их младших разрядов в единицу.

Период сигналов И3 выбирается достаточным для завершения операции сложения в сумматоре.

Устройство для деления работает следующим образом.

В исходном состоянии делитель без знаковых разрядов находится в регистре 20 делителя (фиг. 1) делимое без старшего разряда и знаковых разрядов помещено в регистре 11 поразрядной суммы. Все разряды регистра 58 отрицательных цифр частного и все разряды кроме предпоследнего младшего регистра 54 положительных цифр частного находятся в нуле. Триггер 102 анализатора находится в единичном состоянии, а триггер 101 этого же блока (фиг. 3) - в нулевом состоянии, триггеры 85 и 86 блока определения режима анализа (фиг. 2) и триггер 109 работы блока управления (фиг. 4) находятся в нулевом состоянии. На выходе 36 анализатора 33 присутствует сигнал (фиг. 1). В регистре 16 поразрядного переноса фиг. 1 установлен нулевой код.

На выходах поразрядной суммы 4 и переноса 6 сумматора 1 (фиг. 1) присутствует двухрядный код разности сдвинутого на разряд влево (умноженного на два) делимого и делителя, т.е. первый остаток, значения его старших разрядов поразрядной суммы S1S2 и переноса П2П3, а также перенос в знаковый разряд П1 присутствуют на соответствующих выходах 8-10 сумматора 1 (фиг. 1).

Деление начинается по поступлении сигнала "Пуск" на вход 26 блока 25 управления, по которому устанавливается в единицу триггер 109 работы (фиг. 4), и блок управления начинает вырабатывать для каждого такта деления последовательность сигналов И1 и $\overline{И1}$, И2, И3, И4.

Такты деления (или этапы деления), на каждом из которых определяется очередная цифра "+1" или "-1" частного, выполняется аналогично, в начале каждого такта по сигналу И1 на выходе 32 блока управления осуществляется разрешение приема кодов поразрядных суммы и переноса с выходов 4 и 6 сумматора 1 соответственно в регистры поразрядных суммы 13 и переноса 16 (фиг. 1). Одновременно по сигналам И1 и $\overline{И1}$ анализатор 33 определяет с учетом сигналов на своих входах 44 и 35, определяющих текущий остаток, и сигналов на входах 42 и 43, характеризующих режим анализа, формируемых блоком определения режима анализа, текущую цифру частного и вид операции (сложение или вычитание), которую нужно выполнить на текущем такте деления, или не вырабатывает никаких выходных сигналов. В первом случае по сигналу на управляющем входе 23 обратного кода регистра 20 обеспечиваются выдача на второй информационный вход 5 сумматора 1 обратного кода делителя и посылка сигнала на вход 2 переноса младшего разряда этого же сумматора 1 кроме того, по сигналу на входе 55 регистра 54 осуществляется установка единицы в его младший разряд. Во втором случае по сигналу на входе 22 осуществляется передача на второй информационный вход 5 сумматора 1 прямого кода делителя, а по сигналу на входе 60 - установка единицы в младший разряд регистра 58. В третьем случае код из регистра 20 на сумматор 1 не передается, а в соответствующих разрядах регистров 54 и 58 сохраняются нулевые значения.

По сигналу 112 осуществляется сброс триггеров 85 и 86 блока 45 определения режима анализа (фиг. 2), а по сигналу И 3 - опрос логических цепей этого же блока, формирующих признаки режима анализа для следующего такта деления. В результате триггер 85 (перспективного отрицательного переполнения) или триггер 86 (предварительно учтенного переноса) могут быть установлены в единицу.

По сигналу И4, поступающему с выхода 28 блока 25 управления на входы 56 и 59 соответственно регистров 54 и 58, осуществляется сдвиг кодов этих регистров на один разряд в сторону старших разрядов.

Текущий такт будет закончен, когда на выходах 4 и 6 сумматор 1 будет сформирован очередной двухрядный код остатка. Последний такт деления выполняется так же, как и предыдущие, с этой лишь разницей, что в блоке 25 управления (фиг. 4) на этом такте будет получено нулевое значение в счетчике 107. Поэтому при выработке очередного сигнала генератором 110 сигналов после завершения последнего такта осуществляется установка в ноль триггера 109 работы и формируется сигнал на выходе 27 блока 25 управления, который поступает на выход 65 "Конец операции" устройства деления. На этом операция деления заканчивается. На выходах 4 и 6 сумматора 1 будет представлен двухрядный код остатка, в найденное частное будет представлено в виде двух кодов: кодов положительных цифр на выходе 67 и отрицательных цифр на выходе 66 устройства деления. Переход от такого кода к двоичному в предлагаемом устройстве не рассматривается. Такой переход может быть осуществлен как это описано в [3] или так, как это делается в процессоре ЭВМ ЕС-1050 [4].

Для определения цифры частного в известном устройстве используются дополнительный сумматор и анализатор, в предложенном устройстве - блок определения режима анализа и

анализатор, которые требуют меньших затрат оборудования по сравнению с известным устройством.

Длительность такта деления в предложенном устройстве в 2,3 раза меньше, чем в известном устройстве.

Таким образом, предлагаемое устройство для деления обладает большим быстродействием за счет уменьшения аппаратных затрат оборудования.

Строка, №	S1S2 П2П3	$\overline{\text{ПОП}} \cdot \overline{\text{ПУП}} \cdot \text{П1}$	$\overline{\text{ПОП}} \cdot \overline{\text{ПУП}} \cdot \text{П1}$	$\text{ПОП} \cdot \overline{\text{ПУП}} \cdot \text{П1}$	$\overline{\text{ПОП}} \cdot \text{ПУП} \cdot \text{П1}$	$\text{ПОП} \cdot \overline{\text{ПУП}} \cdot \overline{\text{П1}}$	$\text{ПОП} \cdot \text{ПУП} \cdot \text{П1}$
1	2	3	4	5	6	7	8
1	00 00	-"-	"+", ПОП	"+", ПОП	"+", ПОП	-	-
2	01 00	-"-	"+" ПОП	"+", ПОП	"+", ПОП	-	-
3	01 01	-"-	"+", ПОП	"+", ПОП	"+", ПОП	-	-
4	00 01	"-"	"+", ПОП	"+", ПОП	"+", ПОП	-	-
5	10 00	-"-	"+"	"+"	"+"	-	-
6	00 10	-"-	"+"	"+"	"+"	-	-
7	11 00	-"-	-	-	-	"+", ПОП, ПУП	"+", ПОП, ПУП

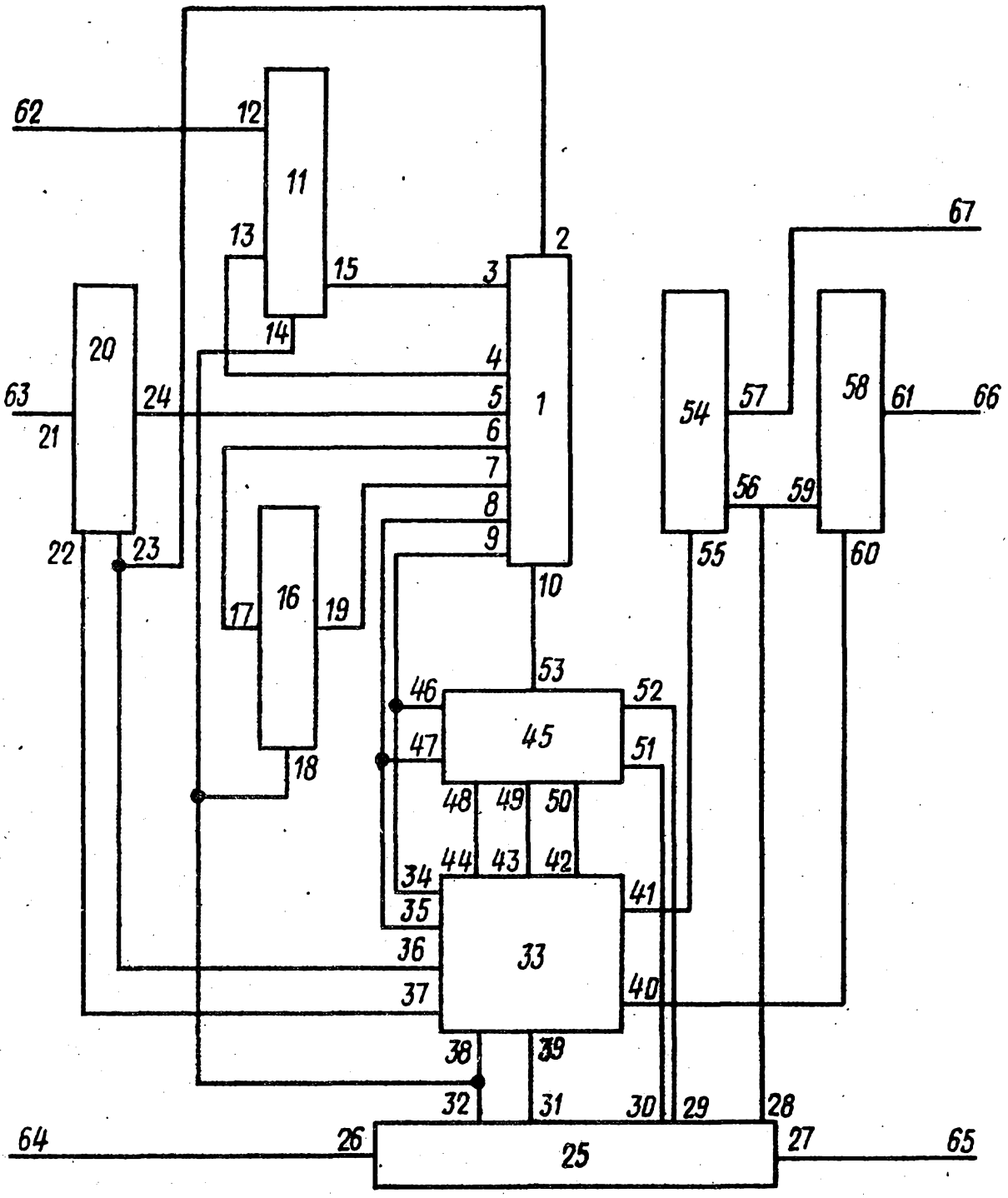
Продолжение таблицы

1	2	3	4	5	6	7	8
8	10	-"-	-	-	-	"+", ПОП, ПУП	"+", ПОП, ПУП
	01						
9	01	-"-	-	-	-	"+", ПОП, ПУП	"+", ПОП, ПУП
	10						
10	00	"-"	-	-	-	"+", ПОП, ПУП	"+", ПОП, ПУП
	11						
11	11		"-", ПУП	"-", ПУП	"-", ПУП	"+", ПОП, ПУП	"+", ПОП, ПУП
	01						
12	01		"-", ПУП	"-", ПУП	"-", ПУП	"+", ПОП, ПУП	"+", ПОП, ПУП
	11						
13	10		"-"	-"-	-"-	"+", ПОП	"+", ПОП
	10						

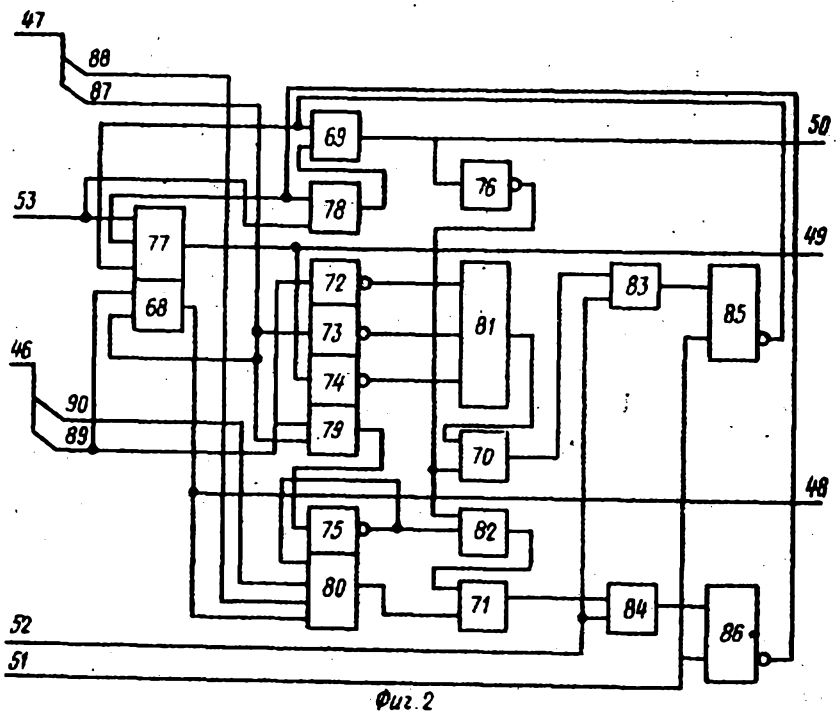
Продолжение таблицы

1	2	3	4	5	6	7	8
14	11		"-"	"-"	"-"	"+", ПОП	"+", ПОП
	10						
15	10		"-"	"-"	"-"	"+", ПОП	"+", ПОП
	11						
16	11		"-"	"-"	"-"	"+", ПОП	"+", ПОП
	11						

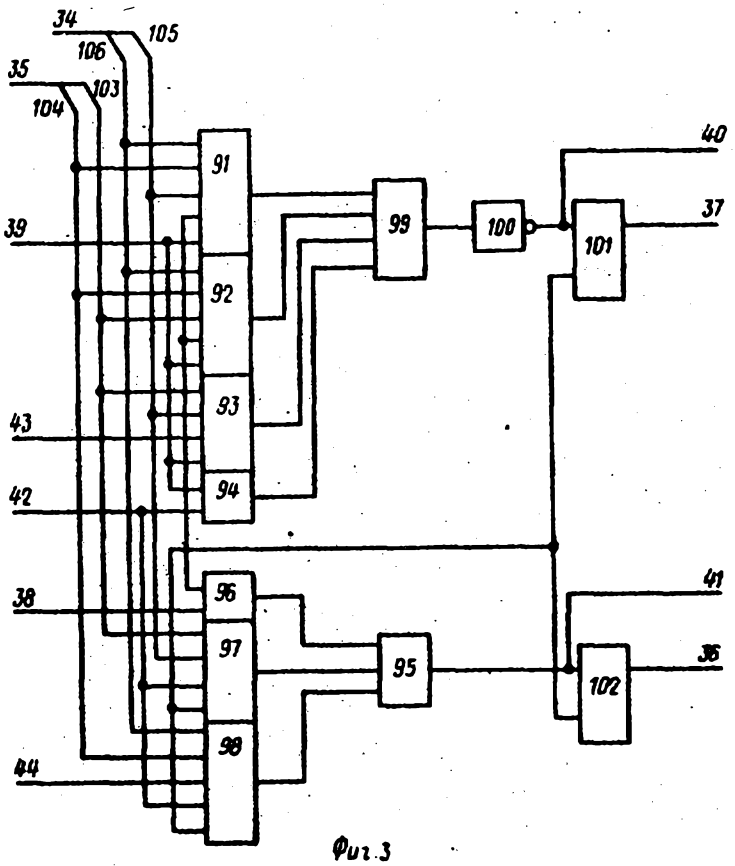
Примечание: S1S2 - старшие разряды кода поразрядной суммы двухрядного кода остатка;
П2П3 - второй и третий старшие разряды кода поразрядного переноса двухрядного кода остатка;
П1 - перенос в знаковый разряд.


62
12
11
13
15
2
3
67
20
14
4
63
24
5
1
54
57
58
61
66
21
6
7
56
59
8
22
23
9
55
60
16
17
19
10
53
46
52
45
47
51
18
48
49
50
44
43
42
34
41
35
36
33
37
40
38
39
32
31
30
29
28
64
26
25
27
65

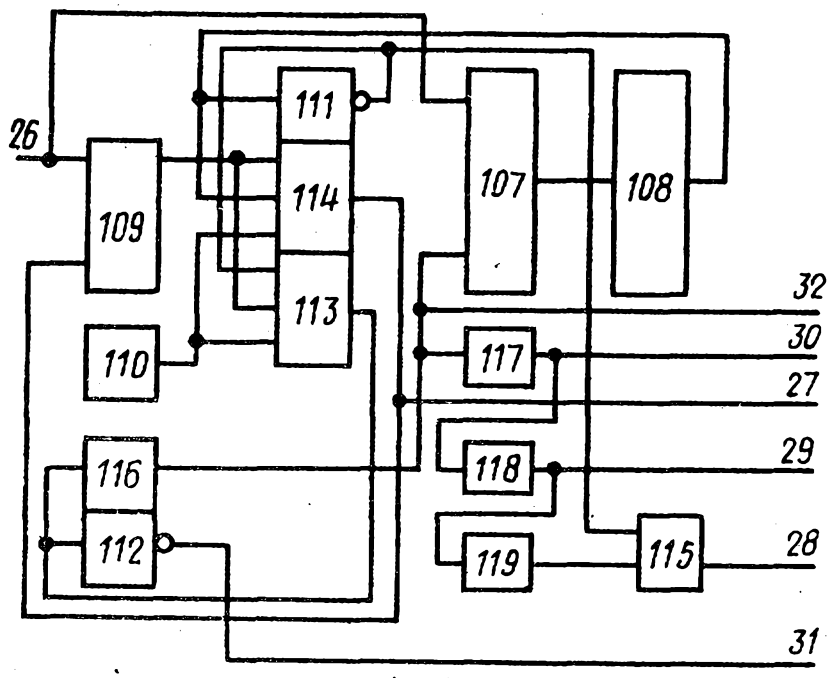
Фиг.1


47
88
87
69
50
53
78
76
77
49
72
68
73
81
83
85
46
74
90
79
89
70
48
75
82
80
71
84
86
52
51

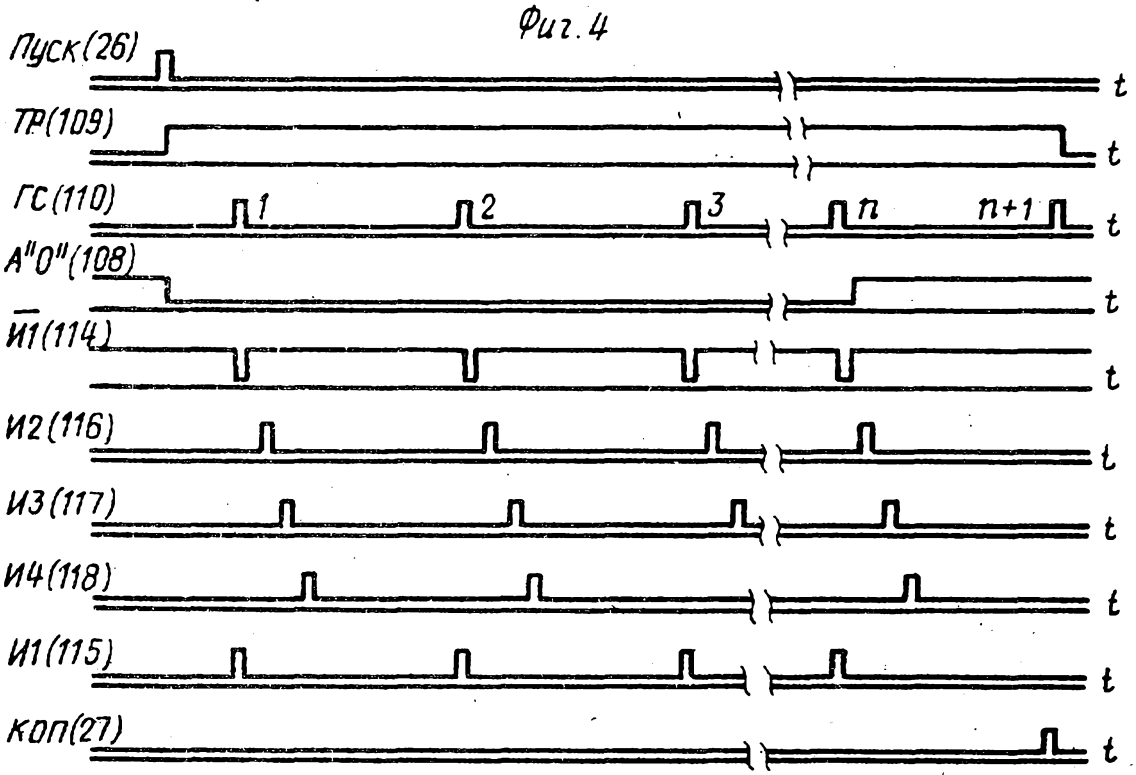
Фиг. 2


34
105
106
35
103
104
91
40
99
100
101
37
39
92
93
43
94
42
96
41
38
97
95
102
36
98
44

Фиг. 3



Фиг.4



Фиг.5

Составитель Е.Захарченко
Редактор В.Данко Техред М.Кузьма Корректор Г.Решетник

Заказ 496/36 Тираж 710 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4