(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月20日(20.08.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/166457 A1

(51) 国際特許分類:
H04N 5/355 (2011.01)

(21) 国際出願番号： PCT/JP2020/004411

(22) 国際出願日： 2020年2月5日(05.02.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-025531 2019年2月15日(15.02.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 望月 風太 (**MOCHIZUKI, Futa**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

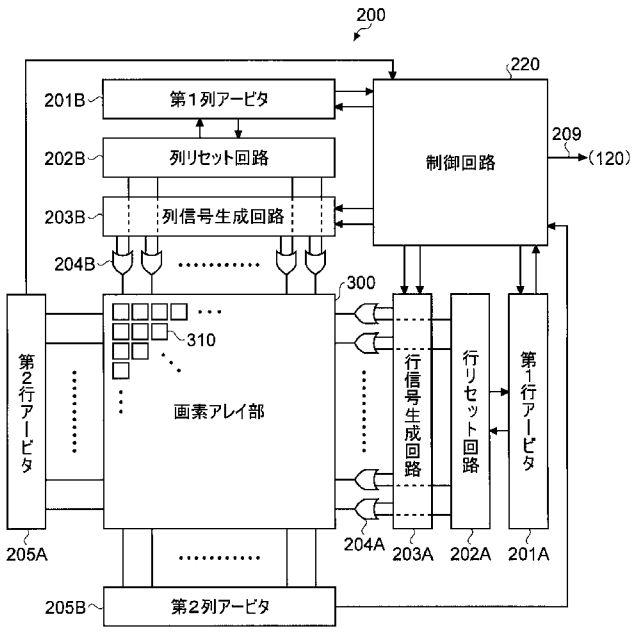
(74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) **Title:** SOLID-STATE IMAGING DEVICE AND IMAGING DEVICE

(54) 発明の名称： 固体撮像装置及び撮像装置

[図2]



201A First row arbiter
201B First column arbiter
202A Row reset circuit
202B Column reset circuit
203A Row signal generating circuit
203B Column signal generating circuit
205A Second row arbiter
205B Second column arbiter
220 Control circuit
300 Pixel array section

(57) **Abstract:** The present invention improves image quality. A solid-state imaging device according to an embodiment is provided with: a plurality of unit pixels (310) arrayed in a matrix and each comprising a first photoelectric conversion element (311) which generates charges corresponding to the amount of light received, and a detection unit (312) which detects firing of an address event on the basis of the charges generated in the first photoelectric conversion element; and a reset control unit (202) which resets one or more first unit pixels among the plurality of unit pixels in which firing of the address event has been detected. The reset control unit periodically resets one or more second unit pixels among the

WO 2020/166457 A1

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

plurality of unit pixels.

(57) 要約:画質を向上する。実施形態に係る固体撮像装置は、それぞれ、受光量に応じた電荷を発生させる第１光電変換素子（３１１）と、前記第１光電変換素子に発生した電荷に基づいてアドレスイベントの発火を検出する検出部（３１２）とを備え、行列状に配列する複数の単位画素（３１０）と、前記複数の単位画素のうち、前記アドレスイベントの発火が検出された１以上の第１単位画素をリセットするリセット制御部（２０２）とを備え、前記リセット制御部は、前記複数の単位画素のうちの１以上の第２単位画素を周期的にリセットする。

明　細　書

発明の名称 ： 固体撮像装置及び撮像装置

技術分野

[0001] 本開示は、固体撮像装置及び撮像装置に関する。

背景技術

[0002] 従来より、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の固体撮像装置が、撮像装置などにおいて用いられている。この一般的な同期型の固体撮像装置では、同期信号の周期（例えば、１／６０秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、受光量が閾値を超えたことをアドレスイベントとしてリアルタイムに検出する検出回路を設けた非同期型の固体撮像素子が提案されている。この非同期型の固体撮像装置は、ＤＶＳ（Dynamic Vision Sensor）とも称される。

[0003] また、近年では、アドレスイベントの発火が検出された画素から受光光量に応じた輝度値を読み出して画像データを生成するＤＶＳも開発されてきている。

先行技術文献

特許文献

[0004] 特許文献1：特表２０１６－５３３１４０号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来のＤＶＳでは、アドレスイベントが検出された画素のみが輝度値の読出し対象とされていたため、例えば、背景と移動物体とが同系色である場合や暗闇での撮影時のような、十分なコントラストが得られずに、輝度変化が生じたはずの全ての単位画素でアドレスイベントを検出できないようなシーンでは、出力される画像に虫食いのような不自然な欠落部分

が含まれ、それにより、画質が低下してしまうという課題が存在した。

[0006] そこで本開示では、画質を向上することが可能な固体撮像装置及び撮像装置を提案する。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示に係る一形態の固体撮像装置は、それぞれ、受光量に応じた電荷を発生させる第１光電変換素子と、前記第１光電変換素子に発生した電荷に基づいてアドレスイベントの発火を検出する検出部とを備え、行列状に配列する複数の単位画素と、前記複数の単位画素のうち、前記アドレスイベントの発火が検出された１以上の第１単位画素をリセットするリセット制御部とを備え、前記リセット制御部は、前記複数の単位画素のうちの１以上の第２単位画素を周期的にリセットする。

図面の簡単な説明

[0008] [図1]第１の実施形態に係る撮像装置の概略構成例を示すブロック図である。

[図2]第１の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。

[図3]第１の実施形態に係る単位画素の概略構成例を示す回路図である。

[図4]図３におけるキャパシタの電位変化を示す波形図である。

[図5]図３におけるコンパレータから出力される出力信号を示す波形図である。

[図6]図３におけるロジック回路の動作を説明するための図である。

[図7]第１の実施形態に係る固体撮像装置の動作例を説明するための図である（その１）。

[図8]第１の実施形態に係る固体撮像装置の動作例を説明するための図である（その２）。

[図9]第１の実施形態に係る固体撮像装置の動作例を説明するための図である（その３）。

[図10]第１の実施形態に係る固体撮像装置の動作例を説明するための図である（その４）。

[図11]第１の実施形態に係る固体撮像装置の動作例を説明するための図である（その５）。

[図12]第１の実施形態に係る行信号生成回路／列信号生成回路の概略構成例を示す回路図である。

[図13]第１の実施形態に係る画素アレイ部の画角内をオブジェクトが通過したことを説明するための図である。

[図14]図１３に示す画角内をオブジェクトが通過した際にアドレスイベントの発火を検出する単位画素の例を示す図である。

[図15]図１４に示すアドレスイベントの発火検出により生成される画像データを説明するための図である。

[図16]第１の実施形態において周期的に取得される画像データの一例を示す図である。

[図17]第１の実施形態に係るアドレスイベントの発火に基づいて取得された画像データと周期的に取得された画像データとの重ね合わせを説明するための図である。

[図18]図１７に示す重ね合わせにより生成される画像データの一例を示す図である。

[図19]第２の実施形態の第１例において列信号生成回路に保持される列パターン信号の一例を示す模式図である。

[図20]第２の実施形態の第１例に係るアドレスイベントの発火に基づいて取得された画像データと周期的に取得された画像データとの重ね合わせを説明するための図である。

[図21]第２の実施形態の第２例において行信号生成回路に保持される行パターン信号の一例を示す模式図である。

[図22]第２の実施形態の第２例に係るアドレスイベントの発火に基づいて取得された画像データと周期的に取得された画像データとの重ね合わせを説明するための図である。

[図23]第２の実施形態の第３例において行信号生成回路に保持される行パタ

ーン信号及び列信号生成回路に保持される列パターン信号の一例を示す模式図である。

[図24]第２の実施形態の第３例に係るアドレスイベントの発火に基づいて取得された画像データと周期的に取得された画像データとの重ね合わせを説明するための図である。

[図25]第３の実施形態の第１例において列信号生成回路に保持される列パターン信号の一例を示す模式図である。

[図26]第３の実施形態の第１例において周期的に画素信号が読み出される単位画素の行方向への周期的なシフトを説明するための図である。

[図27]第３の実施形態の第２例において行信号生成回路に保持される行パターン信号の一例を示す模式図である。

[図28]第３の実施形態の第２例において周期的に画素信号が読み出される単位画素の列方向への周期的なシフトを説明するための図である。

[図29]第４の実施形態に係る固体撮像装置の機能構成例を示すブロック図である。

[図30]第５の実施形態に係る固体撮像装置の機能構成例を示すブロック図である。

[図31]第５の実施形態に係るイベント数判定回路の概略動作例を示すフローチャートである。

[図32]第５の実施形態に係る高いデューティ比のイネーブル信号の一例を示す図である。

[図33]第５の実施形態に係る低いデューティ比のイネーブル信号の一例を示す図である。

[図34]車両制御システムの概略的な構成の一例を示すブロック図である。

[図35]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0009] 以下に、本開示の一実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することによ

り重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

１．第１の実施形態
１．１　撮像装置の構成例
１．２　固体撮像装置の例
１．２．１　固体撮像装置の概略構成例
１．２．２　単位画素の構成例
１．２．３　固体撮像装置の基本動作例
１．３　行／列信号生成回路の構成例
１．４　行／列ＯＲ回路の役割
１．５　第１の実施形態により取得される輝度画像
１．６　作用・効果
２．第２の実施形態
２．１　第１例
２．２　第２例
２．３　第３例
３．第３の実施形態
３．１　第１例
３．２　第２例
４．第４の実施形態
４．１　固体撮像装置の機能構成例
４．２　作用・効果
５．第５の実施形態
５．１　固体撮像装置の機能構成例
５．２　イベント数判定回路の動作例
５．３　作用・効果
６．移動体への応用例

[0011] １．第１の実施形態

まず、第１の実施形態について、図面を参照して詳細に説明する。

[0012] １．１　撮像装置の構成例

図１は、第１の実施形態に係る撮像装置の概略構成例を示すブロック図である。この撮像装置１００は、例えば、輝度画像を撮像するための装置であり、図１に示すように、光学系１１０、固体撮像装置２００及びＤＳＰ（Digital Signal Processing）回路１２０を備える。さらに撮像装置１００は、表示部１３０、操作部１４０、バス１５０、フレームメモリ１６０、記憶部１７０及び電源部１８０を備える。撮像装置１００としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定され得る。

[0013] 光学系１１０は、被写体からの光を集光して固体撮像装置２００に導くものである。固体撮像装置２００は、例えば、光電変換により発生した電荷に基づいて、画素ごとの輝度情報を生成する。また、固体撮像装置２００は、生成した画素ごとの輝度情報をＤＳＰ回路１２０に信号線２０９を介して供給する。

[0014] ＤＳＰ回路１２０は、固体撮像装置２００からの輝度情報に対して所定の信号処理を実行する。そして、ＤＳＰ回路１２０は、処理後の輝度情報をバス１５０を介してフレームメモリ１６０などに出力する。

[0015] 表示部１３０は、例えば、フレームメモリ１６０に格納されている画像データを表示する。表示部１３０としては、例えば、液晶パネルや有機ＥＬ（Electro Luminescence）パネルが想定され得る。操作部１４０は、ユーザの操作に従って操作信号を生成する。

[0016] バス１５０は、光学系１１０、固体撮像装置２００、ＤＳＰ回路１２０、表示部１３０、操作部１４０、フレームメモリ１６０、記憶部１７０及び電源部１８０が互いにデータをやりとりするための共通の経路である。

[0017] フレームメモリ１６０は、画像データを保持する。この画像データは、例えば、固体撮像装置２００で取得された画素ごとの輝度情報を、その画素の配置に応じたフレームメモリ１６０内のアドレスに格納することで、フレー

ムメモリ１６０内に作成される。

[0018] 記憶部１７０は、撮像装置１００の各部を動作させるためのプログラムや各種設定値などの様々なデータを記憶する。電源部１８０は、固体撮像装置２００、ＤＳＰ回路１２０や表示部１３０などに電源を供給する。

[0019] 外部インタフェース（Ｉ／Ｆ）１９０は、例えば、ＵＳＢ（Universal Serial Bus）やＬＡＮ（Local Area Network）アダプタなどの送受信部であり、外部のホスト１０００等との間でデータ等を送受信する。

[0020] １．２ 固体撮像装置の例

つづいて、第１の実施形態に係る固体撮像装置２００について、図面を参照して詳細に説明する。

[0021] １．２．１ 固体撮像装置の概略構成例

図２は、第１の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。図２に示すように、固体撮像装置２００は、画素アレイ部３００を備える。画素アレイ部３００には、二次元格子状（行列状ともいう）に複数の単位画素３１０が配列されている。以下の説明において、画素アレイ部３００において所定の方向（図面中、左右方向）に配列された単位画素の集合を「行」と称し、行に対して垂直な方向（図面中、上下方向）に配列された単位画素の集合を「列」と称する。

[0022] また、固体撮像装置２００は、画素アレイ部３００に対し、行方向（図面中、左右方向）における一方の側に配置された、第１行アービタ（第１調停部）２０１Ａ、行リセット回路２０２Ａ及び行信号生成回路２０３Ａと、他方の側に配置された、第２行アービタ（第２調停部）２０５Ａとを備える。

[0023] さらに、固体撮像装置２００は、画素アレイ部３００に対し、列方向（図面中、上下方向）における一方の側に配置された、第１列アービタ（第１調停部）２０１Ｂ、列リセット回路２０２Ｂ及び列信号生成回路２０３Ｂと、他方の側に配置された、第２列アービタ（第２調停部）２０５Ｂとを備える。

[0024] 以下の説明において、第１行アービタ２０１Ａと第１列アービタ２０１Ｂ

とを区別しない場合、それらをまとめて第１アービタ２０１と称する。また、行リセット回路２０２Ａと列リセット回路２０２Ｂとを区別しない場合、それらをまとめてリセット回路２０２と称する。さらに、行信号生成回路２０３Ａと列信号生成回路２０３Ｂとを区別しない場合、それらをまとめて信号生成回路２０３と称する。さらにまた、第２行アービタ２０５Ａと第２列アービタ２０５Ｂとを区別しない場合、それらをまとめて第２アービタ２０５と称する。

[0025] さらにまた、固体撮像装置２００は、第１アービタ２０１又は第２アービタ２０５から入力されたリクエスト信号に基づいて、アドレスイベントの発火が検出された単位画素３１０の画素アレイ部３００における位置を示すアドレス情報と、アドレスイベントの発火が検出された時間を示すタイムスタンプとを生成する制御回路２２０を備える。また、制御回路２２０は、第２アービタ２０５から入力されたリクエスト信号に基づいて、読出し対象の単位画素３１０の画素値も生成する。

[0026] さらに、制御回路２２０は、行信号生成回路２０３Ａ及び列信号生成回路２０３Ｂに対して、‘０’と‘１’とが所定の周期で変化する又はランダムに変化する信号（以下、パターン信号という）と、イネーブル信号（後述する行イネーブル信号及び列イネーブル信号）とを入力する。なお、行信号生成回路２０３Ａに入力されるパターン信号（以下、行パターン信号という）のビットパターンと、列信号生成回路２０３Ｂに入力されるパターン信号（以下、列パターン信号という）のビットパターンとは、異なっていてよい。以下の説明において、行パターン信号及び列パターン信号を区別しない場合、単にパターン信号と称する。このパターン信号は、請求の範囲における第２リセット信号の一例であってもよい。

[0027] さらにまた、固体撮像装置２００は、行リセット回路２０２Ａから出力された行リセット信号（例えば、‘０’又は‘１’の信号）と、行信号生成回路２０３Ａから出力された行パターン信号との行ごとの論理和を取る行論理和（ＯＲ）回路２０４Ａと、列リセット回路２０２Ｂから出力された列リセ

ット信号（例えば、‘０’又は‘１’の信号）と、列信号生成回路２０３Ｂから出力された列パターン信号との列ごとの論理和を取る列論理和（ＯＲ）回路２０４Ｂとを備える。なお、以下の説明において、行リセット信号と列リセット信号とを区別しない場合、単にリセット信号と称する。このリセット信号は、請求の範囲における第１リセット信号の一例であってもよい。

[0028] １．２．２　単位画素の構成例

ここで、単位画素３１０の構成例について説明する。図３は、第１の実施形態に係る単位画素の構成例を示す回路図である。図４は、図３におけるキャパシタの電位変化を示す波形図である。図５は、図３におけるコンパレータから出力される出力信号を示す波形図である。図６は、図３におけるロジック回路の動作を説明するための図である。なお、図３では、説明の簡略化のため、第１行アービタ２０１Ａと第１列アービタ２０１Ｂとを区別せずに第１アービタ２０１とし、行リセット回路２０２Ａと列リセット回路２０２Ｂとを区別せずにリセット回路２０２とし、第２行アービタ２０５Ａと第２列アービタ２０５Ｂとを区別せずに第２アービタ２０５としている。

[0029] 図３に示すように、単位画素３１０は、アドレイベントの発火の有無を検出するための構成として、第１フォトダイオード３１１と、電荷検出部３１２とを備える。第１フォトダイオード３１１は、入射光を光電変換して電荷を発生させる光電変換素子であってよい。

[0030] ここで、上述したように、アドレスイベントには、オンイベント及びオフイベントを含み、検出結果は、１ビットのオンイベントの検出結果と１ビットのオフイベントの検出結果とが含まれ得る。

[0031] オンイベントは、単位画素３１０の受光素子で受光した光量が所定の基準値よりも大きな値に変動した際に、その変動量の絶対値が所定の閾値を超えることで発火する。一方、オフイベントは、単位画素３１０の受光素子で受光した光量が所定の基準値よりも小さな値に変動した際に、その変動量の絶対値が所定の閾値を超えることで発火する。以下の説明では、簡略化のため、オンイベントとオフイベントとを区別せずに説明する。

[0032] 電荷検出部３１２は、第１フォトダイオード３１１に発生した電荷に基づいてアドレスイベントの発火を検出する。アドレスイベントの発火が検出された場合、電荷検出部３２２は、後述する画素値生成用のキャパシタ３１４に蓄積されている電荷のリセット（以下、単に単位画素３１０のリセットという）を要求するリクエスト信号Ｒｅｑ＿Ｔを、第１アービタ２０１へ送信する。

[0033] 電荷検出部３１２は、第１アービタ２０１からリクエスト信号Ｒｅｑ＿Ｔに対する応答信号ＡｃＫ＿Ｔを第１アービタ２０１から入力すると、自身をリセットして、次のアドレスイベントの発火の監視を開始する。

[0034] なお、画素アレイ部３００における一部の領域のみでアドレスイベントの発火を監視する場合、電荷検出部３１２には、例えば、リセット回路２０２を介して、自身の単位画素３１０が監視対象の領域（注目領域）に属することを示す信号ＲＯＩ＿Ｔが入力されてもよい。

[0035] また、単位画素３１０は、画素値を生成するための構成として、第２フォトダイオード３１３と、キャパシタ３１４と、リセットトランジスタ３１５と、コンパレータ３１６と、ロジック回路３１７と、スイッチ３１８とを備える。第２フォトダイオード３１３は、入射光を光電変換して電荷を発生させる光電変換素子であってよい。また、キャパシタ３１４と、リセットトランジスタ３１５と、コンパレータ３１６と、ロジック回路３１７と、スイッチ３１８とは、例えば、請求の範囲における生成回路の一例であってよい。

[0036] キャパシタ３１４は、一方の電極（以下、第１電極という）が第２フォトダイオード３１３のカソードに接続され、他方の電極（以下、第２電極という）が接地されている。

[0037] リセットトランジスタ３１５は、そのゲートにリセット回路２０２からリセット信号Ｒｓｔ＿Ｂが入力されると、キャパシタ３１４の第１電極を電源電圧ＶＤＤに接続することで、キャパシタ３１４に所定量の電荷を蓄積する（リセット状態）。その際、第２フォトダイオード３１３に蓄積されている電荷が電源電圧ＶＤＤへ放出されてもよい。

[0038] ここで、キャパシタ３１４の第１電極に出現する電位の変化を、図４を用いて説明する。図４に示すように、リセットトランジスタ３１５がオン状態となってキャパシタ３１４がリセットされた状態では、第１電極には、リセットレベルＶ０の電位Ｖｉｎｔが出現する。

[0039] この状態で、第２フォトダイオード３１３に光が入射して電荷が発生すると、キャパシタ３１４に蓄積している電荷が第２フォトダイオード３１３に発生した電荷により放電される。その際、第２フォトダイオード３１３への入射光の光量が小さいと、キャパシタ３１４に蓄積している電荷が緩やかに放電されるため、第１電極の電位Ｖｉｎｔは、波形Ｌ０に示すように、緩やかに減少する。なお、入射光量が小さい場合に電位Ｖｉｎｔがリセットレベル Ｖ０から参照電圧Ｖｒｅｆまで減少するのに要する期間をＴ０とする。

[0040] 一方、第２フォトダイオード３１３への入射光の光量が大きいと、キャパシタ３１４に蓄積している電荷が急激に放電されるため、第１電極の電位Ｖｉｎｔは、波形Ｌ１に示すように、急激に減少する。すなわち、入射光量が大きい場合に電位Ｖｉｎｔがリセットレベル Ｖ０から参照電圧Ｖｒｅｆまで減少するのに要する期間をＴ１とすると、期間Ｔ１は期間Ｔ０よりも短くなる。

[0041] 図３に戻り説明する。コンパレータ３１６は、キャパシタ３１４の一方の電極の電位Ｖｉｎｔと、外部から入力された参照電圧ＶｒｅｆＨ／ＶｒｅｆＬとを比較し、その結果として、‘0’又は‘1’の出力信号Ｖｏｕｔを出力する。

[0042] これを、図４に例示した波形図に基づいて説明すると、図５に示すように、コンパレータ３１６は、第２フォトダイオードへの入射光量が小さい場合、期間Ｔ０にわたって、ハイレベル（ＶＤＤレベル）の出力信号Ｖｏｕｔを出力する一方、第２フォトダイオードへの入射光量が大きい場合、期間Ｔ０よりも短い期間Ｔ１にわたって、ハイレベル（ＶＤＤレベル）の出力信号Ｖｏｕｔを出力する。

[0043] 図３に戻り説明する。ロジック回路３１７は、リセット回路２０２からの

リセット信号Ｒｓｔ＿Ｂと、コンパレータ３１６からの出力信号Ｖｏｕｔと、第２アービタ２０５からの応答信号Ａｃｋ＿Ｂとを入力し、これらを論理演算した結果に基づいて、リクエスト信号Ｒｅｑ＿Ｂ［Ｈ／Ｌ］を出力する。

[0044] また、ロジック回路３１７は、論理演算の結果に基づいて、コンパレータ３１６に入力する参照電圧を、高い電圧レベルの参照電圧ＶｒｅｆＨと低い電圧レベルの参照電圧ＶｒｅｆＬとのいずれかに切り替えるための切替信号Ｒｅｆｓｅｌをスイッチ３１８に出力する。

[0045] これを、図６を参照しつつ説明すると、例えば、ロジック回路３１７は、ハイレベルのリセット信号Ｒｓｔ＿Ｂが入力されると、コンパレータ３１６に参照電圧ＶｒｅｆＨが入力されるようにスイッチ３１８を切り替える切替信号Ｒｅｆｓｅｌを出力する。その後、キャパシタ３１４の第１電極の電位Ｖｉｎｔが参照電圧ＶｒｅｆＨよりも低くなり、コンパレータ３１６からの出力信号Ｖｏｕｔが‘1’から‘0’に切り替わると、ロジック回路３１７は、１回目のリクエスト信号Ｒｅｑ＿ＢＨを第２アービタ２０５へ送信する。

[0046] また、ロジック回路３１７は、１回目のリクエスト信号Ｒｅｑ＿ＢＨに対する応答信号Ａｃｋ＿ＢＨを第２アービタ２０５から入力すると、コンパレータ３１６に参照電圧ＶｒｅｆＬが入力されるようにスイッチ３１８を切り替える切替信号Ｒｅｆｓｅｌを出力する。これにより、コンパレータ３１６に入力される参照電圧が、参照電圧ＶｒｅｆＨから参照電圧ＶｒｅｆＬに切り替わり、コンパレータ３１６から出力される出力信号が‘0’から‘1’に立ち上がる。

[0047] その後、第１電極の電位Ｖｉｎｔが参照電圧ＶｒｅｆＬよりも低くなり、コンパレータ３１６からの出力信号Ｖｏｕｔが再び‘1’から‘0’に切り替わると、ロジック回路３１７は、２回目のリクエスト信号Ｒｅｑ＿ＢＬを第２アービタ２０５へ送信する。

[0048] １．２．３ 固体撮像装置の基本動作例

つぎに、固体撮像装置２００の動作について説明する。図７～図１１は、第１の実施形態に係る固体撮像装置の動作例を説明するための図である。

[0049] 単位画素３１０は、アドレスイベントの発火を検出すると、図７に示すように、当該単位画素３１０に対するリセットを要求する行リクエスト信号Ｒｅｑ＿ＴＡを第１行アービタ２０１Ａへ送信するとともに、同じく当該単位画素３１０に対するリセットを要求する列リクエスト信号Ｒｅｑ＿ＴＢを第１列アービタ２０１Ｂへ送信する。行リクエスト信号Ｒｅｑ＿ＴＡ及び列リクエスト信号Ｒｅｑ＿ＴＢは、上述したリクエスト信号Ｒｅｑ＿Ｔに対応するものであり、本説明において、行リクエスト信号Ｒｅｑ＿ＴＡと列リクエスト信号Ｒｅｑ＿ＴＢとを区別しない場合、単にリクエスト信号Ｒｅｑ＿Ｔと称している。

[0050] これに対し、図８に示すように、第１行アービタ２０１Ａは、行リクエスト信号Ｒｅｑ＿ＴＡの送信元である単位画素３１０の行アドレスを特定するとともに、１つ以上の単位画素３１０から入力された行リクエスト信号Ｒｅｑ＿ＴＡを調停する。そして、第１行アービタ２０１Ａは、その調停結果を行リセット回路２０２Ａに入力するとともに、行リクエスト信号Ｒｅｑ＿ＴＡの送信元である単位画素３１０へ行応答信号Ａｃｋ＿ＴＡを送信する。同様に、第１列アービタ２０１Ｂは、列リクエスト信号Ｒｅｑ＿ＴＢの送信元である単位画素３１０の列アドレスを特定するとともに、１つ以上の単位画素３１０から入力された列リクエスト信号Ｒｅｑ＿ＴＢを調停する。そして、第１列アービタ２０１Ｂは、その調停結果を列リセット回路２０２Ｂに入力するとともに、列リクエスト信号Ｒｅｑ＿ＴＢの送信元である単位画素３１０へ列応答信号Ａｃｋ＿ＴＢを送信する。行応答信号Ａｃｋ＿ＴＡ及び列応答信号Ａｃｋ＿ＴＢは、上述した応答信号Ａｃｋ＿Ｔに対応するものであり、本説明において、行応答信号Ａｃｋ＿ＴＡと列応答信号Ａｃｋ＿ＴＢとを区別しない場合、単に応答信号Ａｃｋ＿Ｔと称している。

[0051] また、第１行アービタ２０１Ａ及び第１列アービタ２０１Ｂは、アドレスイベントの発火が検出された単位画素３１０のアドレス情報（行アドレス及

び列アドレス）を制御回路２２０へ入力する。制御回路２２０は、第１行アービタ２０１Ａ及び第１列アービタ２０１Ｂからアドレス情報が入力された際の時間を示すタイムスタンプを生成し、これらアドレス情報及びタイムスタンプを、イベント検出信号としてＤＳＰ回路１２０へ出力する。

[0052] 出力されたイベント検出信号は、例えば、ＤＳＰ回路１２０において所定の処理が施された後、フレームメモリ１６０に格納されてもよいし、外部Ｉ／Ｆ１９０を介してホスト１０００へ送信されてもよい。

[0053] 次に、図９に示すように、行リセット回路２０２Ａは、第１行アービタ２０１Ａから入力された調停結果に従い、アドレスイベントの発火が検出された単位画素３１０へ行リセット信号Ｒｓｔ＿ＢＡを出力する。同様に、列リセット回路２０２Ｂは、第１列アービタ２０１Ｂから入力された調停結果に従い、アドレスイベントの発火が検出された単位画素３１０へ列リセット信号Ｒｓｔ＿ＢＢを出力する。これにより、アドレイベントの発火が検出された単位画素３１０が順にリセットされる。行リセット信号Ｒｓｔ＿ＢＡ及び列リセット信号Ｒｓｔ＿ＢＢは、上述したリセット信号Ｒｓｔ＿Ｂに対応するものであり、本説明において、行リセット信号Ｒｓｔ＿ＢＡと列リセット信号Ｒｓｔ＿ＢＢとを区別しない場合、単にリセット信号Ｒｓｔ＿Ｂと称している。

[0054] キャパシタ３１４がリセットされた単位画素３１０は、その後、第２フォトダイオード３１３への露光によりキャパシタ３１４の第１電極の電位Ｖｉｎｔが降下して参照電圧ＶｒｅｆＨを下回ると、図１０に示すように、行リクエスト信号Ｒｅｑ＿ＢＡＨを第２行アービタ２０５Ａへ送信するとともに、列リクエスト信号Ｒｅｑ＿ＢＢＨを第２列アービタ２０５Ｂへ送信する。行リクエスト信号Ｒｅｑ＿ＢＡＨ及び列リクエスト信号Ｒｅｑ＿ＢＢＨは、上述したリクエスト信号Ｒｅｑ＿ＢＨに対応するものであり、本説明において、行リクエスト信号Ｒｅｑ＿ＢＡＨと列リクエスト信号Ｒｅｑ＿ＢＢＨとを区別しない場合、単にリクエスト信号Ｒｅｑ＿ＢＨと称している。

[0055] これに対し、図１１に示すように、第２行アービタ２０５Ａは、行リクエ

スト信号Ｒｅｑ＿ＢＡＨの送信元である単位画素３１０の行アドレスを特定し、特定した行アドレスを制御回路２２０へ入力するとともに、当該単位画素３１０へ行応答信号Ａｃｋ＿ＢＡＨを送信する。同様に、第２列アービタ２０５Ｂは、列リクエスト信号Ｒｅｑ＿ＢＢＨの送信元である単位画素３１０の列アドレスを特定し、特定した列アドレスを制御回路２２０へ入力するとともに、当該単位画素３１０へ行応答信号Ａｃｋ＿ＢＢＨを送信する。行応答信号Ａｃｋ＿ＢＡＨ及び列応答信号Ａｃｋ＿ＢＢＨは、上述した応答信号Ａｃｋ＿ＢＨに対応するものであり、本説明において、行応答信号Ａｃｋ＿ＢＡＨと列応答信号Ａｃｋ＿ＢＢＨとを区別しない場合、単に応答信号Ａｃｋ＿ＢＨと称している。

[0056] 行応答信号Ａｃｋ＿ＢＡＨ及び列応答信号Ａｃｋ＿ＢＢＨを受け取った単位画素３１０は、その後、第２フォトダイオード３１３への継続した露光によりキャパシタ３１４の第１電極の電位Ｖｉｎｔが参照電圧ＶｒｅｆＬを下回ると、再び図１０に示すように、行リクエスト信号Ｒｅｑ＿ＢＡＬを第２行アービタ２０５Ａへ送信するとともに、列リクエスト信号Ｒｅｑ＿ＢＢＬを第２列アービタ２０５Ｂへ送信する。行リクエスト信号Ｒｅｑ＿ＢＡＬ及び列リクエスト信号Ｒｅｑ＿ＢＢＬは、上述したリクエスト信号Ｒｅｑ＿ＢＬに対応するものであり、本説明において、行リクエスト信号Ｒｅｑ＿ＢＡＬと列リクエスト信号Ｒｅｑ＿ＢＢＬとを区別しない場合、単にリクエスト信号Ｒｅｑ＿ＢＨＬと称している。

[0057] 制御回路２２０は、以上のようにして行リクエスト信号Ｒｅｑ＿ＢＡＨ及びＲｅｑ＿ＢＡＬと、列リクエスト信号Ｒｅｑ＿ＢＢＨ及びＲｅｑ＿ＢＢＬとが入力されると、ぞれぞれの信号が入力された際の時間を示すタイムスタンプを生成する。そして、行リクエスト信号Ｒｅｑ＿ＢＡＨ及び列リクエスト信号Ｒｅｑ＿ＢＢＨが入力されたタイミングから行リクエスト信号Ｒｅｑ＿ＢＡＬ及び列リクエスト信号Ｒｅｑ＿ＢＢＬが入力されたタイミングまでの時間差を、上記で生成したタイムスタンプから特定し、特定した時間差に基づいて、当該単位画素３１０の画素値を生成する。そして、生成した画素

値を、画素信号としてＤＳＰ回路１２０へ出力する。なお、以下の説明において、「単位画素３１０に対して画素値を生成して画素信号として出力する」ことを、「単位画素３１０から画素信号を読み出す」という。

[0058] 読み出された画素信号は、例えば、ＤＳＰ回路１２０において所定の処理が施された後、フレームメモリ１６０に格納されてもよいし、外部Ｉ／Ｆ１９０を介してホスト１０００へ送信されてもよい。

[0059] １．３ 行／列信号生成回路の構成例

図１２は、第１の実施形態に係る行信号生成回路／列信号生成回路の概略構成例を示す回路図である。なお、行信号生成回路２０３Ａ及び列信号生成回路２０３Ｂは、同様の回路構成であってよい。

[0060] 図１２に示すように、信号生成回路２０３は、行ごと又は列ごとに設けられたシフトレジスタとしての複数のＤ－フリップフロップ（以下、単にフリップフロップという）２３１と、同じく行ごと又は列ごとに設けられた複数の論理積（ＡＮＤ）回路２３２とを備える。

[0061] 複数のフリップフロップ２３１は、前段のフリップフロップ２３１の出力Ｑが後段のフリップフロップ２３１の入力Ｄに入力するように、多段に接続されている。

[0062] 初段に配置されたフリップフロップ２３１の入力Ｄには、制御回路２２０から行パターン信号ＰＴＮＲ又は列パターン信号ＰＴＮＣが１ビットずつ入力される。

[0063] また、各フリップフロップ２３１のクロック端子には、制御回路２２０又は他の回路から所定周期で出力されたクロックＣＬＫが入力される。

[0064] 各段のフリップフロップ２３１は、制御回路２２０又は前段のフリップフロップ２３１から入力Ｄに入力された行パターン信号ＰＴＮＲ又は列パターン信号ＰＴＮＣの１ビットを、クロックＣＬＫに同期して出力Ｑから出力し、後段のフリップフロップ２３１の入力Ｄに入力する。したがって、初段のフリップフロップ２３１の入力Ｄに入力された行パターン信号ＰＴＮＲ又は列パターン信号ＰＴＮＣは、１クロック周期で、後段のフリップフロップ２

３１の入力Ｄに順次入力される。

[0065] なお、最終段のフリップフロップ２３１の出力Ｑは、例えば、初段のフリップフロップ２３１の入力Ｄに接続されてもよい。その場合、ある一定ビット数の行パターン信号ＰＴＮＲ又は列パターン信号ＰＴＮＣを入力した後は、号パターン信号ＰＴＮＲ列パターン信号ＰＴＮＣが行信号生成回路２０３Ａ又は列信号生成回路２０３Ｂ内を巡回してもよい。

[0066] また、各段のフリップフロップ２３１の出力は、行ごと又は列ごとに設けられたＡＮＤ回路２３２の一方の入力にも入力される。ＡＮＤ回路２３２の他方の入力には、制御回路２２０から供給された行イネーブル信号ＥＮＲ又は列イネーブル信号ＥＮＣが入力される。したがって、各ＡＮＤ回路２３２は、行イネーブル信号又は列イネーブル信号がハイレベル（例えば、‘1’）である期間、各段のフリップフロップ２３１の出力Ｑから出力された行パターン信号ＰＴＮＲ又は列パターン信号ＰＴＮＣを、行ＯＲ回路２０４Ａ又は列ＯＲ回路２０４Ｂへ出力する。

[0067] １．４ 行／列ＯＲ回路の役割

行ごとに設けられた行ＯＲ回路２０４Ａは、行リセット回路２０２Ａから出力された行リセット信号Ｒｓｔ＿ＢＡと、行信号生成回路２０３Ａから出力された行パターン信号ＰＴＮＲとの論理和を取り、その結果を行リセット信号Ｒｓｔ＿ＢＡとして、行リクエスト信号Ｒｅｑ＿ＴＡの送信元である単位画素３１０へ出力する。同様に、列ごとに設けられた列ＯＲ回路２０４Ｂは、列リセット回路２０２Ｂから出力された列リセット信号Ｒｓｔ＿ＢＢと、列信号生成回路２０３Ｂから出力された列パターン信号ＰＴＮＣとの論理和を取り、その結果を列リセット信号Ｒｓｔ＿ＢＢとして、列リクエスト信号Ｒｅｑ＿ＴＢの送信元である単位画素３１０へ出力する。

[0068] このように、アドレスイベントの発火が検出されていない単位画素３１０に対しても、パターン信号ＰＴＮに基づいて擬似的にリセット信号Ｒｓｔ＿Ｂを供給することで、任意の単位画素３１０に対するリセット及び画素信号の読出しが可能となる。

[0069] なお、以下の説明において、行ＯＲ回路２０４Ａと列ＯＲ回路２０４Ｂとを区別しない場合、単にＯＲ回路２０４と称する。また、本実施形態におけるリセット回路２０２、信号生成回路２０３及びＯＲ回路２０４は、請求の範囲におけるリセット制御部の一例であってよい。

[0070] １．５ 第１の実施形態により取得される輝度画像

つぎに、上述した本実施形態により取得される輝度画像について、以下に図面を参照して詳細に説明する。本説明では、図１３に示すように、画素アレイ部３００の画角ＡＲに対し、棒状のオブジェクトＯＢが通過した場合を例示する。また、本説明では、簡略化のため、画素アレイ部３００が６×６画素の計３６個の単位画素３１０で構成されており、フレームメモリ１６０内に６×６画素の画像データ（輝度画像）が作成される場合を例示する。なお、フレームメモリ１６０内に代えて、ホスト１０００内としてもよい。

[0071] 画素アレイ部３００の画角ＡＲに対してオブジェクトＯＢが通過した場合において、例えば、背景とオブジェクトＯＢとが同系色であるとすると、図１４に例示するように、画角ＡＲ内のオブジェクトＯＢに相当する単位画素３１０のうちの一部の単位画素３１０Ｘのみがアドレスイベントの発火を検出し、その他の単位画素３１０がアドレスイベントの発火を検出しないという事象が発生し得る。

[0072] そのような場合、図１５に示すように、アドレスイベントの発火に従って固体撮像装置２００から出力される画素信号よりなる画像データＧ０では、オブジェクトＯＢに対応する画素のうちの一部が虫食いのように欠落することとなる。

[0073] そこで本実施形態では、図１６に示すように、後述する固定読出し周期で周期的に任意の１つ以上の単位画素３１０Ｙから画素信号を読み出す。そして、図１７に示すように、アドレスイベントの発火に基づいて取得された画像データＧ０と、周期的に読み出された画素信号よりなる画像データＧ１とを、例えば、フレームメモリ１６０において重ね合わせることで、フレームメモリ１６０内に画像データＧ０と画像データＧ１とが統合された画像デー

タＧ２を作成する。なお、周期的に読み出し対象とされる任意の１つ以上の単位画素３１０Ｙとは、上述において説明した、行パターン信号ＰＴＮＲと列パターン信号ＰＴＮＣとで特定される単位画素３１０である。

[0074] 以上のような重ね合わせにより、画像データＧ０におけるオブジェクトＯＢに対応する画素のうちの欠落した部分が画像データＧ１によって補間されるため、図１８に例示するように、オブジェクトＯＢをより正確に写した、高画質の画像データＧ２を生成することが可能となる。

[0075] なお、画像データＧ０は、例えば、ある１周期（イベント集計周期）内に固体撮像装置２００から読み出された画素信号よりなる画像データであってよい。本説明において、１つの画像データＧ０を生成する周期をイベント集計周期といい、単位画素３１０Ｙから画素信号を読み出す周期を固定読出し周期という。

[0076] また、画像データＧ０に対して統合する画像データＧ１は、１つに限らず、複数であってよい。すなわち、あるイベント集計周期内に複数回に亘って周期的に複数の単位画素３１０Ｙから画素信号を読み出し、それぞれの固定読出し周期で読み出された画素信号よりなる複数の画像データＧ１を画像データＧ０に重ね合わせることで、より高画質な画像データＧ２を生成することも可能である。

[0077] １．６　作用・効果

以上のように、本実施形態によれば、アドレスイベントの発火に基づいて生成された画像データＧ０における欠落部分を周期的に読み出した画像データＧ１によって補間することが可能となるため、高画質の画像データＧ２を生成することが可能となる。

[0078] ２．第２の実施形態

第１の実施形態では、アドレスイベントの発火とは無関係に周期的に画素信号を読み出す単位画素（以下、周期読出し対象の単位画素という）３１０Ｙを、‘０’と‘１’とが所定の周期で変化する又はランダムに変化するパターン信号を用いて特定する場合について、例示した。これに対し、第２の

実施形態では、周期読出し対象の単位画素３１０Ｙを固定する場合について、例を挙げて説明する。

[0079] なお、本実施形態に係る撮像装置１００及び固体撮像装置２００は、第１の実施形態に係るそれらと同様であってよい。また、以下の説明では、簡略化のため、画素アレイ部３００が６×６画素の計３６個の単位画素３１０で構成されており、フレームメモリ１６０又はホスト１０００内に６×６画素の画像データ（輝度画像）が生成される場合を例示する。さらに、本実施形態において、上述した実施形態と同様の構成、動作及び効果については、それらを引用することで、詳細な説明を省略する。

[0080] ２．１ 第１例

まず、周期読出し対象の単位画素３１０Ｙを列単位で固定する場合について、例を挙げて説明する。

[0081] 図１９は、第１例において列信号生成回路に保持される列パターン信号の一例を示す模式図である。図１９に示すように、周期読出し対象の単位画素３１０Ｙを列単位で固定する場合、列信号生成回路２０３Ｂには、各フリップフロップ２３１が特定の列パターン信号ＰＴＮＣを出力している期間に、列イネーブル信号ＥＮＣが入力される。

[0082] 具体的には、図１９に例示するように、左から２番目の列を周期的に画素信号が読み出される単位画素３１０の列とする場合、列信号生成回路２０３Ｂにおける各フリップフロップ２３１が、左から順に、‘０’、‘１’、‘０’、‘０’、‘０’、‘０’を保持している状態のときに、列信号生成回路２０３Ｂに列イネーブル信号ＥＮＣが入力される。

[0083] 列信号生成回路２０３Ｂに列イネーブル信号ＥＮＣを入力する際に行信号生成回路２０３Ａの各フリップフロップ２３１に保持されている行パターン信号ＰＴＮＲは、全て‘１’であってもよいし、‘０’及び‘１’が所定のビットパターンで配列したビット列であってもよいし、‘０’及び‘１’がランダムに配列したビット列であってもよい。

[0084] 列信号生成回路２０３Ｂに列イネーブル信号ＥＮＣが入力されると同時に

、行信号生成回路２０３Ａにも行イネーブル信号ＥＮＲが入力され、これにより、周期読出し対象の単位画素３１０Ｙが特定される。

[0085] このように、周期読出し対象の単位画素３１０Ｙを列単位で固定した場合でも、図２０に例示するように、アドレスイベントの発火に基づいて取得された画像データＧ０（例えば、図１７参照）と、周期的に取得された画像データＧ１とを、例えば、フレームメモリ１６０やホスト１０００において重ね合わせることで、画像データＧ０における欠落した部分を画像データＧ１によって補間することが可能となる。それにより、高画質の画像データＧ２を生成することが可能となる。

[0086] ２．２ 第２例

つぎに、周期読出し対象の単位画素３１０Ｙを行単位で固定する場合について、例を挙げて説明する。

[0087] 図２１は、第２例において行信号生成回路に保持される行パターン信号の一例を示す模式図である。図２１に示すように、周期読出し対象の単位画素３１０Ｙを行単位で固定する場合、行信号生成回路２０３Ａには、各フリップフロップ２３１が特定の行パターン信号ＰＴＮＲを出力している期間に、行イネーブル信号ＥＮＲが入力される。

[0088] 具体的には、図２１に例示するように、上から２番目の行を周期的に画素信号が読み出される単位画素３１０の行とする場合、行信号生成回路２０３Ａにおける各フリップフロップ２３１が、上から順に、‘０’、‘１’、‘０’、‘０’、‘０’、‘０’を保持している状態のときに、行信号生成回路２０３Ａに行イネーブル信号ＥＮＲが入力される。

[0089] 行信号生成回路２０３Ａに行イネーブル信号ＥＮＲを入力する際に列信号生成回路２０３Ｂの各フリップフロップ２３１に保持されている列パターン信号ＰＴＮＣは、全て‘１’であってもよいし、‘０’及び‘１’が所定のビットパターンで配列したビット列であってもよいし、‘０’及び‘１’がランダムに配列したビット列であってもよい。

[0090] 行信号生成回路２０３Ａに行イネーブル信号ＥＮＲが入力されると同時に

、列信号生成回路２０３Ｂにも列イネーブル信号ＥＮＣが入力され、これにより、周期読出し対象の単位画素３１０Ｙが特定される。

[0091] このように、周期読出し対象の単位画素３１０Ｙを行単位で固定した場合でも、図２２に例示するように、アドレスイベントの発火に基づいて取得された画像データＧ０（例えば、図１７参照）と、周期的に取得された画像データＧ１とを、例えば、フレームメモリ１６０やホスト１０００において重ね合わせることで、画像データＧ０における欠落した部分を画像データＧ１によって補間することが可能となる。それにより、高画質の画像データＧ２を生成することが可能となる。

[0092] ２．３ 第３例

上述した第１例及び第２例では、周期読出し対象の単位画素３１０Ｙを行単位又は列単位で固定する場合について、例を挙げて説明した。これに対し、第３例では、周期読出し対象の単位画素３１０Ｙを、特定の単位画素３１０又は１つ以上の単位画素３１０を含む領域で固定する場合について、例を挙げて説明する。

[0093] 図２３は、第３例において行信号生成回路２０３Ａに保持される行パターン信号及び列信号生成回路に保持される列パターン信号の一例を示す模式図である。図２３には、第３例では、画素アレイ部３００に行列上に配列する単位画素３１０における左上隅の２×２画素の単位画素３１０と、右下隅の２×２画素の単位画素３１０とを、周期読出し対象の単位画素３１０Ｙとした場合が例示されている。

[0094] 図２３に示すように、周期読出し対象の単位画素３１０Ｙを特定の単位画素３１０又は１つ以上の単位画素３１０を含む領域で固定する場合、行信号生成回路２０３Ａに各フリップフロップ２３１が特定の行パターン信号ＰＴＮＲを出力している期間に行イネーブル信号ＥＮＲが入力され、列信号生成回路２０３Ｂに各フリップフロップ２３１が特定の列パターン信号ＰＴＮＣを出力している期間に列イネーブル信号ＥＮＣが入力される。

[0095] 具体的には、図２３に例示するように、行信号生成回路２０３Ａにおける

各フリップフロップ２３１が上から順に、‘1’、‘1’、‘0’、‘0’、‘1’、‘1’を保持し、列信号生成回路２０３Ｂにおける各フリップフロップ２３１が左から順に、‘1’、‘1’、‘0’、‘0’、‘1’、‘1’を保持している状態のときに、行信号生成回路２０３Ａに行イネーブル信号ＥＮＲが入力され、列信号生成回路２０３Ｂに列イネーブル信号ＥＮＣが入力される。これにより、周期読出し対象の単位画素３１０Ｙが特定される。

[0096] このように、周期読出し対象の単位画素３１０Ｙを特定の単位画素３１０又は１つ以上の単位画素３１０を含む領域で固定した場合でも、図２４に例示するように、アドレスイベントの発火に基づいて取得された画像データＧ０（例えば、図１７参照）と、周期的に取得された画像データＧ１とを、例えば、フレームメモリ１６０やホスト１０００において重ね合わせることで、画像データＧ０における欠落した部分を画像データＧ１によって補間することが可能となる。それにより、高画質の画像データＧ２を生成することが可能となる。

[0097] ３．第３の実施形態

第２の実施形態では、周期読出し対象の単位画素３１０Ｙを列単位、行単位又は領域単位で固定する場合について、例示した。これに対し、第３の実施形態では、周期読出し対象の単位画素３１０Ｙを周期的（これを変更周期という）に変更する場合について、例を挙げて説明する。

[0098] なお、本実施形態に係る撮像装置１００及び固体撮像装置２００は、第１の実施形態に係るそれらと同様であってよい。また、以下の説明では、簡略化のため、画素アレイ部３００が６×６画素の計３６個の単位画素３１０で構成されており、フレームメモリ１６０又はホスト１０００内に６×６画素の画像データ（輝度画像）が生成される場合を例示する。さらに、本実施形態において、上述した実施形態と同様の構成、動作及び効果については、それらを引用することで、詳細な説明を省略する。

[0099] ３．１ 第１例

まず、周期読出し対象の単位画素３１０Ｙを所定の変更周期で行方向に周期的にシフトする場合について、例を挙げて説明する。

[0100] 図２５は、第１例において列信号生成回路に保持される列パターン信号の一例を示す模式図である。図２５に示すように、周期読出し対象の単位画素３１０Ｙを周期的に行方向へ３列分シフトする場合、ある周期に列信号生成回路２０３Ｂの各フリップフロップ２３１が保持する列パターン信号ＰＴＮＣを左から順に‘０’、‘０’、‘０’、‘０’、‘０’、‘１’とすると、次の周期で列信号生成回路２０３Ｂの各フリップフロップ２３１が保持する列パターン信号ＰＴＮＣは左から順に‘０’、‘０’、‘１’、‘０’、‘０’、‘０’となる。

[0101] その場合、例えば、単位画素１３０Ｙからの画素信号の読出し周期を３クロックＣＬＫ分の周期とすると、３クロックＣＬＫごとに列イネーブル信号ＥＮＣが列信号生成回路２０３Ｂに入力される。これにより、‘１’の列パターン信号ＰＴＮＣが左方向へ３列分シフトするたびに、列イネーブル信号ＥＮＣが列信号生成回路２０３Ｂに入力されることとなるため、図２６に例示するように、周期読出し対象の単位画素３１０Ｙを周期的に行方向へ３列分シフトさせることが可能となる。

[0102] 列信号生成回路２０３Ｂに列イネーブル信号ＥＮＣを入力する際に行信号生成回路２０３Ａの各フリップフロップ２３１に保持されている行パターン信号ＰＴＮＲは、全て‘１’であってもよいし、‘０’及び‘１’が所定のビットパターンで配列したビット列であってもよいし、‘０’及び‘１’がランダムに配列したビット列であってもよい。

[0103] 列信号生成回路２０３Ｂに列イネーブル信号ＥＮＣが入力されると同時に、行信号生成回路２０３Ａにも行イネーブル信号ＥＮＲが入力され、これにより、周期読出し対象の単位画素３１０Ｙが特定される。

[0104] このように、周期読出し対象の単位画素３１０Ｙを周期的に行方向へシフトさせた場合でも、アドレスイベントの発火に基づいて取得された画像データＧ０（例えば、図１７参照）と、周期的に取得された画像データＧ１とを

、例えば、フレームメモリ１６０やホスト１０００において重ね合わせることで、画像データＧ０における欠落した部分を画像データＧ１によって補間することが可能となる。それにより、高画質の画像データＧ２を生成することが可能となる。

[0105] また、周期的に取得される画像データＧ１を構成する画素が毎回異なるため、画像データＧ０に対して統合する画像データＧ１を複数とすることで、画像データＧ０におけるより多くの欠落部分を補間することが可能となる。それにより、より高画質な画像データＧ２を生成することが可能となる。

[0106] ３．２ 第２例

つぎに、周期読出し対象の単位画素３１０Ｙを所定の変更周期で列方向に周期的にシフトする場合について、例を挙げて説明する。

[0107] 図２７は、第２例において行信号生成回路に保持される行パターン信号の一例を示す模式図である。図２７に示すように、周期読出し対象の単位画素３１０Ｙを周期的に列方向へ２行分シフトする場合、ある周期に行信号生成回路２０３Ａの各フリップフロップ２３１が保持する行パターン信号ＰＴＮＲを上から順に‘０’、‘１’、‘０’、‘０’、‘０’、‘０’とすると、次の周期で行信号生成回路２０３Ａの各フリップフロップ２３１が保持する行パターン信号ＰＴＮＲは上から順に‘０’、‘０’、‘０’、‘１’、‘０’、‘０’となる。

[0108] その場合、例えば、単位画素１３０Ｙからの画素信号の読出し周期を、２クロックＣＬＫ分の周期とすると、２クロックＣＬＫごとに行イネーブル信号ＥＮＲが行信号生成回路２０３Ａに入力される。これにより、‘１’の行パターン信号ＰＴＮＲが下方向へ２行分シフトするたびに、行イネーブル信号ＥＮＲが行信号生成回路２０３Ａに入力されることとなるため、図２８に例示するように、周期読出し対象の単位画素３１０Ｙを周期的に列方向へ２行分シフトさせることが可能となる。

[0109] 行信号生成回路２０３Ａに行イネーブル信号ＥＮＲを入力する際に列信号生成回路２０３Ｂの各フリップフロップ２３１に保持されている列パターン

信号ＰＴＮＣは、全て‘１’であってもよいし、‘０’及び‘１’が所定のビットパターンで配列したビット列であってもよいし、‘０’及び‘１’がランダムに配列したビット列であってもよい。

[0110] 行信号生成回路２０３Ａに行イネーブル信号ＥＮＲが入力されると同時に、列信号生成回路２０３Ｂにも列イネーブル信号ＥＮＣが入力され、これにより、周期読出し対象の単位画素３１０Ｙが特定される。

[0111] このように、周期読出し対象の単位画素３１０Ｙを周期的に列方向へシフトさせた場合でも、アドレスイベントの発火に基づいて取得された画像データＧ０（例えば、図１７参照）と、周期的に取得された画像データＧ１とを、例えば、フレームメモリ１６０やホスト１０００において重ね合わせることで、画像データＧ０における欠落した部分を画像データＧ１によって補間することが可能となる。それにより、高画質の画像データＧ２を生成することが可能となる。

[0112] また、周期的に取得される画像データＧ１を構成する画素が毎回異なるため、画像データＧ０に対して統合する画像データＧ１を複数とすることで、画像データＧ０におけるより多くの欠落部分を補間することが可能となる。それにより、より高画質な画像データＧ２を生成することが可能となる。

[0113] ４．第４の実施形態

第４の実施形態では、擬似乱数生成器を用いてパターン信号を生成する場合について、例を挙げて説明する。なお、本実施形態において、上述した実施形態と同様の構成、動作及び効果については、それらを引用することで、詳細な説明を省略する。

[0114] ４．１ 固体撮像装置の機能構成例

図２９は、第４の実施形態に係る固体撮像装置の機能構成例を示すブロック図である。図２９に示すように、固体撮像装置２００Ａは、第１の実施形態において図３等を用いて説明した固体撮像装置２００と同様の構成において、制御回路２２０が擬似乱数生成器２４０を備えている。

[0115] 擬似乱数生成器２４０は、例えば、線形帰還シフトレジスタ（Linear Fee

dback Shift Register：ＬＦＳＲ）等を用いて構成されたデジタル回路であり、シードを用いて擬似乱数を生成する。

[0116] 擬似乱数生成器２４０は、例えば、内部に複数のシードが羅列されたシードテーブルを保持し、外部から入力されたシード番号に対応するシードを用いて擬似乱数を生成する。なお、シード番号は、例えば、擬似乱数生成器２４０又は制御回路２２０、若しくは、ＤＳＰ回路１２０やホスト１０００等の外部からランダム又はラウンドロビンに指定されてよい。若しくは、擬似乱数生成器２４０がシードテーブルを備えず、ＤＳＰ回路１２０やホスト１０００等の外部から擬似乱数生成器２４０にシードが入力されてもよい。

[0117] 擬似乱数生成器２４０は、１つの固定読出し周期ごとに使用するシードを変更してもよいし、複数の固定読出し周期ごとに使用するシードを変更してもよい。

[0118] ４．２ 作用・効果

以上のように、周期読出し対象の単位画素３１０Ｙをランダムに変更した場合でも、アドレスイベントの発火に基づいて取得された画像データＧ０（例えば、図１７参照）と、周期的に取得された画像データＧ１とを、例えば、フレームメモリ１６０やホスト１０００において重ね合わせることで、画像データＧ０における欠落した部分を画像データＧ１によって補間することが可能となる。それにより、高画質の画像データＧ２を生成することが可能となる。

[0119] また、周期的に取得される画像データＧ１を構成する画素が毎回異なるため、画像データＧ０に対して統合する画像データＧ１を複数とすることで、画像データＧ０におけるより多くの欠落部分を補間することが可能となる。それにより、より高画質な画像データＧ２を生成することが可能となる。

[0120] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0121] ５．第５の実施形態

上述した実施形態では、単位時間あたりのアドレスイベントの発火数に関

わらず、周期的に単位画素３１０Ｙから画素信号を読み出す場合を例示した。ただし、例えば、単位時間あたりのアドレスイベントの発火数が多い場合、頻繁に単位画素３１０Ｙからの周期的な読出しが実行されると、データ処理量が多くなり、アドレスイベントの検出漏れ等が生じる恐れがある。

[0122] そこで第５の実施形態では、単位時間あたりのアドレスイベントの発火数に応じて、単位画素３１０Ｙに対する読出し周期を変更する場合について、例を挙げて説明する。なお、本実施形態において、上述した実施形態と同様の構成、動作及び効果については、それらを引用することで、詳細な説明を省略する。また、本実施形態では、第４の実施形態をベースとした場合を例示するが、ベースとする実施形態は、第４の実施形態に限定されず、他の実施形態とすることも可能である。

[0123] ５．１ 固体撮像装置の機能構成例

図３０は、第５の実施形態に係る固体撮像装置の機能構成例を示すブロック図である。図３０に示すように、固体撮像装置２００Ｂは、第４の実施形態において図２９を用いて説明した固体撮像装置２００Ａと同様の構成において、制御回路２２０がイベント数判定回路２５０をさらに備えている。

[0124] 本実施形態において、第１行アービタ２０１Ａ及び第１列アービタ２０１Ｂは、行リクエスト信号Ｒｅｑ＿ＴＡ及び列リクエスト信号Ｒｅｑ＿ＴＢをイベント数判定回路２５０へ入力する。イベント数判定回路２５０は、例えば、入力された行リクエスト信号Ｒｅｑ＿ＴＡ及び列リクエスト信号Ｒｅｑ＿ＴＢに基づいて、単位時間（例えば、１イベント集計周期）あたりに発火したアドレスイベントの数（以下、実イベント数という）を計測し、計測した実イベント数に基づいて、行信号生成回路２０３Ａ及び／又は列信号生成回路２０３Ｂに入力する行イネーブル信号ＥＮＲ及び／又は列イネーブル信号ＥＮＣのデューティ比を変更する。

[0125] ５．２ イベント数判定回路の動作例

つづいて、本実施形態に係るイベント数判定回路２５０の動作例について説明する。図３１は、第５の実施形態に係るイベント数判定回路の概略動作

例を示すフローチャートである。図３１に示すように、イベント数判定回路２５０は、第１行アービタ２０１Ａ及び第１列アービタ２０１Ｂから入力された行リクエスト信号Ｒｅｑ＿ＴＡ及び列リクエスト信号Ｒｅｑ＿ＴＢに基づいて、単位時間あたりの実イベント数Ｎをカウントする（ステップＳ５０１）。

[0126] つぎに、イベント数判定回路２５０は、例えば、単位時間あたりの実イベント数Ｎと予め設定しておいた閾値Ｎ＿ｔｈとを比較する（ステップＳ５０２）。実イベント数Ｎが閾値Ｎ＿ｔｈよりも少ない場合（ステップＳ５０２のＮＯ）、イベント数判定回路２５０は、行イネーブル信号ＥＮＲ及び／又は列イネーブル信号ＥＮＣのデューティ比に高いデューティ比を設定し（ステップＳ５０３）、ステップＳ５０５へ進む。例えば、図３２に示すように、行イネーブル信号ＥＮＲ及び／又は列イネーブル信号ＥＮＣのデューティ比に５０％を設定する。

[0127] 一方、単位時間あたりの実イベント数Ｎが閾値Ｎ＿ｔｈ以上である場合（ステップＳ５０２のＹＥＳ）、イベント数判定回路２５０は、行イネーブル信号ＥＮＲ及び／又は列イネーブル信号ＥＮＣのデューティ比に低いデューティ比を設定し（ステップＳ５０４）、ステップＳ５０５へ進む。例えば、図３３に示すように、行イネーブル信号ＥＮＲ及び／又は列イネーブル信号ＥＮＣのデューティ比に、５０％（図３２参照）よりも少ない２５％を設定する。

[0128] ステップＳ５０５では、イベント数判定回路２５０は、本動作を終了するか否かを判定し、終了する場合（ステップＳ５０５のＹＥＳ）、本動作を終了し、終了しない場合（ステップＳ５０５のＮＯ）、ステップＳ５０１へリターンして、以降の動作を実行する。

[0129] ５．３ 作用・効果

以上のように、単位時間あたりの実イベント数に応じて行イネーブル信号ＥＮＲ及び／又は列イネーブル信号ＥＮＣのデューティ比を変更することで、単位画素３１０Ｙから画素信号を読み出す周期を変更することが可能とな

るため、例えば、単位時間あたりのアドレスイベントの発火数が多い場合でも、データ処理量の増加によるアドレスイベントの検出漏れ等の発生を抑制することが可能となる。

[0130] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0131] ６．移動体への応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0132] 図３４は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0133] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図３４に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0134] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0135] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に

装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0136] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0137] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0138] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0139] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又

は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0140] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0141] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0142] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図３４の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0143] 図３５は、撮像部１２０３１の設置位置の例を示す図である。

[0144] 図３５では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

[0145] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0146] なお、図３５には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0147] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0148] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例え

ば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0149] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0150] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部

１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0151] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１や運転者状態検出部１２０４１等に適用され得る。

[0152] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0153] また、本明細書に記載された各実施形態における効果はあくまで例示であって限定されるものでは無く、他の効果があってもよい。

[0154] なお、本技術は以下のような構成も取ることができる。

（１）

それぞれ、受光量に応じた電荷を発生させる第１光電変換素子と、前記第１光電変換素子に発生した電荷に基づいてアドレスイベントの発火を検出する検出部とを備え、行列状に配列する複数の単位画素と、

前記複数の単位画素のうち、前記アドレスイベントの発火が検出された１以上の第１単位画素をリセットするリセット制御部と、

を備え、

前記リセット制御部は、前記複数の単位画素のうちの１以上の第２単位画素を周期的にリセットする

固体撮像装置。

（２）

前記リセット制御部は、

前記第１単位画素をリセットするための第１リセット信号を生成するリセット回路と、

前記第２単位画素をリセットするための第２リセット信号を周期的に生成する信号生成回路と、

前記リセット回路と前記信号生成回路との論理和を取る論理和回路と、

を備える前記（１）に記載の固体撮像装置。

（３）

前記信号生成回路は、複数のフリップフロップが多段に接続されたシフトレジスタを備え、

前記論理和回路は、前記行列状に配列する前記複数の単位画素の各行及び各列それぞれに一対一に設けられ、

前記複数のフリップフロップそれぞれは、前記行列状に配列する前記複数の単位画素の各行及び各列それぞれに一対一に対応し、

前記論理和回路それぞれは、当該論理和回路が対応する前記行に対応する前記フリップフロップから出力された前記第２リセット信号と、前記リセット回路から出力された前記第１リセット信号との論理和を取り、当該論理和の結果を前記第１又は第２単位画素に出力する

前記（２）に記載の固体撮像装置。

（４）

前記信号生成回路は、所定ビットパターンの前記第２リセット信号を前記論理和回路へ周期的に出力する前記（２）又は（３）に記載の固体撮像装置。

（５）

前記信号生成回路は、前記行列における行ごとに前記第２リセット信号を生成する行信号生成回路と、列ごとに前記第２リセット信号を生成する列信号生成回路とを含む前記（２）～（４）の何れか１項に記載の固体撮像装置。

（６）

前記行信号生成回路及び前記列信号生成回路とのうち少なくとも１つは、固定されたビットパターンの前記第２リセット信号を前記論理和回路へ周期的に出力する前記（５）に記載の固体撮像装置。

（７）

前記信号生成回路は、前記第２リセット信号のビットパターンを所定の周期で変化させる前記（４）又は（５）に記載の固体撮像装置。

（８）

前記信号生成回路は、ランダムなビットパターンの前記第２リセット信号を前記論理和回路へ周期的に出力する前記（４）又は（５）に記載の固体撮像装置。

（９）

擬似乱数を生成する擬似乱数生成器をさらに備え、

前記信号生成回路は、前記擬似乱数生成器で生成された前記擬似乱数に基づいて前記第２リセット信号を生成する

前記（８）に記載の固体撮像装置。

（１０）

前記第２リセット信号の出力を許可又は禁止するイネーブル信号を出力する制御回路をさらに備え、

前記信号生成回路は、一方の入力に前記複数のフリップフロップのうちの１の出力が入力され、他方の入力に前記イネーブル信号が入力される複数の論理積回路をさらに備える

前記（３）に記載の固体撮像装置。

（１１）

前記制御回路は、前記複数の単位画素のうち、所定期間あたりに前記アドレスイベントの発火を検出した単位画素の数を計数し、前記アドレスイベントの発火を検出した前記単位画素の前記数が所定の閾値未満の場合、第１デューティ比の前記イネーブル信号を前記信号生成回路へ出力し、前記アドレスイベントの発火を検出した前記単位画素の前記数が前記所定の閾値以上の場合、前記第１デューティ比よりも低い第２デューティ比の前記イネーブル信号を前記信号生成回路へ出力する

前記（１０）に記載の固体撮像装置。

（１２）

前記第１単位画素に対する画素値の読出し順序を調停する第１調停部をさらに備え、

前記リセット制御部は、前記第１調停部により調停された前記読出し順序に従って前記第１単位画素をリセットする

前記（１）～（１１）の何れか１項に記載の固体撮像装置。

（１３）

前記単位画素それぞれは、受光量に応じた電荷を発生させる第２光電変換素子と、前記第２光電変換素子に発生した電荷に基づいて画素値を生成するための検出信号を生成する生成回路とをさらに備える前記（１）～（１２）の何れか１項に記載の固体撮像装置。

（１４）

前記生成回路は、一方の電極が前記第２光電変換素子に接続されたキャパシタと、前記キャパシタの前記一方の電極の電位と参照電圧とを比較するコンパレータと、前記コンパレータに入力される前記参照電圧を第１参照電圧と前記第１参照電圧よりも低い電圧値の第２参照電圧とのいずれかに切り替えるスイッチと、前記コンパレータによる比較結果に基づいて検出信号を出力するロジック回路とを備える前記（１３）に記載の固体撮像装置。

（１５）

前記キャパシタの前記一方の電極の前記電位が前記第１参照電圧を下回った際に前記ロジック回路から出力された第１検出信号と、前記一方の電極の前記電位が前記第２参照電圧を下回った際に前記ロジック回路から出力された第２検出信号とに基づいて、前記画素値を生成する第２調停部をさらに備える前記（１４）に記載の固体撮像装置。

（１６）

固体撮像装置と、

入射光を前記固体撮像装置の受光面に結像する光学系と、

前記固体撮像装置で取得された画像データを記憶するメモリと、

を備え、

前記固体撮像装置は、

それぞれ、受光量に応じた電荷を発生させる第１光電変換素子と、前記第１光電変換素子に発生した電荷に基づいてアドレスイベントの発火を検出する検出部とを備え、行列状に配列する複数の単位画素と、

前記複数の単位画素のうち、前記アドレスイベントの発火が検出された１以上の第１単位画素をリセットするリセット制御部と、

を備え、

前記リセット制御部は、前記複数の単位画素のうちの１以上の第２単位画素を周期的にリセットする

撮像装置。

符号の説明

[0155] １００　撮像装置

１１０　光学系

１２０　ＤＳＰ回路

１３０　表示部

１４０　操作部

１５０　バス

１６０　フレームメモリ

１７０　記憶部

１８０　電源部

１９０　外部Ｉ／Ｆ

２００、２００Ａ、２００Ｂ　固体撮像装置

２０１　第１アービタ

２０１Ａ　第１行アービタ

２０１Ｂ　第１列アービタ

２０２　リセット回路

２０２Ａ　行リセット回路

２０２Ｂ　列リセット回路

２０３Ａ　行信号生成回路

２０３Ｂ　列信号生成回路

２０４Ａ　行ＯＲ回路

２０４Ｂ　列ＯＲ回路

２０５　第２アービタ

２０５Ａ　第２行アービタ

２０５Ｂ　第２列アービタ

２０９　信号線

２２０　制御回路

２３１　Ｄ－フリップフロップ

２３２　ＡＮＤ回路

２４０　擬似乱数生成器

２５０　イベント数判定回路

３００　画素アレイ部

３１０、３１０Ｘ、３１０Ｙ　単位画素

３１１　第１フォトダイオード

３１２　電荷検出部

３１３　第２フォトダイオード

３１４　キャパシタ

３１５　リセットトランジスタ

３１６　コンパレータ

３１７　ロジック回路

１０００　ホスト

Ｇ０、Ｇ１、Ｇ２　画像データ

請求の範囲

[請求項1] それぞれ、受光量に応じた電荷を発生させる第１光電変換素子と、前記第１光電変換素子に発生した電荷に基づいてアドレスイベントの発火を検出する検出部とを備え、行列状に配列する複数の単位画素と、

前記複数の単位画素のうち、前記アドレスイベントの発火が検出された１以上の第１単位画素をリセットするリセット制御部と、

を備え、

前記リセット制御部は、前記複数の単位画素のうちの１以上の第２単位画素を周期的にリセットする

固体撮像装置。

[請求項2] 前記リセット制御部は、

前記第１単位画素をリセットするための第１リセット信号を生成するリセット回路と、

前記第２単位画素をリセットするための第２リセット信号を周期的に生成する信号生成回路と、

前記リセット回路と前記信号生成回路との論理和を取る論理和回路と、

を備える請求項１に記載の固体撮像装置。

[請求項3] 前記信号生成回路は、複数のフリップフロップが多段に接続されたシフトレジスタを備え、

前記論理和回路は、前記行列状に配列する前記複数の単位画素の各行及び各列それぞれに一対一に設けられ、

前記複数のフリップフロップそれぞれは、前記行列状に配列する前記複数の単位画素の各行及び各列それぞれに一対一に対応し、

前記論理和回路それぞれは、当該論理和回路が対応する前記行に対応する前記フリップフロップから出力された前記第２リセット信号と、前記リセット回路から出力された前記第１リセット信号との論理和

を取り、当該論理和の結果を前記第１又は第２単位画素に出力する

請求項２に記載の固体撮像装置。

[請求項4] 前記信号生成回路は、所定ビットパターンの前記第２リセット信号を前記論理和回路へ周期的に出力する請求項２に記載の固体撮像装置。

[請求項5] 前記信号生成回路は、前記行列における行ごとに前記第２リセット信号を生成する行信号生成回路と、列ごとに前記第２リセット信号を生成する列信号生成回路とを含む請求項２に記載の固体撮像装置。

[請求項6] 前記行信号生成回路及び前記列信号生成回路とのうち少なくとも１つは、固定されたビットパターンの前記第２リセット信号を前記論理和回路へ周期的に出力する請求項５に記載の固体撮像装置。

[請求項7] 前記信号生成回路は、前記第２リセット信号のビットパターンを所定の周期で変化させる請求項４に記載の固体撮像装置。

[請求項8] 前記信号生成回路は、ランダムなビットパターンの前記第２リセット信号を前記論理和回路へ周期的に出力する請求項４に記載の固体撮像装置。

[請求項9] 擬似乱数を生成する擬似乱数生成器をさらに備え、

前記信号生成回路は、前記擬似乱数生成器で生成された前記擬似乱数に基づいて前記第２リセット信号を生成する

請求項８に記載の固体撮像装置。

[請求項10] 前記第２リセット信号の出力を許可又は禁止するイネーブル信号を出力する制御回路をさらに備え、

前記信号生成回路は、一方の入力に前記複数のフリップフロップのうちの１の出力が入力され、他方の入力に前記イネーブル信号が入力される複数の論理積回路をさらに備える

請求項３に記載の固体撮像装置。

[請求項11] 前記制御回路は、前記複数の単位画素のうち、所定期間あたりに前記アドレスイベントの発火を検出した単位画素の数を計数し、前記ア

ドレスイベントの発火を検出した前記単位画素の前記数が所定の閾値未満の場合、第１デューティ比の前記イネーブル信号を前記信号生成回路へ出力し、前記アドレスイベントの発火を検出した前記単位画素の前記数が前記所定の閾値以上の場合、前記第１デューティ比よりも低い第２デューティ比の前記イネーブル信号を前記信号生成回路へ出力する

請求項１０に記載の固体撮像装置。

[請求項12] 前記第１単位画素に対する画素値の読出し順序を調停する第１調停部をさらに備え、

前記リセット制御部は、前記第１調停部により調停された前記読出し順序に従って前記第１単位画素をリセットする

請求項１に記載の固体撮像装置。

[請求項13] 前記単位画素それぞれは、受光量に応じた電荷を発生させる第２光電変換素子と、前記第２光電変換素子に発生した電荷に基づいて画素値を生成するための検出信号を生成する生成回路とをさらに備える請求項１に記載の固体撮像装置。

[請求項14] 前記生成回路は、一方の電極が前記第２光電変換素子に接続されたキャパシタと、前記キャパシタの前記一方の電極の電位と参照電圧とを比較するコンパレータと、前記コンパレータに入力される前記参照電圧を第１参照電圧と前記第１参照電圧よりも低い電圧値の第２参照電圧とのいずれかに切り替えるスイッチと、前記コンパレータによる比較結果に基づいて検出信号を出力するロジック回路とを備える請求項１３に記載の固体撮像装置。

[請求項15] 前記キャパシタの前記一方の電極の前記電位が前記第１参照電圧を下回った際に前記ロジック回路から出力された第１検出信号と、前記一方の電極の前記電位が前記第２参照電圧を下回った際に前記ロジック回路から出力された第２検出信号とに基づいて、前記画素値を生成する第２調停部をさらに備える請求項１４に記載の固体撮像装置。

[請求項16] 固体撮像装置と、

入射光を前記固体撮像装置の受光面に結像する光学系と、

前記固体撮像装置で取得された画像データを記憶するメモリと、

を備え、

前記固体撮像装置は、

それぞれ、受光量に応じた電荷を発生させる第１光電変換素子と、前記第１光電変換素子に発生した電荷に基づいてアドレスイベントの発火を検出する検出部とを備え、行列状に配列する複数の単位画素と、

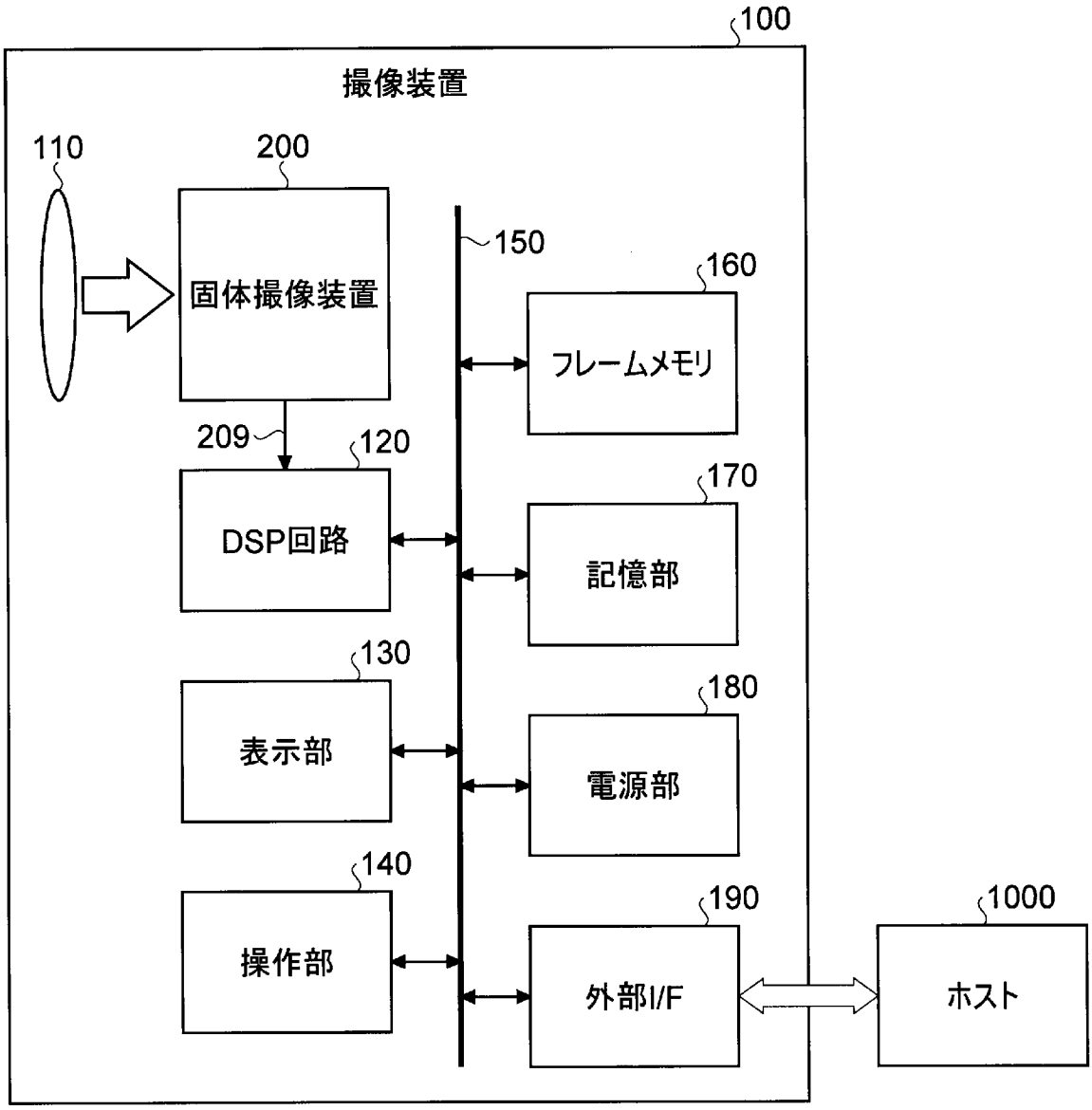
前記複数の単位画素のうち、前記アドレスイベントの発火が検出された１以上の第１単位画素をリセットするリセット制御部と、

を備え、

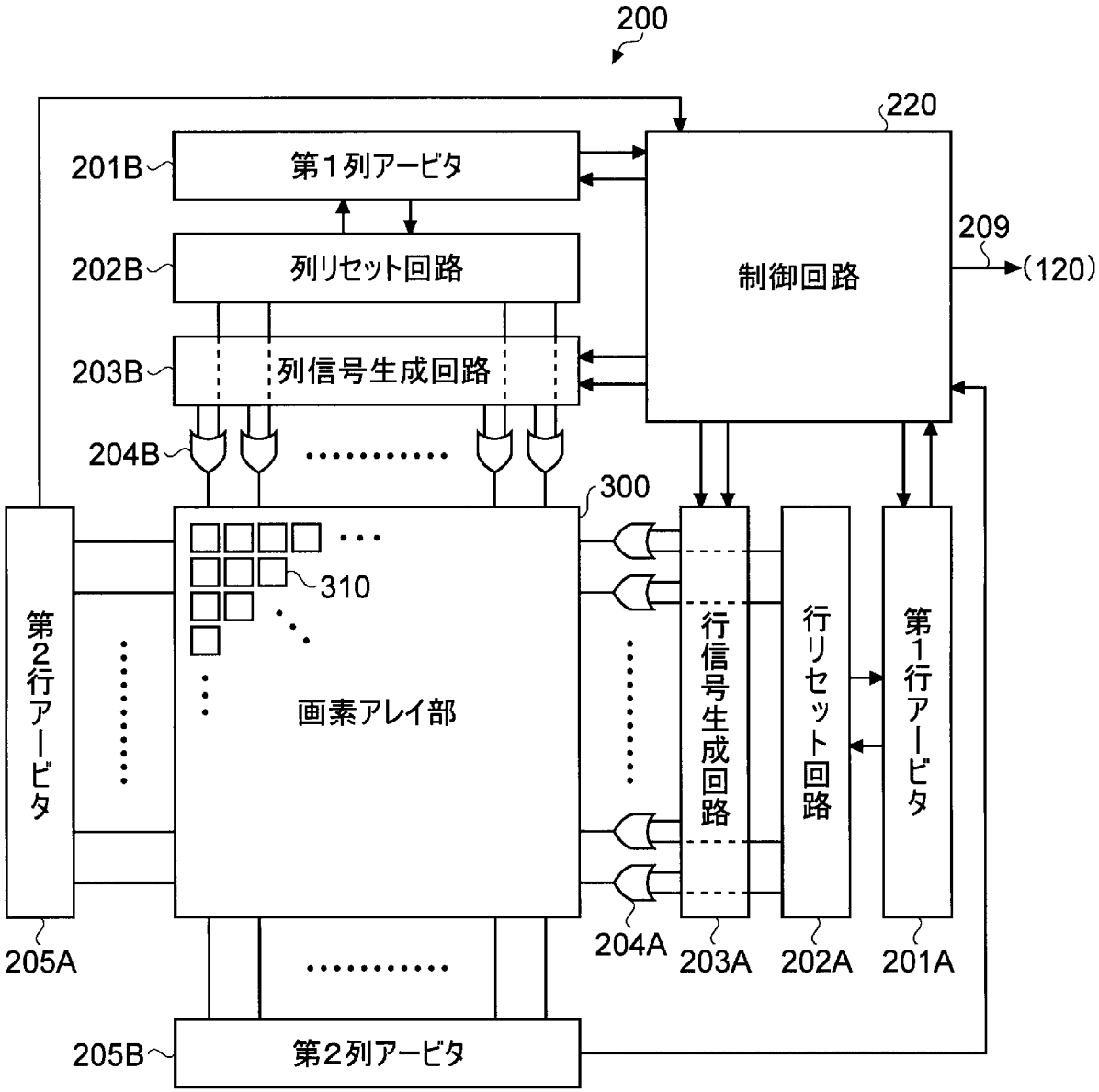
前記リセット制御部は、前記複数の単位画素のうちの１以上の第２単位画素を周期的にリセットする

撮像装置。

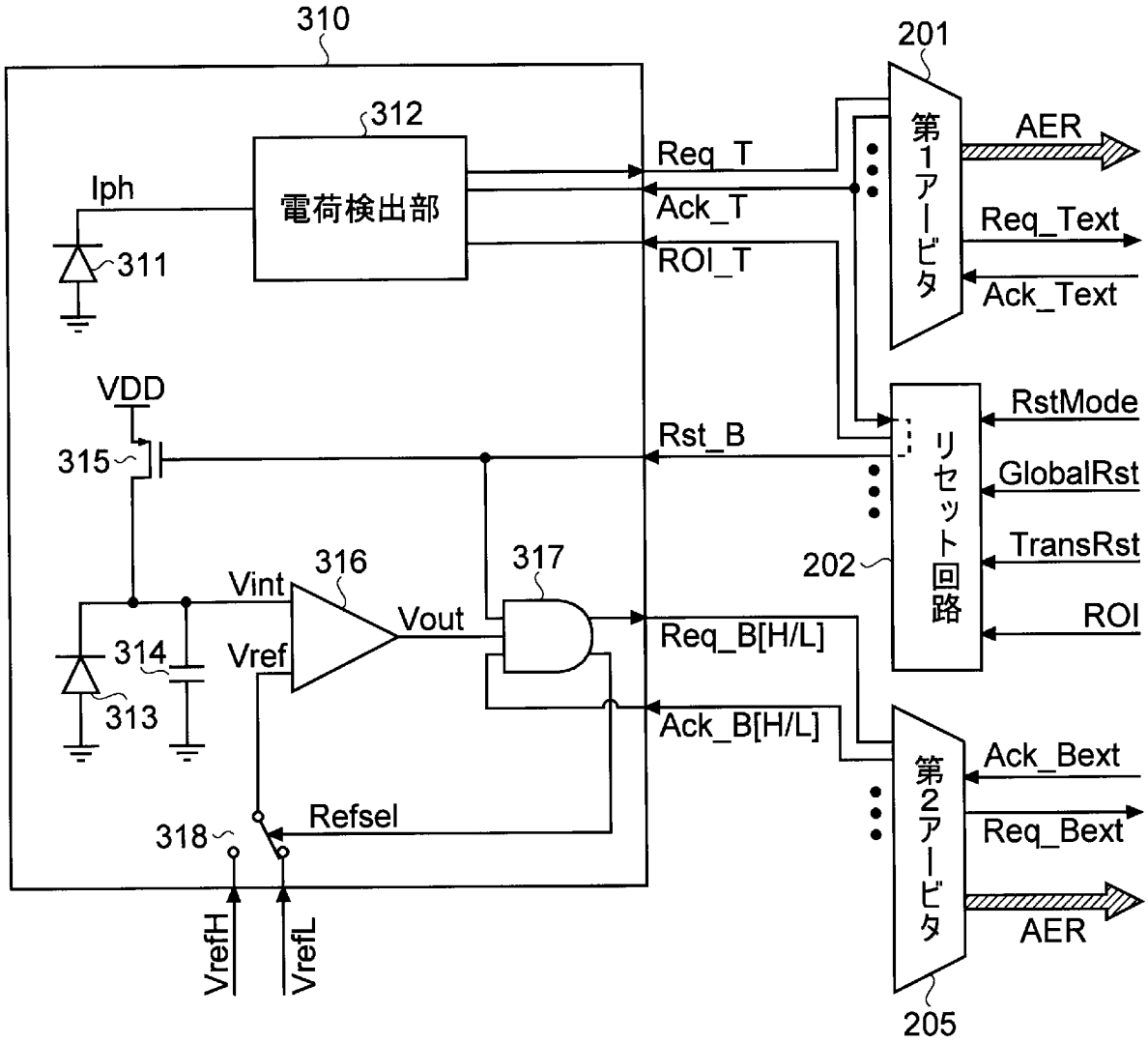
[図1]


100
撮像装置
110
200
固体撮像装置
150
160
フレームメモリ
209
120
DSP回路
170
記憶部
130
表示部
180
電源部
140
操作部
190
外部I/F
1000
ホスト

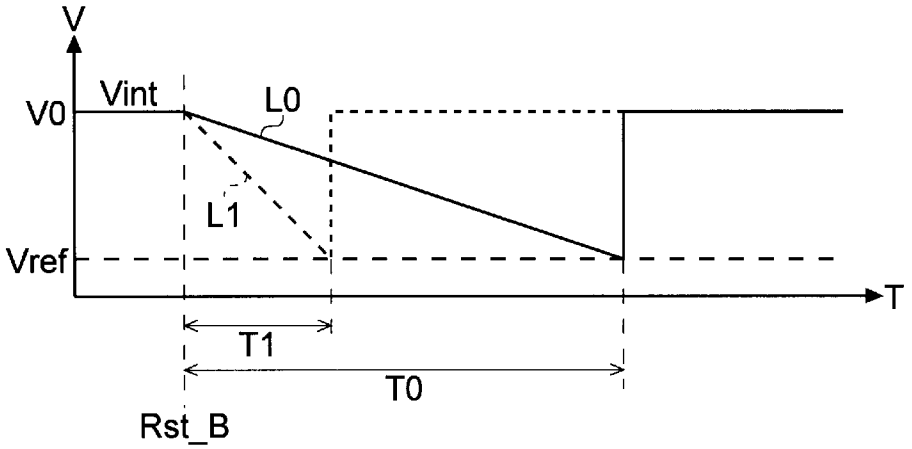
[図2]


200
220
201B
第1列アービタ
202B
列リセット回路
203B
列信号生成回路
204B
209
制御回路
(120)
300
310
画素アレイ部
第2行アービタ
205A
行信号生成回路
行リセット回路
第1行アービタ
204A
203A
202A
201A
205B
第2列アービタ

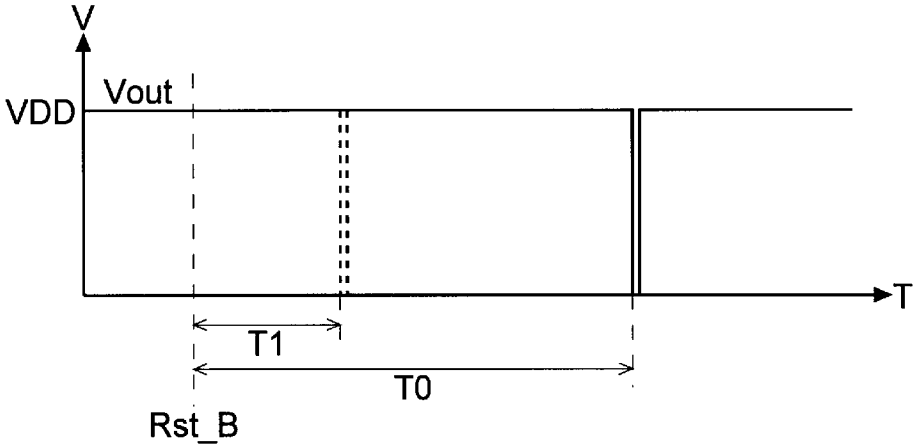
[図3]


310
312
電荷検出部
Iph
311
VDD
315
316
Vint
Vout
Vref
314
313
317
318
Refsel
VrefH
VrefL
Req_T
Ack_T
ROI_T
Rst_B
Req_B[H/L]
Ack_B[H/L]
201
第1アービタ
AER
Req_Text
Ack_Text
202
リセット回路
RstMode
GlobalRst
TransRst
ROI
205
第2アービタ
Ack_Bext
Req_Bext
AER

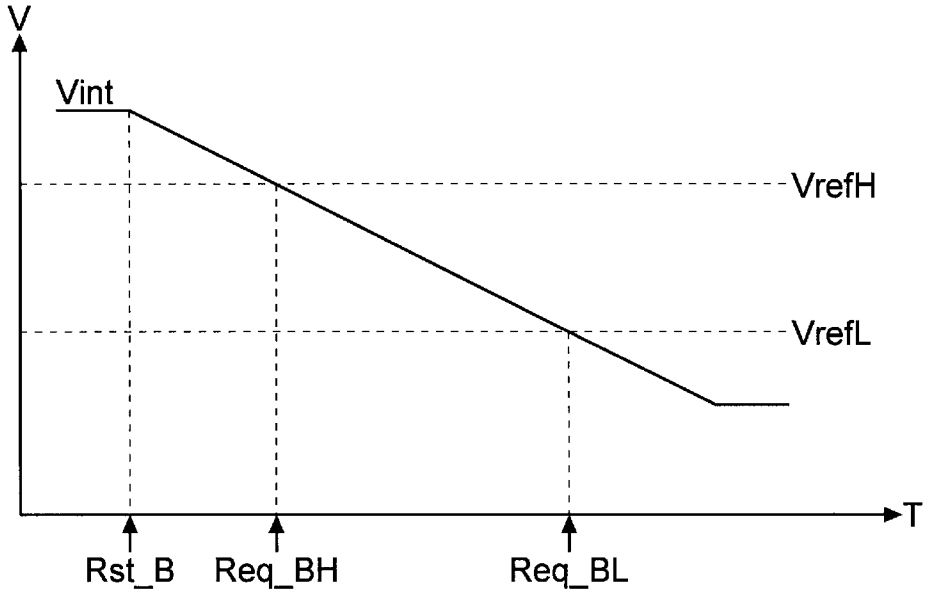
[図4]


V
Vint
V0
L0
L1
Vref
T
T1
T0
Rst_B

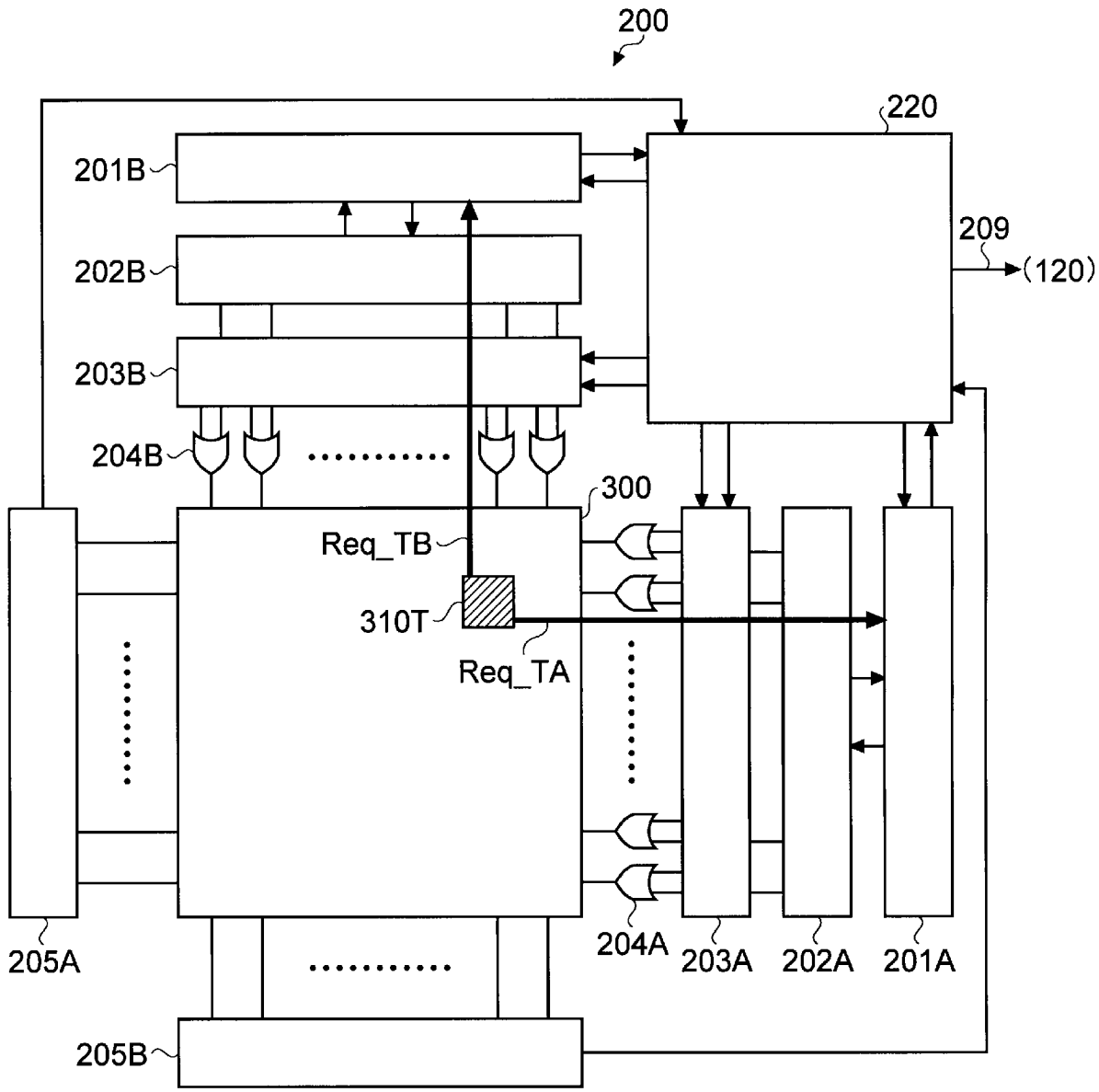
[図5]


V
Vout
VDD
T
T1
T0
Rst_B

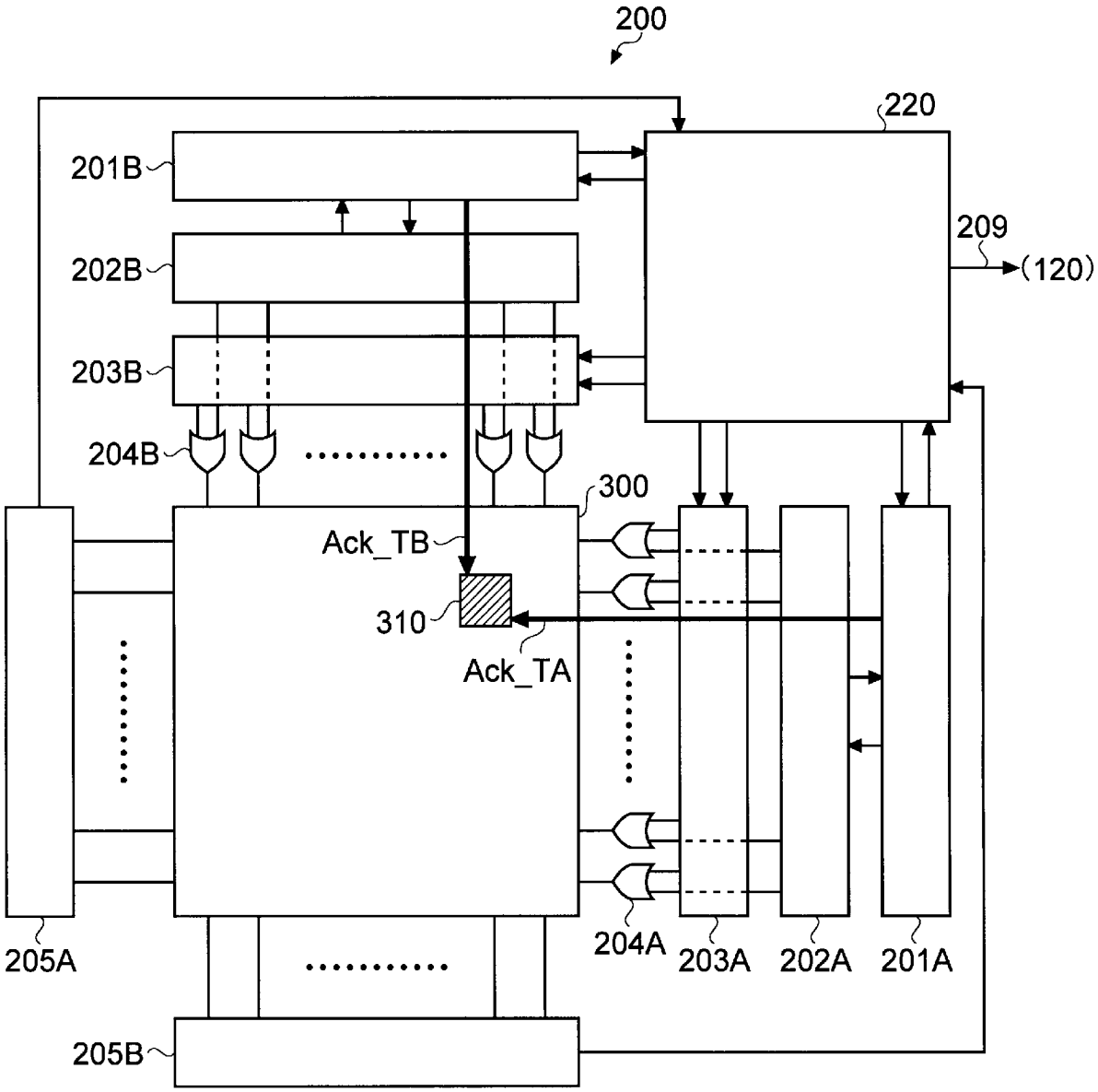
[図6]


V
Vint
VrefH
VrefL
T
Rst_B
Req_BH
Req_BL

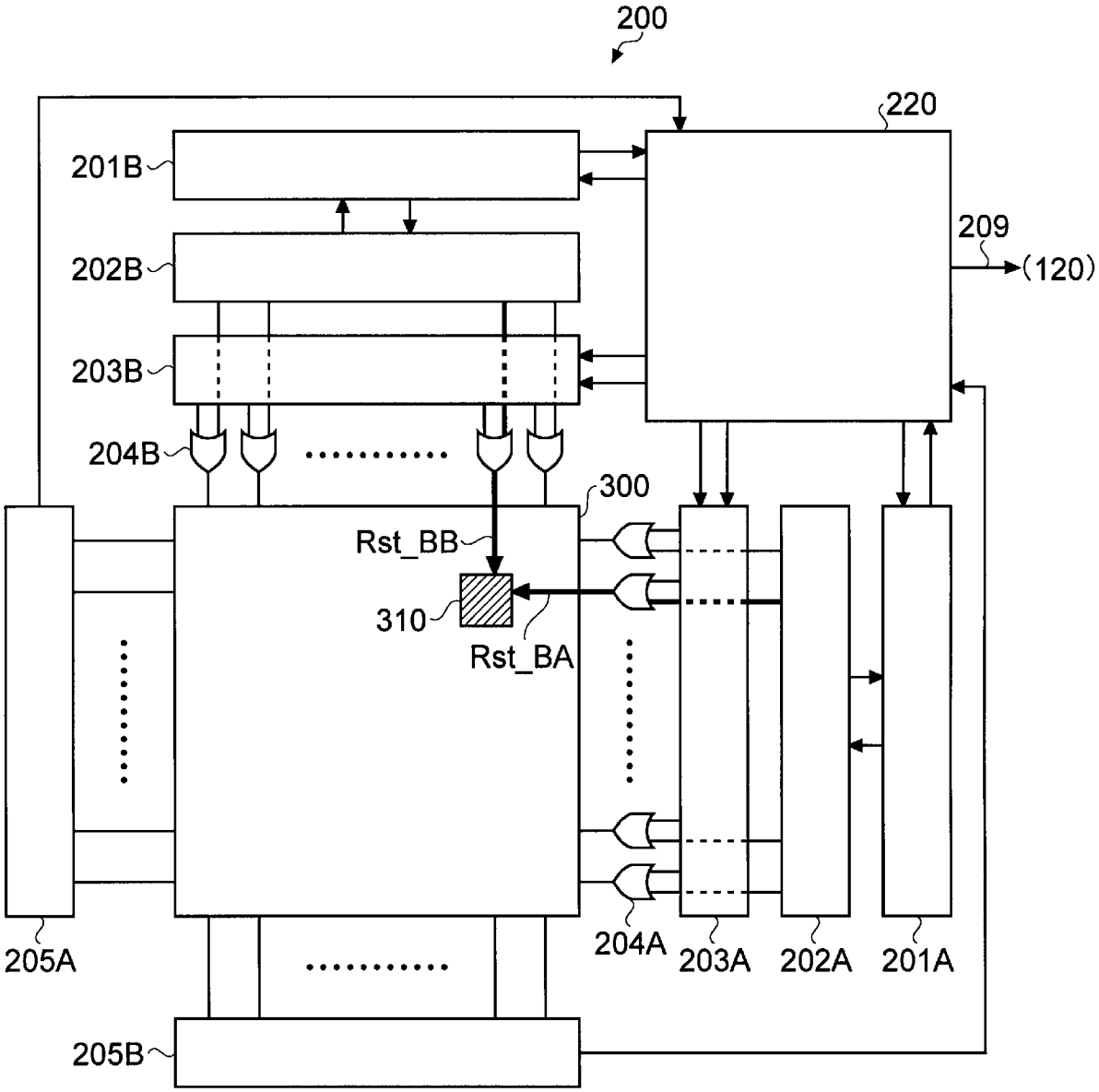
[図7]


200
220
201B
202B
203B
204B
209
(120)
300
Req_TB
310T
Req_TA
205A
204A
203A
202A
201A
205B

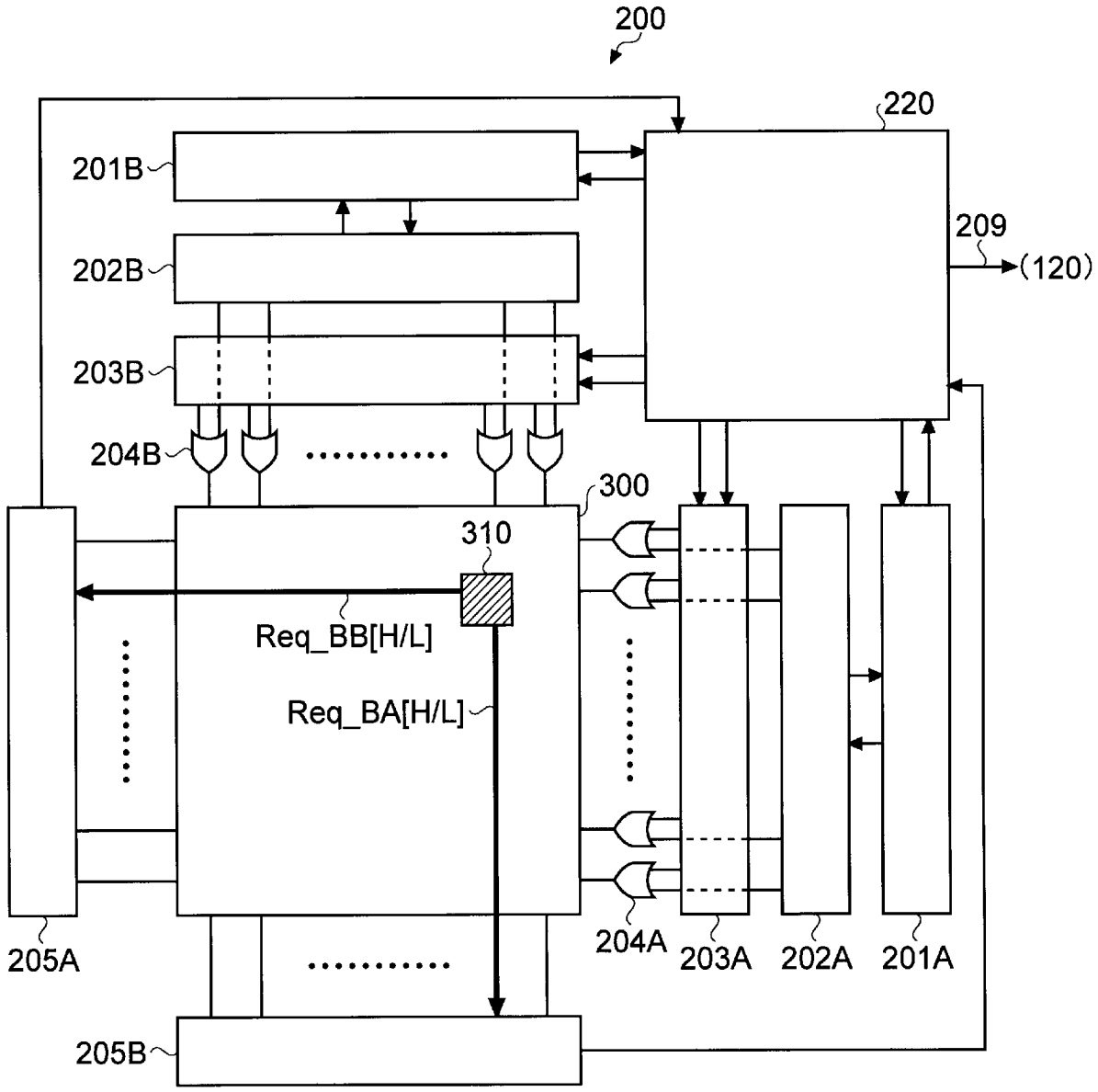
[図8]


200
220
201B
202B
203B
204B
209
(120)
300
Ack_TB
310
Ack_TA
205A
204A
203A
202A
201A
205B

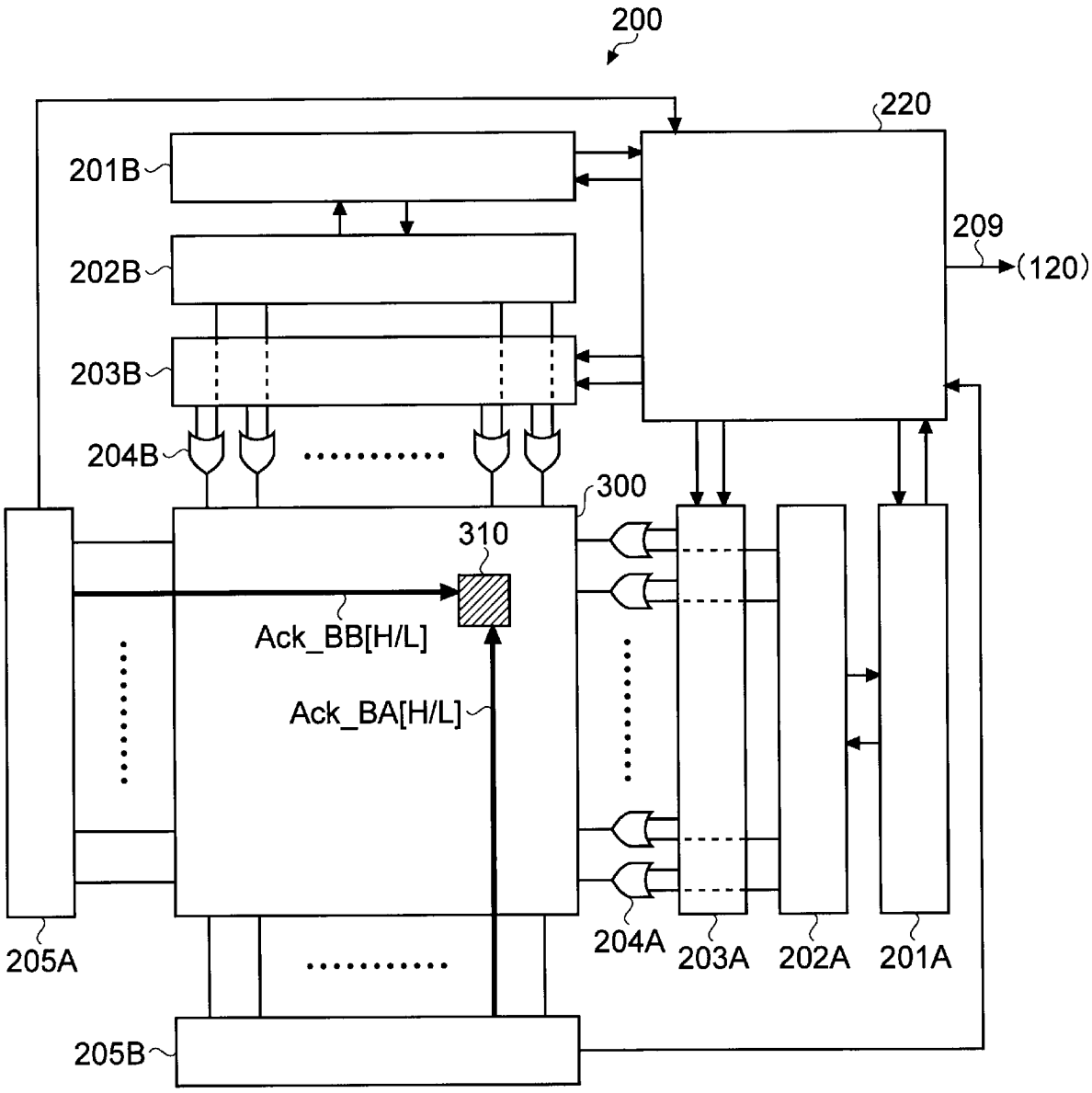
[図9]


200
220
201B
202B
203B
204B
209
(120)
300
Rst_BB
310
Rst_BA
205A
204A
203A
202A
201A
205B

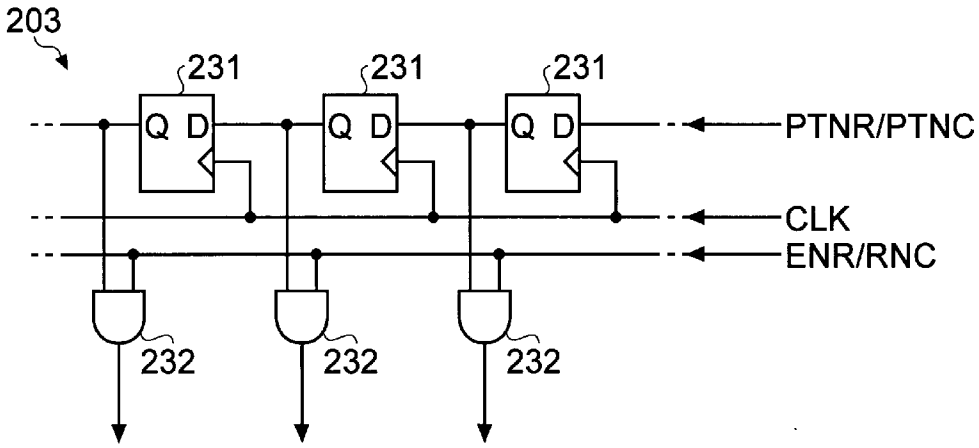
[図10]


200
220
201B
202B
203B
204B
209
(120)
300
310
Req_BB[H/L]
Req_BA[H/L]
205A
204A
203A
202A
201A
205B

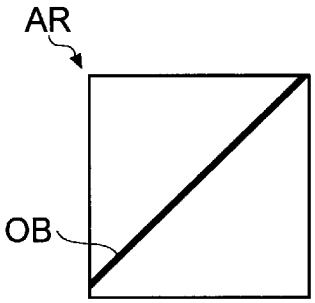
[図11]


200
220
201B
202B
203B
204B
209
(120)
300
310
Ack_BB[H/L]
Ack_BA[H/L]
205A
204A
203A
202A
201A
205B

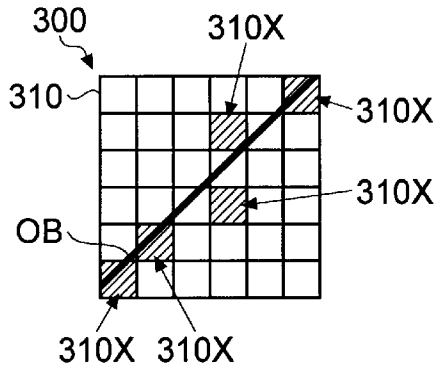
[図12]



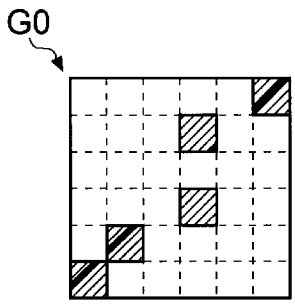
[図13]



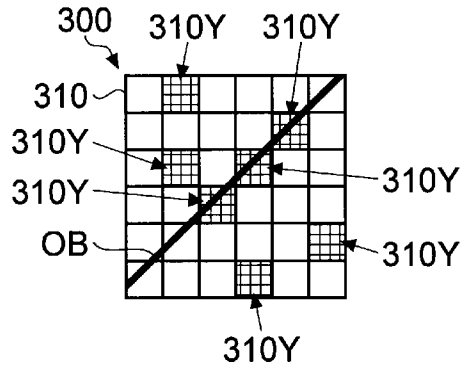
[図14]



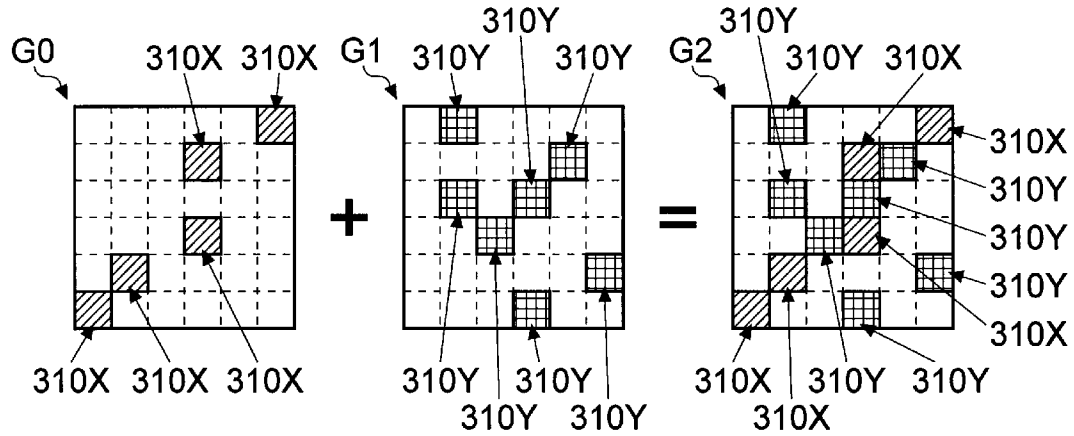
[図15]



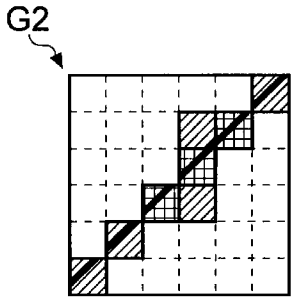
[図16]


300
310Y
310Y
310
310Y
310Y
310Y
OB
310Y
310Y

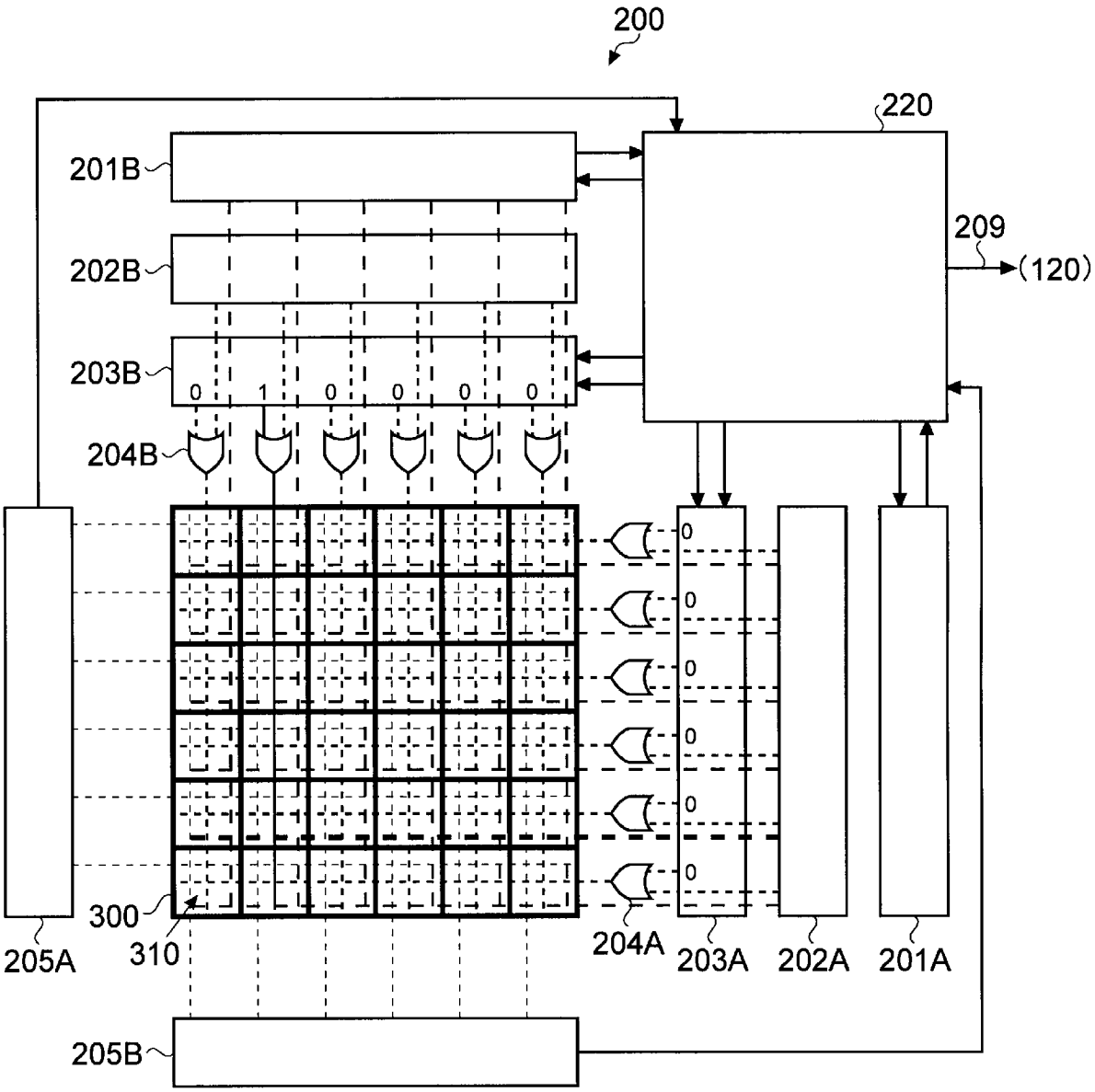
[図17]


G0
310X
310X
310X
310X
310X
G1
310Y
310Y
310Y
310Y
310Y
310Y
G2
310Y
310Y
310X
310X
310Y
310Y
310X
310Y
310X
310X
310Y
310Y

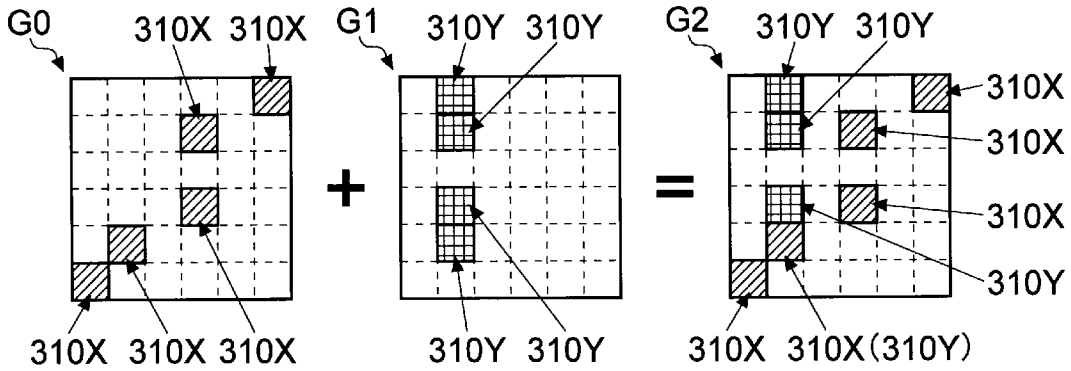
[図18]


G2

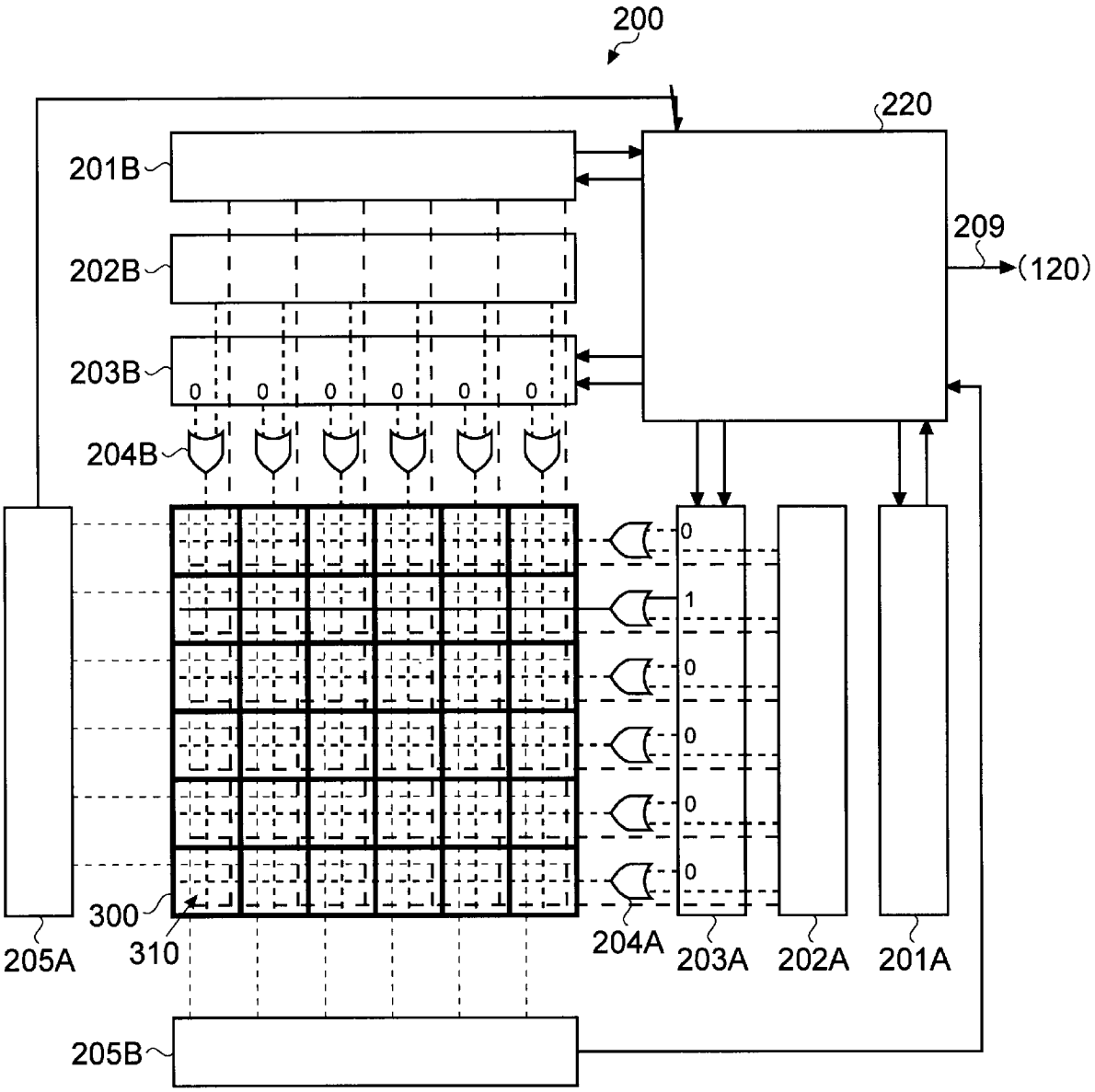
[図19]


200
220
201B
202B
203B
204B
209
(120)
0 1 0 0 0 0
0
0
0
0
0
0
205A
300
310
204A
203A
202A
201A
205B

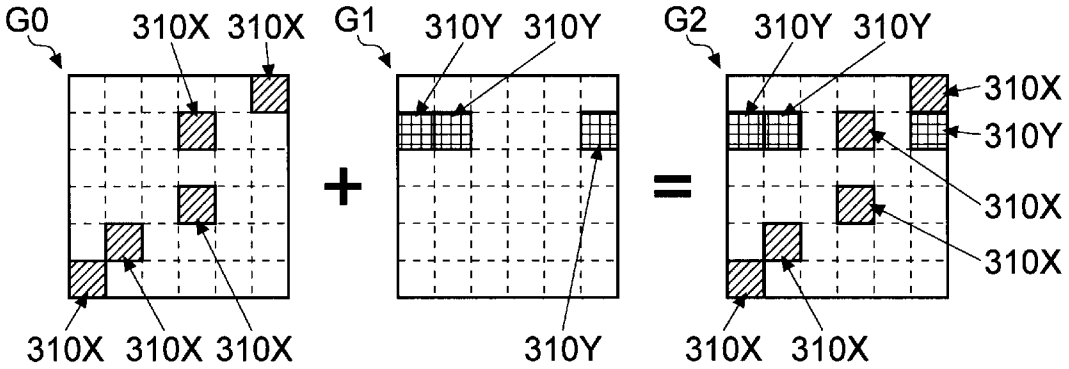
[図20]


G0
310X 310X
310X 310X 310X
G1
310Y 310Y
310Y 310Y
G2
310Y 310Y
310X
310X
310X
310Y
310X 310X(310Y)

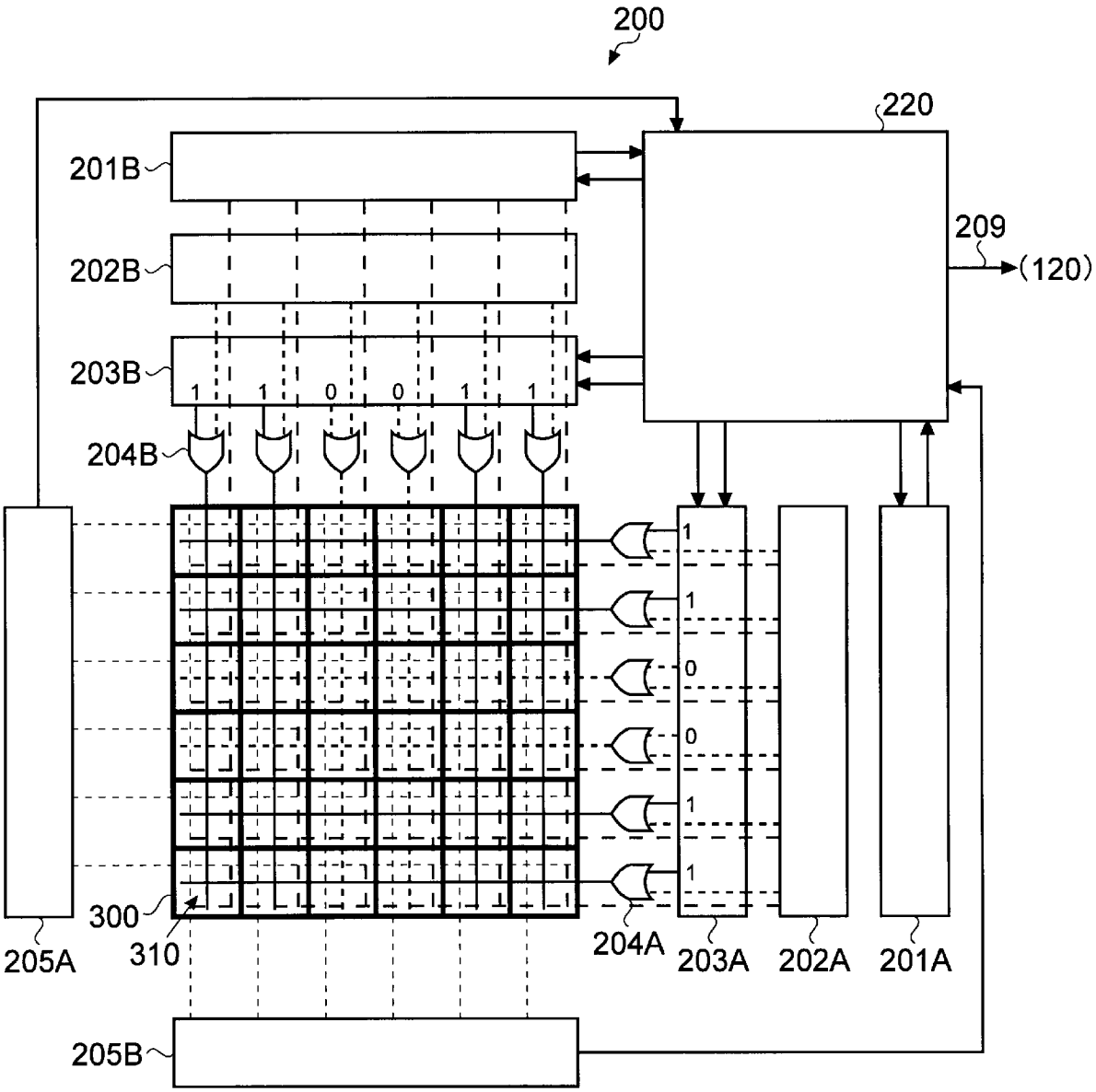
[図21]


200
220
201B
202B
203B
204B
209
(120)
0
0
0
0
0
0
0
1
0
0
0
0
300
310
205A
204A
203A
202A
201A
205B

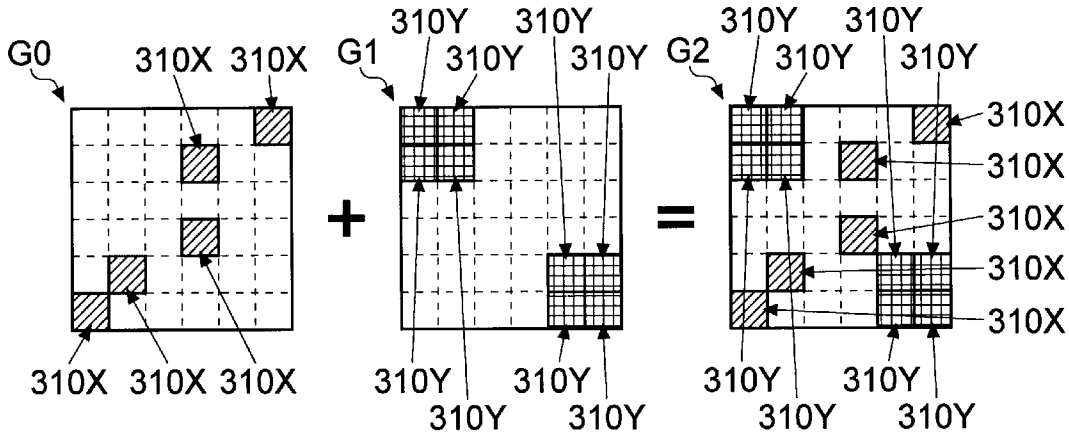
[図22]


G0
310X 310X
310X 310X 310X
G1
310Y 310Y
310Y
G2
310Y 310Y
310X
310Y
310X
310X
310X 310X

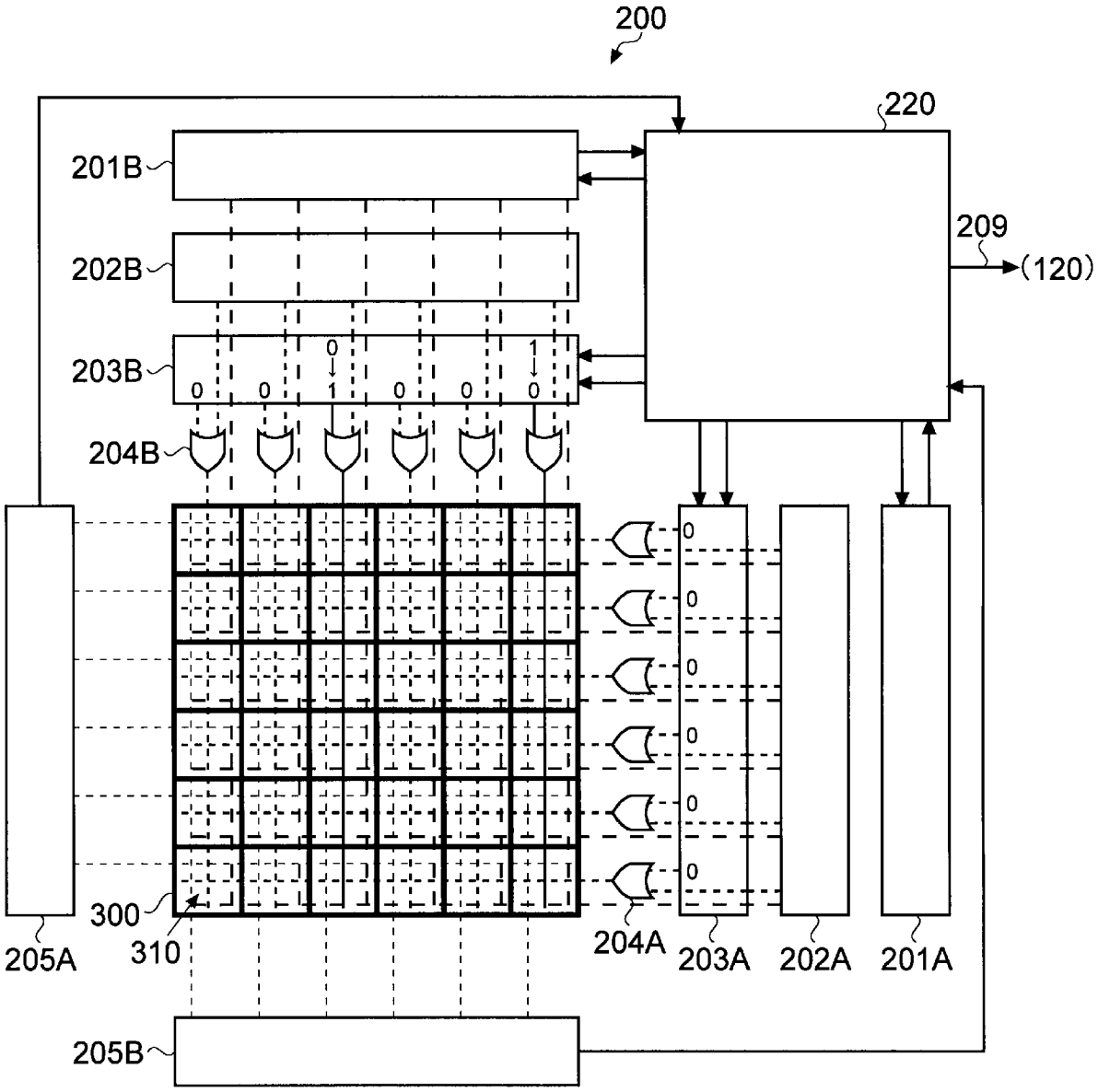
[図23]


200
220
201B
202B
203B
204B
209
(120)
1 1 0 0 1 1
1
1
0
0
1
1
205A
300
310
204A
203A
202A
201A
205B

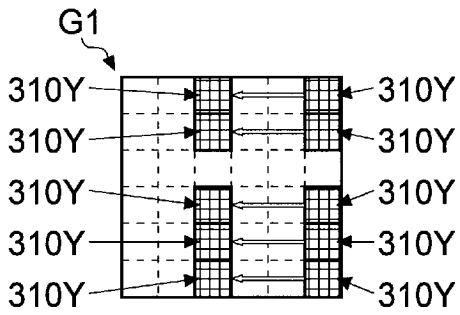
[図24]


G0
310X
310X
310X
310X
310X
G1
310Y
310Y
310Y
310Y
310Y
310Y
310Y
310Y
+
G2
310Y
310Y
310Y
310Y
310Y
310X
310X
310X
310X
310X
310Y
310Y
310Y
310Y
310Y
=

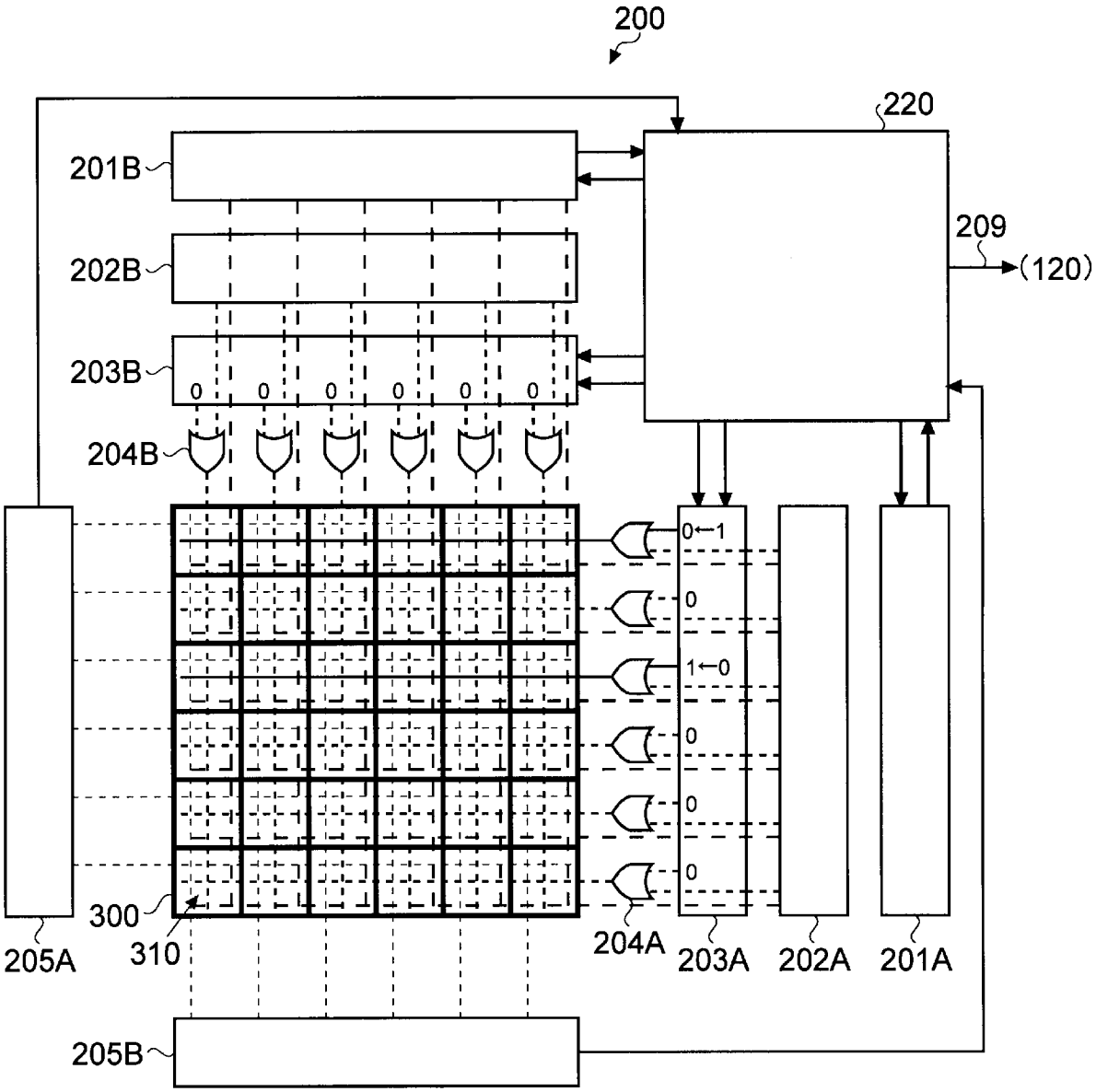
[図25]


200
220
201B
202B
203B
204B
209
(120)
205A
300
310
204A
203A
202A
201A
205B

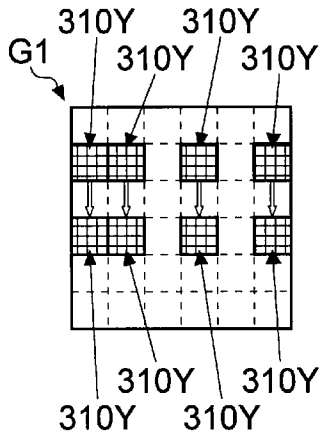
[図26]


G1
310Y
310Y
310Y
310Y
310Y
310Y
310Y
310Y
310Y
310Y

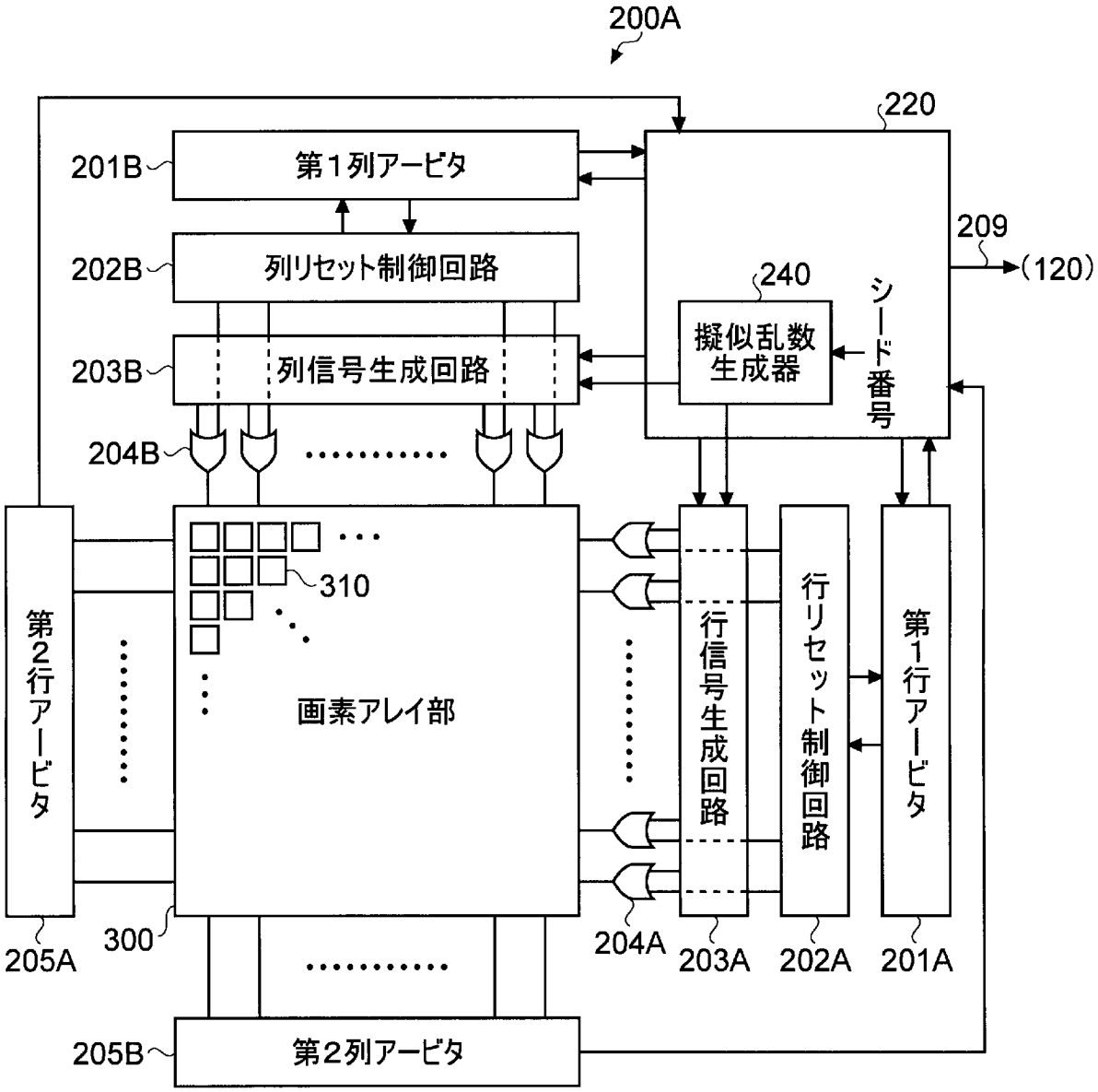
[図27]


200
220
201B
202B
203B
204B
209
(120)
0 0 0 0 0 0
0←1
0
1←0
0
0
0
205A
300
310
204A
203A
202A
201A
205B

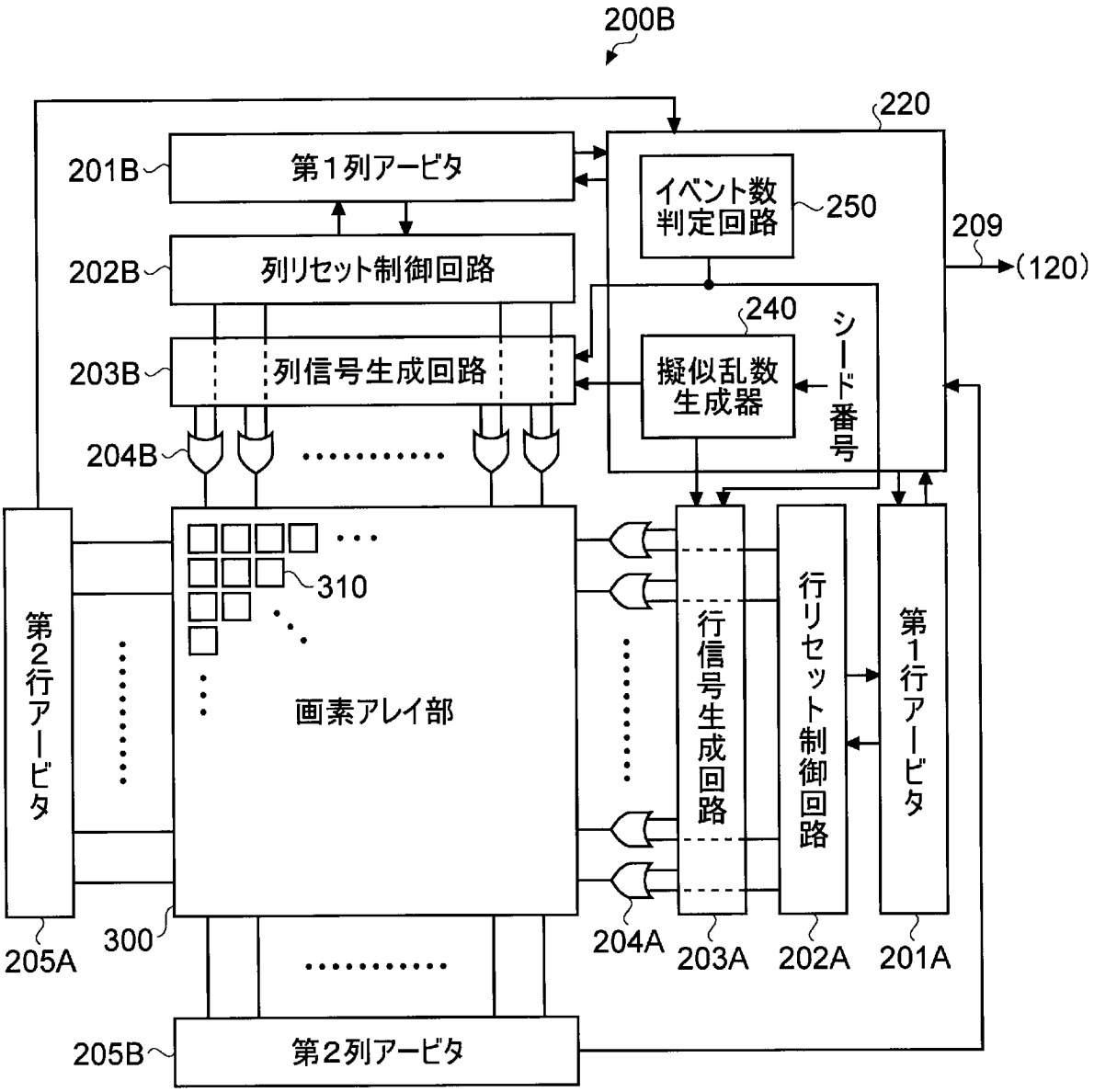
[図28]



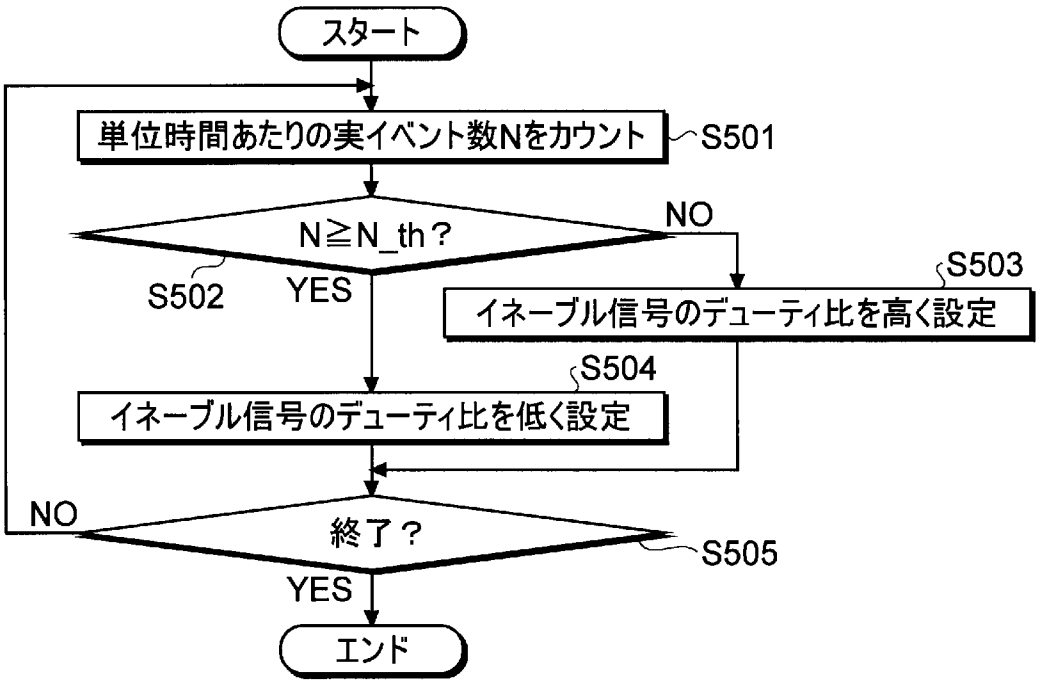
[図29]


200A
220
201B
第1列アービタ
202B
列リセット制御回路
203B
列信号生成回路
204B
209
(120)
240
擬似乱数生成器
シード番号
第2行アービタ
310
画素アレイ部
行信号生成回路
行リセット制御回路
第1行アービタ
205A
300
204A
203A
202A
201A
205B
第2列アービタ

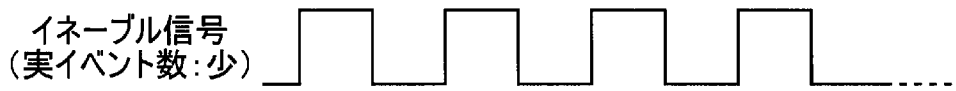
[図30]


200B
220
201B
第1列アービタ
イベント数判定回路
250
209
(120)
202B
列リセット制御回路
240
シード番号
203B
列信号生成回路
擬似乱数生成器
204B
310
第2行アービタ
画素アレイ部
行信号生成回路
行リセット制御回路
第1行アービタ
205A
300
204A
203A
202A
201A
205B
第2列アービタ

[図31]


スタート
単位時間あたりの実イベント数Nをカウント
S501
N≧N_th？
NO
S502
YES
S503
イネーブル信号のデューティ比を高く設定
S504
イネーブル信号のデューティ比を低く設定
NO
終了？
S505
YES
エンド

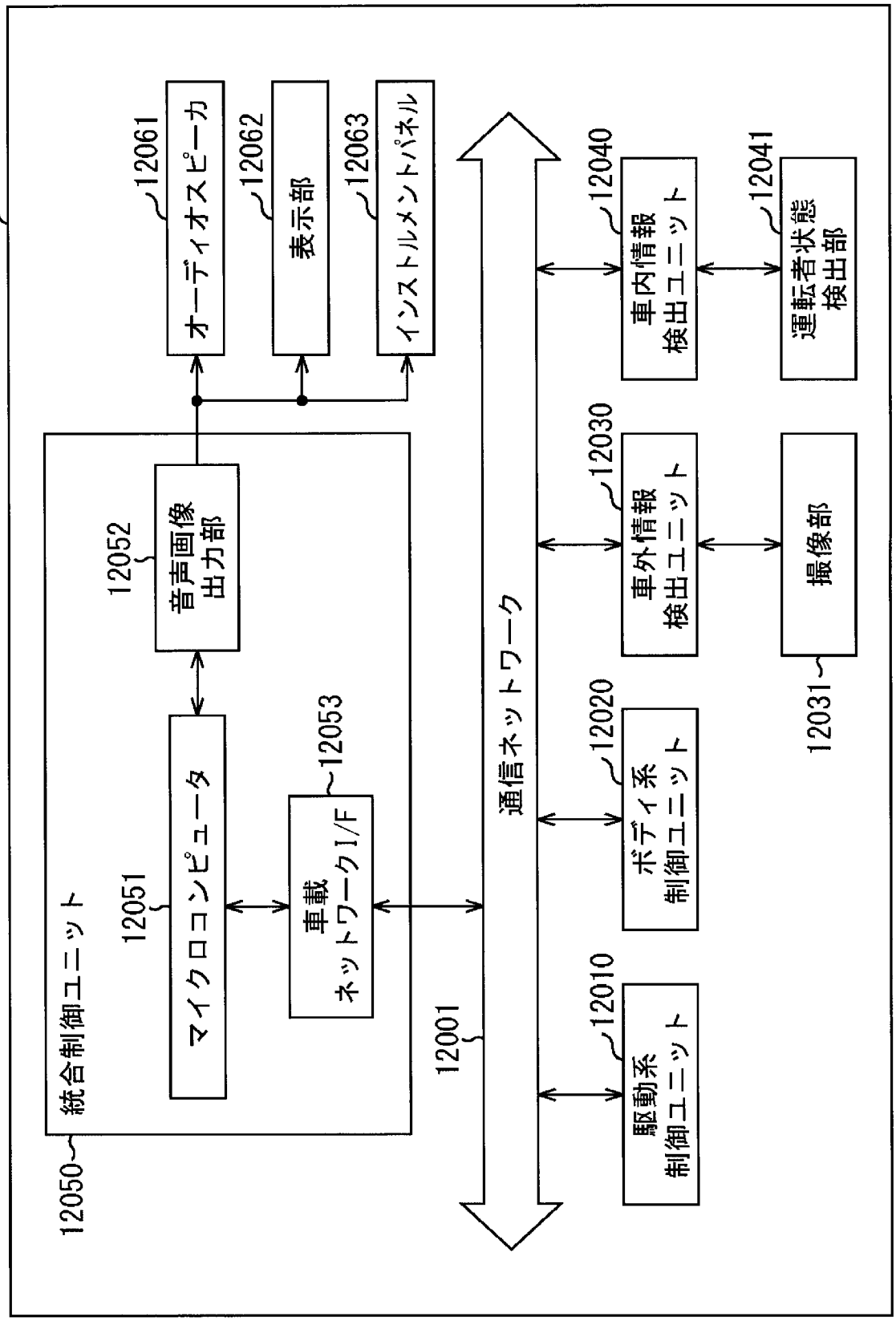
[図32]


イネーブル信号
（実イベント数：少）

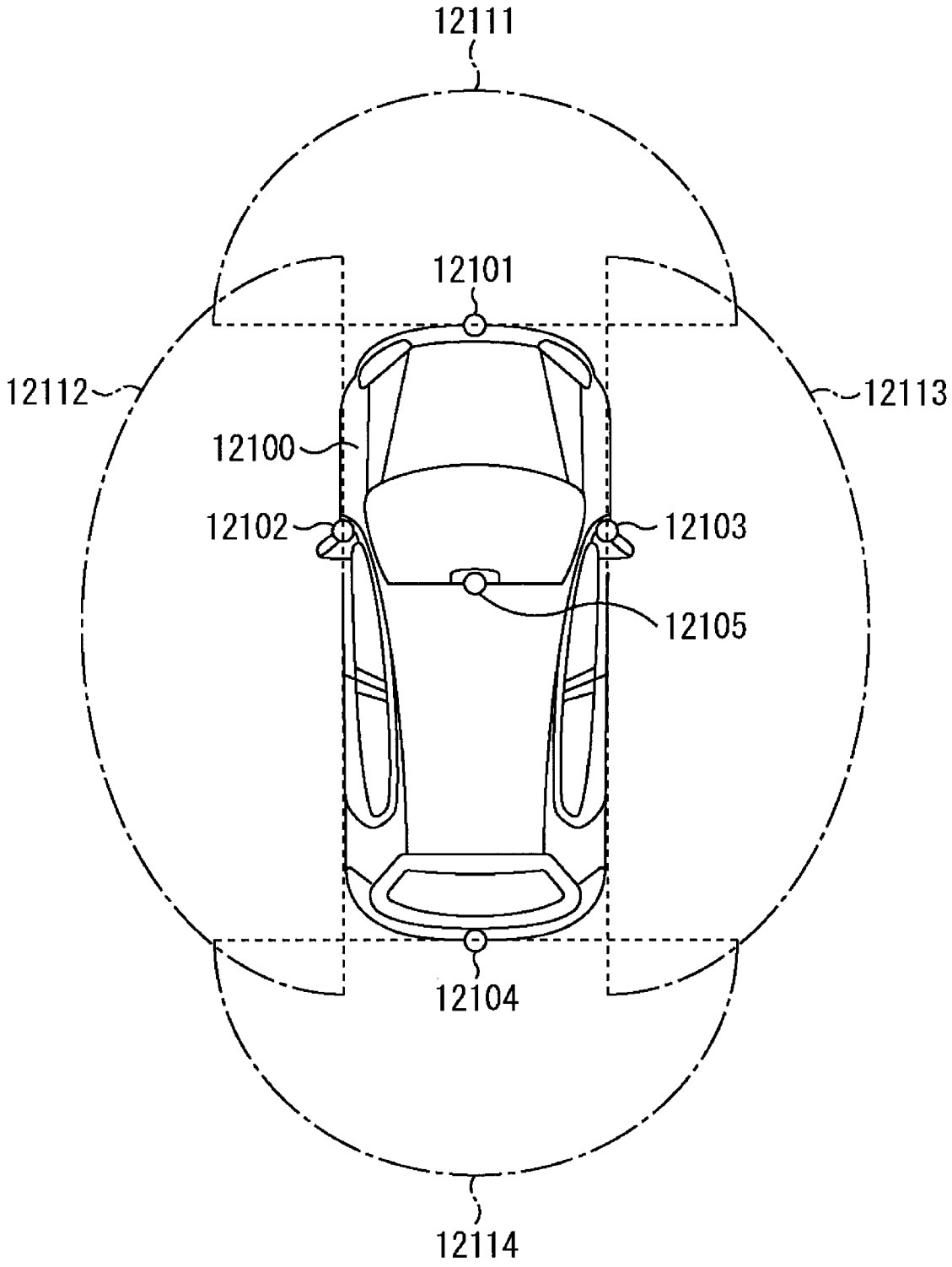
[図33]


イネーブル信号
（実イベント数：多）

[図34]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
通信ネットワーク
12020
ボディ系
制御ユニット
12010
駆動系
制御ユニット
12001
統合制御ユニット
12050

[図35]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/004411

A. CLASSIFICATION OF SUBJECT MATTER
H04N 5/355(2011.01)i
FI: H04N5/355 630

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/355

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-510732 A (AUSTRIAN RESEARCH CENTERS GMBH - ARC) 02.04.2010 (2010-04-02) paragraphs [0010]-[0083], fig. 1-8	1, 2, 12-15 16 3-11
Y A	JP 2018-186478 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22.11.2018 (2018-11-22) paragraphs [0024]-[0029], fig. 1A	16 3-11
A	JP 2016-21236 A (SAMSUNG ELECTRONICS CO., LTD.) 04.02.2016 (2016-02-04) entire text	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 April 2020 (15.04.2020)	28 April 2020 (28.04.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/004411

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2010-510732 A	02 Apr. 2010	US 2010/0182468 A1 paragraphs [0034]-[0102], fig. 1-8 WO 2008/061268 A1	
JP 2018-186478 A	22 Nov. 2018	CN 110546945 A paragraphs [0078]-[0083], fig. 1	
JP 2016-21236 A	04 Feb. 2016	US 2016/0011654 A1 entire text EP 2975558 A2 KR 10-2016-0008439 A CN 105279118 A	

国際調査報告

国際出願番号
PCT/JP2020/004411

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 5/355(2011.01)i
FI: H04N5/355 630

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/355

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2010-510732 A (エーアイティー オーストリアン インスティテュート オブ テクノロジー ゲゼルシャフト ミット ベシュレンクテル ハフツング) 02.04.2010 (2010-04-02) 段落[0010]-[0083],図1-8	1,2,12-15
Y		16
A		3-11
Y	JP 2018-186478 A (ソニーセミコンダクタソリューションズ株式会社) 22.11.2018 (2018-11-22) 段落[0024]-[0029],図1	16
A		3-11
A	JP 2016-21236 A (三星電子株式会社) 04.02.2016 (2016-02-04) 全文	1-16

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
15.04.2020	28.04.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
橘　高志 5V 8391
電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/004411

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-510732 A	02.04.2010	US 2010/0182468 A1 段落[0034]-[0102],図1-8 WO 2008/061268 A1	
JP 2018-186478 A	22.11.2018	CN 110546945 A 段落[0078]-[0083],図1	
JP 2016-21236 A	04.02.2016	US 2016/0011654 A1 全文 EP 2975558 A2 KR 10-2016-0008439 A CN 105279118 A	