

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4322673号
(P4322673)

(45) 発行日 平成21年9月2日(2009.9.2)

(24) 登録日 平成21年6月12日(2009.6.12)

(51) Int.Cl.
H04L 25/49 (2006.01)

F I
H04L 25/49 A

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2003-542429 (P2003-542429)	(73) 特許権者	306043703
(86) (22) 出願日	平成14年11月5日 (2002. 11. 5)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2005-508592 (P2005-508592A)		N X P B. V.
(43) 公表日	平成17年3月31日 (2005. 3. 31)		オランダ国 5 6 5 6 エイジー アイン
(86) 国際出願番号	PCT/IB2002/004703		ドーフエン ハイ テク キャンパス 6
(87) 国際公開番号	W02003/040862		O
(87) 国際公開日	平成15年5月15日 (2003. 5. 15)	(74) 代理人	100075812
審査請求日	平成17年11月4日 (2005. 11. 4)		弁理士 吉武 賢次
(31) 優先権主張番号	10/005, 942	(74) 代理人	100088889
(32) 優先日	平成13年11月8日 (2001. 11. 8)		弁理士 橋谷 英俊
(33) 優先権主張国	米国 (US)	(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100112793
			弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 大きなビット幅データを狭いビット幅データパスによって送る装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 の部分及び第 2 の部分を有する N ビットワードデータを M ビットチャネル（M は N よりも小さい）によって送る方法であって、

X 個（X は少なくとも 2 以上）のワードのそれぞれの前記第 1 の部分を M ビットグループで転送し、

前記 X 個のワードのうちの少なくとも 2 個のワードの前記第 2 の部分からのビットを含む、少なくとも 1 個の他のビットグループを転送するとともに、

前記 N ビットワードデータと前記 M ビットチャネルのビット幅の間のバッファ部の比率差分は、前記 N ビットワードデータの第 1 の入力レートと前記 M ビットチャネルの第 2 の転送レートとの間の速度を等価的に増加させることによって、補償され、前記バッファ部は、クロック境界に亘って配置され、データパスの各端で、グループ化及び再組立てオペレーションのために使用される、

ことを特徴とする方法。

【請求項 2】

前記 X 個のワードのそれぞれに関して、前記転送された少なくとも 1 個の他のビットグループから抽出された前記第 2 の部分を、対応する前記転送された第 1 の部分に結合することを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記第 1 の部分は M ビットの符号化された情報を含み、前記第 2 の部分は符号化する情

報を含むことを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記第 2 の部分は D C 成分バランス化情報をさらに含むことを特徴とする請求項 3 に記載の方法。

【請求項 5】

前記 M ビットチャンネルはデジタルビジュアルインタフェース (D V I) 部を備えていることを特徴とする請求項 1 に記載の方法。

【請求項 6】

前記 N ビットワードデータを前記第 1 の入力レートで X 個の場所に格納し、各場所は N ビット幅であり、

各 N ビットワードは前記 X 個の場所のうちの 1 つに格納され、

転送には前記 X 個の場所から前記第 1 の入力レートよりも速い前記第 2 の転送レートで読み出すことが含まれることを特徴とする請求項 1 に記載の方法。

【請求項 7】

前記 N ビットワードデータを前記第 1 の入力レートで転送用に配列し、

転送は、前記第 1 の入力レートと同じ速さそれ以上である前記第 2 の転送レートで行われることを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記第 2 の転送レートは前記第 1 の入力レートよりも N / M 倍速いことを特徴とする請求項 7 に記載の方法。

【請求項 9】

X 個のワードのそれぞれの前記第 1 の部分は、X 個のワードのそれぞれが供給された順番に対応した順序で転送されることを特徴とする請求項 7 に記載の方法。

【請求項 10】

X 個の N ビットワードを第 1 の記憶素子内に転送用に配列し、

X 個のワードのそれぞれの前記第 1 の部分及び少なくとも 1 個の他のビットグループを転送する間に、他の X 個の N ビットワードを他の記憶素子内に転送用に配列し、前記 X 個のワードのそれぞれに関して、前記転送された少なくとも 1 個の他のビットグループから抽出された前記第 2 の部分を、対応する前記転送された第 1 の部分に結合することを特徴とする請求項 1 に記載の方法。

【請求項 11】

各 N ビットワードが第 1 の部分及び第 2 の部分を有する N ビットワードデータを M ビットチャンネル (M は N よりも小さい) によって送る装置であって、

X 個のワードのそれぞれの前記第 1 の部分を M ビットグループで転送する手段と、

前記 X 個のワードのうちの少なくとも 2 個のワードの前記第 2 の部分からのビットを含む少なくとも 1 個の他のビットグループを転送する手段と、

前記 N ビットワードデータと前記 M ビットチャンネルのビット幅の間のバッファ部であって、クロック境界に亘って配置され、データパスの各端で、グループ化及び再組立てオペレーションのために使用されるバッファ部と、

を備え、

前記 N ビットワードデータと前記 M ビットチャンネルのビット幅の間の前記バッファ部の比率差分は、前記 N ビットワードデータの第 1 の入力レートと前記 M ビットチャンネルの第 2 の転送レートとの間の速度を等価的に増加させることによって、補償される、

ことを特徴とする装置。

【請求項 12】

前記 X 個のワードのそれぞれに関して、前記転送された少なくとも 1 個の他のビットグループから抽出された前記第 2 の部分を、対応する前記転送された第 1 の部分に結合する手段をさらに有することを特徴とする請求項 11 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルデータ処理に係わり、特に、デジタルデータ通信技術に関する。

【背景技術】

【0002】

より複雑な回路を求め続けることによって、小面積のシリコンウェハ上に超大規模集積回路を製作することによって実現される重大な成果がもたらされた。これらの複雑な回路は、一連のデータを操作し、次に、そのデータを更なる処理のために順送りする、機能的に定められたブロックとしてしばしば設計される。このような機能的に定められたブロックからの通信情報は、同じチップ内における個別の集積回路の間（または「チップ」間）、或いは、より遠く離れた場所に設置された通信回路構成とシステムとの間で、少量又は大量のデータで送られる。構成とは無関係に、通信は、典型的に、データの完全性が維持されること、及び、チップセット設計が実装空間及び使用可能な動作電力の観点で実現可能な制限に対して敏感であることを保証するために、厳密に制御されたインタフェースを必要とする。

10

【0003】

マイクロプロセッサ及びデジタル信号プロセッサを含むコンピュータ装置は、広範囲のアプリケーション用に設計され、実際にあらゆる産業で使用されている。様々な理由から、これらのアプリケーションの多くは、ビデオデータの処理に用いられる。多数のデジタルビデオ処理装置は、効率的にリアルタイム又は準リアルタイムで機能させるため益々複雑化している。回路がより複雑化するにつれて、それに応じて回路ブロック間でデータを送る速度を高めることが要求される。これらの高速通信アプリケーションの多くは、多数のデータビットが並列通信路を通じて同時に送信される並列データ相互接続伝送を用いて実施することができる。典型的なシステムは、多数のモジュール（即ち、1つまたはそれ以上の協働的に機能するチップ（cooperatively-functioning chips））を含み、この多数のモジュールが、例えば、ケーブル、その他の相互接続、および／または、チップ上の内部バスの形態でパラレルデータバスに接続し、このパラレルデータバスを介して通信する。このような「パラレルバス化」は、高データレートでのデータ転送を達成するために十分に受け入れられているアプローチであるが、最近では、デジタル装置をシステムに結合するためにより直接的なモードを支援するデジタル高速シリアルインタフェース技術が出現している。

20

30

【0004】

あるデジタルビジュアルインタフェース（DVI）の仕様は、ディスプレイ技術から独立したビジュアルデータ型に用いられる高速デジタル接続を規定している。DVIは、デジタルフラットパネルビデオディスプレイの急増と、グラフィックスカードを介してフラットパネルディスプレイをパーソナルコンピュータ（PC）へ効率的に付加する要求とに応じて発展した。アナログビデオ・グラフィックス・アレイ（VGA）インタフェースを通じてデジタルディスプレイを結合するためには、最初に、デジタル信号をアナログVGAインタフェース用のアナログ信号へ変換し、次に、フラットパネルデジタルディスプレイによる処理用のデジタル信号へ逆変換する必要がある。この2重の変換処理は、性能及びビデオ品質に損失をもたらし、コストを増大させる。これに対して、デジタルインタフェースを介してデジタルフラットパネルディスプレイを結合する場合には、デジタルアナログ変換は不要である。フラットパネルディスプレイやデジタルCRTのようなデジタルビデオディスプレイは、徐々に普及し始めているため、DVIインタフェースのようなデジタルインタフェースも徐々に普及し始めている。

40

【0005】

DVIは、グラフィックスアダプタとディスプレイの間に高速デジタルデータ接続を設けるために、トランジション・ミニマイズド・デファレンシャル・シグナリング（TMDS）を実装する高速シリアルインタフェースを使用する。ディスプレイ（又は画素）データは、グラフィックスコントローラから、（グラフィックスカード上のチップ又はグラフィックスチップセットに実装された）TMDSリンクを介して、ディスプレイコントロー

50

ラへ流れる。TMD Sは、「オン」状態と「オフ」状態の間で遷移することによりデータを搬送する。ブール代数の排他的論理和（XOR）演算又は排他的否定論理和（XNOR）演算を使用する最新の符号化アルゴリズムは、遷移を最小化するために適用される。この遷移の最小化は、ケーブルにおける過剰な電磁妨害（EMI）レベルを防止する。付加的な演算がDC成分をバランスさせるために実行される。入力8ビットデータは、転送のために、10ビットの遷移最小化されDCバランスのとれた（TMD S）文字に符号化される。最初の8ビットは符号化されたデータであり、9番目のビットは、データがXORロジックとXNORロジックのどちらで符号化されたかを示し、10番目のビットはDCバランス化のために使用される。

【0006】

10

TMD S相互接続層は、（赤色、緑色、及び、青色画素データ用の）3つの8ビット高速データチャンネルと、1つの低速クロックチャンネルとからなる。DVIは、最大で2つのTMD Sリンクを許容し、各リンクは、RGB情報用の3つのデータチャンネルからなり、165MHzの最大帯域幅を有する。DVIは、改良され一貫した画質を全てのディスプレイ技術にもたらす。従来型のCRTモニターでさえ、デジタルリンクの利点、エラーの減少に起因するビデオ画像の鮮明化、及び、デジタルリンクの至る所でのノイズ低下を実現するためにDVIインタフェースを実装する。

【0007】

標準的なDVI接続は、8ビットのデジタルデータ入力（TMD S符号化を除く）を取り扱うが、一部の最新式のハードウェア及びアプリケーション（例えば、デジタルTV、デジタルセットトップボックスなど）、特に、高解像度を要求する高精細ピクチャー用のハードウェア及びアプリケーションは、10ビットデジタルデータ（TMD S符号化を除く）を通信する必要がある。例えば、デジタルデータ暗号化は、デジタルリンクを介して、（PC、セットトップボックス、DVDプレーヤ、又は、デジタルVCRのような）ビデオソースから、（LCDモニタ、テレビジョン、プラズマパネル、又は、プロジェクタのような）デジタルディスプレイへ流れるデジタルデータを保護し、それによって、そのコンテンツは複製されないようにしている。データは、デジタルリンクのトランスミッタ入力で暗号化され、リンクのレシーバ出力で復号化される。しかし、ある暗号化技術はデータのビット幅を拡張する。高帯域幅デジタルコンテンツ保護（HDCP）は、2つの付加ビットを付加する。例えば、その2つのビットは、暗号化中に8ビット入力データに付加され、全部で10ビットになる。HDCP暗号化は、全部で10ビットにするため2つの付加ビットを付加する。HDCP暗号化を使用して転送するためのR、G及びBの3つの画素成分毎にTMD S方式で符号化された10ビットデータは、別の2ビットを必要とし、全部で12ビットになる。しかし、TMD Sリンクを通して10ビットデータを伝える10ビット（TMD S符号化を除く）DVI接続規格は、現在のところ存在しない。

20

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

したがって、データ転送インタフェースの改良は、より実行可能で、かつ、より高速の通信アプリケーションを可能にし、この通信アプリケーションは、データ完全性を維持すると共に、回路を高速化する要求を直接的に満たすことができる。本発明の種々の形態は、上記の問題点を解決し、他のアプリケーションに対しても同様に有用な通信方法及び装置を提供する。

40

【課題を解決するための手段】

【0009】

本発明は、上記の課題を解決し、データパスのビット幅よりも広いビット幅を有するデータを通信する方法をもたらしデジタルデータインタフェースを対象とする。本発明は多数の実施形態及び用途で例示され、そのうちの一部分が以下に要約されている。本発明の一実施形態によれば、NビットワードデータがMビットのチャンネルで送られ、ここで、MはNよりも小さい。Nビットワードの各々は、第1の部分及び第2の部分の各々を有する。X個の

50

複数のワードの各々における第1の部分はMビットグループで転送され、X個のワードのうち少なくとも2ワードの第2の部分からのビットを含む少なくとも1個の別のビットグループも転送される。X個のワードの各々の第2の部分は、転送された少なくとも1個の他のビットグループから抽出され、Nビットワードデータを再度組み立てるために、対応して転送された第1の部分に結合される。

【0010】

本発明の別の形態によれば、第1の部分のビット長はMの整数倍である。第2の部分のビット長はMよりも短い。第1の部分はMビットの符号化情報を含み、第2の部分は符号化情報及びDC成分バランス化情報を含む。一実施形態では、少なくとも1個の別のビットグループはMビットを含む。

10

【0011】

本発明の別の形態によれば、Xは整数であり、 $M/(N-M)$ の倍数である。より具体的な実施形態によれば、10ビットのデジタルデータが8ビットチャネルで送られ、Xが4である場合を対象とする。更なる実施形態では、チャネルは、標準的なデジタルビデオインタフェース(DVI)を含む。第1の部分は、典型的に、最上位ビット部分であり、第2の部分は最下位ビット部分である。代替的な形態では、第1の部分は最下位ビット部分であり、第2の部分は最上位ビット部分である。

【0012】

本発明の別の態様によれば、Nビットワードデータは第1のレートでX個の場所に格納される。各格納場所はNビット幅であり、各NビットワードはX個の格納場所のうちの1つに格納される。Nビットワードデータのグループは第2のレートでX個の格納場所から転送される。一実施形態では、第2のレートは少なくとも第1のレートと同じ速さである。更なる一実施形態では、第2のレートは第1のレートよりも速い。さらに別の実施形態では、第2のレートは第1のレートの N/M 倍の速さである。本発明の別の態様によれば、X個のワードの各々の第1の部分は、X個のワードの各々に与えられた順番に対応した順序で転送される。

20

【0013】

より具体的な実施形態によれば、本発明は、第1の個数のX個のワードであって、各々がNビットを有するワードを転送のために第1の記憶素子内に配列することを対象とする。X個のワードの各々の第1の部分と、少なくとも1個の別のビットグループを転送する間に、X個のワードのうちの別の個数のワードが転送のために別の記憶素子内に配列される。X個のワードの各々について、第2の部分は転送された少なくとも1個の別のビットグループから抽出され、対応して転送された第1の部分に結合される。

30

【0014】

別の実施形態によれば、本発明は、NビットワードデータをMビットチャネルで送る装置を対象とする。ここで、MはNよりも小さい。各Nビットワードは第1の部分及び第2の部分を含む。第1の回路部は、X個のワードの各々の第1の部分をMビットグループで転送するように適合されている。第2の回路部は、X個のワードのうちの少なくとも2個のワードの第2の部分からのビットを含む少なくとも1個の別のビットグループを転送するように適合されている。受信回路部は、転送された少なくとも1個の別のビットグループから第2の部分を抽出し、第2の部分を、X個のワードの各々に対応し転送された第1の部分へ結合するように適合されている。

40

【0015】

その他の形態及び利点は、本発明の具体的な実施形態を対象としている。

【0016】

上記の本発明の概要は、本発明の例示された各実施形態、又は、本発明のあらゆる実施形態を記述することを意図していない。

【発明を実施するための最良の形態】**【0017】**

添付図面及び以下の詳細な説明はこれらの実施形態をより具体的に例示する。

50

【0018】

本発明は、本発明の様々な実施形態の以下の詳細な説明を、添付図面と共に考慮することにより完全に理解されるであろう。

【0019】

本発明は様々な変更や代替的な形態に従うが、それらの細部が一例として図面に示され、以下で詳細に記述される。しかし、本発明を、記述された具体的な実施形態に限定する意図の無いことが理解されるべきである。一方、特許請求の範囲に記載されるような本発明の精神及び保護範囲に含まれるすべての変更、均等物、及び、代替を網羅することが意図されている。

【0020】

本発明は、多種多様なデジタル通信アプリケーションに適用可能であると考えられ、特に、相対的に、より広いビット幅のデータを、相対的に、より狭いビット幅の容量を有するデータパスを用いて送る技術の恩恵を受けるデジタルビデオインタフェースアプリケーションに有用であることが分かった。より詳細には、本発明は、より広いビット幅のデータ、例えば、より解像度が高い、若しくは、符号化された画像により豊富な情報を通信したいという要望が、デジタル通信チャネルの実施やこのようなデータを受け入れる規格よりも先行しているデジタルデータパスに適用可能であると考えられる。本発明の様々な形態は、これらのアプリケーションを使用する例を説明することによって理解されるであろう。

【0021】

本発明の概略的な実施形態によれば、回路部は、Mビットデータパスを用いてNビットデジタルデータを送り、ここで、MはNよりも小さく、データパスの送信端でデジタルデータを比較的小規模のデータグループに配列するため、スイッチング、多重化、及び、クロッキングロジックを用いる。例えば、Nビットデータは、Mビットデータパスでの転送のために、Mビットグループにパーシングする。少なくとも1個のデータグループは、複数の入力Nビットワードから抽出されたビットにより構成されたグループに転送のために配列される。比較的小規模のデータグループは、その後、受信端で元のNビットワードに再度組み立てられる。

【0022】

クロックドメイン境界に亘って配置されたバッファ部は、データパスの各端で、それぞれ、グループ化オペレーション及び再組立てオペレーションのため使用される。転送クロックドメインは、少なくとも、データパスの送信端へ供給するクロックドメインと同じ速さである。デジタルデータは、あるレートで送信バッファ装置に供給され（例えば、「書き込み」クロックに従って書き込まれ）、送信用バッファから通信チャネルを介して、より高速な他のレートで転送される（例えば、他の「読み出しクロック」に従ってクロックアウトされる）。より詳細な構成では、入力レートと転送レートとの間の比率差分は、入力デジタルデータワードのビット幅とデータパスビット幅との間の比率差分に比例する。比較的小規模のサイズのデジタルデータグループは、データパスを通じた転送当たりのビットの減少量に起因するビットスループットの変化を補償するために、より高速なレートでデータパスを通じて転送される。一実施形態では、ビット幅の間の比率差分は、第1の（入力）レートと第2の（転送）レートとの間の速度を等価的に増加させることによって補償される。例えば、入力データストリームビット幅がデータパスビット幅よりも25%大きい場合、データパスを通る転送レート（例えば、読み出しクロック）は、データストリーム入力レート（例えば、書き込みクロック）よりも25%高速であり、これにより、データパスに亘ってビットスループットを入力データストリームスループットと等しい状態に維持する。

【0023】

他の形態によれば、入力デジタルデータの各Nビットワードは第1の部分と第2の部分に区分けされ、第1の部分のビット量はMの倍数であり、第2の部分のビット量はMビットよりも少ない。複数の（例えば、X個のワードの各々からの）第1の部分は、一度にM

10

20

30

40

50

ビットで転送される。例えば、Mビットを有する第1の部分は、1個のMビットグループで転送される。2Mビットを有する第1の部分は、2個のMビットグループで転送される。複数の第2の部分からのビットは、配列され（即ち、一体として連結され）、少なくとも1個の他のビットグループとして転送され、このまたはこれらの各ビットグループは最大でMビットを有する。例えば、X個の全てのワードの第2の部分が転送用のMビットグループに一体として結合される。他の具体例では、X個の全てのワードの第2の部分は転送用のグループに一体として結合され、そのグループはMビット未満を有する。さらに他の具体例では、X個のワードのうちの少なくとも2個の第2の部分からのビットは、グループとして配列され（即ち、連結され、又は、一体として結合され）、転送され、そのグループは最大でMビットを有する。データパスの受信端において、転送されたデータは、10
分解されてNビットワードへ戻る。配列の分解処理は、データパスの送信端でのデータ配列処理に対応する。例えば、第2の部分のビットは、転送された少なくとも1個の付加（即ち、第1の部分ではない）グループから抽出され、適切な順番でそれぞれの第1の部分に再度組み立てられ、それぞれのNビットデータワードを再形成する。

【0024】

本発明の他の実施形態によれば、Xは整数であり、入力データビット幅Nと、チャンネルビット幅Mの関数である。Xは、一実施形態では、比 $M/(N-M)$ の倍数である。より詳細な一実施形態では、10ビットの入力デジタルデータが8ビットチャンネルを用いて送られ、そのデジタルデータは、パーシングするX個のワードグループを転送するために配列され、Xは、 $8/(10-8) = 8/4 = 4$ の倍数である。この比はそのまま整数になるので、4入力ワードのグループは、ビット幅10ビットび入力データを、8ビットチャンネルを用いて転送するために配列される。20

【0025】

より具体的な実施形態によれば、本発明の回路構成は、デジタルビジュアルインタフェース(DVI)のインタフェース部を有するデータパスを含む。DVIインタフェース部は、DVIリンクを含み、出力データストリームの安定な平均DC値を維持するために、トランジション・ミニマイズドTMDSシグナリングプロトコルを用いるHDCPを具備する。TMDSは、銅及び光ファイバケーブルを介したデータ伝送のための8ビットのデータを10ビットの遷移最小化されDCバランス化されたキャラクタへ変換する符号化アルゴリズムによって実現される。DVIリンクによる送信はシリアル化され、銅ケーブル30
を通じたEMIを低減させるために最適化される。レシーバ端でのクロック再生は高い歪み許容度を示し、短い低コストのケーブルと同様に、より長いケーブル長を利用することを可能とする。

【0026】

本発明の他の形態によれば、入力デジタルデータ（例えば、複数のNビットワード）は第1のレートで供給される。一実施形態によれば、入力Nビットワードデータは、メモリ又はバッファのような記憶素子のX個のレジスタに格納される。各格納場所はNビットを格納するため適合している。これにより、NビットワードはX個の格納場所の各々に格納される。Nビットワードの部分は、第2のレートでX個の格納場所からグループとして転送される。一実施形態では、第2のレートは少なくとも第1のレートと同じ速さである。40
更なる実施形態では、第2のレートは第1のレートよりも速い。さらに他の実施形態では、第2のレートは、第1のレートよりもN/M倍高速である。X個の10ビットワードの各々の第1の部分は、一実施形態では、所定の順序で、例えば、X個のワードの各々が供給された（例えば、記憶素子に書き込まれた）順番に対応した順序で転送される。

【0027】

本発明の更なる概略的な実施形態によれば、Nビットワードの第1の量Xは、上述のようにMビットデータパスを通して転送するために、第1の記憶素子に配列される。ここで、MはNよりも小さい。転送は、上述のように、Mビット以下のグループで達成される。第1の記憶素子からのデータ（例えば、第1の部分、及び、X個のワードの第2の部分から得られた少なくとも1個の他のビットグループ）の転送と並行して、他の多数のX個の50

ワードが転送のために他の記憶素子に配列される。入力データストリームは、一実施形態によれば、選択装置により、他の記憶素子の格納場所へ転送される。この他の多数のX個のワードは、続いて、第1の記憶素子からデータパスによってデータを転送するために上記の同じデータグループ化技術を用いてデータパスを介して転送される。転送待機中のデータがまだある場合、一方の記憶素子からのデータ転送オペレーションと並行して、X個のワードがもう一方の記憶素子に供給される。並行した転送／供給オペレーションは、一実施形態では、2つの記憶素子の間で交互に入れ替わる。この処理は、第2の記憶素子からデータを転送する間に転送用のデータを第1の記憶素子に供給、配列することと、第1の記憶素子からデータを転送する間に転送用のデータを第2の記憶素子に配列することを交互に行いながら、入力データストリームを処理し続ける。多数のX個のワード毎に、第2の部分は、転送された少なくとも1個の他のビットグループから抽出され、多数のX個のNビットワードを再度組み立てるために、対応した転送された第1の部分に結合される。

10

【0028】

他の実施形態によれば、本発明は、NビットワードデータをMビットチャンネルで送る装置を対象とする。ここで、MはNよりも小さい。この装置は、各Nビットワードを、第1の部分及び第2の部分にパースングするように適合されている。第1の回路構成は、X個のワードの各々の第1部分をMビットグループで転送するように適合されている。第2の回路構成は、X個のワードのうちの少なくとも2個のワードの第2部分からのビットを含む少なくとも1個の他のビットグループを転送するように適合されている。受信回路構成は、転送された少なくとも1個の他のビットグループから第2部分を抽出し、第2部分を、X個のワードの各々について対応し転送された第1部分へ結合するために適合され、それによって、受信端でNビットワードを再度組み立てる。

20

【0029】

図1は、10ビット（「10-b」）デジタルデータを8ビット（「8-b」）チャンネルで転送するための本発明の回路構成100の一実施形態を示す図であり、チャンネルは8-b DVI規格を実施する部分110を含み、この実施形態では、N=10、M=8であり、Mビットチャンネルはデジタルビジュアルインタフェース（DVI）部を含む。チャンネル部110は、トランジション・ミニマイズド・デファレンシャル・シグナリング（TMDS）データリンク120を含む。データは、TDMSTランスミッタ122によってTMDSリンクを介して送信され、TMDSレシーバ124によって受信され、TMDSトランスミッタとTMDSレシーバはそれぞれTMDSリンクに結合されている。高帯域幅デジタルコンテンツ保護（HDCP）エンコーダ130はTMDSトランスミッタに接続され、HDCPデコーダ134はTMDSレシーバに接続され、それぞれデジタルデータを符号化し、復号化する。

30

【0030】

データソース140（例えば、フラットパネルグラフィックスコントローラ）は、回路構成100を通して、データリンク150（例えば、デジタル式フラットパネルディスプレイ又はCRT）へ転送されるべき複数の10ビットデジタルデータストリームを供給する。赤色（R）ビデオ画像情報はデータストリーム142で伝送され、緑色（G）ビデオ画像はデータストリーム144で伝送され、青色（B）ビデオ画像はデータストリーム146で伝送される。別の形態では、Y、U及びV信号情報が3つのデジタルデータストリームで、それぞれ伝送される。

40

【0031】

スイッチング、多重化及びクロッキング方式が、トランスミッタ側のジャンクションボックス（JBOX）160と、それを補完するレシーバ側の逆ジャンクションボックス（IJBOX）170とを用いて実現される。JBOXの機能は、データパス（例えば、142、144及び146）を介して通信された10ビットデータストリームの各々を、それぞれデータパス162、164及び166を介して通信される、対応した8ビットデータストリームに分解することであり、標準的なDVIインタフェースはこれらの8ビット

50

データストリームを変更することなく容易に伝送できる。レシーバ側では、HDCPデコーダを介してTMD Sレシーバから送信された8ビットデータストリームは、各10ビットデータストリームに再度組み立てられる。

【0032】

次に、図2を参照して、一例として、図1に示された3個(R、G及びB、又は、Y、U及びV)の10ビットデジタルデータストリームのうちの1つを説明する。回路構成100のJB O X 160は、複数のX個の連続的な10ビットデータワードを、転送用のより小さい8ビットグループにパーシングする。一実施形態では、全部で40ビットが5個の8ビットデータグループに配列され、最初の4個の8ビットグループの各々は、4個の10ビットワードのうちの1個の最上位8ビット(MSB)である。最後(5番目)の8ビットグループは、4個の10ビットデータワードの各々からの最下位2ビット(LSB)を具備する。

10

【0033】

10ビットワードは、データソース140(例えば、フラットパネルグラフィックスコントローラ)から供給され、10ビットデータパス142を介して、デマルチプレクサ(「demux」)280に結合される。デマルチプレクサ280は、第1のバッファ(バッファ0)290と、第2のバッファ(バッファ1)295に接続される。一連の10ビットワードが第1のバッファ290へ供給され、引き続き、第2のバッファ295へ供給される。各バッファは、X個の10ビットレジスタ、本実施形態では、4個の10ビットレジスタを含み、第1のバッファにはレジスタ291、292、293及び294があり、第2のバッファにはレジスタ296、297、298及び299がある。各レジスタは、1個の10ビットデータワードを格納するように適合されている。レジスタ291はバッファ0のレジスタ0であり、従って、レジスタ291の10ビットの格納場所は、バッファ0内のレジスタ0のビット0からビット9を意味するreg00[9:0]のように表すことができる。同様に、reg13[9:0]は、バッファ1(即ち、バッファ295)内のレジスタ3(即ち、レジスタ299)のビット0からビット9を意味する。

20

【0034】

Xの大きさは、入力データストリームビット幅とデータパスビット幅との間の相対差に基づいて設計される。最大効率のためには、Xは、 $M/(M-N)$ の倍数、例えば、 $M/(N-M)$ の倍数の中で整数になる最小倍数になるように選択され、その結果として、第2の部分から抽出されたビットをMビットグループにグループ化することが可能になる。第2の部分から抽出されたビットがMビット未満でグループ化されるならば、データパス容量は無駄に使用され、転送効率が低下する。図2に示された実施形態では、Mは8であり、(N-M)は2であるので、 $M/(N-M)$ は $8/2$ 、即ち、4である。これは、最小倍数(1倍)の整数でもある。しかし、7ビットチャネルの場合、 $M/(N-M)$ は $7/3$ 、即ち、2.33である。整数になる最小倍数は3倍、即ち、7である。したがって、7個の格納場所を有する記憶素子を実装することが最も効率的である。

30

【0035】

バッファ290内で、レジスタ291が充填のためにデマルチプレクサ280によって選択され、次に、バッファ290への矢印A0、B0、C0及びD0によって示された順番にレジスタ291等が選択される。バッファ295のレジスタを充填するためのデータパスは、続くバッファ充填を行う実施形態を示すために同様に参照される。デマルチプレクサ280を通して、バッファ290及び295は、単一の10ビットデータストリームから連続的に充填される。バッファ290及び295は、オプションとして、別の固定した順に充填され得るが、データパスの受信端での再組立てオペレーションはその特定の順番に対応させることが必要となる。

40

【0036】

各レジスタのデータは、例えば、第1の部分及び第2の部分と、最上位ビット(MSB)部分282と、最下位ビット(LSB)部分284とに区分される。この区分は、物理的に実施してもよく、或いは、ビットアドレスに従って論理的に実施してもよい。例えば

50

、他の実施形態では、各バッファは、単一の40ビット素子であり、第1の部分及び第2の部分は、アドレスによって、又は、その他の識別トラッキング技術（identification tracking technique）によって論理的に分離される。バッファ290及び295は、別個の素子でなくてもよく、より大規模の汎用メモリ構造内に割り付けられたアドレス格納場所を含む様々な構成で実施される。

【0037】

データは、第1のレートで本発明の回路構成に供給される。例えば、データは、第1のクロック信号パス205で受信された第1のクロック信号CLK1に従った第1のレートで、デマルチプレクサ280を介してバッファ290及び295へ格納又は書き込まれる。一方のバッファ、例えば、バッファ290が先に充填される。一方のバッファが充填されると、充填されたバッファ（例えば、バッファ290）からのデータ転送オペレーションは、もう一方のバッファ（例えば、バッファ295）への充填オペレーションと並行して実行する。バッファ290からのデータ転送は、バッファ295を充填するために必要な時間内に完了するので、バッファ295が充填されると、デマルチプレクサ280は、遅延を要することなく、充填するためのバッファ290を再び選択することが可能である。データはバッファ295から転送され、バッファ290は同時に再充填される。並行した充填／転送オペレーションは連続的に進行し、2つのバッファの間で充填／転送オペレーションが交互に入れ替わる。他の実施形態では、1個のバッファだけが使用され、充填／転送オペレーションの連係のために必要な遅延が充填オペレーションと転送オペレーションの間に設けられる。別の実施形態では、単一のバッファが実装され、並行した充填／転送オペレーションが単一のバッファの2つの部分の間で交互に入れ替わる。さらに別の実施形態では、データオーバーフローを防止するため、2個以上のバッファが使用され、バッファ充填オペレーションとデータ転送オペレーションは、上記の方法と同様の方法で連係されるが、交互の順番ではなく、ラウンドロビン方式の順番で連係される。

【0038】

図2に示された実施形態では、データは、図2に矢印a0、b0、c0、d0及びe0によって示されているように、予め決められた順番でバッファ0から転送される。図示されているように、レジスタ291の第1の部分はreg00[9:2]に格納された最上位8ビットであり、第2の部分はreg00[1:0]に格納された最下位2ビットである。ダウンストリームデータパス（即ち、HDCPエンコーダ130及びその下流）のビット幅は8ビットであり、矢印a0～d0によって示されるように、レジスタ291の第1の部分が最初に転送され、レジスタ292、293及び294のそれぞれの第1の部分がその後続くことに注意すべきである。他のビットグループは、バッファ290のレジスタに格納されたデータの第2の部分284からのビットを用いて形成される。図2に示されるように、第2の部分は、ダウンストリーム8ビットデータパスを介した転送用の8ビットワードを形成するために一体として連結される（{ }の記号は連結を意味する）。

【0039】

当業者には明らかであるように、充填オペレーションと転送オペレーションはバッファ290及び295によって切り離されている。バッファ290から転送される8ビットグループの特定の順番は、パージングオペレーション及び再組み立てオペレーションを通じて、各第1の部分と第2の部分の間の対応関係を維持することの次に重要である。例えば、本発明の他の実施形態では、転送の順番は、レジスタ294の第1の部分、次に、レジスタ293、292、291の第1の部分、最後に、第2の部分から形成された8ビットワードである。さらに他の実施形態では、第2の部分は第1の部分を転送する前に転送される。パージングされたグループが送られる様々な順番は、データパスの受信端において、Nビットワードをソートし、再度組み立てを行い、そして、最初にNビットワードを受信した順番に従ってそれらを送るために適した再組み立てルーチンと合致するに過ぎない。

【0040】

バッファ 290 の各レジスタからのデータと、第 2 の部分の連結は、転送用のマルチプレクサ (「mux」) 286 によって順次を選択され、マルチプレクサ 288 まで送られる。同様に、バッファ 295 の各レジスタからのデータと、第 2 の部分の連結は、マルチプレクサ 287 によって連続的に選択され、マルチプレクサ 288 まで送られる。マルチプレクサ 288 は、データバス 162 及び HDCP エンコーダ 130 を介してビット幅が制限されたダウンストリームデータバス (例えば、TMD S データリンク 120) に結合される。マルチプレクサ 286、287 及び 288 は、転送クロック信号バス 208 を介して受信した転送クロック信号 CLK 2 に従って動作する。

【0041】

続く 4 個の 10 ビット入力ワードのグループを処理するために用いられる「ピンポン式」のタイミング構造は、図示された実施形態では、2 つの分離したクロックを利用する。このクロックは固定の周波数比を有する。4 個の 10 ビットデータワードは、遅い方の CLK 1 信号に従って JBOX にクロック入力され、4 サイクルで一方のバッファ (例えば、バッファ 290) に集められる。しかし、4 個の 10 ビットデータワードに収容された全ての情報を転送するためには、5 個の 8 ビットグループをバッファからクロック出力しなければならない。5 個の 8 ビットグループは、速い方のクロック信号 CLK 2 を用いて、バッファ 290 から読み出される。これらの 8 ビットデータグループは、標準的な DVI インタフェースへ流される。

【0042】

バッファ充填レート (例えば、クロック信号 CLK 1) の時間周期を T_1 として表し、転送レート (例えば、クロック信号 CLK 2) の時間周期を T_2 として表す。転送オペレーション中にバッファの上書きを防止し、或いは、間違ったデータの転送を防止するために、バッファ充填オペレーション及び転送オペレーションは同じ持続時間を有するように設計される。従って、 $4 \times T_1$ は、 $5 \times T_2$ と一致する必要がある。これは、クロック時間周期比が $T_1 / T_2 = 5 / 4$ であることを意味する。バッファ充填レートの周波数を F_1 によって表し、転送レートの周波数を F_2 によって表し、周波数は周期の逆数 (即ち、 $F = 1 / T$) として表されることに注意すると、

$$T_1 / T_2 = (1 / F_1) / (1 / F_2) = F_2 / F_1 = 5 / 4 = 1.25$$

である。したがって、転送レート (例えば、クロック信号 CLK 2) は、バッファ充填レート (例えば、CLK 1) よりも 1.25 倍速くなければならない。この比は、フラクショナル周波数通倍器を使用して容易に実現される。

【0043】

図 3 は、一実施形態におけるデータ供給オペレーション 320 に対するクロック信号とデータ転送オペレーション 330 で使用されるクロック信号との間のタイミング関係を示す図である。位相アライメントウィンドウ 310 には、4 サイクルの CLK 1 320 と、5 サイクルの CLK 2 とが含まれる。2 個のクロック信号の位相は、1 つの例示的な装置では、位相調整器を用いて位相合わせされるので、クロックエッジは、位相アライメントウィンドウ内で、 T_1 の 4 サイクル毎、及び、 T_2 の 5 サイクル毎に整列する。

【0044】

バッファ 290 又は 295 のうち的一方で最初にデータを受信したとき、バッファからの転送 (例えば、バッファの読み出し) は、充填されたバッファにおいて十分なデータが転送 (即ち、読み出し) オペレーションを開始するために利用可能であることを、書き込みロジック制御 (図示せず) が読み出しロジック制御 (図示せず) に知らせた後にだけ開始される。読み出しオペレーションが始まると、読み出しオペレーションは、転送クロック信号 CLK 2 に従って進行し、書き込みオペレーションは、特定のバッファへ連続して供給されるクロック信号 CLK 1 に従って進行する。一定の時間間隔がそれらの間で保たれる。

【0045】

バッファからの転送 (例えば、読み出し) オペレーションは、転送オペレーションがバッファ充填オペレーションに追いつかないことを保証するために、データがバッファへ供

10

20

30

40

50

給された（例えば、書き込まれた）後にある遅延期間を開始してよい。一実施形態では、転送オペレーションは、全てのバッファレジスタが満たされた後に行われる。他の実施形態では、転送オペレーションは、バッファの1個以上のレジスタにデータが収容された後に行われる。転送オペレーションは、位相アライメントウィンドウ内の4個の可能なCLK1のクロックエッジのうちの1つで始めてもよい。転送は、CLK1クロックドメイン中の書き込みと、CLK2クロックドメイン中の読み出しを含む。CLK1クロックドメインからCLK2クロックドメインへの読み出し開始信号の同期は、準安定性の機会を減らすために必要である。読み出し開始制御信号の2重のレジスタ処理によって、パルスストレッチを必要とすることなく、クロックドメインを同期させる。なぜならば、転送は相対的に遅いクロックドメインから相対的に速いクロックドメインへ行われるからである。更なる同期機構は、2重のバッファ処理、即ち、図2における2個のバッファ291と296との間の「ピンポン式」の交互入れ替えによって実現される。データが一方のバッファから転送される間（例えば、データがそのバッファから読み出される間）に、新しいデータがもう一方のバッファへ供給される。複数のバッファ構成を使用する2重のバッファ処理は、転送オペレーションがバッファ充填オペレーションと干渉することを防止し、それに含まれる保証は、転送オペレーションがデータ供給オペレーションを上回らないこと、即ち、未だ供給されていないデータの転送を試みないこと、並びに、転送オペレーションが本発明の回路構成の交互オペレーション中で遅れ過ぎることなく、これによって、例えば、あるバッファ格納場所における先行データがバッファからデータバスへ送出される前に、そのデータがそのバッファ格納場所で上書きされないことである。2重のレジスタ処理と2重のバッファ処理の組み合わせは有効に機能する。なぜならば、転送クロックドメインは、バッファ充填クロックドメインよりも相対的に速いからである。一実施形態では、2個のクロックドメイン周波数の比の間の比率差分は、転送ビット幅の転送ビット幅に対する比に正確に一致する。2サイクルの待ち時間は、読み出し開始制御信号のクロックドメイン同期のための2重のレジスタ処理によって生じ、それにより、バッファ0の第2のレジスタ（reg01）へデータが供給（例えば、書き込み）のと同時に（転送オペレーションを始動するため）読み出し開始フラグを立てると、第1のデータグループの転送（例えば、読み出し）は、バッファ0が殆ど満杯になるときとほぼ同じ時間まで延期される。

【0046】

併せて、バッファの第2のレジスタがクロックドメインCLK1中に新しいデータを供給されると同時に読み出し開始信号をアサートし、読み出し動作を始動するために読み出し開始信号がクロックドメインCLK2で同期されかつ認識されるように2重レジスタ処理を約2サイクル遅延させると、転送動作はバッファ充填動作と決して干渉しないことが保証される。図4乃至8は、それぞれ、転送動作が、位相アライメントウィンドウ内の4個の可能なCLK1クロックエッジ位置の何れかで正常に開始されることを示す図である（ $T1/T2 = 5/4$ であるクロックドメインが例示されている）。

【0047】

以上の通り、本発明の様々な実施形態は、例えば、ビデオ信号処理、暗号化、及び、特に、その他のコンピュータで実施される制御アプリケーションで実行される一連の符号付き及び符号無しのバイナリ演算により、高速な加算をもたらし得る。一般的に、本発明の回路構成及び方法は、ALUが使用されるようなあらゆる場合に適用可能である。高解像度装置と、標準DVIインタフェースを具備した標準的な家電製品との間の10ビットデータの交換に特に役立ちかつ有用であるが、ここに開示された方法は本質的に柔軟であり、 $N > M$ である場合に、MビットインタフェースによるNビットデータの伝送を実現し易くする。上記の種々の実施形態は、例示のためだけに示されたものであり、発明を限定する意味で解釈されるべきではない。上記の説明及び図示に基づいて、当業者は、ここに例示され説明された典型的な実施形態及び適用に完全には沿わないような、様々な変形及び変更が本発明になされることを容易に認識するであろう。このような変形及び変更は、特許請求の範囲に記載された本発明の真の精神及び範囲から逸脱するものではない。

【図面の簡単な説明】

【0048】

【図1】本発明による標準的なDVIインタフェースを組み込むインタフェースの一例のブロック図である。

【図2】本発明によるNビットデータストリームとMビットデータパスの間のインタフェースの一例の概略的なブロック図である。

【図3】本発明によるNビットデータストリームとMビットデータパスの間のインタフェースの一例のクロック関係のタイミングチャートである。

【図4】本発明によるデータ供給オペレーションとデータ転送オペレーションの間の同期を示すインタフェースの一例のタイミングチャートである。

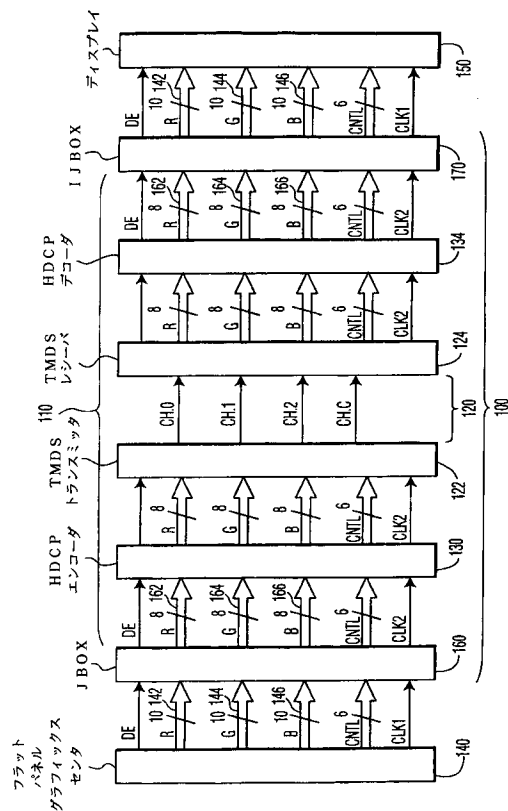
【図5】本発明によるデータ供給オペレーションとデータ転送オペレーションの間の同期を示すインタフェースの一例のタイミングチャートである。

【図6】本発明によるデータ供給オペレーションとデータ転送オペレーションの間の同期を示すインタフェースの一例のタイミングチャートである。

【図7】本発明によるデータ供給オペレーションとデータ転送オペレーションの間の同期を示すインタフェースの一例のタイミングチャートである。

10

【図1】



【図2】

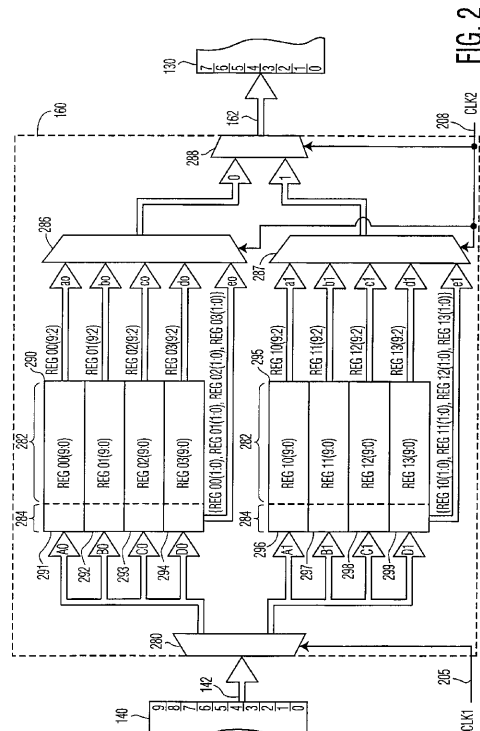


FIG. 2

【図 3】

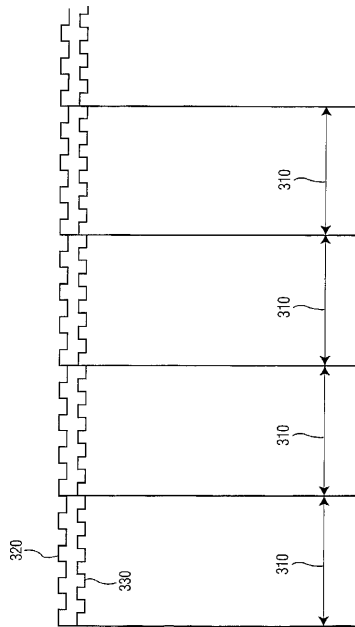
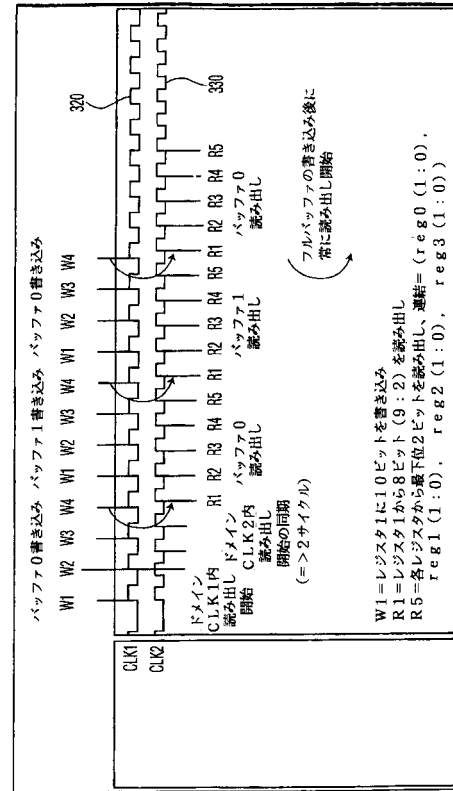
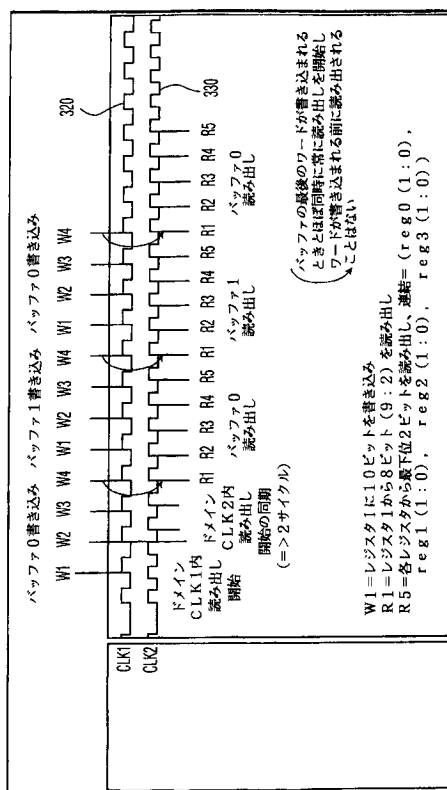


FIG. 3

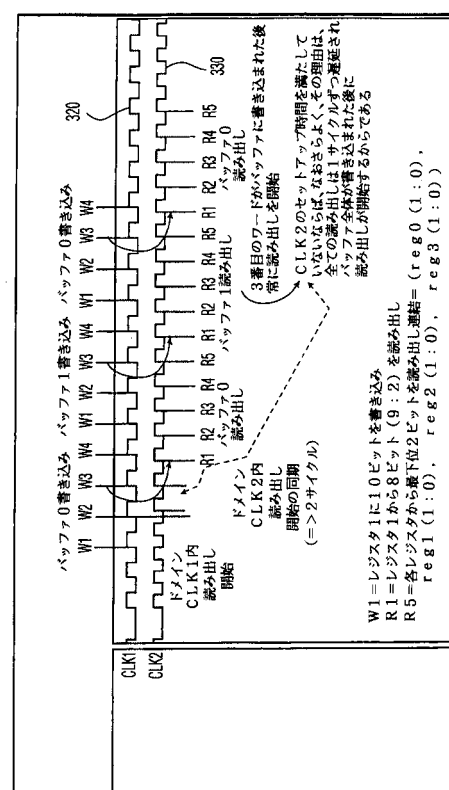
【図 4】



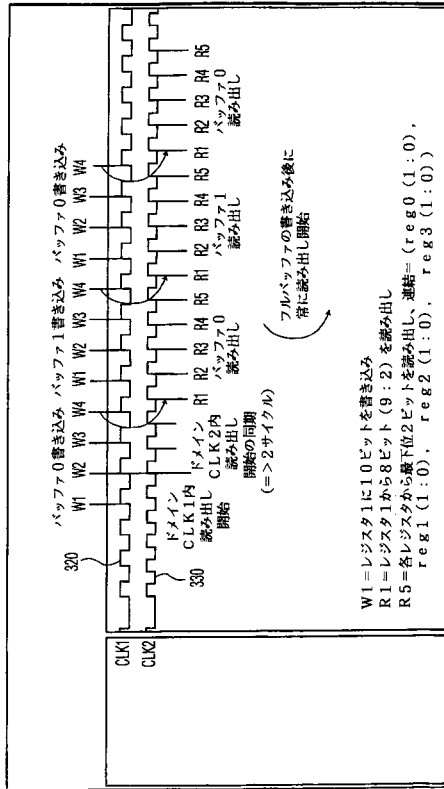
【図 5】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 イェンス、レナート
オランダ国5656、アーアー、アインドーフェン、プロフ．ホルストラーン、6
- (72)発明者 サンタヌ、ダッタ
オランダ国5656、アーアー、アインドーフェン、プロフ．ホルストラーン、6

審査官 矢頭 尚之

- (56)参考文献 特開平05-308338 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04L 25/49