



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

201904
(11) (B1)

(51) Int. Cl.³
G 06 F 13/06

(22) Přihlášeno 18 09 78
(21) (PV 6017-78)

(23) Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh Brno 1978

(40) Zveřejněno 31 03 80

(45) Vydáno 15 12 82

(75)
Autor vynálezu

BARTŮŇEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.
a STRONER PETR ing., PRAHA

(54) Zapojení pro řízení výběru stavové paměti

Vynález se týká zapojení pro výběr jedné ze čtyř stavových pamětí, které vytváří posloupnost stavových výstupů s nestejnou délkou trvání a umožňuje manuální ovládání výstupní posloupnosti stavů.

Při řešení logických úloh v oblasti regulace a výpočetní techniky je zapotřebí vytvořit posloupnosti stavů, které tvoří vstupní podmínky pro logické obvody realizující požadované logické funkce. Jednotlivé stavy jsou uchovávány v odpovídajících stavových pamětech, takže posloupnost jednotlivých stavů se provádí postupným nastavováním stavových pamětí, to je řízením výběru příslušné stavové paměti.

Dosud známá zapojení, vytvářející posloupnost stavů se provádí jako několikanásobný klopný obvod se stabilní délkou výstupního signálu. Neexistuje u nich progresivní vazba, která uvědomuje související obvody o připravované změně, což vede ke ztrátovým časům při vyhodnocování stavů. Jina zapojení se provádí jako posuvný registr s podmíněnou funkcí, kde v závislosti na vnějších podmínkách se uzavírají registrové vazby v požadované souslednosti a posouvací pulsy takového registru jsou opět podmiňovány vnějšími signály. Takovéto řešení je značně složité a není variabilní.

Tyto nevýhody odstraňuje zapojení podle vynálezu. Sestává ze čtyř stavových pamětí,

řídícího bloku, přepínacího bloku, rozhodovacího obvodu, vstupního bloku a zdroje časových značek.

Jeho podstata spočívá v tom, že první výstup přepínacího bloku je spojen se druhým vstupem první stavové paměti. První stavová paměť je opatřena prvním výstupem a druhým výstupem, který je spojen s prvním vstupem přepínacího bloku. Druhý výstup přepínacího bloku je spojen se druhým vstupem druhé stavové paměti. Druhá stavová paměť je opatřena prvním výstupem a druhým výstupem, který je spojen se druhým vstupem přepínacího bloku. Třetí výstup přepínacího bloku je spojen se druhým vstupem třetí stavové paměti. Třetí stavová paměť je opatřena prvním výstupem a druhým výstupem, který je spojen se třetím vstupem přepínacího bloku. Čtvrtý výstup přepínacího bloku je spojen se druhým vstupem čtvrté stavové paměti. Čtvrtá stavová paměť je opatřena prvním výstupem a druhým výstupem, který je spojen se čtvrtým vstupem přepínacího bloku. Pátý výstup přepínacího bloku je spojen s prvním vstupem řídícího bloku. Druhý vstup řídícího bloku je spojen se šestým výstupem přepínacího bloku. Sedmý výstup přepínacího bloku je spojen se třetím vstupem řídícího bloku. Čtvrtý vstup řídícího bloku je spojen s osmým výstupem přepínacího bloku. Pátý vstup přepínacího bloku je spojen s výstupem roz-

hodovacího obvodu. Skupinový vstup rozhodovacího obvodu je spojen se druhým skupinovým výstupem řídicího bloku. První skupinový výstup řídicího bloku je spojen s prvním skupinovým vstupem vstupního bloku. Vstupní blok je opatřen druhým skupinovým manuálním vstupem a hromadným výstupem, který je spojen s hromadným vstupem přepínacího bloku. Výstup zdroje časových značek je spojen s prvním vstupem první stavové paměti, s prvním vstupem druhé stavové paměti, s prvním vstupem třetí stavové paměti a s prvním vstupem čtvrté stavové paměti.

Výhodou tohoto zapojení je efektivní využití času bez prodlev mezi jednotlivými stavy, kdy možnost práce v reálném čase, dále snadná přizpůsobivost vnějším podmínkám pomocí změny obsahu první paměti a celkově jednoduchá hardwarová realizace.

Obvod podle vynálezu umožňuje realizovat libovolnou posloupnost stavů s jakoukoli délkou trvání zvoleného stavu. Volba stavu může být prováděna automaticky v závislosti na automaticky generovaných vstupních podmínkách řídicího obvodu, přičemž může být ovlivněna dalšími vnějšími podmínkami, které mohou mít charakter zásahu obsluhy zařízení, v němž je tento obvod uplatněn. Tyto vnější zásahy jsou nadřazeny automaticky generovaným vstupním podmínkám. Celý obvod je synchronizován reálným časem ze zdroje časových značek, takže jakákoliv změna stavových pamětí může nastat pouze v daných časových intervalech. Zdrojem automaticky generovaných podmínek je logika zařízení, v němž je popisovaný obvod účasten.

Zapojení podle vynálezu je znázorněno na přiloženém výkresu.

Zapojení pro řízení výběru stavové paměti sestává z bloků, které je možno charakterizovat takto. Stavové paměti 1, 2, 3, 4, jsou stejné jednobitové paměti, které určují stav připojeného zařízení. Řídicí blok 5 obsahuje výměnnou pevnou paměť, součtové, součinnové a klopné logické obvody. Přepínací blok 6 sestává z logických obvodů typu logického součtu a součinu a slouží pro nastavení stavových pamětí 1, 2, 3, 4. Rozhodovací obvod 7 je sestaven z logických, součtových a součinnových obvodů. Vyhodnocuje výstupy řídicího bloku 5 a o výsledku informuje přepínací blok 6. Vstupní blok 8 obsahuje součtové obvody pro slučování výstupů z řídicího bloku 5 s manuálními vstupy. Zdroj 9 časových značek, vytváří nastavovací pulsy pro přestavení stavových pamětí 1, 2, 3, 4.

První stavová paměť 1 je opatřena prvním výstupem 13 a druhým výstupem 14, který je spojen s prvním vstupem 61 přepínacího bloku 6. První vstup 11 první stavové paměti 1 je spojen s prvním vstupem 21 druhé stavové paměti 2, s prvním vstupem 31 třetí stavové paměti 3, s prvním vstupem 41, čtvrté stavové paměti 4 a s výstupem 91 zdroje 9 časových značek. Druhý vstup 12 první stavové paměti 1 je spojen s prvním výstupem 67 přepínacího bloku 6. Druhá stavová paměť 2 je opatřena prvním výstupem 23 a druhým

výstupem 24, který je spojen s druhým vstupem 62 přepínacího bloku 6. Druhý vstup 22 druhé stavové paměti 2 je spojen se druhým výstupem 68 přepínacího bloku 6. Třetí stavová paměť 3 je opatřena prvním výstupem 33 a druhým výstupem 34, který je spojen se třetím vstupem 63 přepínacího bloku 6. Druhý vstup 32 třetí stavové paměti 3 je spojen s třetím výstupem 69 přepínacího bloku 6. Čtvrtá stavová paměť 4 je opatřena prvním výstupem 43 a druhým výstupem 44, který je spojen se čtvrtým vstupem 64 přepínacího bloku 6. Druhý vstup 42 čtvrté stavové paměti 4 je spojen se čtvrtým výstupem 610 přepínacího bloku 6. První vstup 51 řídicího bloku 5 je spojen s pátým výstupem 611 přepínacího bloku 6. Šestý výstup 612 přepínacího bloku 6 je spojen se druhým vstupem 52 řídicího bloku 5. Třetí vstup 53 řídicího bloku 5 je spojen se sedmým výstupem 613 přepínacího bloku 6. Osmý výstup 614 přepínacího bloku 6 je spojen se čtvrtým vstupem 54 řídicího bloku 5. První skupinový výstup 55 řídicího bloku 5 je spojen s prvním skupinovým vstupem 81 vstupního bloku 8. Druhý skupinový výstup 56 řídicího bloku 5 je spojen se skupinovým vstupem 71 rozhodovacího obvodu 7. Výstup 72 rozhodovacího obvodu 7 je spojen s pátým vstupem 65 přepínacího bloku 6. Hromadný vstup 66 přepínacího bloku 6 je spojen s hromadným výstupem 83 vstupního bloku 8. Druhý skupinový vstup 82 vstupního bloku 8 slouží jako manuální vstup.

Popis činnosti vychází z předpokladu, že je nastavena první stavová paměť 1. Vytvářená posloupnost stavů je taková, že v následujícím intervalu zůstane nastavena první stavová paměť 1 a v dalším kroku posloupnosti bude nastavena druhá stavová paměť 2. Ke změně nastavení kterékoliv ze čtyř stavových pamětí 1 2 3 4 dochází při příchodu časové značky ze zdroje 9 časových značek na první vstupy 11, 21, 31, 41, odpovídajících stavových pamětí 1, 2, 3, 4. Stav stavových pamětí 1, 2, 3, 4 v následujícím intervalu je určen obsahem prvního až čtvrtého výstupu 67, 68, 69 a 610 přepínacího bloku 6. V počátečním okamžiku je tento obsah shodný se stavem stavových pamětí 1, 2, 3, 4, to znamená, že při příchodu časové značky nedojde ke změně obsahu stavových pamětí 1, 2, 3, 4. V intervalu mezi první a druhou časovou značkou vznikne na výstupu 72 rozhodovacího obvodu 7, podle programu uloženého v pevné paměti řídicího bloku 5, signál, který se vede na pátý vstup 65 přepínacího bloku 6. Tento signál zajistí přijetí informace z hromadného vstupu 66 přepínacího bloku 6. Informace na hromadném vstupu 66 přepínacího bloku 6 vzniká v paměti řídicího bloku 5, odkud vychází jeho prvním skupinovým výstupem 55 na první skupinový vstup 81 vstupního bloku 8. Ve vstupním bloku 8 může být tato informace ovlivněna signálem na druhém skupinovém manuálním vstupu 82. V tomto případě informace na hromadném vstupu 66 přepínacího bloku 6 způsobí, že před příchodem

dem druhé časové značky dojde ke změně na prvním až čtvrtém výstupu **67, 68, 69, 610** přepínacího bloku **6**. Tato změna po příchodu časové značky nastaví druhou stavovou paměť **2**. Změnou programu uloženého v pevné paměti řídicího bloku **5** lze jednoduše měnit

sekvenci přepínání stavových pamětí **1, 2, 3, 4**.

Vynálezu se využije u prostředků výpočetní techniky, v sekvenčních automatech a v číslicových regulátorech.

PŘEDMĚT VYNÁLEZU

Zapojení pro řízení výběru stavové paměti sestávající ze čtyř stavových pamětí řídicího bloku, přepínacího bloku, rozhodovacího obvodu vstupního bloku a zdroje časových značek, vyznačující se tím, že první výstup (67) přepínacího bloku (6) je spojen se druhým vstupem (12) první stavové paměti (1), opatřené prvním výstupem (13) a druhým výstupem (14), který je spojen s prvním vstupem (61) přepínacího bloku (6), jehož druhý výstup (68) je spojen se druhým vstupem (22) druhé stavové paměti (2), opatřené prvním výstupem (23) a druhým výstupem (24) spojeným se druhým vstupem (62) přepínacího bloku (6), jehož třetí výstup (69) je spojen se druhým vstupem (32) třetí stavové paměti (3), opatřené prvním výstupem (33) a druhým výstupem (34) spojeným se třetím vstupem (63) přepínacího bloku (6), jehož čtvrtý výstup (610) je spojen se druhým vstupem (42) čtvrté stavové paměti (4), opatřené prvním výstupem (43) a druhým výstupem (44) spojeným se čtvrtým vstupem (64) přepínacího

bloku (6), jehož pátý výstup (611) je spojen s prvním vstupem (51) řídicího bloku (5), jehož druhý vstup (52) je spojen se šestým výstupem (612) přepínacího bloku (6), jehož sedmý výstup (613) je spojen s třetím vstupem (53) řídicího bloku (5), jehož čtvrtý vstup (54) je spojen s osmým výstupem (614) přepínacího bloku (6), jehož pátý vstup (65) je spojen s výstupem (72) rozhodovacího obvodu (7), jehož skupinový vstup (71) je spojen s druhým skupinovým výstupem (56) řídicího bloku (5), jehož první skupinový výstup (55) je spojen s prvním skupinovým vstupem (81) vstupního bloku (8), opatřené druhým skupinovým manuálním vstupem (82) a hromadným výstupem (83), který je spojen s hromadným vstupem (66) přepínacího bloku (6), přičemž výstup (91) zdroje (9) časových značek je spojen s prvním vstupem (11) první stavové paměti (1), s prvním vstupem (21) druhé stavové paměti (2), s prvním vstupem (31) třetí stavové paměti (3) a s prvním vstupem (41) čtvrté stavové paměti (4).

1 výkres

