

**【特許請求の範囲】****【請求項 1】**

第 1 乃至第 4 のトランジスタと、第 1 の容量素子とを有する半導体装置であって、  
前記第 1 のトランジスタのゲートは、前記第 1 の容量素子の第 1 の端子に電氣的に接続され、

前記第 1 のトランジスタの第 1 の端子は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記第 2 のトランジスタの第 1 の端子に電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 2 の配線に電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、負荷に電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 3 の配線に電氣的に接続され、

前記第 3 のトランジスタの第 1 の端子は、前記第 1 のトランジスタの第 2 の端子に電氣的に接続され、

前記第 3 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 4 のトランジスタのゲートは、第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタの第 1 の端子は、前記第 1 の容量素子の第 2 の端子に電氣的に接続され、

前記第 4 のトランジスタの第 2 の端子は、第 5 の配線に電氣的に接続され、

前記第 1 乃至第 4 のトランジスタのゲート長に関して、前記第 1 のトランジスタのゲート長が最も長いことを特徴とする半導体装置。

10

20

**【請求項 2】**

請求項 1 において、

第 2 の容量素子を有し、

前記第 2 の容量素子の第 1 の端子は、前記第 1 の容量素子の第 2 の端子に電氣的に接続されていることを特徴とする半導体装置。

**【請求項 3】**

請求項 1 又は請求項 2 において、

前記第 1 のトランジスタの導電型は P チャネル型であることを特徴とする半導体装置。

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じであることを特徴とする半導体装置。

30

**【請求項 5】**

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 乃至前記第 4 のトランジスタは、多結晶半導体または非晶質半導体を有する薄膜トランジスタであることを特徴とする半導体装置。

**【請求項 6】**

請求項 1 乃至請求項 5 のいずれか一項において、

映像信号電圧は、前記第 5 の配線に供給されることを特徴とする半導体装置。

40

**【請求項 7】**

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 1 の配線、前記第 1 のトランジスタ、及び、前記第 2 のトランジスタを介して、前記負荷に電流が供給されることを特徴とする半導体装置。

**【請求項 8】**

請求項 1 乃至請求項 7 のいずれか一項において、

前記負荷は、画素電極を有することを特徴とする半導体装置。

**【請求項 9】**

請求項 1 乃至請求項 8 のいずれか一項に記載の半導体装置と、操作キー又はスピーカーとを具備する電子機器。

50

## 【請求項 10】

第 1 乃至第 4 のトランジスタと、第 1 の容量素子と、表示素子とを有する表示装置であって、

前記第 1 のトランジスタのゲートは、前記第 1 の容量素子の第 1 の端子に電氣的に接続され、

前記第 1 のトランジスタの第 1 の端子は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記第 2 のトランジスタの第 1 の端子に電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 2 の配線に電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、前記表示素子に電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 3 の配線に電氣的に接続され、

前記第 3 のトランジスタの第 1 の端子は、前記第 1 のトランジスタの第 2 の端子に電氣的に接続され、

前記第 3 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 4 のトランジスタのゲートは、第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタの第 1 の端子は、前記第 1 の容量素子の第 2 の端子に電氣的に接続され、

前記第 4 のトランジスタの第 2 の端子は、第 5 の配線に電氣的に接続され、

前記第 1 乃至第 4 のトランジスタのゲート長に関して、前記第 1 のトランジスタのゲート長が最も長いことを特徴とする表示装置。

10

20

## 【請求項 11】

請求項 10 において、

第 2 の容量素子を有し、

前記第 2 の容量素子の第 1 の端子は、前記第 1 の容量素子の第 2 の端子に電氣的に接続されていることを特徴とする表示装置。

## 【請求項 12】

請求項 10 又は請求項 11 において、

前記第 1 のトランジスタの導電型は P チャンネル型であることを特徴とする表示装置。

## 【請求項 13】

請求項 10 乃至請求項 12 のいずれか一項において、

前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じであることを特徴とする表示装置。

30

## 【請求項 14】

請求項 10 乃至請求項 13 のいずれか一項において、

前記第 1 乃至前記第 4 のトランジスタは、多結晶半導体または非晶質半導体を有する薄膜トランジスタであることを特徴とする表示装置。

## 【請求項 15】

請求項 10 乃至請求項 14 のいずれか一項において、

映像信号電圧は、前記第 5 の配線に供給されることを特徴とする表示装置。

40

## 【請求項 16】

請求項 10 乃至請求項 15 のいずれか一項において、

前記第 1 の配線、前記第 1 のトランジスタ、及び、前記第 2 のトランジスタを介して、前記表示素子に電流が供給されることを特徴とする表示装置。

## 【請求項 17】

請求項 10 乃至請求項 16 のいずれか一項において、

前記表示素子は、発光素子を有することを特徴とする表示装置。

## 【請求項 18】

請求項 10 乃至請求項 17 のいずれか一項に記載の表示装置と、操作キー又はスピーカーとを具備する電子機器。

50

## 【請求項 19】

請求項 1 乃至請求項 18 のいずれか一項に記載の半導体装置を具備する電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、トランジスタを有する半導体装置の構成に関する。本発明は特に、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、TFTと表記する)を有するアクティブマトリクス型半導体装置の構成に関する。また、このような半導体装置を表示部に用いた電子機器に関する。

## 【背景技術】

10

## 【0002】

近年、エレクトロルミネッセンス(Electro Luminescence: EL)素子等を始めとした発光素子を用いた表示装置の開発が活発化している。発光素子は、自らが発光するために視認性が高く、液晶表示装置(LCD)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限が無い。

## 【0003】

ここで、EL素子とは、電場を加えることで発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(燐光)とがあるが、本発明の半導体装置は、上述したいずれの発光形態であっても良い。

20

## 【0004】

EL素子は、一对の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「陽極/正孔輸送層/発光層/電子輸送層/陰極」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在研究が進められているEL素子の多くはこの構造が採用されている。

## 【0005】

また、これ以外にも、陽極と陰極との間に、「正孔注入層/正孔輸送層/発光層/電子輸送層」または「正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層」の順に積層する構造がある。本発明の半導体装置に用いるEL素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

30

## 【0006】

本明細書においては、EL素子において、陽極と陰極との間に設けられる全ての層を総称してEL層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てEL素子に含まれ、陽極、EL層、および陰極で構成される発光素子をEL素子と呼ぶ。

## 【0007】

図3に、一般的な半導体装置における画素の構成を示す。なお、代表的な半導体装置として、EL表示装置を例とする。図3に示した画素は、ソース信号線301、ゲート信号線302、スイッチング用TFT303、駆動用TFT304、容量手段305、EL素子306、電流供給線307、電源線308を有している。

40

## 【0008】

各部の接続関係について説明する。ここで、TFTはゲート、ソース、ドレインの3端子を有するが、ソース、ドレインに関しては、TFTの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第1の電極、他方を第2の電極と表記する。TFTのON、OFFについて、各端子の電位等(あるTFTのゲート・ソース間電圧等)について説明が必要な際には、ソース、ドレイン等と表記する。

## 【0009】

50

また、本明細書において、TFTがONしているとは、TFTのゲート・ソース間電圧がそのしきい値を超え、ソース、ドレイン間に電流が流れる状態をいい、TFTがOFFしているとは、TFTのゲート・ソース間電圧がそのしきい値を下回り、ソース、ドレイン間に電流が流れていない状態をいう。

【0010】

スイッチング用TFT303のゲート電極は、ゲート信号線302に接続され、第1の電極はソース信号線301に接続され、第2の電極は駆動用TFT304のゲート電極に接続されている。駆動用TFT304の第1の電極は、電流供給線307に接続され、第2の電極はEL素子306の第1の電極に接続されている。EL素子306の第2の電極は、電源線308に接続されている。容量手段305は、駆動用TFT304のゲート電極と第1の電極との間に接続され、駆動用TFT304のゲート・ソース間電圧を保持する。

10

【0011】

ゲート信号線302の電位が変化してスイッチング用TFT303がONすると、ソース信号線301に入力されている映像信号は、駆動用TFT304のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用TFT304のゲート・ソース間電圧が決定し、駆動用TFT304のソース・ドレイン間を流れる電流(以下、ドレイン電流と表記)が決定する。この電流はEL素子306に供給されて発光する。

【0012】

ところで、多結晶シリコン(ポリシリコン 以下P-Si)で形成されたTFTは、非晶質シリコン(アモルファスシリコン 以下A-Si)で形成されたTFTよりも電界効果移動度が高く、ON電流が大きいため、半導体装置に用いるトランジスタとしてより適している。

20

【0013】

反面、ポリシリコンで形成されたTFTは、結晶粒界における欠陥に起因して、その電気的特性にばらつきが生じやすいといった問題点を有している。

【0014】

図3に示した画素において、画素を構成するTFTのしきい値やON電流等の特性が画素ごとにばらつくと、同じ映像信号を入力した場合にも、それに応じてTFTのドレイン電流の大きさが異なってくるため、EL素子306の輝度がばらつく。よってアナログ階調の場合、問題となっていた。

30

【0015】

そこで、TFTのしきい値等がON電流に影響しにくい領域を用いて、EL素子を輝度100%、0%の2つの状態のみで駆動するデジタル階調方式が提案されている。この方式では、白、黒の2階調しか表現出来ないため、時間階調方式等と組み合わせて多階調化を実現している。

【0016】

デジタル階調方式と時間階調方式とを組み合わせた方法を用いる場合の半導体装置の画素の構成は、図4(A)(B)に示したようなものがある。スイッチング用TFT404、駆動用TFT405に加え、消去用TFT406を用いることによって、発光時間の長さを細かく制御することが可能となっている。

40

【0017】

一方、別の手法を用いて、TFTのしきい値ばらつきを補正することの出来るものの一例が、特許文献1にて提案されている。

【先行技術文献】

【特許文献】

【0018】

【特許文献1】米国特許第6229506号明細書

【0019】

図5に示すように、ソース信号線501、第1～第3のゲート信号線502～504、T

50

F T 5 0 5 ~ 5 0 8、容量手段 5 0 9 (C<sub>2</sub>)、5 1 0 (C<sub>1</sub>)、E L 素子 5 1 1、電流供給線 5 1 2 を有する。

【 0 0 2 0 】

T F T 5 0 5 のゲート電極は、第 1 のゲート信号線 5 0 2 に接続され、第 1 の電極は、ソース信号線 5 0 1 に接続され、第 2 の電極は、容量手段 5 0 9 の第 1 の電極に接続されている。容量手段 5 0 9 の第 2 の電極は、容量手段 5 1 0 の第 1 の電極に接続され、容量手段 5 1 0 の第 2 の電極は、電流供給線 5 1 2 に接続されている。T F T 5 0 6 のゲート電極は、容量手段 5 0 9 の第 2 の電極および容量手段 5 1 0 の第 1 の電極に接続され、第 1 の電極は、電流供給線 5 1 2 に接続され、第 2 の電極は、T F T 5 0 7 の第 1 の電極および T F T 5 0 8 の第 1 の電極に接続されている。T F T 5 0 7 のゲート電極は、第 2 のゲート信号線 5 0 3 に接続され、第 2 の電極は、容量手段 5 0 9 の第 2 の電極および容量手段 5 1 0 の第 1 の電極に接続されている。T F T 5 0 8 のゲート電極は、第 3 のゲート信号線 5 0 4 に接続され、第 2 の電極は、E L 素子 5 1 1 の第 1 の電極に接続されている。E L 素子 5 1 1 の第 2 の電極には、電源線 5 1 3 によって一定電位が与えられ、電流供給線 5 1 2 とは互いに電位差を有する。

【 0 0 2 1 】

図 5 ( B ) および図 6 ( A ) ~ ( F ) を用いて、動作について説明する。図 5 ( B ) は、ソース信号線 5 0 1、第 1 ~ 第 3 のゲート信号線 5 0 2 ~ 5 0 4 に入力される映像信号およびパルスのタイミングを示しており、図 6 に示す各動作にあわせて、I ~ VIII の区間に分割している。また、図 5 に示した画素の一例では、4 つの T F T を用いて構成され、その極性は全て P チャネル型である。よって、ゲート電極に L レベルが入力されて O N し、H レベルが入力されて O F F するものとする。

【 0 0 2 2 】

まず、第 1 のゲート信号線 5 0 2 が L レベルとなり、T F T 5 0 5 が O N する。このとき、第 3 のゲート信号線は L レベルであり、T F T 5 0 8 は O N している (区間 I)。続いて第 2 のゲート信号線が L レベルとなり、T F T 5 0 7 が O N する。ここで、図 6 ( A ) に示すように、容量手段 5 0 9、5 1 0 が充電され、容量手段 5 1 0 が保持する電圧が、T F T 5 0 6 のしきい値 (V<sub>th</sub>) を上回ったところで、T F T 5 0 6 が O N する (区間 II)。

【 0 0 2 3 】

続いて、第 3 のゲート信号線が H レベルとなって、T F T 5 0 8 が O F F する。すると、容量手段 5 0 9、5 1 0 に貯まっていた電荷が再び移動し、容量手段 5 1 0 に保持される電圧は、やがて V<sub>th</sub> に等しくなる。このとき、図 6 ( B ) にも示すように、電流供給線 5 1 2、ソース信号線 5 0 1 の電位はいずれも V<sub>DD</sub> であるので、容量手段 5 0 9 においても、保持されている電圧は V<sub>th</sub> に等しくなる。よって、やがて T F T 5 0 6 は O F F する。

【 0 0 2 4 】

前述のように、容量手段 5 0 9、5 1 0 に保持されている電圧が V<sub>th</sub> に等しくなったところで、第 2 のゲート信号線 5 0 3 が H レベルとなり、T F T 5 0 7 が O F F する (区間 I V)。この動作により、図 6 ( C ) に示すように、容量手段において V<sub>th</sub> が保持される。

【 0 0 2 5 】

このとき、容量手段 5 1 0 (C<sub>1</sub>) に保持されている電荷 Q<sub>1</sub> については、式 ( 1 ) のような関係が成立する。同時に、容量手段 5 0 9 (C<sub>2</sub>) に保持されている電荷 Q<sub>2</sub> においては、式 ( 2 ) のような関係が成立する。

【 0 0 2 6 】

【 数 1 】

$$Q_1 = C_1 \times |V_{th}| \quad \dots\dots\dots (1)$$

【 0 0 2 7 】

10

20

30

40

50

【数 2】

$$Q_2 = C_2 \times |V_{th}| \dots\dots\dots (2)$$

【0028】

続いて、図6(D)に示すように、映像信号の入力が行われる(区間V)。ソース信号線501に映像信号が出力されて、その電位は $V_{DD}$ から映像信号の電位 $V_{Data}$ (ここでは、TFT506がPチャネル型であるので、 $V_{DD} > V_{Data}$ とする。)となる。このときの、TFT506のゲート電極の電位を $V_P$ とし、このノードにおける電荷を $Q$ とすると、容量手段509、510とを含めた電荷保存則により、式(3)、(4)のような関係が成立する。

10

【0029】

【数 3】

$$Q + Q_1 = C_1 \times (V_{DD} - V_P) \dots\dots\dots (3)$$

【0030】

【数 4】

$$Q - Q_2 = C_2 \times (V_P - V_{Data}) \dots\dots\dots (4)$$

20

【0031】

式(1)~(4)より、TFT506のゲート電極の電位 $V_P$ は、式(5)で表される。

【0032】

【数 5】

$$V_P = \frac{C_1}{C_1 + C_2} V_{DD} + \frac{C_2}{C_1 + C_2} V_{Data} - |V_{th}| \dots\dots\dots (5)$$

30

【0033】

よって、TFT506のゲート・ソース間電圧 $V_{GS}$ は、式(6)で表される。

【0034】

【数 6】

$$\begin{aligned} V_{GS} &= V_P - V_{DD} \\ &= \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) - |V_{th}| \\ &= \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) + V_{th} \dots\dots\dots (6) \end{aligned}$$

40

【0035】

式(6)右辺には、 $V_{th}$ の項が含まれる。すなわち、ソース信号線より入力される映像信号には、その画素におけるTFT506のしきい値が上乘せされて容量手段510に保持される。

【0036】

映像信号の入力が完了すると、第1のゲート信号線502がHレベルとなって、TFT505がOFFする(区間VI)。その後、ソース信号線は所定の電位に戻る(区間VII)。以上の動作によって、映像信号の画素への書き込み動作が完了する(図6(E))。

50

## 【 0 0 3 7 】

続いて、第3のゲート信号線がLレベルとなり、TFT508がONし、EL素子に図6(F)に示すように電流が流れることによってEL素子が発光する。このときEL素子に流れる電流の値は、TFT506のゲート・ソース間電圧に従ったものであり、TFT506を流れるドレイン電流 $I_{DS}$ は、式(7)で表される。

## 【 0 0 3 8 】

## 【 数 7 】

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{th})^2$$

$$= \frac{\beta}{2} \left\{ \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) \right\}^2 \dots\dots\dots(7)$$

10

## 【 0 0 3 9 】

式(7)より、TFT506のドレイン電流 $I_{DS}$ には、しきい値 $V_{th}$ の値に依存しないことがわかる。よって、TFT506のしきい値がばらついた場合にも、画素ごとにその値を補正して映像信号に上乘せすることにより、映像信号の電位 $V_{Data}$ に従った電流がEL素子に流れることがわかる。

## 【 発 明 の 概 要 】

## 【 発 明 が 解 決 し よ う と す る 課 題 】

20

## 【 0 0 4 0 】

しかし、前述の構成の場合、容量手段509、510の容量値がばらついた場合には、TFT506のドレイン電流 $I_{DS}$ がばらついてしまうことになる。そこで、本発明においては、容量値のばらつきの影響を受けにくい構成によって、TFTのしきい値ばらつきを補正することの出来る構成の画素を用いた半導体装置を提供することを目的とする。

## 【 課 題 を 解 決 す る た め の 手 段 】

## 【 0 0 4 1 】

前述の方法によると、TFT506のドレイン電流 $I_{DS}$ は、2つの容量手段509、510の容量値に依存していた。つまり、しきい値を保持している状態(図6(C))から、映像信号の書き込み(図6(D))に移るとき、容量手段 $C_1$ 、 $C_2$ 間においては電荷の移動がある。つまり、 $C_1$ の両電極間の電圧と、 $C_2$ の両電極間の電圧とは、図6(C)図6(D)において変化する。そのとき、 $C_1$ 、 $C_2$ の容量値にばらつきがあると、 $C_1$ の両電極間の電圧と、 $C_2$ の両電極間の電圧もまたばらつくことになる。本発明においては、映像信号にしきい値をそのまま上乘せすることによって補正を行うことが出来るため、容量手段を用いてしきい値を保存した後に映像信号を入力する過程において、容量手段において電荷の移動がなく、容量手段の両電極間の電圧が変化しない。よって、ドレイン電流が容量値のばらつきによる影響を受けないようにすることが出来る。

30

## 【 0 0 4 2 】

また、本発明におけるトランジスタとしては、主としてTFTを用いて構成したものを例として挙げているが、単結晶トランジスタ又は有機物を利用したトランジスタでもよい。例えば、単結晶トランジスタとしては、SOI技術を用いて形成されたトランジスタとすることができる。また、薄膜トランジスタとしては、活性層として多結晶半導体を用いたものでも、非晶質半導体を用いたものでもよい。例えば、ポリシリコンを用いたTFTや、アモルファスシリコンを用いたTFTとすることができる。その他、バイポーラトランジスタや、カーボンナノチューブ等により形成されたトランジスタを用いても良い。

40

## 【 0 0 4 3 】

本発明の構成を以下に記す。

## 【 0 0 4 4 】

前記画素は、電流供給線と、第1乃至第3のトランジスタと、容量手段とを有し  
前記容量手段の第1の電極は、前記第1のトランジスタのゲート電極および、前記第2の

50

トランジスタの第 1 の電極と電氣的に接続され、前記第 2 のトランジスタの第 2 の電極は、前記第 1 のトランジスタの第 1 の電極および、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、第 1 の期間において、前記第 2、第 3 のトランジスタが導通して、前記第 1、第 2 のトランジスタを介して前記容量手段に電荷を蓄積し、第 2 の期間において、前記第 3 のトランジスタが非導通となり、前記第 2 のトランジスタが導通して、前記容量手段に保持される電圧を、前記第 1 のトランジスタのしきい値電圧に等しくし、第 3 の期間において、前記第 2、第 3 のトランジスタが非導通となり、前記容量手段の第 2 の電極より、映像信号が入力され、第 4 の期間において、前記第 2 のトランジスタが非導通となり、前記第 3 のトランジスタが導通して、前記第 1、第 3 のトランジスタのソース・ドレイン間を電流が流れることを特徴としている。

10

## 【0045】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第 1 乃至第 3 のゲート信号線と、電流供給線と、第 1 乃至第 4 のトランジスタと、容量手段と、発光素子とを有し、前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、ソース信号線と電氣的に接続され、第 2 の電極は、前記容量手段の第 1 の電極と電氣的に接続され、前記容量の第 2 の電極は、前記第 2 のトランジスタのゲート電極および、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、前記第 2 のトランジスタの第 1 の電極は、前記電流供給線と電氣的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 2 の電極および、前記第 4 のトランジスタの第 1 の電極と電氣的に接続され、前記第 3 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、前記第 4 のトランジスタのゲート電極は、前記第 3 のゲート信号線と電氣的に接続され、第 2 の電極は、前記発光素子の第 1 の電極と電氣的に接続されていることを特徴としている。

20

## 【0046】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第 1 乃至第 4 のゲート信号線と、電流供給線と、第 1 乃至第 5 のトランジスタと、容量手段と、発光素子とを有し、前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、前記ソース信号線と電氣的に接続され、第 2 の電極は、前記容量手段の第 1 の電極と電氣的に接続され、前記容量手段の第 2 の電極は、前記第 2 のトランジスタのゲート電極および、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、前記第 2 のトランジスタの第 1 の電極は、前記電流供給線と伝記的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 2 の電極および、前記第 4 のトランジスタの第 1 の電極と電氣的に接続され、前記第 3 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、前記第 4 のトランジスタのゲート電極は、前記第 3 のゲート信号線と電氣的に接続され、第 2 の電極は、前記発光素子の第 1 の電極と電氣的に接続され、前記第 5 のトランジスタのゲート電極は、前記第 4 のゲート信号線と電氣的に接続され、第 1 の電極は、前記容量手段の第 2 の電極もしくは、前記第 2 のトランジスタの第 2 の電極と電氣的に接続されていることを特徴としている。

30

## 【0047】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第 1 乃至第 3 のゲート信号線と、電流供給線と、第 1 乃至第 5 のトランジスタと、容量手段と、発光素子とを有し、前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、前記ソース信号線と電氣的に接続され、第 2 の電極は、前記容量手段の第 1 の電極と電氣的に接続され、前記容量手段の第 2 の電極は、前記第 2 のトランジスタのゲート電極および、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、前記第 2 のトランジスタの第 1 の電極は、前記電流供給線と伝記的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 2 の電極および、前記第 4 のトランジスタの第 1 の電極と電氣的に接続され、前記第 3 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、前

40

50

記第 4 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電氣的に接続され、第 2 の電極は、前記発光素子の第 1 の電極と電氣的に接続され、前記第 5 のトランジスタのゲート電極は、前記第 3 のゲート信号線と電氣的に接続され、第 1 の電極は、前記容量手段の第 2 の電極もしくは、前記第 2 のトランジスタの第 2 の電極と電氣的に接続されていることを特徴としている。

【0048】

本発明の半導体装置は、前記第 1 のトランジスタと、前記第 4 のトランジスタとは、互いに逆の極性であることを特徴としている。

【0049】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第 1 乃至第 3 のゲート信号線と、電流供給線と、第 1 乃至第 5 のトランジスタと、容量手段と、発光素子とを有し、前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、前記ソース信号線と電氣的に接続され、第 2 の電極は、前記容量手段の第 1 の電極と電氣的に接続され、前記容量手段の第 2 の電極は、前記第 2 のトランジスタのゲート電極と、前記第 4 のトランジスタのゲート電極と、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、前記第 2 のトランジスタの第 1 の電極は、前記電流供給線と電氣的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 2 の電極および、前記第 5 のトランジスタの第 1 の電極と電氣的に接続され、前記第 3 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、前記第 4 のトランジスタの第 2 の電極は、前記発光素子の第 1 の電極と電氣的に接続され、前記第 5 のトランジスタのゲート電極は、前記第 3 のゲート信号線と電氣的に接続され、第 1 の電極は、前記第 2 のトランジスタの第 2 の電極もしくは、前記第 3 のトランジスタの第 2 の電極と電氣的に接続されていることを特徴としている。

【0050】

本発明の半導体装置は、前記第 2 のトランジスタと、前記第 4 のトランジスタとは同一極性であることを特徴としている。

【0051】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第 1 乃至第 4 のゲート信号線と、電流供給線と、第 1 乃至第 6 のトランジスタと、容量手段と、発光素子とを有し、前記第 1 のトランジスタのゲート電極は、前記第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、前記ソース信号線と電氣的に接続され、第 2 の電極は、前記容量手段の第 1 の電極と電氣的に接続され、前記容量手段の第 2 の電極は、前記第 2 のトランジスタのゲート電極と、前記第 4 のトランジスタのゲート電極と、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、前記第 2 のトランジスタの第 1 の電極は、前記電流供給線と電氣的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 2 の電極と電氣的に接続され、前記第 3 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、前記第 4 のトランジスタの第 1 の電極は、前記電流供給線と電氣的に接続され、第 2 の電極は、前記発光素子の第 1 の電極と電氣的に接続され、前記第 5 のトランジスタのゲート電極は、前記第 3 のゲート信号線と電氣的に接続され、第 1 の電極は、前記第 2 のトランジスタの第 2 の電極もしくは、前記第 3 のトランジスタの第 2 の電極と電氣的に接続されていることを特徴としている。

【0052】

本発明の半導体装置は、前記第 2 のトランジスタと、前記第 4 のトランジスタとは同一極性であることを特徴としている。

【0053】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第 1 乃至第 4 のゲート信号線と、電流供給線と、第 1 乃至第 6 のトランジスタと、容量手段と、発光素子とを有し、前記第 1 のトランジスタの

0

## 20

30

## 40

50

している。

【0056】

本発明の半導体装置は、請求項10に記載の半導体装置は、前記第4のゲート信号線にパルスを入力して前記第6のトランジスタを導通し、前記第4のトランジスタのゲート・ソース間電圧を0とする機能を有することを特徴としている。

【0057】

本発明の半導体装置は、請求項11に記載の半導体装置は、前記第4のゲート信号線にパルスを入力して前記第6のトランジスタを導通し、前記容量手段に保持された電荷を解放する機能を有することを特徴としている。

【0058】

本発明の半導体装置は、前記第4のゲート信号線にパルスを入力して前記第6のトランジスタを非導通とし、前記電流供給線から、前記発光素子に供給される電流を遮断する機能を有することを特徴としている。

【0059】

本発明の半導体装置は、請求項10乃至請求項15のいずれか1項に記載の半導体装置において、前記第2のトランジスタと、前記第4のトランジスタとは同一極性であることを特徴としている。

【0060】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1乃至第4のゲート信号線と、電流供給線と、第1乃至第6のトランジスタと、容量手段と、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記容量手段の第1の電極および、前記第6のトランジスタの第1の電極と電氣的に接続され、前記容量手段の第2の電極は、前記第2のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第3のトランジスタの第2の電極および、前記第4のトランジスタの第1の電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタのゲート電極は、前記第3のゲート信号線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記第6のトランジスタのゲート電極は、前記第4のゲート信号線と電氣的に接続され、前記容量手段の第1の電極と前記第5のトランジスタの第1の電極との間もしくは、前記第3のトランジスタの第1の電極と前記第5のトランジスタの第2の電極との間もしくは、前記第3のトランジスタの第1の電極と前記第5のトランジスタのゲート電極との間のいずれかに設けられていることを特徴としている。

【0061】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至第6のトランジスタと、容量手段と、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記容量手段の第1の電極および、前記第5のトランジスタの第1の電極と電氣的に接続され、前記容量手段の第2の電極は、前記第2のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第3のトランジスタの第2の電極および、前記第4のトランジスタの第1の電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタのゲート電極は、前記第3のゲート信号線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記第6の

10

20

30

40

50

トランジスタのゲート電極は、前記第２のゲート信号線と電気的に接続され、前記容量手段の第１の電極と前記第５のトランジスタの第１の電極との間もしくは、前記第３のトランジスタの第１の電極と前記第５のトランジスタの第２の電極との間もしくは、前記第３のトランジスタの第１の電極と前記第５のトランジスタのゲート電極との間のいずれかに設けられていることを特徴としている。

【００６２】

本発明の半導体装置は、前記第３のトランジスタと、前記第６のトランジスタとは同一極性であることを特徴としている。

【００６３】

本発明の半導体装置は、前記発光素子の第２の電極は、前記電流供給線と互いに電位差を有する電源線と電気的に接続されていることを特徴としている。

10

【００６４】

本発明の半導体装置は、前記第５のトランジスタの第２の電極は、前記電流供給線と互いに電位差を有する電源線と電気的に接続されていることを特徴としている。

【００６５】

本発明の半導体装置は、前記第５のトランジスタの第２の電極は、当該画素を制御する前記ゲート信号線を除くいずれか１本のゲート信号線と伝的に接続されていることを特徴としている。

【００６６】

本発明の半導体装置は、前記画素は、前記第１のトランジスタの第２の電極と、ある一定電位との間に設けられ、前記ソース信号線より入力される映像信号の保持を行う保持容量手段を有することを特徴としている。

20

【００６７】

本発明の半導体装置の駆動方法は、発光素子が備えられた画素を有する半導体装置の駆動方法であって、前記画素は、ソース信号線と、電流供給線と、発光素子に所望の電流を供給するトランジスタと、発光素子と、容量手段とを少なくとも有し、前記容量手段に電荷を蓄積する第１のステップと、前記容量手段の両電極間の電圧を、前記トランジスタのしきい値電圧に等しい電圧に収束する第２のステップと、前記ソース信号線より映像信号を入力する第３のステップと、前記映像信号の電位に、前記しきい値電圧を加えて、前記トランジスタのゲート電極に印加し、前記トランジスタを介して、電流を前記発光素子に供給し、発光する第４のステップとを有し、少なくとも前記第３のステップにおいて、前記容量手段の両電極間の電圧が一定であることを特徴としている。

30

【発明の効果】

【００６８】

本発明によると、容量手段の容量値等のばらつきの影響等を受けることなく、正常に画素ごとのＴＦＴのしきい値ばらつきを補正することが出来る。従来例と比べても、より簡単な動作原理に基づいており、さらに素子数等が大きく増加することがないため、開口率等が低くなる心配もなく、大変効果的といえる。

【図面の簡単な説明】

【００６９】

40

【図１】本発明の半導体装置における画素構成の一形態を示す図。

【図２】図１に示した画素の駆動について説明する図。

【図３】一般的に用いられる半導体装置の画素の構成例を示す図。

【図４】デジタル映像信号を用いて時間階調方式によって駆動する場合の画素の構成を示す図。

【図５】しきい値ばらつきの補正が可能な画素の構成を示す図。

【図６】図５に示した画素の駆動について説明する図。

【図７】本発明の一実施例であるアナログ映像信号入力方式の半導体装置の構成例を示す図。

【図８】図７に示した半導体装置におけるソース信号線駆動回路およびゲート信号線駆動

50

回路の構成例を示す図。

【図 9】本発明の一実施例であるデジタル映像信号入力方式の半導体装置の構成例を示す図。

【図 10】図 9 に示した半導体装置におけるソース信号線駆動回路の構成例を示す図。

【図 11】図 8 と異なる構成のゲート信号線駆動回路の構成例を示す図。

【図 12】図 11 に示したゲート信号線駆動回路のパルス出力タイミングを説明する図。

【図 13】半導体装置の製造工程例を示す図。

【図 14】半導体装置の製造工程例を示す図。

【図 15】半導体装置の製造工程例を示す図。

【図 16】半導体装置の外観図および断面図。

10

【図 17】本発明が適用可能な電子機器の例を示す図。

【図 18】本発明の半導体装置における画素構成の一実施例を示す図。

【図 19】図 18 に示した画素の駆動について説明する図。

【図 20】本発明の半導体装置における画素構成の一実施例および動作について示す図。

【図 21】本発明の半導体装置における画素構成の一実施例を示す図。

【図 22】本発明の半導体装置における画素構成の一実施例を示す図。

【図 23】本発明の半導体装置における画素構成の一実施例を示す図。

【図 24】本発明の半導体装置を駆動する際の動作タイミングの一例を示す図。

【図 25】従来例と本発明における回路の動作原理を説明する図。

【図 26】本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

20

【図 27】本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図 28】本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図 29】本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図 30】本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【発明を実施するための形態】

【0070】

図 1 (A) に、本発明の一実施形態を示す。ソース信号線 101、第 1 ~ 第 3 のゲート信号線 102 ~ 104、第 1 ~ 第 4 の TFT 105 ~ 108、容量手段 109、EL 素子 110、電流供給線 111、電源線 112 を有する。

【0071】

30

第 1 の TFT 105 のゲート電極は、第 1 のゲート信号線 102 に接続され、第 1 の電極は、ソース信号線 101 に接続され、第 2 の電極は、容量手段 109 の第 1 の電極に接続されている。容量手段 109 の第 2 の電極は、第 2 の TFT 106 のゲート電極と、第 3 の TFT 107 の第 1 の電極とに接続されている。

第 2 の TFT 106 の第 1 の電極は、電流供給線 111 に接続され、第 2 の電極は、第 3 の TFT 107 の第 2 の電極と、第 4 の TFT 108 の第 1 の電極とに接続されている。第 3 の TFT 107 のゲート電極は、第 2 のゲート信号線 103 に接続されている。第 4 の TFT 108 のゲート電極は、第 3 のゲート信号線 104 に接続され、第 2 の電極は、EL 素子 110 の第 1 の電極に接続されている。EL 素子 110 の第 2 の電極には、電源線 112 によって一定電位が与えられ、電流供給線 111 とは互いに電位差を有する。また、図 1 (A) に点線で示すように、容量手段 113 を、第 1 の TFT 105 の第 2 の電極と、電流供給線 111 との間に設け、映像信号を保持するための容量として用いても良い。

40

【0072】

図 1 (B) および図 2 (A) ~ (F) を用いて、動作について説明する。図 1 (B) は、ソース信号線 101、第 1 ~ 第 3 のゲート信号線 102 ~ 104 に入力される映像信号およびパルスのタイミングを示しており、図 2 に示す各動作にあわせて、I ~ VIII の区間に分割している。また、図 1 (A) に示した構成においては、第 1 の TFT 105 および第 3 の TFT 107 は N チャネル型、第 2 の TFT 106 および第 4 の TFT 108 は P チャネル型としている。図 5 (A) に示したように、全て P チャネル型の TFT を用いて構成すること

50

も可能であるが、第1のTF T 1 0 5および第3のTF T 1 0 7は、単なるスイッチング素子として用いているので、極性はどちらでも良く、ここではNチャネル型としている。Nチャネル型TF Tにおいては、ゲート電極にHレベルが入力されてONし、Lレベルが入力されてOFFするものとする。Pチャネル型TF Tにおいては、ゲート電極にLレベルが入力されてONし、Hレベルが入力されてOFFするものとする。

#### 【0073】

まず、第1のゲート信号線102がHレベルとなり、第1のTF T 1 0 5がONする(区間I)。続いて第2のゲート信号線103がHレベル、第3のゲート信号線104がLレベルとなり、第3のTF T 1 0 7、第4のTF T 1 0 8がONする。ここで、図2(A)に示すように、容量手段109が充電され、容量手段109が保持する電圧が、第2のTF T 1 0 6のしきい値( $V_{th}$ )を上回ったところで、第2のTF T 1 0 6がONする(区間II)。

10

#### 【0074】

続いて、図2(B)に示すように、第3のゲート信号線104がHレベルとなって、第4のTF T 1 0 8がOFFする。すると、容量手段109に貯まっていた電荷が再び移動し、容量手段109に保持される電圧は、やがて $V_{th}$ に等しくなる。すなわち、第2のTF T 1 0 6のゲート・ソース間電圧が $V_{th}$ に等しくなり、第2のTF T 1 0 6はOFFする(区間III)。

#### 【0075】

その後、第2のゲート信号線103がLレベルとなり、第3のTF T 1 0 7がOFFする(区間IV)。この動作により、図2(C)に示すように、容量手段109において $V_{th}$ が保持される。

20

#### 【0076】

続いて、図2(D)に示すように、映像信号の入力が行われる(区間V)。ソース信号線101に映像信号が出力されて、その電位は $V_{DD}$ から映像信号の電位 $V_{Data}$ (ここでは、第2のTF T 1 0 6がPチャネル型であるので、EL素子を発光させる場合には、 $V_{DD} > V_{Data}$ とする。)となる。ここで、容量手段109においては、先程の $V_{th}$ がそのまま保持されており、容量手段109に保持された電荷の移動はない。よって、容量手段109の両電極間の電圧も変化しない。そのため、第2のTF T 1 0 6のゲート電極の電位は、ソース信号線101から入力される映像信号電位 $V_{Data}$ に、さらにしきい値 $V_{th}$ を加えた電位となる。ここでは、TF T 1 0 6はPチャネル型であり、しきい値 $V_{th}$ は負の値であるから、実際は $V_{Data}$ よりも $|V_{th}|$ だけ低い値となる。よって第2のTF T 1 0 6がONする(区間V)。

30

#### 【0077】

やがて映像信号の書き込みが完了すると、図2(E)に示すように、第1のゲート信号線102がLレベルとなり、第1のTF T 1 0 5がOFFする(区間VI)。その後、ソース信号線への映像信号の出力も終了し、その電位は $V_{DD}$ に戻る(区間VII)。

#### 【0078】

続いて、第3のゲート信号線104がLレベルとなり、第4のTF T 1 0 8がONし、EL素子に図2(F)に示すように電流が流れることによってEL素子が発光する(区間VIII)。このときEL素子に流れる電流の値は、第2のTF T 1 0 6のゲート・ソース間電圧に従ったものであり、ゲート・ソース間電圧は、( $V_{DD} - (V_{Data} + V_{th})$ )である。ここで仮に、第2のTF T 1 0 6のしきい値 $V_{th}$ が各画素における第2のTF T 1 0 6間でばらついていたとしても、そのばらつきに応じた電圧が、各画素の容量手段109に保持される。よって、EL素子110の輝度は、しきい値のばらつきに影響されることがない。

40

#### 【0079】

以上のような動作によって、映像信号の書き込みから発光を行う。本発明においては、容量手段109の容量結合によって、映像信号の電位を、第2のTF T 1 0 6のしきい値分だけオフセットすることが出来る。つまり、容量手段109の大きさには依存しない。よって、前述のように他の素子の特性ばらつき等に影響されることがなく、正確にしきい値

50

補正を行うことが可能である。

【0080】

図25(A)(B)に、従来例と本発明におけるしきい値補正の動作を簡単に説明する図を示す。図25(A)においては、映像信号入力の際、2つの容量手段 $C_1$ 、 $C_2$ において電荷が保存され、かつ電荷の移動が生ずるため、EL素子に電流を供給するTFTのゲート・ソース間電圧 $V_{GS}$ は、図25(A)の(iii)に示すように、容量値 $C_1$ 、 $C_2$ を項に含む式で表される。よって、容量値 $C_1$ 、 $C_2$ にばらつきが生じた場合、TFTのゲート・ソース間電圧がばらつくことになる。

【0081】

これに対して本発明の場合、容量手段において電荷が保存されるが、映像信号入力の際、電荷の移動が生じない。つまり、映像信号の電位にしきい値電圧を上乗せした電位がそのままTFTのゲート電極に印加されるため、よりTFTのゲート・ソース間電圧をばらつきにくくすることが出来る。

【0082】

なお、図2(B)に示す電荷の充電において、容量手段109には、完全に $V_{th}$ に等しいだけの電荷を貯める必要はなく、 $|V_{th}| +$ 程度で、第2のTFT106が完全にOFFする必要はない。画素毎のTFTのしきい値ばらつきが補正できる程度の電圧が保持されていれば良い。

【0083】

なお、本実施形態において示した構成におけるTFTの極性はあくまでも一例であり、その極性を限定するものではないことを付記する。

【0084】

以下に、本発明の実施例について記載する。

【実施例1】

【0085】

本実施例においては、映像信号にアナログ映像信号を用いて表示を行う半導体装置の構成について説明する。図7(A)に、半導体装置の構成例を示す。基板701上に、複数の画素がマトリクス状に配置された画素部702を有し、画素部周辺には、ソース信号線駆動回路703および、第1～第3のゲート信号線駆動回路704～706を有している。図7(A)においては、3組のゲート信号線駆動回路を用い、図1に示した画素における第1～第3のゲート信号線を制御するものである。

【0086】

ソース信号線駆動回路703、第1～第3のゲート信号線駆動回路704～706に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit: FPC)707を介して外部より供給される。

【0087】

図7(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にアナログ映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ711、バッファ712、サンプリング回路713を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【0088】

ソース信号線駆動回路の動作について説明する。図8(A)に、より詳細な構成を示したので、そちらを参照する。

【0089】

シフトレジスタ801は、フリップフロップ回路(FF)802等を複数段用いてなり、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス(S-SP)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0090】

シフトレジスタ801より出力されたサンプリングパルスは、バッファ803等を通

10

20

30

40

50

て増幅された後、サンプリング回路へと入力される。サンプリング回路 804 は、サンプリングスイッチ (SW) 805 を複数段用いてなり、サンプリングパルスが入力されるタイミングに従って、ある列で映像信号のサンプリングを行う。具体的には、サンプリングスイッチにサンプリングパルスが入力されると、サンプリングスイッチ 805 が ON し、そのときに映像信号が有する電位が、サンプリングスイッチを介して各々のソース信号線へと出力される。

#### 【0091】

続いて、ゲート信号線駆動回路の動作について説明する。図 7 (C) に示した、第 1 および第 2 のゲート信号線駆動回路 704、705 についての詳細な構成を図 8 (B) に示した。第 1 のゲート信号線駆動回路は、シフトレジスタ回路 811、バッファ 812 を有し、クロック信号 (G - CLK1)、クロック反転信号 (G - CLKb1)、スタートパルス (G - SP1) に従って駆動される。第 2 のゲート信号線駆動回路は、シフトレジスタ回路 813、バッファ 814 を有し、クロック信号 (G - CLK2)、クロック反転信号 (G - CLKb2)、スタートパルス (G - SP2) に従って駆動される。

#### 【0092】

シフトレジスタ～バッファの動作については、ソース信号線駆動回路の場合と同様である。バッファによって増幅された選択パルスは、それぞれのゲート信号線を選択する。第 1 のゲート信号線駆動回路によって、第 1 のゲート信号線  $G_{11}$ 、 $G_{21}$ 、 $\dots$ 、 $G_{m1}$  が順次選択され、第 2 のゲート信号線駆動回路によって、第 2 のゲート信号線  $G_{12}$ 、 $G_{22}$ 、 $\dots$ 、 $G_{m2}$  が順次選択される。図示していないが、第 3 のゲート信号線駆動回路についても第 1、第 2 のゲート信号線駆動回路と同様であり、第 3 のゲート信号線  $G_{13}$ 、 $G_{23}$ 、 $\dots$ 、 $G_{m3}$  が順次選択される。選択された行において、実施形態にて説明した手順により、画素に映像信号が書き込まれて発光する。

#### 【0093】

なお、ここではシフトレジスタの一例として、フリップフロップを複数段用いてなるものを図示したが、デコーダ等によって、信号線を選択出来るような構成としていても良い。

#### 【実施例 2】

#### 【0094】

本実施例においては、映像信号にデジタル映像信号を用いて表示を行う半導体装置の構成について説明する。図 9 (A) に、半導体装置の構成例を示す。基板 901 上に、複数の画素がマトリクス状に配置された画素部 902 を有し、画素部周辺には、ソース信号線駆動回路 903 および、第 1～第 3 のゲート信号線駆動回路 904～906 を有している。図 9 (A) においては、3 組のゲート信号線駆動回路を用い、図 1 に示した画素における第 1～第 3 のゲート信号線を制御するものである。

#### 【0095】

ソース信号線駆動回路 903、第 1～第 3 のゲート信号線駆動回路 904～906 に入力される信号は、フレキシブルプリント基板 (Flexible Print Circuit: FPC) 907 を介して外部より供給される。

#### 【0096】

図 9 (B) に、ソース信号線駆動回路の構成例を示す。これは、映像信号にデジタル映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ 911、第 1 のラッチ回路 912、第 2 のラッチ回路 913、D/A 変換回路 914 を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

#### 【0097】

第 1～第 3 のゲート信号線駆動回路 904～906 については、実施例 1 にて示したものと同様で良いので、ここでは図示および説明を省略する。

#### 【0098】

ソース信号線駆動回路の動作について説明する。図 10 (A) に、より詳細な構成を示したので、そちらを参照する。

10

20

30

40

50

## 【 0 0 9 9 】

シフトレジスタ 1 0 0 1 は、フリップフロップ回路 ( F F ) 1 0 1 0 等を複数段用いてなり、クロック信号 ( S - C L K )、クロック反転信号 ( S - C L K b )、スタートパルス ( S - S P ) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

## 【 0 1 0 0 】

シフトレジスタ 1 0 0 1 より出力されたサンプリングパルスは、第 1 のラッチ回路 1 0 0 2 に入力される。第 1 のラッチ回路 1 0 0 2 には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段でデジタル映像信号を保持していく。ここでは、デジタル映像信号は 3 ビット入力されており、各ビットの映像信号を、それぞれの第 1 のラッチ回路において保持する。1 つのサンプリングパルスによって、ここでは 3 つの第 1 のラッチ回路が並行して動作する。

10

## 【 0 1 0 1 】

第 1 のラッチ回路 1 0 0 2 において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 1 0 0 3 にラッチパルス ( L a t c h P u l s e ) が入力され、第 1 のラッチ回路 1 0 0 2 に保持されていたデジタル映像信号は、一斉に第 2 のラッチ回路 1 0 0 3 に転送される。その後、第 2 のラッチ回路 1 0 0 3 に保持されたデジタル映像信号は、1 行分が同時に、D / A 変換回路 1 0 0 4 へと入力される。

## 【 0 1 0 2 】

第 2 のラッチ回路 9 0 3 に保持されたデジタル映像信号が定電流回路 9 0 4 に入力されている間、シフトレジスタ 9 0 1 においては再びサンプリングパルスが出力される。以後、この動作を繰り返し、1 フレーム分の映像信号の処理を行う。

20

## 【 0 1 0 3 】

D / A 変換回路 1 0 0 4 においては、入力されるデジタル映像信号をデジタル - アナログ変換し、アナログ電圧を有する映像信号としてソース信号線に出力する。

## 【 0 1 0 4 】

前記の動作が、1 水平期間内に、全段にわたって同時に行われる。よって、全てのソース信号線に映像信号が出力される。

## 【 0 1 0 5 】

なお、実施例 1 においても述べたとおり、シフトレジスタの代わりにデコーダ等を用いて、信号線を選択出来るような構成としていても良い。

30

## 【 実施例 3 】

## 【 0 1 0 6 】

実施例 2 においては、デジタル映像信号は D / A 変換回路によってデジタル - アナログ変換を受け、画素に書き込まれるが、本発明の半導体装置は、時間階調方式によって階調表現を行うことも出来る。この場合には、図 1 0 ( B ) に示すように、D / A 変換回路を必要とせず、階調表現は、E L 素子の発光時間の長短によって制御されるので、各ビットの映像信号を並列処理する必要がないため、第 1 および第 2 のラッチ回路も 1 ビット分で良い。このとき、デジタル映像信号は、各ビットが直列に入力され、順次ラッチ回路に保持され、画素に書き込まれる。

40

## 【 0 1 0 7 】

また、時間階調方式によって階調表現を行う場合、図 1 において、第 4 の T F T 1 0 8 を消去用 T F T として用いることが出来る。この場合、第 4 の T F T 1 0 8 は、消去期間中を通じて O F F している必要があり、そのためには、第 3 のゲート信号線 1 0 4 は、消去用ゲート信号線駆動回路を用いて制御する。通常、ゲート信号線を選択するゲート信号線駆動回路の場合、1 水平期間内に 1 つもしくは複数のパルスを出力するが、消去用ゲート信号線駆動回路の場合、消去期間中は継続して第 4 の T F T 1 0 8 を O F F させつづけないといけないため、独立した駆動回路を用いる。

## 【 実施例 4 】

## 【 0 1 0 8 】

50

ここまで紹介した半導体装置においては、第1～第3のゲート信号線を制御するために、第1～第3のゲート信号線駆動回路をそれぞれ動作させることによって行っていた。このような構成とするメリットとしては、各ゲート信号線の選択タイミングを独立して変更させることが出来るため、様々な駆動方法に対してある程度の対応が可能な点がある。反面、基板内で駆動回路の占有面積が増大するため、表示領域の周辺が大きくなる、すなわち狭額縁化が困難となるデメリットがある。

#### 【0109】

図11(A)は、そのような問題を解決するための一構成例を示している。図11(A)において、シフトレジスタ1101、バッファ1102を有する点は他の実施例にて用いたゲート信号線駆動回路と同様であるが、本実施例においては、バッファの後にパルス分割回路1103を追加した。詳細な構成を図11(B)に示す。

10

#### 【0110】

パルス分割回路1103は、NAND1116、インバータ1107を複数用いてなる。バッファ出力と、外部入力される分割信号(MPX)とのNANDをとることにより、1つのゲート信号線駆動回路によって、異なるパルスで制御される2つのゲート信号線を制御することが出来る。図11の場合、第1のゲート信号線と、第2のゲート信号線とを、1つのゲート信号線駆動回路によって制御する。

#### 【0111】

分割信号(MPX)と、それぞれのゲート信号線の選択のタイミングを図12に示した。第1のゲート信号線 $G_{11}$ 、 $G_{21}$ 、 $\dots$ 、 $G_{m1}$ は、バッファ出力がそのまま選択パルスとして用いられる。一方、バッファ出力がHレベル、さらに分割信号がHレベルのとき、NAND出力はLレベルとなり、さらにインバータを介してHレベルが出力され、こちらのパルスによって、第2のゲート信号線 $G_{12}$ 、 $G_{22}$ 、 $\dots$ 、 $G_{m2}$ が選択される。

20

#### 【0112】

本実施例においては、第1のゲート信号線と第2のゲート信号線とを1つのゲート信号線駆動回路によって制御する例について示したが、同様の方法で、第1～第3のゲート信号線を1つのゲート信号線駆動回路によって制御することも出来る。

#### 【実施例5】

#### 【0113】

図24に、本発明の半導体装置を実際に駆動するためのタイミングチャートを示す。図24(A)は、動作のタイミングを模式的に示したものであり、図24(B)は、図1(A)において、第1～第3のゲート信号線に inputsするパルスのタイミングを示している。ここでは、第1、第2のゲート信号線によって制御されるTFTはNチャンネル型であり、その電位がHレベルのときにON、LレベルのときにOFFする。第3のゲート信号線によって制御されるTFTはPチャンネル型であり、その電位がHレベルのときにOFF、LレベルのときにONする。無論、TFTの極性はこの限りではない。

30

#### 【0114】

アナログ階調方式によって駆動される場合は、2400で示される期間は1フレーム期間であり、デジタル時間階調方式によって駆動される場合は、2400で示される期間は1サブフレーム期間である。また、2402で示される期間は、図1(B)に示した期間にあたり、図24(A)に示した動作のタイミングもまた、図1(B)に従う。

40

#### 【0115】

なお、図1(B)において、特に区間VI、区間VIIで示される期間は、必ずしも期間として設ける必要はない。つまり、TFT101がOFFした後、直ちに映像信号の入力が終了し、TFT108をONして発光期間に移っても良い。

図24(B)においては、これに従っている。

#### 【0116】

各ゲート信号線に inputsされるパルスは、各々独立した駆動回路によって生成されても良いし、図11に示したように、パルス分割回路を用いて、あるパルスから他のパルスを生成しても良い。

50

## 【 0 1 1 7 】

また、特願 2 0 0 1 - 0 6 3 4 1 9 号に記載の方法を用いて、ゲート信号線選択期間を複数のサブ期間、例えば前半と後半の 2 つに分割し、一方では、ソース信号線の電位を  $V_{DD}$  とし、ある行 ( $i$  行目とする) でしきい値の保存を行い、他方では、ソース信号線に映像信号を入力 ( $V_{DD}$   $V_{Data}$ ) して、 $i$  行目を除くいずれかの行で映像信号の書き込みを行うなどしても良い。このような動作によると、しきい値保存の動作等を行う期間を長く設けることが出来るため、回路動作に余裕が与えられる。

## 【 実施例 6 】

## 【 0 1 1 8 】

本発明において、発光時に EL 素子に電流を供給するための TFT (図 1 (A) における TFT 1 0 6) は、EL 素子の劣化によって輝度がばらつくのを抑えるため、飽和領域で動作させるのが望ましい。TFT が飽和領域で動作することにより、ゲート・ソース間電圧が少々変化した場合のドレイン電流の変化を抑えることが出来る。このため、ゲート長  $L$  を大きくしている。

## 【 0 1 1 9 】

このとき、容量手段においてしきい値を保持する際の動作は、一度容量手段には TFT のしきい値を上回る電圧を与え、その状態からしきい値電圧に収束させているが、TFT のゲート長  $L$  が大きい場合、ゲート容量等によってこの動作に時間を要する。そこで本実施例においては、このような場合の、容量手段における電荷量の高速な収束動作を実現する構成について説明する。

## 【 0 1 2 0 】

図 1 8 (A) に、画素の構成を示す。図 1 (A) にて示した画素に、TFT 1 8 1 0、1 8 1 1、および TFT 1 8 1 1 を制御するための第 4 のゲート信号線 1 8 0 5 が追加されている。また、図 1 8 (A) に点線で示すように、容量手段 1 8 1 6 を、第 1 の TFT 1 8 0 6 の第 2 の電極と、電流供給線 1 8 1 4 との間に設け、映像信号を保持するための容量として用いても良い。

## 【 0 1 2 1 】

図 1 8 (B) および図 1 9 (A) ~ (F) を用いて、動作について説明する。図 1 8 (B) は、ソース信号線 1 8 0 1、第 1 ~ 第 4 のゲート信号線 1 8 0 2 ~ 1 8 0 5 に入力される映像信号およびパルスのタイミングを示しており、図 1 9 に示す各動作にあわせて、I ~ VIII の区間に分割している。本実施例は、容量手段にしきい値電圧を保持するまでの動作を高速にするためのものであるので、映像信号のかきこみ、および発光動作については実施形態にて説明したものと同様である。従ってここでは、容量手段における電荷の充電および保持動作についてのみ説明する。

## 【 0 1 2 2 】

まず、第 1 のゲート信号線 1 8 0 2 が H レベルとなり、TFT 1 8 0 6 が ON する (区間 I)。続いて第 2 のゲート信号線 1 8 0 3 および第 4 のゲート信号線 1 8 0 5 が H レベル、第 3 のゲート信号線 1 8 0 4 が L レベルとなり、TFT 1 8 0 8、1 8 0 9、1 8 1 1 が ON する。ここで、図 1 9 (A) に示すように、容量手段 1 8 1 2 が充電され、やがて容量手段 1 8 1 2 が保持する電圧が、TFT 1 8 0 7、TFT 1 8 1 0 のしきい値 ( $V_{th}$ ) を上回ったところで、TFT 1 8 0 7、1 8 1 0 が ON する (区間 II)。

## 【 0 1 2 3 】

続いて、図 1 9 (B) に示すように、第 3 のゲート信号線 1 8 0 4 が H レベルとなって、TFT 1 8 0 9 が OFF する。すると、容量手段 1 8 1 2 に貯まっていた電荷が再び移動し、容量手段 1 8 1 2 に保持される電圧は、やがて  $V_{th}$  に等しくなる。すなわち、TFT 1 8 0 7、1 8 1 0 のゲート・ソース間電圧が  $V_{th}$  に等しくなり、TFT 1 8 0 7、1 8 1 0 が OFF する (区間 III)。

## 【 0 1 2 4 】

以後、実施形態に従って映像信号の書き込み、発光を行う。ここで、新たに追加した TFT 1 8 1 0 は、発光時に EL 素子 1 8 1 3 に電流を供給するための TFT 1 8 0 7 と、

互いのゲート電極が接続されている。図19(A)、(B)に示すように、電荷の移動するパスが実施形態よりも多く、またTF T 1 8 1 0は、EL素子1 8 1 3に電流を供給する役目を持たないため、ゲート長Lを小さく、チャネル幅Wを大きくとって良いので、電流量自体を大きくすることが出来る。従って、ゲート容量が小さいために電荷の移動がスムーズに行われ、容量手段に保持されている電圧が $V_{th}$ に収束するまでの時間をより短くすることが出来る。

【0125】

図18(B)に示したタイミングチャートを見てもわかるとおり、第2のゲート信号線1 8 0 3と、第4のゲート信号線1 8 0 5は同一のタイミングでHレベルとLレベルをとっている。よってこれらのゲート信号線によって制御されるTF T、すなわちTF T 1 8 0 8とTF T 1 8 1 1とは、同一のゲート信号線を用いて制御するようにしても良い。このようにすると、画素の制御に必要なゲート信号線の本数の増加を抑えることが出来る。

10

【0126】

なお、図18におけるTF T 1 8 1 1は、TF T 1 8 0 6の第2の電極と、TF T 1 8 1 0の第1の電極との間に配置されているが、TF T 1 8 1 0の第2の電極と、TF T 1 8 0 8の第1の電極との間、もしくは、TF T 1 8 1 0のゲート電極と、TF T 1 8 0 8の第1の電極との間に配置しても良い。

【0127】

また、本実施例の構成では、TF T 1 8 0 7と、TF T 1 8 1 0とは同一極性とする必要がある。他のTF Tに関しては特に制限を設けない。

20

【0128】

なお、本実施例は、他の実施例と組み合わせても実施が可能である。

【実施例7】

【0129】

図1、図15、図18に示した画素の場合、いずれも容量手段の充電中に、EL素子に電流が流れる。これによって、本来発光すべき期間以外でEL素子が発光してしまう。発光する期間はごく短いため、画質に大きく影響するものではないが、容量手段への電荷の充電中、EL素子自体が負荷となってしまう、これによって充電に時間を要することになる。本実施例においては、容量手段への電荷の充電時にEL素子に電流が流れないようにする構成について説明する。

30

【0130】

図20(A)に、画素の構成を示す。図1(A)にて示した画素に、TF T 2 0 1 0が追加されている。TF T 2 0 1 0のゲート電極は、第4のゲート信号線2 0 0 5に接続され、第1の電極は、TF T 2 0 0 9の第1の電極、TF T 2 0 0 7の第2の電極、およびTF T 2 0 0 8の第1の電極に接続され、第2の電極は、一定の電位が与えられており、電流供給線2 0 1 3と互いに電位差を有する。ここで、TF T 2 0 0 9の第2の電極は、その電位が電流供給線2 0 1 2と電位差を有していれば良いので、他の行におけるゲート信号線等に接続しても良い。つまりこの場合、選択状態にないゲート信号線が、一定電位となっていることを利用してやれば良い。また、図20(A)に点線で示すように、容量手段2 0 1 5を、第1のTF T 2 0 0 6の第2の電極と、電流供給線2 0 1 3との間に設け、映像信号を保持するための容量として用いても良い。

40

【0131】

容量手段2 0 1 1への充電においては、TF T 2 0 0 6、2 0 0 7、2 0 0 8、2 0 1 0がONし、図20(B)に示すように振舞う。TF T 2 0 0 9がOFFであるため、EL素子2 0 1 2には電流が流れず、発光しない。この場合にも、新たに追加したTF T 2 0 1 0によるパスが存在するため、容量手段2 0 1 1が充電される。

【0132】

本実施例においては、TF T 2 0 0 9は、TF T 2 0 0 7と同極性としているが、構成はこの限りではない。勿論、互いにPチャネル型としても良い。ただし、画素の開口率等

50

を考えた場合、信号線の本数は可能な限り少ないことが望ましい。この点を考えて、ゲート信号線 2002 と 2004 とは共通としても良い。ただしこのとき、TFT2006 が ON、すなわちしきい値保存および映像信号の書き込みを行う間は、TFT2009 は OFF し、発光期間に入って TFT2009 を ON するときは、TFT2006 は OFF している必要がある。よって TFT2006、2009 を共通のゲート信号線によって制御する際には、その極性を互いに逆とする。

#### 【0133】

なお、本実施例にて示したように、発光期間以外の期間で、EL素子に電流が流れないようにする方法は、他の実施例においても適用可能である。

#### 【実施例8】

10

#### 【0134】

本実施例においては、実施例5とは異なる構成によって、高速な電荷量の収束動作を行う例について説明する。

#### 【0135】

図21(A)に、構成例を示す。ソース信号線2101、第1～第3のゲート信号線2102～2104、第1～第5のTFT2105～2109、容量手段2110、EL素子2112、電流供給線2113、電源線2114、2115を有する。

#### 【0136】

第1のTFT2105のゲート電極は、第1のゲート信号線2102に接続され、第1の電極は、ソース信号線2101に接続され、第2の電極は、容量手段2110の第1の電極に接続されている。容量手段2110の第2の電極は、第2のTFT2106および第4のTFT2108のゲート電極と、第3のTFT2107の第1の電極とに接続されている。第2のTFT2106の第1の電極は、電流供給線2113に接続され、第2の電極は、第3のTFT2107の第2の電極と、第5のTFT2109の第1の電極とに接続されている。第3のTFT2107のゲート電極は、第2のゲート信号線2103に接続されている。第4のTFT2108の第1の電極は、電流供給線2113に接続され、第2の電極は、EL素子2112の第1の電極に接続されている。第5のTFT2109のゲート電極は、第3のゲート信号線2104に接続され、第2の電極は、電源線2115によって一定電位が与えられ、電流供給線2113とは互いに電位差を有する。EL素子2112の第2の電極には、電源線2114によって一定電位が与えられ、電流供給線2113とは互いに電位差を有する。また、図21(A)に点線で示すように、容量手段2111を、第1のTFT2105の第2の電極と、電流供給線2113との間に設け、映像信号を保持するための容量として用いても良い。

20

30

#### 【0137】

TFT2108は、EL素子2112に電流を供給するためのTFTであるので、前述のように飽和領域で動作させるのが望ましく、そのためゲート長 $L$ を大きくしている。よって、容量手段2110にしきい値電圧を保持する動作に時間を要するため、TFT2106を用いることによって、しきい値電圧を保持する動作を高速に行う。このTFT2106は、EL素子2112に電流を供給するものではないので、ゲート長 $L$ を小さく、かつチャネル幅 $W$ を大きくして良い。

40

#### 【0138】

電荷を充電する際には、TFT2105、2107、2109がONし、電流が生ずる。容量手段2110の両電極間の電圧が、TFT2106、2108のしきい値 $V_{th}$ を上回ると、TFT2106、2108がONする(図21(B))。その後、TFT2109がOFFすると、容量手段2110に貯まった電荷が移動し、その両電極間の電圧が $V_{th}$ に等しくなるところに収束する。TFT2106は、ゲート長 $L$ を小さく、かつチャネル幅 $W$ を大きくしてあるので、この動作は迅速に行われる。

#### 【0139】

画素が発光する際には、映像信号に、容量手段2110に保持されたしきい値を上乗せした電位がTFT2106、2108のゲート電極に与えられ、図21(C)に示すよう

50

に、E L 素子 2 1 1 2 に電流が流れて発光する。

【0 1 4 0】

以上のような手順により、しきい値の保持動作を高速に行うことが出来る。本実施例に示した構成において、容量手段 2 1 1 0 は、T F T 2 1 0 6、2 1 0 8 のしきい値を保持する。T F T 2 1 0 6、2 1 0 8 のしきい値にばらつきが生じた場合、E L 素子 2 1 1 2 への電流経路には、T F T 2 1 0 8 のみが配置されているため、T F T 2 1 0 8 が正常に O F F しなければ、E L 素子 2 1 1 2 が発光してしまうので、この 2 つの T F T は、その特性にばらつきが出ないように、近接配置しておくのが望ましい。

【0 1 4 1】

本実施例にて示した構成は、他の実施例と併せての適用も可能である。

10

【実施例 9】

【0 1 4 2】

時間階調方式などでは、特に消去期間等を設ける場合があるため、本実施例においては、消去用 T F T を追加し、消去期間を設けるための構成について説明する。

【0 1 4 3】

図 2 2 ( A ) ~ ( C ) に、消去用 T F T の配置例を示す。消去用 T F T ( 第 6 の T F T ) 2 2 0 2 は、消去用ゲート信号線 ( 第 4 のゲート信号線 ) 2 2 0 1 によって制御される。図 2 2 ( A ) の場合、消去用 T F T 2 2 0 2 は、T F T 2 1 0 8 のゲート電極と、電流供給線 2 1 1 3 との間に配置している。消去用 T F T 2 2 0 2 が O N すると、T F T 2 1 0 8 のゲート・ソース間電圧が 0 となって O F F し、電流が停止する。図 2 2 ( B ) の場合は、容量手段 2 1 1 1 の両電極間に配置し、容量手段 2 1 1 1 に保持されている電荷を解放することによって T F T 2 1 0 8 が O F F するようにしている。図 2 2 ( C ) の場合は、電流供給線 2 1 1 3 - T F T 2 1 0 8 - E L 素子 2 1 1 2 間に直接消去用 T F T 2 2 0 2 を配置して、電流を遮断する方法をとる。ここで、消去用 T F T 2 2 0 2 の配置に関しては、E L 素子 2 1 1 2 への電流供給をカット出来る場所ならばいかなる場所に配置しても構わない。具体的には、図 2 2 ( C ) においては、消去用 T F T 2 2 0 2 は、電流供給線 2 1 1 3 と、T F T 2 1 0 8 との間に配置されているが、T F T 2 1 0 8 と、E L 素子 2 1 1 2 との間などでも良い。

20

【実施例 1 0】

【0 1 4 4】

図 2 3 に示す構成では、ゲート長 L を小さく、チャネル幅 W を大きくした T F T 2 3 0 6 と、ゲート長 L を大きくした T F T 2 3 0 8 とを直列に用いて E L 素子 2 3 1 2 への電流経路としている。この方法によると、仮に T F T 2 3 0 6 と T F T 2 3 0 8 とでしきい値がばらついた場合にも、いずれか一方が確実に O F F していれば E L 素子 2 3 1 2 へは電流が流れない。さらに、T F T 2 3 0 8 のゲート長 L を大きくすることによって、飽和領域で動作させ、ゲート・ソース間電圧が少々変動しても、E L 素子 2 3 1 2 に流れる電流値に変動が生じないようにすることが出来る。また、本実施例の構成によると、しきい値の保存は、ゲート長 L の小さい T F T 2 3 0 6 を用いて高速に電荷量の収束を行い、発光時には、T F T 2 3 0 6、2 3 0 8 をダブルゲート T F T として用いる。この構成は、同発明者により、特願 2 0 0 1 - 2 9 0 2 8 7 号、特願 2 0 0 1 - 3 0 4 6 4 3 号にて出願されている技術を適用したものである。

40

【実施例 1 1】

【0 1 4 5】

本明細書では C M O S 回路で構成される駆動回路と、スイッチング用 T F T 及び駆動用 T F T を有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。そして本実施例では前記アクティブマトリクス基板の作製工程について図 1 3、図 1 4 を用いて説明する。

【0 1 4 6】

基板 5 0 0 0 は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものをを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラス

50

チック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板 5 0 0 0 を用いた。

【 0 1 4 7 】

次いで、基板 5 0 0 0 上に酸化珪素膜、窒化珪素膜又は酸化窒化珪素膜などの絶縁膜から成る下地膜 5 0 0 1 を形成する。本実施例の下地膜 5 0 0 1 は 2 層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を 2 層以上積層させた構造であっても良い。

【 0 1 4 8 】

本実施例では、下地膜 5 0 0 1 の 1 層目として、プラズマ C V D 法を用いて、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される窒化酸化珪素膜 5 0 0 1 a を 1 0 ~ 2 0 0 nm ( 好ましくは 5 0 ~ 1 0 0 nm ) の厚さに形成する。本実施例では、窒化酸化珪素膜 5 0 0 1 a を 5 0 nm の厚さに形成した。次いで下地膜 5 0 0 1 の 2 層目として、プラズマ C V D 法を用いて、 $\text{SiH}_4$  及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 5 0 0 1 b を 5 0 ~ 2 0 0 nm ( 好ましくは 1 0 0 ~ 1 5 0 nm ) の厚さに形成する。本実施例では、酸化窒化珪素膜 5 0 0 1 b を 1 0 0 nm の厚さに形成した。

【 0 1 4 9 】

続いて、下地膜 5 0 0 1 上に半導体層 5 0 0 2 ~ 5 0 0 5 を形成する。半導体層 5 0 0 2 ~ 5 0 0 5 は公知の手段 ( スパッタ法、L P C V D 法、プラズマ C V D 法等 ) により 2 5 ~ 8 0 nm ( 好ましくは 3 0 ~ 6 0 nm ) の厚さで半導体膜を成膜する。次いで前記半導体膜を公知の結晶化法 ( レーザ結晶化法、R T A 又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等 ) を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層 5 0 0 2 ~ 5 0 0 5 を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜、又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いても良い。

【 0 1 5 0 】

本実施例では、プラズマ C V D 法を用いて、膜厚 5 5 nm の非晶質珪素膜を成膜した。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化 ( 5 0 0 、 1 時間 ) を行った後、熱結晶化 ( 5 5 0 、 4 時間 ) を行って結晶質珪素膜を形成した。その後、フォトリソグラフィ法を用いたパターニング処理によって半導体層 5 0 0 2 ~ 5 0 0 5 を形成した。

【 0 1 5 1 】

なおレーザ結晶化法で結晶質半導体膜を作製する場合のレーザは、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、Y A G レーザ、Y V O<sub>4</sub> レーザ、Y L F レーザ、Y A l O<sub>3</sub> レーザ、ガラスレーザ、ルビーレーザ、T i : サファイアレーザ等を用いることができる。また後者の固体レーザとしては、C r、N d、E r、H o、C e、C o、T i 又は T m がドーピングされた Y A G、Y V O<sub>4</sub>、Y L F、Y A l O<sub>3</sub> などの結晶を使ったレーザを用いることができる。当該レーザの基本波はドーピングする材料によって異なり、1  $\mu\text{m}$  前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第 2 高調波 ~ 第 4 高調波を適用するのが好ましい。代表的には、N d : Y V O<sub>4</sub> レーザー ( 基本波 1 0 6 4 nm ) の第 2 高調波 ( 5 3 2 nm ) や第 3 高調波 ( 3 5 5 nm ) を適用する。

【 0 1 5 2 】

また出力 1 0 W の連続発振の Y V O<sub>4</sub> レーザから射出されたレーザ光は、非線形光学素子により高調波に変換する。さらに、共振器の中に Y V O<sub>4</sub> 結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は 0 . 0 1 ~ 1 0 0 MW / cm<sup>2</sup> 程度 ( 好ましくは 0 . 1 ~ 1 0 MW / cm<sup>2</sup> ) が必要である。そして、1 0 ~ 2 0 0 0 cm / s 程度の速度でレーザ光に対して相対的に半導体膜を移動させて照

射する。

【0153】

また上記のレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100~700mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とすると良い。またYAGレーザを用いる場合には、その第2高調波を用いてパルス発振周波数1~300Hzとし、レーザエネルギー密度を300~1000mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とすると良い。そして幅100~1000μm(好ましくは幅400μm)で線状に集光したレーザ光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率(オーバーラップ率)を50~98%として行っても良い。

10

【0154】

しかしながら本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に50~100nmの非晶質珪素膜を形成し、加熱処理(RTA法やファーンズアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。その結果、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

【0155】

なお半導体層5002~5005を形成した後、TFEのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

20

【0156】

次いで、半導体層5002~5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006はプラズマCVD法やスパッタ法を用いて、膜厚を40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜5006としてプラズマCVD法により酸化窒化珪素膜を115nmの厚さに形成した。勿論、ゲート絶縁膜5006は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0157】

なおゲート絶縁膜5006として酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後400~500の熱アニールによって、ゲート絶縁膜5006として良好な特性を得ることができる。

30

【0158】

次いで、ゲート絶縁膜5006上に膜厚20~100nmの第1の導電膜5007と、膜厚100~400nmの第2の導電膜5008とを積層形成する。本実施例では、膜厚30nmのTa<sub>2</sub>N膜からなる第1の導電膜5007と、膜厚370nmのW膜からなる第2の導電膜5008を積層形成した。(図13(A))

【0159】

本実施例では、第1の導電膜5007であるTa<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用いて、窒素を含む雰囲気内でスパッタ法で形成した。また第2の導電膜5008であるW膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μcmを実現することができた。

40

50

## 【0160】

なお本実施例では、第1の導電膜5007をTaN膜、第2の導電膜5008をW膜としたが、第1の導電膜5007及び第2の導電膜5008を構成する材料は特に限定されない。第1の導電膜5007及び第2の導電膜5008は、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やAgPdCu合金で形成してもよい。

## 【0161】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク5009を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。(図13(B))

10

## 【0162】

本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに $CF_4$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を25:25:10sccmとし、1.0Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。そしてこの第1のエッチング条件によりW膜をエッチングして第1の導電層5007の端部をテーパ形状とした。

## 【0163】

20

続いて、レジストからなるマスク5009を除去せずに第2のエッチング条件に変更し、エッチング用ガスに $CF_4$ と $Cl_2$ とを用い、それぞれのガス流量比を30:30(sccm)とし、1.0Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して15秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。第2のエッチング条件では第1の導電層5007及び第2の導電層5008とも同程度にエッチングを行った。なお、ゲート絶縁膜5006上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

## 【0164】

上記の第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層5007及び第2の導電層5008の端部がテーパ形状となる。こうして、第1のエッチング処理により第1の導電層5007と第2の導電層5008から成る第1の形状の導電層5010~5014を形成した。ゲート絶縁膜5006においては、第1の形状の導電層5010~5014で覆われない領域が20~50nm程度エッチングされたため、膜厚が薄くなった領域が形成された。

30

## 【0165】

次いで、レジストからなるマスク5009を除去せずに第2のエッチング処理を行う。(図13(C))第2のエッチング処理では、エッチングガスに $SF_6$ と $Cl_2$ と $O_2$ を用い、それぞれのガス流量比を24:12:24(sccm)とし、1.3Paの圧力でコイル側の電力に700WのRF(13.56MHz)電力を投入してプラズマを生成して25秒程度のエッチングを行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第2の形状の導電層5015~5019を形成した。このとき、第1の導電層5015a~5018aは、ほとんどエッチングされない。

40

## 【0166】

そして、レジストからなるマスク5009を除去せずに第1のドーピング処理を行い、半導体層5002~5005にN型を付与する不純物元素を低濃度に添加する。第1のドーピング処理はイオンドープ法又はイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を40~80keVとして行う

50

。本実施例ではドーズ量を  $5.0 \times 10^{13} \text{ atoms/cm}^2$  とし、加速電圧を 50 keV として行った。N 型を付与する不純物元素としては、15 族に属する元素を用いれば良く、代表的にはリン (P) 又は砒素 (As) を用いられるが、本実施例ではリン (P) を用いた。この場合、第 2 の形状の導電層 5015 ~ 5019 が N 型を付与する不純物元素に対するマスクとなって、自己整合的に第 1 の不純物領域 (N--領域) 5020 ~ 5023 を形成した。そして第 1 の不純物領域 5020 ~ 5023 には  $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  の濃度範囲で N 型を付与する不純物元素が添加された。

#### 【0167】

続いてレジストからなるマスク 5009 を除去した後、新たにレジストからなるマスク 5024 を形成して、第 1 のドーピング処理よりも高い加速電圧で第 2 のドーピング処理を行う。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 3 \times 10^{15} \text{ atoms/cm}^2$  とし、加速電圧を 60 ~ 120 keV として行う。本実施例では、ドーズ量を  $3.0 \times 10^{15} \text{ atoms/cm}^2$  とし、加速電圧を 65 keV として行った。第 2 のドーピング処理は第 2 の導電層 5015b ~ 5018b を不純物元素に対するマスクとして用い、第 1 の導電層 5015a ~ 5018a のテーパ部の下方の半導体層に不純物元素が添加されるようにドーピングを行う。

#### 【0168】

上記の第 2 のドーピング処理を行った結果、第 1 の導電層と重なる第 2 の不純物領域 (N - 領域、Lov 領域) 5026 には  $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  の濃度範囲で N 型を付与する不純物元素を添加された。また第 3 の不純物領域 (N + 領域) 5025、5028 には  $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$  の濃度範囲で N 型を付与する不純物元素を添加された。また、第 1、第 2 のドーピング処理を行った後、半導体層 5002 ~ 5005 において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャネル領域 5027、5030 とよぶ。また前記第 1 のドーピング処理により形成された第 1 の不純物領域 (N--領域) 5020 ~ 5023 のうち、第 2 のドーピング処理においてレジスト 5024 で覆われていた領域が存在するが、本実施例では、引き続き第 1 の不純物領域 (N--領域、LDD 領域) 5029 とよぶ。(図 13 (D))

#### 【0169】

なお本実施例では、第 2 のドーピング処理のみにより、第 2 の不純物領域 (N - 領域) 5026 及び第 3 の不純物領域 (N + 領域) 5025、5028 を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

#### 【0170】

次いで図 14 (A) に示すように、レジストからなるマスク 5024 を除去した後、新たにレジストからなるマスク 5031 を形成する。その後、第 3 のドーピング処理を行う。第 3 のドーピング処理により、P チャネル型 TFT の活性層となる半導体層に、前記第 1 の導電型とは逆の導電型を付与する不純物元素が添加された第 4 の不純物領域 (P + 領域) 5032、5034 及び第 5 の不純物領域 (P - 領域) 5033、5035 を形成する。

#### 【0171】

第 3 のドーピング処理では、第 2 の導電層 5016b、5018b を不純物元素に対するマスクとして用いる。こうして、P 型を付与する不純物元素を添加し、自己整合的に第 4 の不純物領域 (P + 領域) 5032、5034 及び第 5 の不純物領域 (P - 領域) 5033、5035 を形成する。

#### 【0172】

本実施例では、第 4 の不純物領域 5032、5034 及び第 5 の不純物領域 5033、5035 はジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドープ法で形成する。イオンドープ法の条件としては、ドーズ量を  $1 \times 10^{16} \text{ atoms/cm}^2$  とし、加速電圧を 80 keV とした。

#### 【0173】

10

20

30

40

50

なお、第3のドーピング処理の際には、Nチャネル型TFTを形成する半導体層はレジストからなるマスク5031によって覆われている。

【0174】

ここで、第1及び2のドーピング処理によって、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035にはそれぞれ異なる濃度でリンが添加されている。しかし、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035のいずれの領域においても、第3のドーピング処理によって、P型を付与する不純物元素の濃度が $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理される。こうして、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035は、Pチャネル型TFTのソース領域およびドレイン領域として問題なく機能する。

10

【0175】

なお本実施例では、第3のドーピング処理のみにより、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【0176】

次いで図14(B)に示すように、レジストからなるマスク5031を除去して第1の層間絶縁膜5036を形成する。この第1の層間絶縁膜5036としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5036は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

20

【0177】

次いで、図14(C)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーンেসアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700で行えばよく、本実施例では410、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

30

【0178】

また、第1の層間絶縁膜5036を形成する前に加熱処理を行っても良い。ただし、第1の導電層5015a~5019a及び、第2の導電層5015b~5019bを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【0179】

上記の様に、第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第1の層間絶縁膜5036に含まれる水素により半導体層のダングリングボンドが終端される。

40

【0180】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【0181】

ここで、第1の層間絶縁膜5036の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、3~100%の水素を含む雰囲気中において、300~450で1~12時間の加熱処理を行う手段でも良い。

【0182】

50

次いで、第 1 の層間絶縁膜 5 0 3 6 上に、第 2 の層間絶縁膜 5 0 3 7 を形成する。第 2 の層間絶縁膜 5 0 3 7 としては、無機絶縁膜を用いることができる。例えば、C V D 法によって形成された酸化珪素膜や、S O G (Spin On Glass) 法によって塗布された酸化珪素膜等を用いることができる。また、第 2 の層間絶縁膜 5 0 3 7 として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、B C B (ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化珪素膜の積層構造を用いても良い。

#### 【0183】

本実施例では、膜厚 1.6  $\mu\text{m}$  のアクリル膜を形成した。第 2 の層間絶縁膜 5 0 3 7 によって、基板上 5 0 0 0 に形成された T F T による凹凸を緩和し、平坦化することができる。特に、第 2 の層間絶縁膜 5 0 3 7 は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

10

#### 【0184】

次いで、ドライエッチングまたはウエットエッチングを用い、第 2 の層間絶縁膜 5 0 3 7、第 1 の層間絶縁膜 5 0 3 6、およびゲート絶縁膜 5 0 0 6 をエッチングし、第 3 の不純物領域 5 0 2 5、5 0 2 8、第 4 の不純物領域 5 0 3 2、5 0 3 4 に達するコンタクトホールを形成する。

#### 【0185】

次いで、透明導電膜からなる画素電極 5 0 3 8 を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物 (Indium Tin Oxide: I T O)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。画素電極が E L 素子の陽極に相当する。

20

#### 【0186】

本実施例では、I T O を 110 nm 厚さで成膜、その後パターニングし、画素電極 5 0 3 8 を形成した。

#### 【0187】

次いで、各不純物領域とそれぞれ電氣的に接続される配線 5 0 3 9 ~ 5 0 4 5 を形成する。なお本実施例では、配線 5 0 3 9 ~ 5 0 4 5 は、膜厚 100 nm の T i 膜と、膜厚 350 nm の A l 膜と、膜厚 100 nm の T i 膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

30

#### 【0188】

もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、A l と T i に限らず、他の導電膜を用いても良い。例えば、T a N 膜上に A l や C u を形成し、さらに T i 膜を形成した積層膜をパターニングして配線を形成してもよい。

#### 【0189】

こうして、画素部の N チャネル型 T F T のソース領域またはドレイン領域の一方は、配線 5 0 4 2 によってソース信号線 (5 0 1 9 a と 5 0 1 9 b の積層) と電氣的に接続され、もう一方は、配線 5 0 4 3 によって画素部の P チャネル型 T F T のゲート電極と電氣的に接続される。また、画素部の P チャネル型 T F T のソース領域またはドレイン領域の一方は、配線 5 0 4 4 によって画素電極 5 0 3 8 と電氣的に接続されている。ここで、画素電極 5 0 3 8 上の一部と、配線 5 0 4 4 の一部を重ねて形成することによって、配線 5 0 4 4 と画素電極 5 0 3 8 の電氣的接続をとっている。

40

#### 【0190】

以上の工程により図 1 4 (D) に示すように、N チャネル型 T F T と P チャネル型 T F T からなる C M O S 回路を有する駆動回路部と、スイッチング用 T F T、駆動用 T F T とを有する画素部を同一基板上に形成することができる。

#### 【0191】

駆動回路部の N チャネル型 T F T は、ゲート電極の一部を構成する第 1 の導電層 5 0 1

50

5 a と重なる低濃度不純物領域 5 0 2 6 ( L o v 領域 )、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 2 5 とを有している。この N チャネル型 T F T と配線 5 0 4 0 で接続され C M O S 回路を形成する P チャネル型 T F T は、ゲート電極の一部を構成する第 1 の導電層 5 0 1 6 a と重なる低濃度不純物領域 5 0 3 3 ( L o v 領域 )、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 3 2 とを有している。

【 0 1 9 2 】

画素部において、Nチャネル型のスイッチング用 T F T は、ゲート電極の外側に形成される低濃度不純物領域 5 0 2 9 ( L o f f 領域 )、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 2 8 とを有している。また画素部において、Pチャネル型の駆動用 T F T は、ゲート電極の一部を構成する第 1 の導電層 5 0 1 8 a と重なる低濃度不純物領域 5 0 3 5 ( L o v 領域 )、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 3 4 とを有している。

10

【 0 1 9 3 】

次いで、第 3 の層間絶縁膜 5 0 4 6 を形成する。第 3 の層間絶縁膜としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、C V D 法によって形成された酸化珪素膜や、S O G ( Spin On Glass ) 法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【 0 1 9 4 】

第 2 の層間絶縁膜 5 0 3 7 と第 3 の層間絶縁膜 5 0 4 6 の組み合わせの例を以下に挙げる。

20

【 0 1 9 5 】

第 2 の層間絶縁膜 5 0 3 7 として、プラズマ C V D 法によって形成した酸化珪素膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてもプラズマ C V D 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、S O G 法によって形成した酸化珪素膜を用い、第 3 の層間絶縁膜 5 0 4 6 としても S O G 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、S O G 法によって形成した酸化珪素膜とプラズマ C V D 法によって形成した酸化珪素膜の積層膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてプラズマ C V D 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、アクリルを用い、第 3 の層間絶縁膜 5 0 4 6 としてもアクリルを用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、アクリルとプラズマ C V D 法によって形成した酸化珪素膜の積層膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてプラズマ C V D 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、プラズマ C V D 法によって形成した酸化珪素膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてアクリルを用いる組み合わせがある。

30

【 0 1 9 6 】

第 3 の層間絶縁膜 5 0 4 6 の画素電極 5 0 4 7 に対応する位置に開口部を形成する。第 3 の層間絶縁膜は、バンクとして機能する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する E L 層の劣化が顕著な問題となってしまうため、注意が必要である。

40

【 0 1 9 7 】

第 3 の層間絶縁膜 5 0 4 6 中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12} \text{ m}$  ( 好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10} \text{ m}$  ) となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【 0 1 9 8 】

次いで、第 3 の層間絶縁膜 5 0 4 6 の開口部において露出している画素電極 5 0 3 8 上に、E L 層 5 0 4 7 を形成する。

【 0 1 9 9 】

50

ＥＬ層５０４７としては、公知の有機発光材料や無機発光材料を用いることができる。

【０２００】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が２０以下または連鎖する分子の長さが１０μm以下の有機発光材料を示すものとする。

【０２０１】

ＥＬ層５０４７は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

10

【０２０２】

本実施例では蒸着法により低分子系有機発光材料を用いてＥＬ層５０４７を形成している。具体的には、正孔注入層として２０nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として７０nm厚のトリス・８・キノリノラトアルミニウム錯体（Alq<sub>3</sub>）膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM１といった蛍光色素を添加することで発光色を制御することができる。

【０２０３】

なお、図１４（Ｄ）では一画素しか図示していないが、複数の色、例えば、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各色に対応したＥＬ層５０４７を作り分ける構成とすることができる。

20

【０２０４】

また、高分子系有機発光材料を用いる例として、正孔注入層として２０nmのポリチオフェン（PEDOT）膜をスピン塗布法により設け、その上に発光層として１００nm程度のパラフェニレンビニレン（PPV）膜を設けた積層構造によってＥＬ層５０４７を構成しても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【０２０５】

なお、ＥＬ層５０４７は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、ＥＬ層５０４７は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

30

【０２０６】

例えば、電子輸送層を構成する材料（以下、電子輸送材料と表記する）と、発光層を構成する材料（以下、発光材料と表記する）とによって構成される混合層を、電子輸送層と発光層との間に有する構造のＥＬ層５０４７であってもよい。

【０２０７】

次に、ＥＬ層５０４７の上には導電膜からなる画素電極５０４８が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。画素電極５０４８がＥＬ素子の陰極に相当する。陰極材料としては、周期表の１族もしくは２族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

40

【０２０８】

画素電極５０４８まで形成された時点でＥＬ素子が完成する。なお、ＥＬ素子とは、画素電極（陽極）５０３８、ＥＬ層５０４７及び画素電極（陰極）５０４８で形成された素子を指す。

【０２０９】

50

ＥＬ素子を完全に覆うようにしてパッシベーション膜５０４９を設けることは有効である。パッシベーション膜５０４９としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

#### 【０２１０】

カバレッジの良い膜をパッシベーション膜５０４９として用いることが好ましく、炭素膜、特にＤＬＣ（ダイヤモンドライクカーボン）膜を用いることは有効である。ＤＬＣ膜は室温から１００以下の温度範囲で成膜可能であるため、耐熱性の低いＥＬ層５０４７の上方にも容易に成膜することができる。また、ＤＬＣ膜は酸素に対するブロッキング効果が高く、ＥＬ層５０４７の酸化を抑制することが可能である。そのため、ＥＬ層５０４

10

#### 【０２１１】

なお、第３の層間絶縁膜５０４６を形成した後、パッシベーション膜５０４９を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

#### 【０２１２】

なお、実際には図１４（Ｄ）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとＥＬ素子の信頼性が向上する。

20

#### 【０２１３】

また、パッケージング等の処理により気密性を高めたら、基板５０００上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：ＦＰＣ）を取り付けて製品として完成する。

#### 【０２１４】

また、本実施例で示す工程に従えば、半導体装置の作製に必要なフォトリソマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

#### 【実施例１２】

30

#### 【０２１５】

本実施例では、実施例１１に示した構成とは異なる構成のアクティブマトリクス基板の作製工程について図１５を用いて説明する。

#### 【０２１６】

なお、図１５（Ａ）までの工程は、実施例１１において、図１３（Ａ）～（Ｄ）、図１４（Ａ）に示した工程と同様である。ただし、画素部を構成する駆動用ＴＦＴは、ゲート電極の外側に形成される低濃度不純物領域（Ｌoff領域）を有する、Ｎチャネル型のＴＦＴである点が異なる。この駆動用ＴＦＴにおいては、実施例９に示したように、レジストによるマスクを用いて、ゲート電極の外側に低濃度不純物領域（Ｌoff領域）を形成すれば良い。

40

#### 【０２１７】

図１３及び図１４と同じ部分は同じ符号を用いて示し、説明は省略する。

#### 【０２１８】

図１５（Ａ）に示すように、第１の層間絶縁膜５１０１を形成する。この第１の層間絶縁膜５１０１としては、プラズマＣＶＤ法またはスパッタ法を用い、厚さを１００～２００nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマＣＶＤ法により膜厚１００nmの酸化窒化珪素膜を形成した。勿論、第１の層間絶縁膜５１０１は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

#### 【０２１９】

50

次いで、図 15 (B) に示すように、加熱処理（熱処理）を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 で行えばよく、本実施例では 410、1 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA 法）を適用することができる。

#### 【0220】

また、第 1 の層間絶縁膜 5101 を形成する前に加熱処理を行っても良い。ただし、第 1 の導電層 5015a ~ 5019a 及び、第 2 の導電層 5015b ~ 5019b が熱に弱い場合には、本実施例のように配線等を保護するため第 1 の層間絶縁膜 5101（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で熱処理を行うことが好ましい。

10

#### 【0221】

上記の様に、第 1 の層間絶縁膜 5101（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第 1 の層間絶縁膜 5101 に含まれる水素により半導体層のダングリングボンドが終端される。

#### 【0222】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

#### 【0223】

ここで、第 1 の層間絶縁膜 5101 の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段（プラズマ水素化）や、3 ~ 100 % の水素を含む雰囲気中において、300 ~ 450 で 1 ~ 12 時間の加熱処理を行う手段でも良い。

20

#### 【0224】

以上の工程により、Nチャネル型 TFT と Pチャネル型 TFT からなる CMOS 回路を有する駆動回路部と、スイッチング用 TFT、駆動用 TFT とを有する画素部を同一基板上に形成することができる。

#### 【0225】

次いで、第 1 の層間絶縁膜 5101 上に、第 2 の層間絶縁膜 5102 を形成する。第 2 の層間絶縁膜 5102 としては、無機絶縁膜を用いることができる。例えば、CVD 法によって形成された酸化珪素膜や、SOG（Spin On Glass）法によって塗布された酸化珪素膜等を用いることができる。また、第 2 の層間絶縁膜 5102 として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB（ベンゾシクロブテン）、アクリル等の膜を用いることができる。また、アクリル膜と酸化珪素膜の積層構造を用いても良い。

30

#### 【0226】

次いで、ドライエッチングまたはウエットエッチングを用い、第 1 の層間絶縁膜 5101、第 2 の層間絶縁膜 5102 及びゲート絶縁膜 5006 をエッチングし、駆動回路部及び画素部を構成する各 TFT の不純物領域（第 3 の不純物領域（N+領域）及び第 4 の不純物領域（P+領域））に達するコンタクトホールを形成する。

40

#### 【0227】

次いで、各不純物領域とそれぞれ電氣的に接続される配線 5103 ~ 5109 を形成する。なお本実施例では、配線 5103 ~ 5109 は、膜厚 100 nm の Ti 膜と、膜厚 350 nm の Al 膜と、膜厚 100 nm の Ti 膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

#### 【0228】

もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、Al と Ti に限らず、他の導電膜を用いても良い。例えば、TaN 膜上に Al や Cu を形成し、さらに Ti 膜を形成した積層膜

50

をパターニングして配線を形成してもよい。

【0229】

画素部のスイッチング用TFTのソース領域またはドレイン領域の一方は、配線5106によってソース配線(5019aと5019bの積層)と電氣的に接続され、もう一方は、配線5107によって画素部の駆動用TFTのゲート電極と電氣的に接続される。

【0230】

次いで図15(C)に示すように、第3の層間絶縁膜5110を形成する。第3の層間絶縁膜5110としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

10

【0231】

第3の層間絶縁膜5110によって、基板上5000に形成されたTFTによる凹凸を緩和し、平坦化することができる。特に、第3の層間絶縁膜5110は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【0232】

次いで、ドライエッチングまたはウエットエッチングを用い、第3の層間絶縁膜5110に、配線5108に達するコンタクトホールを形成する。

【0233】

次いで、導電膜をパターニングして画素電極5111を形成する。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。画素電極5111がEL素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

20

【0234】

画素電極5111は、第3の層間絶縁膜5110に形成されたコンタクトホールによって、配線5108と電氣的な接続がとられる。こうして、画素電極5111は、駆動用TFTのソース領域またはドレイン領域の一方と、電氣的に接続される。

【0235】

次いで図15(D)に示すように、各画素間のEL層を塗り分けるために、土手5112を形成する。土手5112としては、無機絶縁膜や有機絶縁膜を用いて形成する。無機絶縁膜としては、CVD法によって形成された酸化珪素膜や、SOG法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

30

【0236】

ここで、土手5112を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。土手5112の側壁が十分になだらかでないとき段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0237】

なお、画素電極5111と配線5108を電氣的に接続する際に、第3の層間絶縁膜5110に形成したコンタクトホールの部分にも、土手5112を形成する。こうして、コンタクトホール部分の凹凸による、画素電極の凹凸を土手5112によって埋めることにより、段差に起因するEL層の劣化を防いでいる。

40

【0238】

第3の層間絶縁膜5110と土手5112の組み合わせの例を以下に挙げる。

【0239】

第3の層間絶縁膜5110として、プラズマCVD法によって形成した酸化珪素膜を用い、土手5112としてもプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、SOG法によって形成した酸化珪素膜を用い、土手5112としてもSOG法によって形成した酸化珪素膜を用いる組み合

50

わせがある。また第3の層間絶縁膜5110として、SOG法によって形成した酸化珪素膜とプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、土手5112としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、アクリルを用い、土手5112としてもアクリルを用いる組み合わせがある。また、第3の層間絶縁膜5110として、アクリルとプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、土手5112としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、プラズマCVD法によって形成した酸化珪素膜を用い、土手5112としてアクリルを用いる組み合わせがある。

【0240】

土手5112中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12} \text{ m}$  (好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10} \text{ m}$ ) となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【0241】

次いで、土手5112に囲まれた、露出している画素電極5038上に、EL層5113を形成する。

【0242】

EL層5113としては、公知の有機発光材料や無機発光材料を用いることができる。

【0243】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10  $\mu\text{m}$ 以下の有機発光材料を示すものとする。

【0244】

EL層5113は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陰極上に電子輸送層/発光層/正孔輸送層/正孔注入層、または電子注入層/電子輸送層/発光層/正孔輸送層/正孔注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0245】

本実施例では蒸着法により低分子系有機発光材料を用いてEL層5113を形成している。具体的には、発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体( $\text{Alq}_3$ )膜を設け、その上に、正孔注入層として20nm厚の銅フタロシアニン( $\text{CuPc}$ )膜を設けた積層構造としている。 $\text{Alq}_3$ にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0246】

なお、図15(D)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応したEL層5113を作り分ける構成とすることができる。

【0247】

また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に、発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によってEL層5113を構成しても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【0248】

なお、EL層5113は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、EL層5113は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混

10

20

30

40

50

合した層を有する構造であってもよい。

【0249】

例えば、電子輸送層を構成する材料（以下、電子輸送材料と表記する）と、発光層を構成する材料（以下、発光材料と表記する）とによって構成される混合層を、電子輸送層と発光層との間に有する構造のEL層5113であってもよい。

【0250】

次に、EL層5113の上には、透明導電膜からなる画素電極5114を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物（ITO）、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。画素電極5114がEL素子の陽極に相当する。

10

【0251】

画素電極5114まで形成された時点でEL素子が完成する。なお、EL素子とは、画素電極（陰極）5111、EL層5113及び画素電極（陽極）5114で形成されたダイオードを指す。

【0252】

本実施例では、画素電極5114が透明導電膜によって形成されているため、EL素子が発した光は、基板5000とは逆側に向かって放射される。また、第3の層間絶縁膜5110によって、配線5106～5109が形成された層とは別の層に、画素電極5111を形成している。そのため、実施例9に示した構成と比較して、開口率を上げることができる。

20

【0253】

EL素子を完全に覆うようにして保護膜（パッシベーション膜）5115を設けることは有効である。保護膜5115としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【0254】

なお本実施例のように、EL素子が発した光が画素電極5114側から放射される場合、保護膜5115としては、光を透過する膜を用いる必要がある。

【0255】

なお、土手5112を形成した後、保護膜5115を形成するまでの工程をマルチチャンパー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

30

【0256】

なお、実際には図15（D）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）等のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0257】

また、パッケージング等の処理により気密性を高めたら、基板5000上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

40

【実施例13】

【0258】

本実施例では、本発明を用いて半導体装置を作製した例について、図16を用いて説明する。

【0259】

図16は、TFTが形成された素子基板をシーリング材によって封止することによって形成された半導体装置の上面図であり、図16（B）は、図16（A）のA-A'における断面図、図16（C）は図16（A）のB-B'における断面図である。

50

## 【0260】

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

## 【0261】

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、複数のTFTを有している。図16(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれるTFT(但し、ここではNチャネル型TFTとPチャネル型TFTを図示する)4201及び画素部4002に含まれるTFT4202を図示した。

10

## 【0262】

TFT4201及び4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にTFT4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

20

## 【0263】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

## 【0264】

有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

30

## 【0265】

有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

40

## 【0266】

以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

## 【0267】

4005aは電源に接続された引き回し配線であり、TFT4202の第1の電極に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

50

## 【0268】

シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

## 【0269】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

10

## 【0270】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

本実施例では充填材として窒素を用いた。

## 【0271】

また充填材4210を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

20

## 【0272】

図16(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

30

## 【0273】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

## 【実施例14】

## 【0274】

本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

40

## 【0275】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

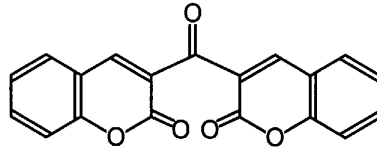
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

## 【0276】

上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

## 【0277】

## 【化 1】



## 【 0 2 7 8 】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

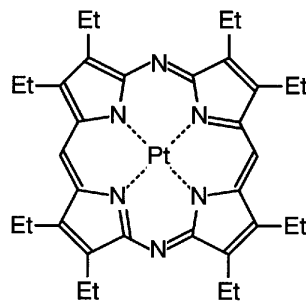
10

## 【 0 2 7 9 】

上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

## 【 0 2 8 0 】

## 【化 2】



20

## 【 0 2 8 1 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsutsui, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

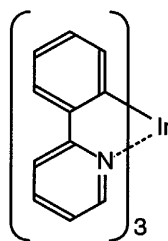
## 【 0 2 8 2 】

上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

## 【 0 2 8 3 】

30

## 【化 3】



## 【 0 2 8 4 】

40

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

## 【実施例 15】

## 【 0 2 8 5 】

発光素子を用いた半導体装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

## 【 0 2 8 6 】

本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装

50

置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、半導体装置を用いることが望ましい。それら電子機器の具体例を図17に示す。

【0287】

図17(A)は発光素子表示装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明の半導体装置は表示部3003に用いることができる。半導体装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

10

【0288】

図17(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明の半導体装置は表示部3102に用いることができる。

【0289】

図17(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の半導体装置は表示部3203に用いることができる。

20

【0290】

図17(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の半導体装置は表示部3302に用いることができる。

【0291】

図17(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3401、筐体3402、表示部A3403、表示部B3404、記録媒体(DVD等)読込部3405、操作キー3406、スピーカー部3407等を含む。表示部A3403は主として画像情報を表示し、表示部B3404は主として文字情報を表示するが、本発明の半導体装置はこれら表示部A、B3403、3404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

30

【0292】

図17(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体3501、表示部3502、アーム部3503を含む。本発明の半導体装置は表示部3502に用いることができる。

【0293】

図17(G)はビデオカメラであり、本体3601、表示部3602、筐体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、操作キー3609等を含む。本発明の半導体装置は表示部3602に用いることができる。

40

【0294】

図17(H)は携帯電話であり、本体3701、筐体3702、表示部3703、音声入力部3704、音声出力部3705、操作キー3706、外部接続ポート3707、アンテナ3708等を含む。本発明の半導体装置は表示部3703に用いることができる。なお、表示部3703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0295】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能と

50

なる。

【0296】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、半導体装置は動画表示に好ましい。

【0297】

また、半導体装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に半導体装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

10

【0298】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～14に示したいずれの構成の半導体装置を用いても良い。

【実施例16】

【0299】

本発明におけるトランジスタのしきい値補正の方法として、補正に用いるトランジスタのゲート・ドレイン間を短絡してダイオード化した状態でソース・ドレイン間に電流を流し、ソース・ドレイン間の電圧がトランジスタのしきい値に等しくなる現象を利用しているが、これは本発明で紹介したような画素部への適用のみならず、駆動回路への応用も可能である。

20

【0300】

例として、電流を画素などへ出力する駆動回路における、電流源回路を挙げる。電流源回路は、入力された電圧信号から、所望の電流を出力する回路である。電流源回路内の電流源トランジスタのゲート電極に電圧信号が入力され、そのゲート・ソース間電圧に応じた電流が、電流源トランジスタを介して出力される。つまり、電流源トランジスタのしきい値補正に、本発明のしきい値補正方法を用いる。

【0301】

図26(A)に、電流源回路の利用例を示す。シフトレジスタより順次サンプリングパルスが出力され、該サンプリングパルスはそれぞれの電流源回路9001へと入力され、該サンプリングパルスが電流源回路9001に入力されたタイミングに従って、映像信号のサンプリングを行う。この場合、サンプリング動作は点順次で行われる。

30

【0302】

簡単な動作タイミングを図26(B)に示す。i行目のゲート信号線が選択されている期間は、シフトレジスタからサンプリングパルスが出力され、映像信号のサンプリングを行う期間と、帰線期間とに分けられる。この帰線期間において、本発明のしきい値補正動作、つまり、各部の電位を初期化したり、トランジスタのしきい値電圧を取得したりする一連の動作を行う。つまり、しきい値取得動作は1水平期間ごとに行うことが出来る。

【0303】

図27(A)に、図26とは異なる構成の電流を画素などへ出力する駆動回路の構成を示す。図26の場合と異なる点としては、1段のサンプリングパルスによって制御される電流源回路9001は、9001A、9001Bの2つとなっており、電流源制御信号によって、双方の動作が選択される。

40

【0304】

図27(B)に示すように、電流源制御信号は、例えば1水平期間ごとに切り替わるようにする。すると電流源回路9001A、9001Bの動作は、一方が画素などへの電流出力を行い、他方が映像信号の入力などを行う。これが行ごとに入れ替わり行われる。この場合、サンプリング動作は線順次で行われる。

【0305】

50

図 28 (A) に、さらに異なる構成の駆動回路の構成を示す。ここでは、1 段のサンプリングパルスによって制御される電流源回路 9001 は、9001A、9001B、9001C の 3 つとなっており、ビデオ入力制御信号、出力制御信号によって、それぞれの動作が選択される。

【0306】

図 28 (B) に示すように、ビデオ入力制御信号、出力制御信号によって、1 水平期間ごとに、電流源回路 9001A ~ 9001C の動作が、しきい値補正 映像信号入力 画素への電流出力といった順に切り替わるようにする。サンプリング動作は、図 27 に示した構成と同様、線順次で行われる。

【0307】

図 29 (A) に、さらに異なる構成の駆動回路の構成を示す。図 26 ~ 903 においては、映像信号の形式はデジタル・アナログを問わないが、図 29 (A) の構成では、デジタル映像信号を入力する。入力されたデジタル映像信号は、サンプリングパルスの出力に従って第 1 のラッチ回路に取りこまれ、一行分の映像信号の取り込みが終了した後、第 2 のラッチ回路に転送され、その後、各電流源回路 9001A ~ 9001C へと入力される。ここで、電流源回路 9001A ~ 9001C は、それぞれから出力される電流値が異なっている。例えば、電流値の比が 1 : 2 : 4 となっている。つまり、並列に  $n$  個の電流源回路を配置し、その電流値の比を  $1 : 2 : 4 : \dots : 2^{(n-1)}$  とし、各電流源回路から出力される電流を足し合わせることで、出力される電流値を線形的に変化させることが出来る。

【0308】

動作タイミングは、図 26 に示したものとほぼ同様であり、サンプリング動作を行わない帰線期間内に、電流源回路 9001 において、しきい値補正動作が行われ、続いてラッチ回路に保持されているデータが転送され、電流源回路 9001 において V - I 変換を行い、画素へ電流を出力する。サンプリング動作は、図 27 に示した構成と同様、線順次で行われる。

【0309】

図 30 (A) に、さらに異なる構成の電流を画素などへ出力する駆動回路の構成を示す。この構成では、ラッチ回路に取り込まれたデジタル映像信号は、ラッチ信号の入力によって D / A 変換回路へと転送され、アナログ映像信号へと変換され、該アナログ映像信号が各電流源回路 9001 へと入力されて、電流が出力される。

【0310】

また、このような D / A 変換回路に、例えばガンマ補正用の機能を持たせても良い。

【0311】

図 30 (B) に示すように、帰線期間内にしきい値補正、ラッチデータ転送が行われ、ある行のサンプリング動作が行われている期間に、前行の映像信号の V - I 変換、画素などへの電流の出力が行われる。サンプリング動作は、図 27 に示した構成と同様、線順次で行われる。

【0312】

以上を示した構成に限らず、電流源回路によって V - I 変換を行うような場合には、本発明のしきい値補正手段の適用が可能である。また、図 27、図 28 に示したように、複数の電流源回路を並列に配置し、切り替えて使用するという構成を、図 29、図 30 等の構成と組み合わせて使用しても良い。

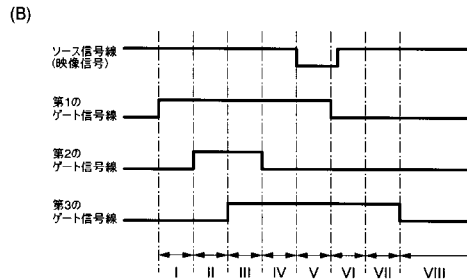
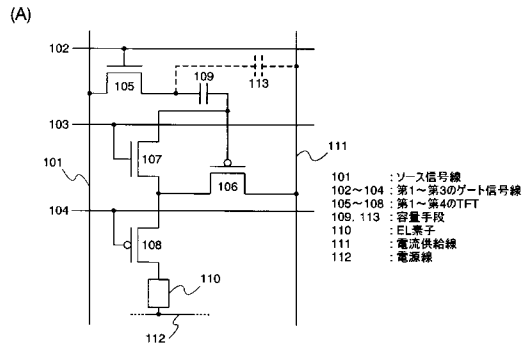
10

20

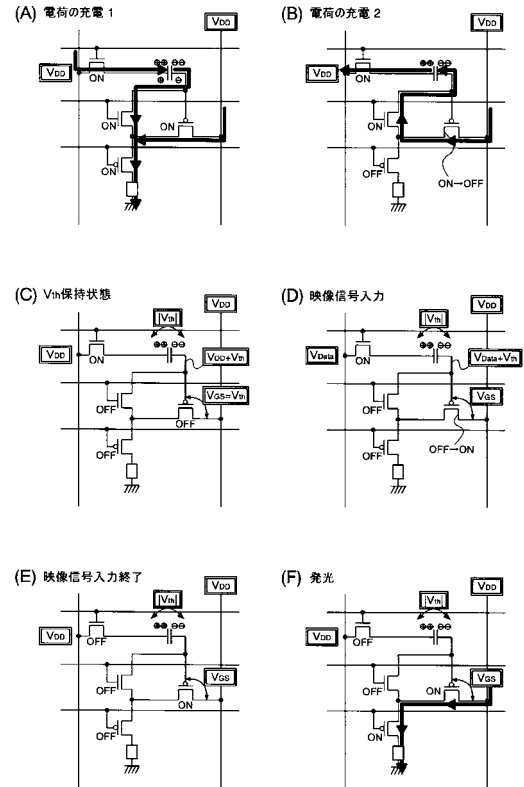
30

40

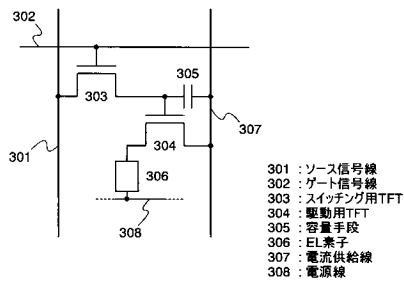
【図 1】



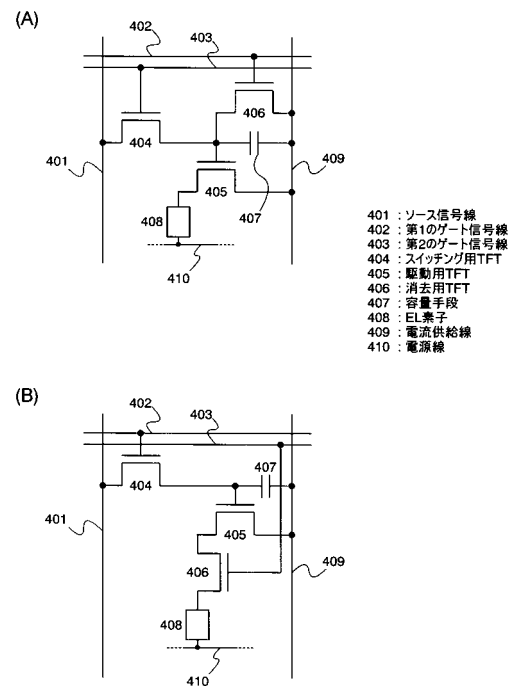
【図 2】



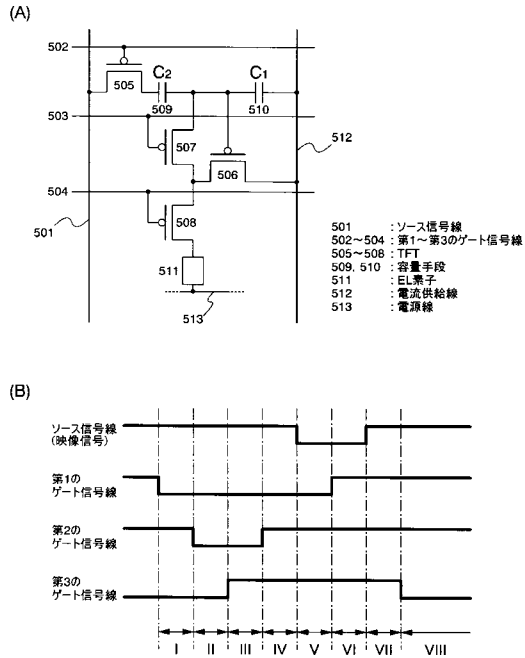
【図 3】



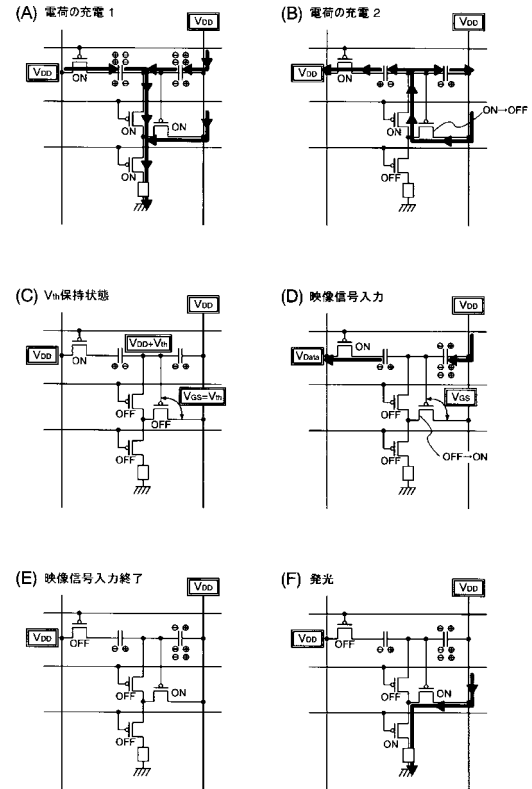
【図 4】



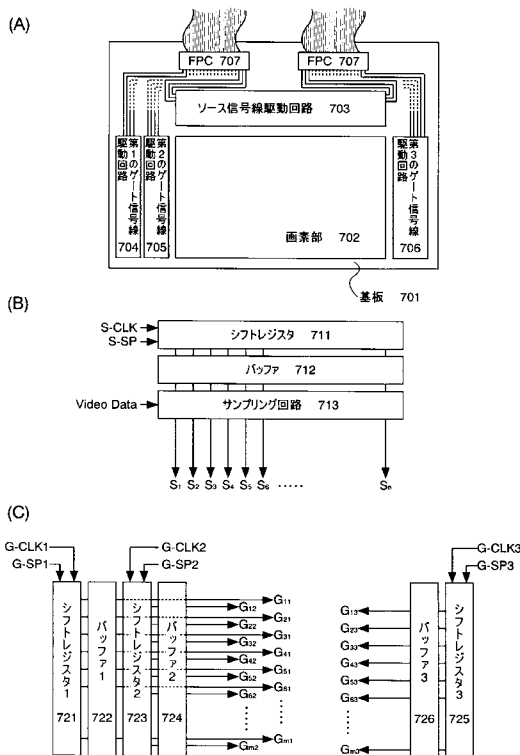
【図 5】



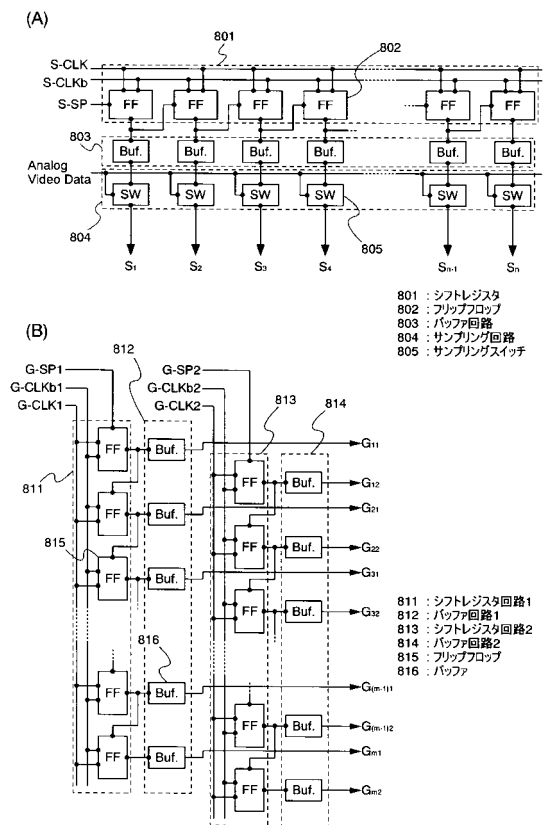
【図 6】



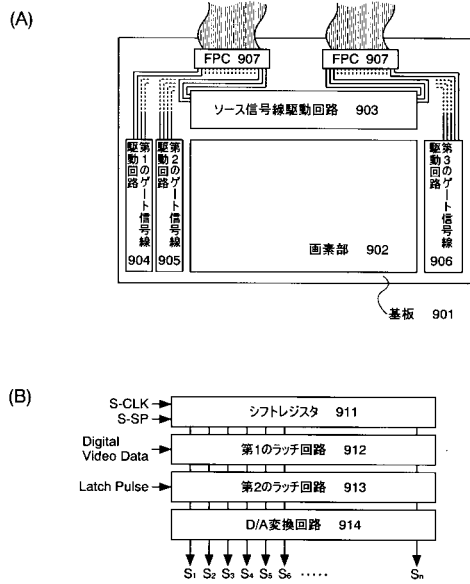
【図 7】



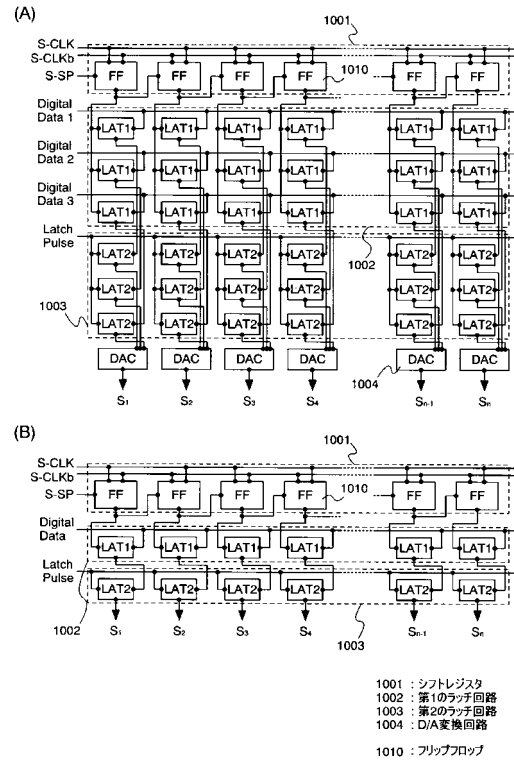
【図 8】



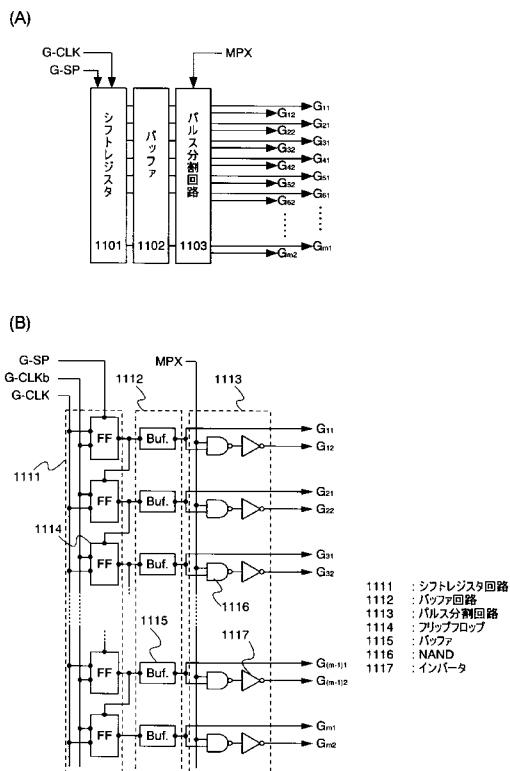
【図 9】



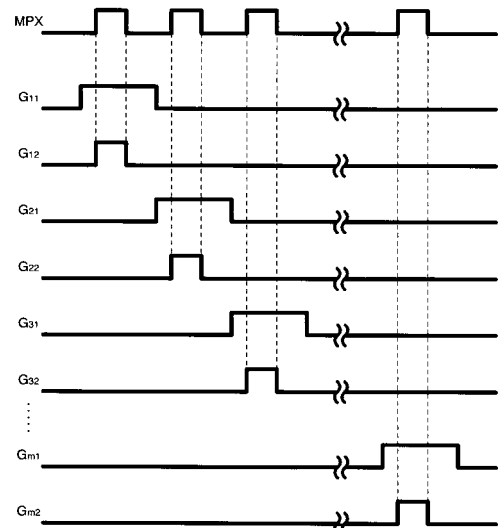
【図 10】



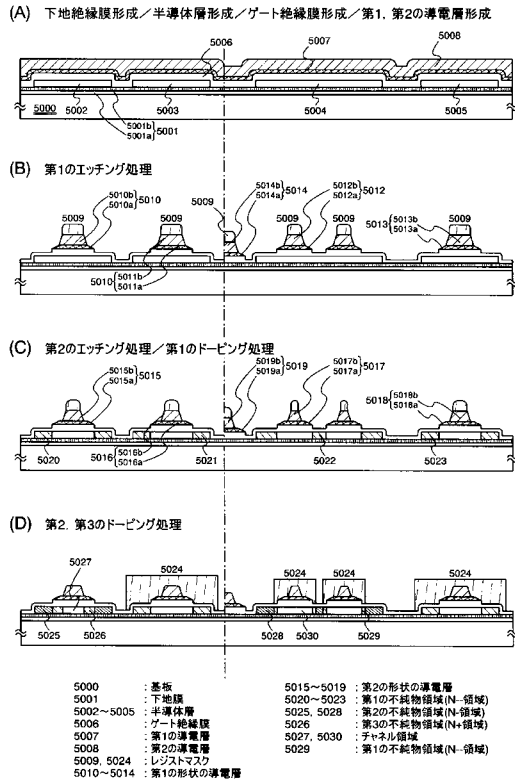
【図 11】



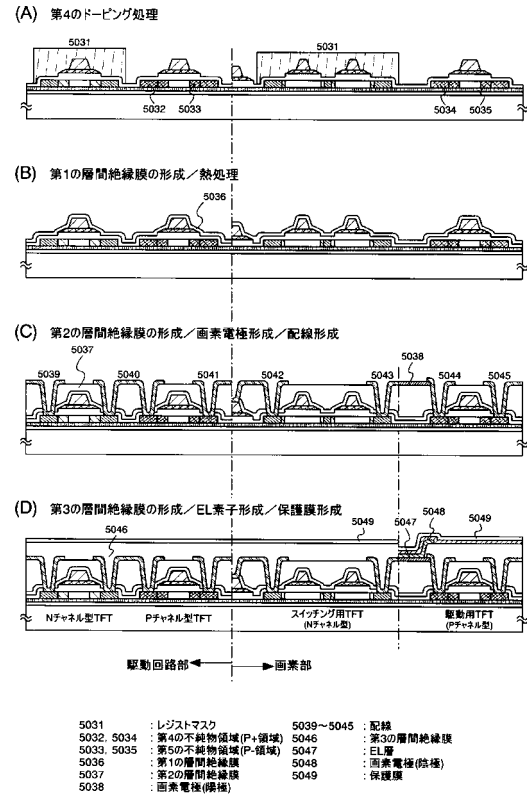
【図 12】



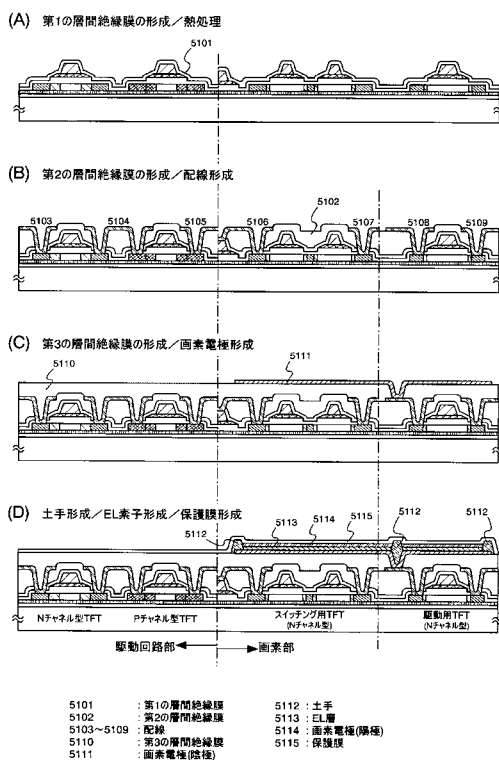
【図 13】



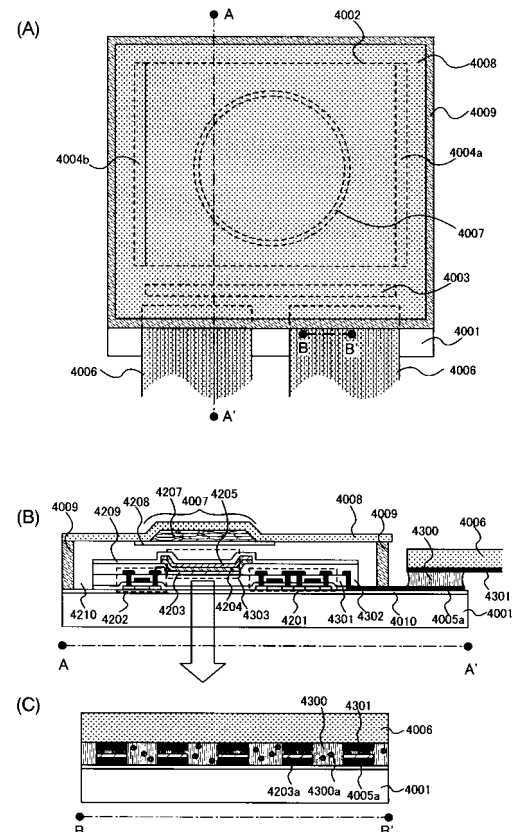
【図 14】



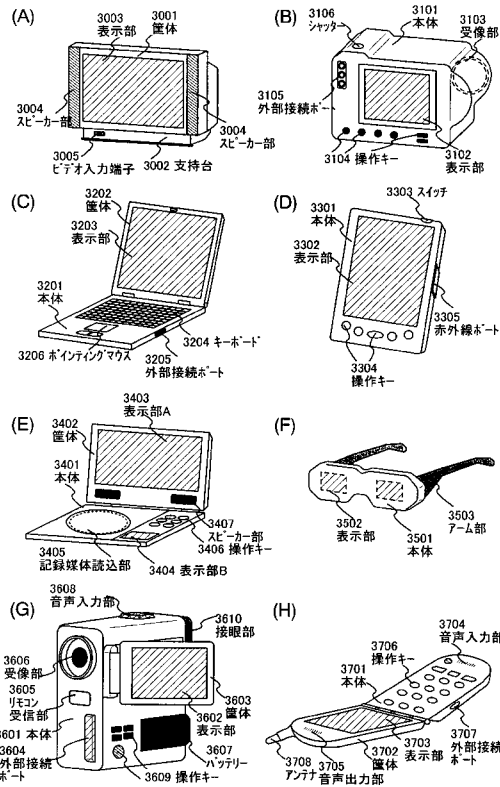
【図 15】



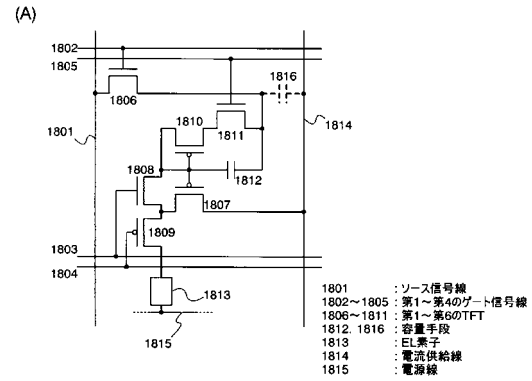
【図 16】



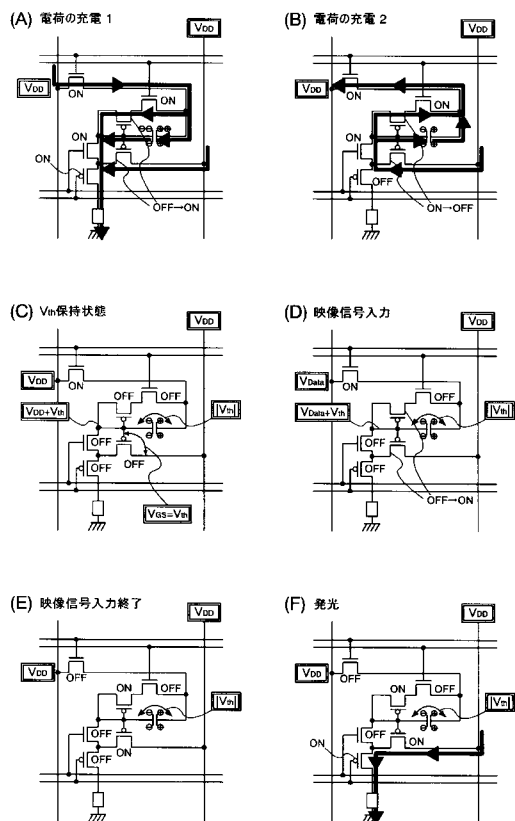
【図 17】



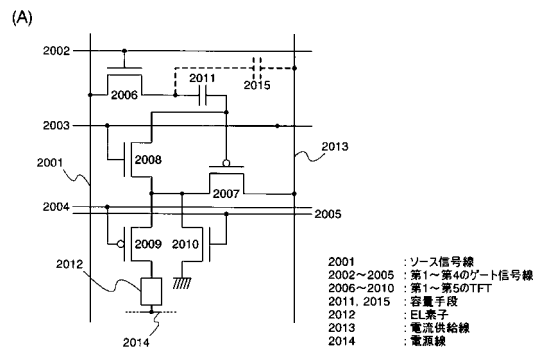
【図 18】



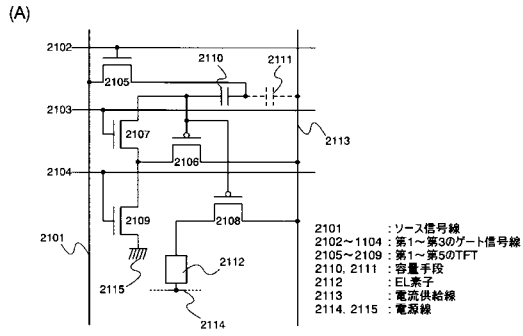
【図 19】



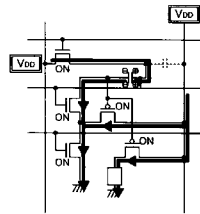
【図 20】



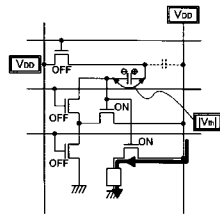
【図 2 1】



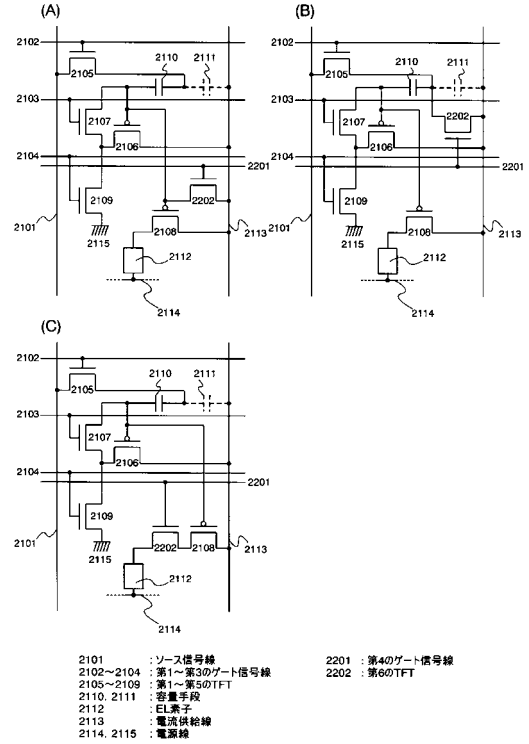
(B) 電荷の充電1



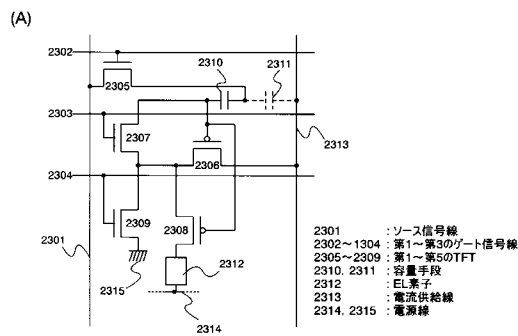
(C) 発光



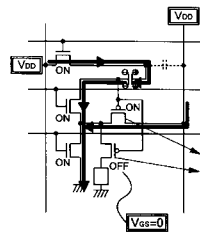
【図 2 2】



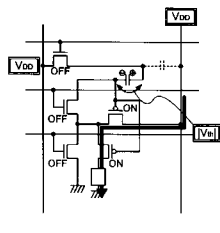
【図 2 3】



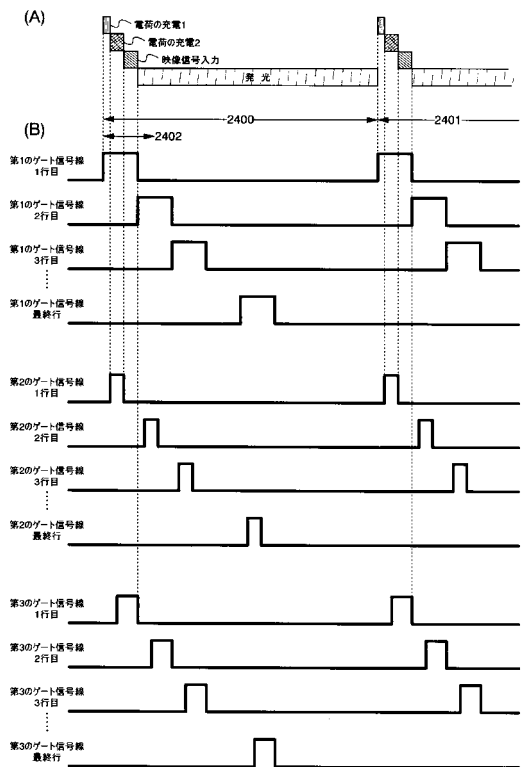
(B) 電荷の充電1



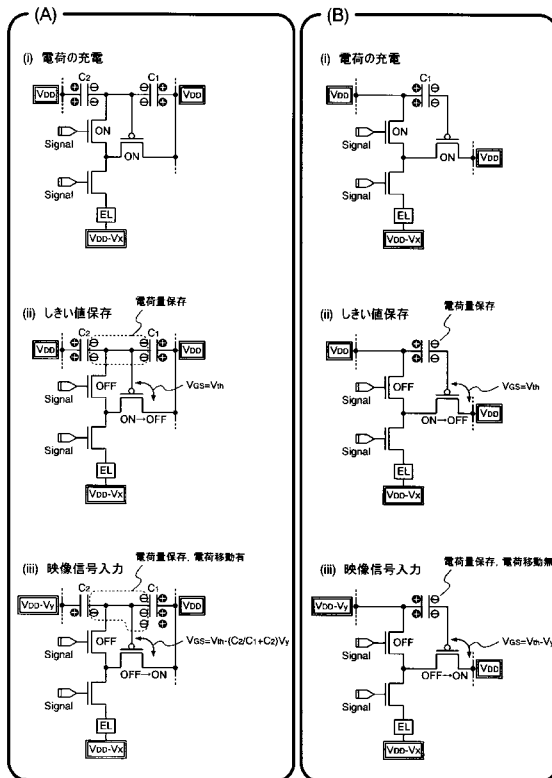
(C) 発光



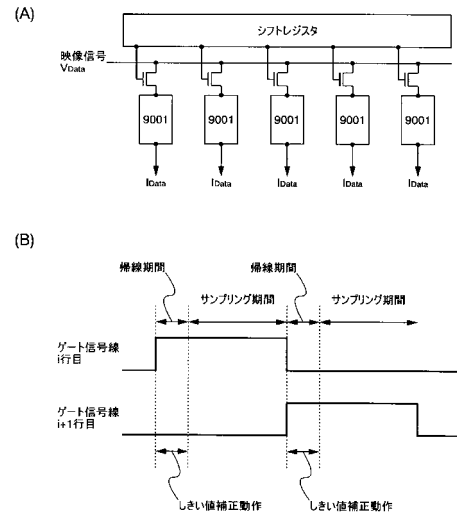
【図 2 4】



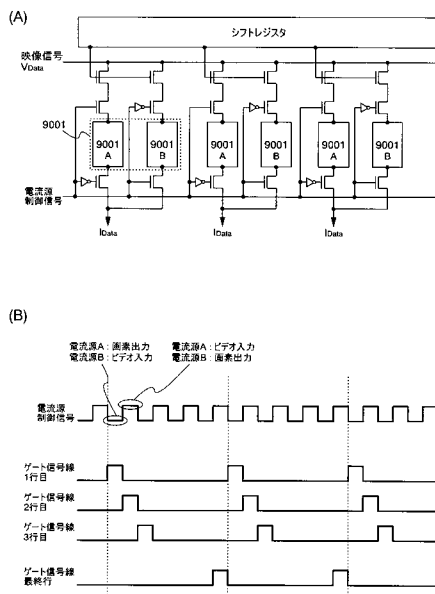
【図 25】



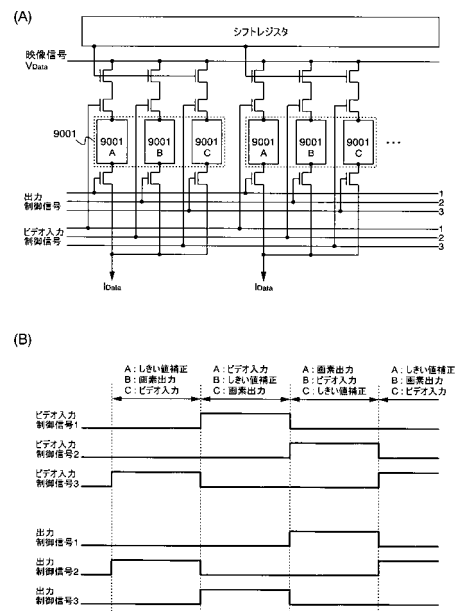
【図 26】



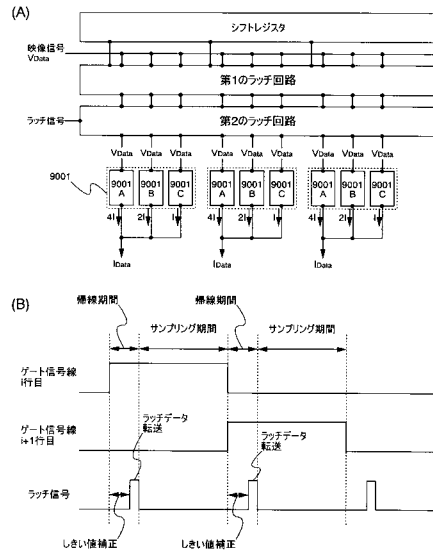
【図 27】



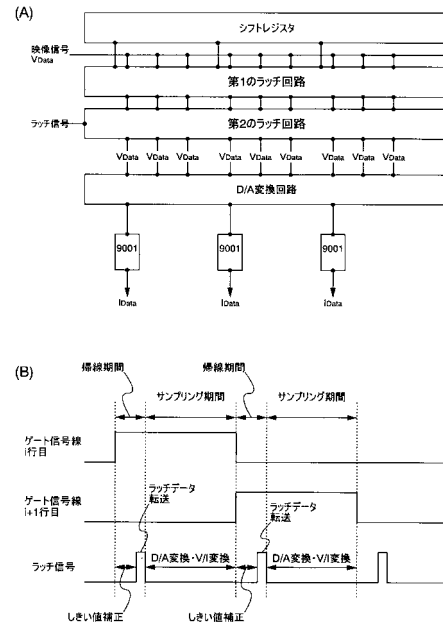
【図 28】



【図 29】



【図 30】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A

F ターム(参考) 5C380 AA01 AB06 AB11 AB12 AB18 AB21 AB22 AB23 AB24 AB25  
AB34 AC08 AC09 AC11 AC12 AC13 AC16 BA17 BA38 BA39  
BB02 BC20 CA02 CA04 CA08 CA12 CA13 CA14 CA17 CA22  
CA24 CA26 CA32 CB01 CB12 CB14 CB16 CB17 CB26 CC02  
CC04 CC07 CC26 CC30 CC33 CC38 CC39 CC52 CC61 CC62  
CC63 CC64 CC65 CD012 CD013 CD014 CD015 CD016 CD024 CD025  
CD026 CF07 CF09 CF10 CF22 CF32 CF48 DA02 DA06 DA09  
DA47