

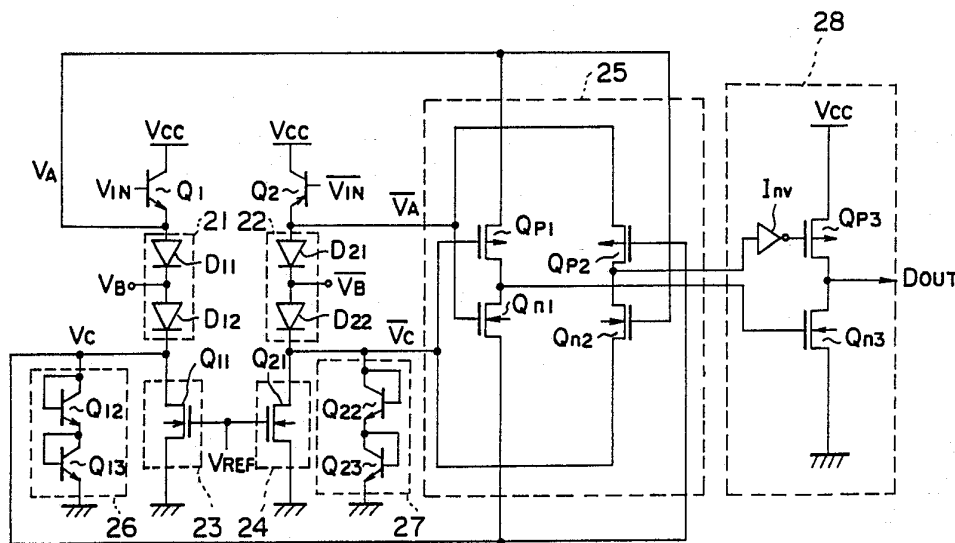


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 H03K 19/0175</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 92/17000</p> <p>(43) 国際公開日 1992年10月1日 (01. 10. 1992)</p>
<p>(21) 国際出願番号 PCT/JP92/00325 (22) 国際出願日 1992年3月18日 (18. 03. 92)</p> <p>(30) 優先権データ 特願平3/56886 1991年3月20日 (20. 03. 91) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社 (FUJITSU LIMITED) [JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 Kanagawa, (JP) 富士通ヴィエルエスアイ株式会社 (FUJITSU VLSI LIMITED) [JP/JP] 〒487 愛知県春日井市高蔵寺町二丁目1844番2 Aichi, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてののみ) 関 照夫 (SEKI, Teruo) [JP/JP] 綿飼裕明 (UKAI, Hiroaki) [JP/JP] 〒487 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内 Aichi, (JP)</p> <p>(74) 代理人 弁理士 伊東忠彦 (ITO, Tadahiko) 〒102 東京都千代田区麩町5丁目7番地 秀和紀尾井町TBR1010号 Tokyo, (JP)</p> <p>(81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), KR, US.</p>		<p>添付公開書類 国際調査報告書</p>

(54) Title : CIRCUIT FOR CONVERTING LEVEL

(54) 発明の名称 レベル変換回路



(57) Abstract

A circuit for converting a first logical level into a second one. Even when the voltage of a power supply is increased, the low level of the output voltage of a switching circuit (25) is suppressed from increasing, and accordingly an output buffer (28) is always made operable, because voltage limiting elements (26, 27) suppress the output level shift voltages of level-shifting devices (21, 22) connected to the output ends of input transistors (Q₁, Q₂) to predetermined values.

(57) 要約

第1の論理レベルを第2の論理レベルに変換するレベル変換回路である。電源電圧が上昇しても、入力トランジスタ(Q₁, Q₂)の出力端側に設けられたレベルシフト素子(21, 22)の出力レベルシフト電圧を所定値に抑える電圧制限素子(26, 27)を設けることにより、スイッチ回路(25)の出力電圧のローレベルの上昇を抑え、出力バッファ(28)を常に動作可能とする。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	ES	スペイン	MG	マダガスカル
AU	オーストラリア	FI	フィンランド	ML	マリ
BB	バルバドス	FR	フランス	MN	モンゴル
BE	ベルギー	GA	ガボン	MR	モーリタニア
BF	ブルキナ・ファソ	GN	ギニア	MW	マラウイ
BG	ブルガリア	GB	イギリス	NL	オランダ
BJ	ベナン	GR	ギリシャ	NO	ノルウェー
BR	ブラジル	HU	ハンガリー	PL	ポーランド
CA	カナダ	IE	アイルランド	RO	ルーマニア
CF	中央アフリカ共和国	IT	イタリア	RU	ロシア連邦
CG	コンゴ	JP	日本	SD	スーダン
CH	スイス	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CI	コート・ジボアール	KR	大韓民国	SN	セネガル
CM	カメルーン	LI	リヒテンシュタイン	SU	ソヴェト連邦
CS	チェコスロバキア	LK	スリランカ	TD	チャド
DE	ドイツ	LU	ルクセンブルグ	TG	トーゴ
DK	デンマーク	MC	モナコ	US	米国

明細書

レベル変換回路

5 技術分野

本発明はレベル変換回路に係り、特に第1の論理レベルを第2の論理レベルに変換するレベル変換回路に関する。

10 一般に、デジタル回路素子は汎用性を持たせる必要から、いわゆる標準ロジックが定められており、信号レベルとして、エミッタ結合論理（ECL）レベル、トランジスタ・トランジスタ論理（TTL）レベル、CMOSレベルなどの種類がある。従って、異なった種類の標準ロジック間で信号を伝送するためには、インタフェース回路として論理レベルの変換を行なうレベル変換回路が必要とされる。

15

背景技術

従来のレベル変換回路は、2値論理のレベル差が第1の値に設定された第1の論理レベルの入力信号を、夫々対の入力トランジスタを通して一对のレベルシフト用ダイオードでレベルシフトした後、
20 レベルシフトされた2つの信号を差動増幅器に供給して別の論理レベルの信号に増幅して出力する。

しかし、この構成の従来のレベル変換回路は、出力信号をCMOSレベルとするときは、差動増幅器をMOSトランジスタで構成するため電流を多く流さないと動作速度を上げることができず、また
25 差動増幅器の消費電力が大きい。

そこで、本出願人は先に特願平2-15251号にて第1図に示す如きレベル変換回路を提案した。第1図中、レベル変換回路はレベルシフト回路11、スイッチ回路12及び出力バッファ13よりなる。レベルシフト回路11はNPNトランジスタ Q_1 及び Q_2 、

2

レベルシフト用ダイオード D_{11} , D_{12} , D_{21} , D_{22} 等、定電流源 C_{S1} 及び C_{S2} よりなる。

スイッチ回路 1 2 は P チャネル MOS トランジスタ Q_{p1} 及び Q_{p2} と N チャネル MOS トランジスタ Q_{n1} 及び Q_{n2} とよりなり、MOS トランジスタ Q_{p1} と Q_{n1} のドレイン同士が接続され、MOS トランジスタ Q_{p2} と Q_{n2} のドレイン同士が接続された構成とされている。出力バッファ 1 3 はインバータ I_{nv} とドレイン同士が接続された P チャネル MOS トランジスタ Q_{p3} 及び N チャネル MOS トランジスタ Q_{n3} よりなる。

10 このレベル変換回路では、入力トランジスタ Q_1 及び Q_2 の各ベースに、レベル変換されるべき第 1 の論理振幅の入力信号が、互いに逆極性で入力される。ここで、上記の第 1 の論理振幅がハイレベルとローレベルの差が約 0.7 V の ECL レベルであるものとする、トランジスタ Q_1 のベースには第 2 図に示す入力電圧 V_{1N} が
15 入力され、トランジスタ Q_2 のベースには第 2 図に示す入力電圧 $\overline{V_{1N}}$ が入力される。

入力電圧 V_{1N} , $\overline{V_{1N}}$ は夫々入力トランジスタ Q_1 , Q_2 のベース・エミッタ間電位 V_{BE} (例えば 0.75 V) だけ低レベル方向にレベルシフトされて、 Q_1 , Q_2 のエミッタより第 2 図に示す如き電
20 圧 V_A , $\overline{V_A}$ とされて取り出される。この電圧 V_A は第 1 図に示すダイオード D_{11} 及び D_{12} により順次所定レベルずつ低レベル方向にレベルシフトされて第 2 図に示す電圧 V_B , V_C とされる。また、これと同時に電圧 $\overline{V_A}$ は第 1 図に示すダイオード D_{21} 及び D_{22} により順次所定レベルずつ低レベル方向にレベルシフトされて第 2 図に
25 示す電圧 $\overline{V_B}$, $\overline{V_C}$ とされる。

上記の電圧 V_A , V_C は MOS トランジスタ Q_{p1} 及び Q_{n1} よりなる回路部の電源電圧として供給され、また MOS トランジスタ Q_{n2} 及び Q_{p2} のゲート入力電圧とされる。一方、上記の電圧 $\overline{V_A}$, $\overline{V_C}$ は MOS トランジスタ Q_{p2} 及び Q_{n2} よりなる回路部の電源電圧とし

て供給され、またMOSトランジスタ Q_{n1} 及び Q_{p1} のゲート入力電圧とされる。

これにより、トランジスタ Q_{p1} 及び Q_{n1} のドレイン共通接続点からは第3図に V_{OUT} で示す如く振幅が $V_A - V_C$ (約2V)の電圧
5 が取り出される。また、トランジスタ Q_{p2} 及び Q_{n2} のドレイン共通接続点からは第3図に $\overline{V_{OUT}}$ で示す如く、上記電圧 V_{OUT} の逆極性で振幅が $V_A - V_C$ の電圧が取り出される。

このようにして、入力電圧 V_{IN} 、 $\overline{V_{IN}}$ より大振幅に変換されて取り出された電圧 V_{OUT} 、 $\overline{V_{OUT}}$ のうち、 V_{OUT} はMOSトランジスタ Q_{n3} のゲートに印加され、 $\overline{V_{OUT}}$ はインバータ I_{NV} を通してMOSトランジスタ Q_{p3} のゲートに印加される。これにより、MOSトランジスタ Q_{p3} 及び Q_{n3} の共通ドレイン端子からはハイレベルが電源電圧 V_{CC} (例えば5V)で、ローレベルがグラウンドレベルの、振幅が約5VのCMOSレベルの出力電圧 D_{OUT} が取り出される。

15 上記の本出願人の提案になるレベル変換回路では、定常状態にあっては、トランジスタ Q_{p1} 及び Q_{n1} のいずれか一方、及びトランジスタ Q_{p2} 及び Q_{n2} のいずれか一方は確実にオフされるため、消費電力は前記した従来のレベル変換回路よりも大幅に低減される。また、スイッチ回路12によるスイッチング動作により、レベル変換
20 を高速に行なうことができる。

しかるに、上記の本出願人の提案になるレベル変換回路では、レベルシフト回路11において定電流源 CS_1 及び CS_2 を用いているため、システム故障などにより電源電圧 V_{CC} が規定値よりも上昇すると、レベルシフト回路11の出力電圧 V_A 、 $\overline{V_A}$ 、 V_C 及び
25 $\overline{V_C}$ はその振幅は維持するもレベル全体が上昇する。

このため、スイッチ回路12の出力電圧 V_{OUT} 及び $\overline{V_{OUT}}$ も上昇し、甚だしい場合には出力電圧 V_{OUT} のローレベルが出力バッファ13のトランジスタ Q_{n3} のしきい値電圧 (第3図に V_{n1h} で示す) より高くなり、また出力電圧 $\overline{V_{OUT}}$ のローレベルが出力バッファ1

3のインバータ I_{nv} のしきい値電圧(第3図の V_{th} と同じ)より高くなる。

この場合には、トランジスタ Q_{ns} は常時オン状態となり、またインバータ I_{nv} の出力電圧が常時ローレベルとなり、トランジスタ Q_{ps} も常時オン状態になってしまう。従って、電源電圧 V_{cc} の上昇によって上記の本出願人の提案レベル変換回路は出力バッファ13が動作不能になることがある。

そこで、本発明は電源電圧が上昇しても、ローレベルの上昇を防止するようにしたレベル変換回路を提供することを目的とする。

10 本発明の他の目的は、ECLレベル又はTTLレベルの入力信号をCMOSレベルに変換するレベル変換回路を提供するにある。

発明の開示

上記目的を達成するため、本発明のレベル変換回路は、第1の2
15 値論理レベルで、かつ、互いに反転関係にある第1及び第2の入力信号が夫々入力される第1及び第2の入力トランジスタと、第1及び第2の入力トランジスタの各出力端に接続され、各々複数の出力端を有する第1及び第2のレベルシフト素子と、第1及び第2のレベルシフト素子と低電位側電源との間に接続された第1及び第2の
20 定電流源と、第1のレベルシフト素子の複数の出力端のうち2つの出力端から夫々取り出される第1及び第2のレベルシフト電圧と、第2のレベルシフト素子の複数の出力端のうち2つの出力端から夫々取り出される第3及び第4のレベルシフト電圧とが夫々供給され、第3及び第4のレベルシフト電圧の差又は第1及び第2のレ
25 ルシフト電圧の差に応じた電圧を出力電圧として取り出すスイッチ回路と、第1、第2のレベルシフト素子の前記第2、第4のレベルシフト電圧が取り出される出力端と低電位側電源との間に接続された第1及び第2の電圧制限素子と、スイッチ回路の出力電圧を第2の2値論理レベルの信号に変換して出力する出力バッファとより構

成する。

本発明によれば、電源電圧が上昇しても、前記第1及び第2のレベルシフト素子21及び22から取り出される第2及び第4のレベルシフト電圧の上昇を所定電圧に制限することができる。このこと
5 により、本発明によれば電源電圧が上昇しても、前記出力バッファを常に正常に動作させることができる。

また、本発明は、前記出力バッファを、スイッチ回路内の一つのプッシュプル回路を構成する第1のPチャンネルMOSトランジスタ及び第1のNチャンネルMOSトランジスタの両ドレイン共通接続点
10 にゲートが接続され、ソースが低電位側電源に接続される第3のNチャンネルMOSトランジスタと、上記スイッチ回路内のもう一つのプッシュプル回路を構成する第2のPチャンネルMOSトランジスタ及び第2のNチャンネルMOSトランジスタの両ドレイン共通接続点
15 に入力端子が接続されるインバータと、このインバータの出力端子がゲートに接続され、ソースが高電位側電源に接続され、かつ、第3のNチャンネルMOSトランジスタのドレインがドレインに接続される第3のPチャンネルMOSトランジスタとより構成したものである。

これにより、スイッチ回路より取り出される、互いに反転関係に
20 ある2つの出力電圧が反転するときの、互いの位相誤差を吸収することができる。更に、本発明によれば、ECLレベル又はTTLレベルをCMOSレベルに変換することができる。

図面の簡単な説明

- 25 第1図は本出願人が先に提案したレベル変換回路の一例の回路図、
第2図は第1図の各部の波形図、
第3図は第1図の要部のしきい値と波形図、
第4図は本発明の原理構成図、
第5図は本発明の一実施例の回路図、

第 6 図は本発明回路に入力される入力信号の発生源の一例を示す回路図、

第 7 図は本発明回路に入力される入力信号の発生源の他の例を示す回路図、

5 第 8 図は本発明の要部の変形例を示す回路図である。

発明を実施するための最良の形態

本発明の原理構成図である第 4 図において、入力トランジスタ Q_1 及び Q_2 には第 1 の 2 値論理レベルで、かつ、互いに反転関係にある第 1 の入力信号 V_{IN} 及び第 2 の入力信号 $\overline{V_{IN}}$ が入力される。この入力信号 V_{IN} 及び $\overline{V_{IN}}$ は夫々入力トランジスタ Q_1 、 Q_2 のエミッタより取り出されてレベルシフト素子 2 1 及び 2 2 により別々にレベルシフトされる。

スイッチ回路 2 5 は第 1 のレベルシフト素子 2 1 の複数の出力端のうち 2 つの出力端から夫々取り出される第 1 及び第 2 のレベルシフト電圧と、第 2 のレベルシフト素子 2 2 の複数の出力端のうち 2 つの出力端から夫々取り出される第 3 及び第 4 のレベルシフト電圧とが夫々供給され、第 3 及び第 4 のレベルシフト電圧の差（又は第 1 及び第 2 のレベルシフト電圧の差）に応じた電圧を発生する。

20 電圧制限素子 2 6 及び 2 7 は第 1 及び第 2 のレベルシフト素子 2 1、2 2 の第 2、第 4 のレベルシフト電圧が取り出される出力端と低電位側電源との間に接続される。これにより、第 2 のレベルシフト電圧は第 1 の電圧制限素子 2 6 により電圧上昇が抑えられ、第 4 のレベルシフト電圧は第 2 の電圧制限素子 2 7 により電圧上昇が抑えらる。

出力バッファ 2 8 はスイッチ回路 2 5 の出力電圧を第 2 の 2 値論理レベルの信号に変換して出力する。本発明では、上記の第 2、第 4 のレベルシフト電圧が所定値以下に制限されているので、スイッチ回路 2 5 の出力電圧のローレベルも電源電圧の上昇に拘らず上昇

が抑えられる。このため、出力バッファ 28 は電源電圧が上昇しても正常に動作する。

次に本発明の一実施例の回路構成及び動作について説明する。第 5 図は本発明の一実施例の回路図を示す。同図中、第 1 図及び第 4 図
5 と同一構成部分には同一符合を付してある。第 5 図において、入力トランジスタ Q_1 、 Q_2 は夫々 NPN トランジスタで、そのエミッタがダイオード D_{11} 、 D_{21} のアノードに接続されている。

ダイオード D_{11} はカソードがダイオード D_{12} のアノードに接続され、ダイオード D_{12} と共にレベルシフト素子 21 を構成している。
10 ダイオード D_{11} のアノード及びカソードからレベルシフト電圧 V_A 、 V_B が出力され、ダイオード D_{12} のカソードからレベルシフト電圧 V_C が出力される。レベルシフト電圧 V_A 、 V_C が前記した第 1、第 2 のレベルシフト電圧に相当する。

一方、ダイオード D_{21} はカソードがダイオード D_{22} のアノードに
15 接続され、ダイオード D_{22} と共にレベルシフト素子 22 を構成している。ダイオード D_{21} のアノード及びカソードからレベルシフト電圧 $\overline{V_A}$ 、 $\overline{V_B}$ が出力され、ダイオード D_{22} のカソードからレベルシフト電圧 $\overline{V_C}$ が出力される。レベルシフト電圧 $\overline{V_A}$ 、 $\overline{V_C}$ が前記した第 3、第 4 のレベルシフト電圧に相当する。

20 Nチャネル MOS トランジスタ Q_{11} 及び Q_{21} は夫々ドレインがダイオード D_{12} 及び D_{22} のカソードに接続され、各ソースが低電位側電源であるグラウンドに接続され、それらのゲートに定電圧 V_{REF} が印加されることにより定電流源 23、24 を構成している。

また、NPN トランジスタ Q_{12} 及び Q_{13} はベース・コレクタ間が
25 接続されており（すなわち、ダイオード接続されており）、またトランジスタ Q_{12} のベース及びコレクタはダイオード D_{12} と MOS トランジスタ Q_{11} のドレインとの接続点に接続され、トランジスタ Q_{12} のエミッタはトランジスタ Q_{13} のベース及びコレクタに夫々接続されている。トランジスタ Q_{13} のエミッタは接地されている。これに

より、トランジスタ Q_{12} 及び Q_{13} は前記した第1の電圧制限素子26を構成している。

同様に、ダイオード D_{22} のカソード及びMOSトランジスタ Q_{21} のドレインの共通接続点とグラウンドとの間に接続された、2個の
5 ダイオード接続されたNPNトランジスタ Q_{22} 及び Q_{23} は前記した第2の電圧制限素子27を構成している。なお、NPNトランジスタ Q_{12} 、 Q_{13} 、 Q_{22} 、 Q_{23} の代わりにMOSトランジスタ等のユニポーラトランジスタを同様にダイオード接続して用いることもできる。

10 PチャネルMOSトランジスタ Q_{p1} 及びNチャネルMOSトランジスタ Q_{n1} は第1のプッシュプル回路を構成し、またPチャネルMOSトランジスタ Q_{p2} 及びNチャネルMOSトランジスタ Q_{n2} と共に前記したスイッチ回路25を構成している。PチャネルMOSトランジスタ Q_{p2} 及びNチャネルMOSトランジスタ Q_{n2} は第2の
15 プッシュプル回路を構成している。

MOSトランジスタ Q_{p1} のドレイン及びMOSトランジスタ Q_{n2} のゲートはダイオード D_{11} のアノードに接続され、MOSトランジスタ Q_{n1} のドレイン及びMOSトランジスタ Q_{p2} のゲートはダイ
オード D_{12} のカソードに接続されている。また、MOSトランジスタ
20 Q_{p2} のドレイン及びMOSトランジスタ Q_{n1} のゲートはダイオード D_{21} のアノードに接続され、MOSトランジスタ Q_{n2} のドレイン及びMOSトランジスタ Q_{p1} のゲートはダイオード D_{22} のカソードに接続されている。

ドレイン同士が接続されたPチャネルMOSトランジスタ Q_{p3} 及び
25 NチャネルMOSトランジスタ Q_{n3} は夫々CMOSインバータを構成しており、インバータ I_{nv} と共に前記した出力バッファ28を構成している。MOSトランジスタ Q_{p2} と Q_{n2} の共通接続点がインバータ I_{nv} を介してMOSトランジスタ Q_{p3} のゲートに接続されている。MOSトランジスタ Q_{p1} 及び Q_{n1} の共通接続点はMOSトラ

ンジスタ Q_{n3} のゲートに接続されている。MOSトランジスタ Q_{p3} のソースは高電位側電源電圧 V_{cc} が印加され、MOSトランジスタ Q_{n3} のソースは低電位側電源であるグラウンドに接続されている。

かかる構成の本実施例のレベル変換回路は、例えば第6図に示す
5 如き Bi -CMOSスタティック・ランダム・アクセス・メモリ
(SRAM) の読み出し信号がECLレベルで入力トランジスタ Q_1 及び Q_2 のベースに供給される。第6図中、メモリセル31はアドレス線 XSEL に入力されるXアドレスと、アドレス線 YSEL 及び YSEL に入力されるYアドレスとにより選択される。Yアドレスによってトランスファークゲート32及び33が夫々スイッチング制御される。
10

いま、メモリセル31が選択され、かつ、メモリセル31内のMOSトランジスタ T_{r1} に“1”が書き込まれ、MOSトランジスタ T_{r2} に“0”が書き込まれているものとする。ビット線 BL、トランスファークゲート32、データ線 SD を夫々介してNPNトランジスタ T_{r3} のベースにハイレベルの信号が入力され、またビット線 BL、トランスファークゲート33及びデータ線 SD を夫々介してNPNトランジスタ T_{r4} のベースにローレベルの信号が入力される。
15

これにより、トランジスタ T_{r3} に流れる電流がトランジスタ T_{r4} に流れる電流よりも大となり、NPNトランジスタ T_{r5} のベース電流がNPNトランジスタ T_{r6} のベース電流より大となる。トランジスタ $T_{r3} \sim T_{r6}$ は増幅部の一部34を構成しており、残りの増幅部35は同一の半導体チップ上かなり離れた位置にあり、信号線 GDB 及び GDB により互いに結線されている。
20

このように配線長が長いと、CMOSレベル等の大振幅で電圧駆動をすると配線容量によって波形がなまり、かつ、遅延量が大となる。従って、通常は振幅が小なるECLレベルの信号を電流駆動で伝送することにより、配線容量による遅延を削減する。
25

そのため、トランジスタ T_{r5} 及び T_{r6} は長距離の信号線 GDB 及

びGDBを介して接続されている増幅部35内のNPNトランジスタ T_{r7} 及び T_{r8} を夫々ECLレベルで電流駆動する。すなわち、上記の場合、トランジスタ T_{r5} 及び T_{r6} のうち T_{r5} の方に大電流が流れるため、トランジスタ T_{r7} 及び T_{r8} のうち T_{r7} の方に大電流が流
5
れ、コレクタ負荷抵抗による電圧降下によってトランジスタ T_{r7} のコレクタ電位がトランジスタ T_{r8} のコレクタ電位より低下する。

このため、NPNトランジスタ T_{r9} 及び T_{r10} のうちトランジスタ T_{r9} のコレクタ電流が少なくなり、トランジスタ T_{r10} のコレクタ電流が多くなり、よってトランジスタ T_{r9} のコレクタ電位がハイ
10
レベル、トランジスタ T_{r10} のコレクタ電位がローレベルとされる。このトランジスタ T_{r9} のECLレベルでハイレベルのコレクタ電位は前記した入力電圧 V_{IN} として第5図の入カトランジスタ Q_1 のベースに印加され、またトランジスタ T_{r10} のECLレベルでローレベルのコレクタ電位は前記した入力電圧 $\overline{V_{IN}}$ として入力トランジ
15
スタ Q_2 のベースに印加される。

これにより、第5図中、入力電圧 V_{IN} はECLのハイレベルの電位から入力トランジスタ Q_1 のベース・エミッタ間電圧 V_{BE} （例えば0.7V程度）だけレベルが低下されてトランジスタ Q_1 のエ
20
ミッタより電圧 V_A として取り出される一方、ダイオード D_{11} 及び D_{12} により更に $2V_{DF}$ （ただし、 V_{DF} はダイオードの順方向降下電圧で、例えば0.7V程度）だけ低レベル方向へレベルシフトされ、電圧 V_C として取り出される。同様にして、入力電圧 $\overline{V_{IN}}$ はECL
レベルのローレベルの電位から V_{BE} だけ低下した電位が電圧 V_A として、またダイオード D_{21} 及び D_{22} により $2V_{DF}$ だけ更に低レベル
25
方向へレベルシフトされた電圧 $\overline{V_C}$ がダイオード D_{22} のカソードから取り出される。

これにより、MOSトランジスタ Q_{p1} はゲートにローレベルの電圧 $\overline{V_C}$ が印加され、かつ、電源として高電位の電圧 V_A が印加されてオンとなり、MOSトランジスタ Q_{n1} はゲート・ソース間の電位

差 ($\overline{V_A} - V_C$) が小であるためオフとされる。このため、MOS
トランジスタ Q_{n3} のゲートには V_A の電圧に略等しい値のハイレベル
の電圧が印加され、トランジスタ Q_{n3} をオンとする。

5 一方、MOS トランジスタ Q_{p2} のソース・ゲート間の電位差 ($\overline{V_A} - V_C$) は $\overline{V_A}$ がローレベル、 V_C がハイレベル (ただし、 $\overline{V_A} > V_C$) であるためしきい値より小であるから、 Q_{p2} はオフとされるのに対し、MOS トランジスタ Q_{n2} のゲート・ソース間の電位差 ($V_A - \overline{V_C}$) はしきい値より大であるため、 Q_{n2} はオンとされる。
10 これにより、MOS トランジスタ Q_{p2} 及び Q_{n2} の共通接続点からはローレベルの電圧 $\overline{V_C}$ が取り出され、インバータ I_{nv} により反転され、ハイレベルとされて MOS トランジスタ Q_{p3} のゲートに印加されるため、MOS トランジスタ Q_{p3} がオフとされる。

従って、このときには MOS トランジスタ Q_{p3} 及び Q_{n3} の両ドレ
15 イン接続点からはグランドレベル、すなわち CMOS レベルでローレベルの信号 D_{OUT} が取り出される。

一方、入力電圧 V_{IN} が ECL レベルのローレベルで、入力電圧 $\overline{V_{IN}}$
20 $\overline{V_{IN}}$ が ECL レベルのハイレベルのときには、上記の動作とは逆に、MOS トランジスタ Q_{p1} がオフ、 Q_{n1} がオン、 Q_{p2} がオン、 Q_{n2} がオフとなるから、MOS トランジスタ Q_{n3} のゲートにはローレベルの電圧 V_C が印加され、インバータ I_{nv} にはハイレベルの電圧 $\overline{V_A}$ が印加される。

従って、このときには MOS トランジスタ Q_{p3} がオン、 Q_{n3} がオ
25 フとなり、 Q_{p3} 及び Q_{n3} の両ドレイン接続点からは高電位側電源電圧 V_{CC} に略等しい値の電圧 (ここでは 5 V)、すなわち CMOS レベルでハイレベルの信号 D_{OUT} が取り出される。このようにして、ECL レベルの入力電圧 V_{IN} 、 $\overline{V_{IN}}$ は出力バッファ 28 から CMOS レベルの振幅である約 5 V の振幅をもつ電圧 D_{OUT} にレベル変換されて取り出される。

以上は電源電圧 V_{CC} が正常な場合の説明であるが、次に電源電圧

V_{cc} が何らかの理由で異常上昇した場合の動作について説明する。
この場合、電源電圧 V_{cc} の上昇に伴って電圧 V_A 、 V_B 、 V_C 、 $\overline{V_A}$ 、 $\overline{V_B}$ 及び $\overline{V_C}$ が夫々上昇する。

しかし、電圧 V_C 及び $\overline{V_C}$ が高くなろうとしても、トランジスタ
5 Q_{12} 及び Q_{13} やトランジスタ Q_{22} 及び Q_{23} に電流が流れ、電圧 V_C
はトランジスタ Q_{12} 及び Q_{13} によりそれらのベース・エミッタ間電
圧の和電圧 V_L （例えば1.6V程度）以上には上昇できず、同様
に電圧 $\overline{V_C}$ もトランジスタ Q_{22} 及び Q_{23} の各ベース・エミッタ間電
圧の和電圧 V_L （例えば1.6V程度）以上には上昇できない。

10 上記の1.6V程度の和電圧 V_L は前記したMOSトランジスタ
 Q_{n3} のしきい値電圧 V_{n1h} 及びインバータ I_{nv} のしきい値（これも
 V_{n1h} とする）よりも第3図に示す如く小なる値に設定されている。
このため、電源電圧 V_{cc} が異常上昇しても、電圧 V_C 及び $\overline{V_C}$ の上
限値は常に上記の和電圧 V_L に制限される。この結果、出力電圧 V
15 $_{out}$ 、 \overline{V}_{out} のローレベルの上限値も上記値 V_L に制限されるため、
MOSトランジスタ Q_{n3} はスイッチ回路25のローレベルの出力に
よって確実にオフとされ、インバータ I_{nv} はスイッチ回路25の
ローレベル出力を確実にハイレベルに反転してMOSトランジスタ
 Q_{p3} をオフとすることができる。

20 なお、電源電圧 V_{cc} の上昇によって電圧 V_A 及び $\overline{V_A}$ が上昇して
も、MOSトランジスタ Q_{p3} 及び Q_{n3} のオン動作は通常通り行なわ
れる。

なお、入力電圧 V_{in} 、 $\overline{V_{in}}$ の発生源としては、第7図に示す如き
構成のSRAMの読み出し信号もある。同図中、第6図と同一構成
25 部分には同一符号を付し、その説明を省略する。第7図において、
増幅部41及び42は長距離の信号線GDB及び \overline{GDB} を介して互
いに接続されている。

増幅部41及び42は夫々MOSトランジスタで構成されており、
メモリセル31のトランジスタ T_{r1} 側に“1”、 T_{r2} 側に“0”が

書き込まれている場合、ビット線BLに供給される電流が $I + i$ とすると、 T_{r2} がオンしているので、 T_{r2} に i が流れる。従って、SDに流れる電流が $I + i$ 、SDに流れる電流は I となる。これにより、増幅部42から増幅部41へ信号線GDBを介して電流($I + i$)が流れ、信号線GDBを介して電流 I が流れる。これにより、増幅部42内のMOSトランジスタ T_{r20} 及び T_{r21} のうち T_{r20} の方に相対的に大きな電流が流れるため、出力電圧SAO(V_{IN})がECLレベルのハイレベル、出力電圧SAOが(V_{IN})がECLレベルのローレベルとなる。

10 なお、本発明は上記の実施例に限定されるものではなく、例えばスイッチ回路25は第8図に示す如きMOSトランジスタ Q_{p2} 及び Q_{n2} による単一のプッシュプル回路構成としてもよい。この場合、MOSトランジスタ Q_{p2} 及び Q_{n2} の共通接続点は出力バッファ28を構成するMOSトランジスタ Q_{p3} 及び Q_{n3} の両ゲートに共通に接
15 続される。

これにより、入力電圧 V_{IN} がハイレベルのときには Q_{p2} がオフ、 Q_{n2} がオンとされ、出力電圧 D_{OUT} はCMOSレベルのハイレベル($= V_{CC}$)となる。一方、入力電圧 V_{IN} がローレベルのときには Q_{p2} がオン、 Q_{n2} がオフとされ、ハイレベルの電圧 \bar{V}_A がMOSト
20 ランジスタ Q_{p3} 及び Q_{n3} のゲートに夫々供給されてMOSトランジスタ Q_{n3} をオンとするため、出力電圧 D_{OUT} はCMOSレベルのローレベル($= 0V$)となる。

また、上記の実施例では入力電圧 V_{IN} 、 \bar{V}_{IN} は振幅が約0.7VのECLレベルとして説明したが、本発明は、振幅が約1.5Vの
25 TTLレベルを同様にしてCMOSレベルに変換することもできる。更に、レベルシフト素子26及び27は通常のダイオードで構成してもよいし、ツェナーダイオードなどの定電圧素子を用いることも可能であり、更にはダイオード接続されたバイポーラトランジスタとダイオード接続されたユニポーラトランジスタとを混在して縦続

接続してもよい。

また、レベルシフト用ダイオード D_{11} 、 D_{12} 、 D_{21} 及び D_{22} は夫々2個ずつ直列接続しているが、3個以上直列接続してもよく、またレベルシフト素子26及び27内のダイオードの個数は出力する電圧に応じて任意の数に設定することができることは勿論である。

産業上の利用可能性

以上のように、本発明のレベル変換回路はECLレベルやTTLレベルをCMOSレベルに変換するから、メモリなどからのECLレベルやTTLレベルの信号を、CMOSレベルで動作する回路に入力するインタフェース回路に適用して好適である。

請求の範囲

1. 第1の2値論理レベルで、かつ、互いに反転関係にある第1及び第2の入力信号 (V_{IN} , $\overline{V_{IN}}$) が夫々入力される第1及び第2の入力トランジスタ (Q_1 , Q_2) と、

5 該第1及び第2の入力トランジスタ (Q_1 , Q_2) の各出力端に接続され、各々複数の出力端を有する第1及び第2のレベルシフト素子 (21, 22) と、

該第1及び第2のレベルシフト素子 (21, 22) と低電位側電源との間に接続された第1及び第2の定電流源 (23, 24) と、

10 前記第1のレベルシフト素子 (21) の複数の出力端のうち2つの出力端から夫々取り出される第1及び第2のレベルシフト電圧と、前記第2のレベルシフト素子 (22) の複数の出力端のうち2つの出力端から夫々取り出される第3及び第4のレベルシフト電圧とが夫々供給され、該第3及び第4のレベルシフト電圧の差又は該第1
15 及び第2のレベルシフト電圧の差に応じた電圧を出力電圧として取り出すスイッチ回路 (25) と、

前記第1, 第2のレベルシフト素子 (21, 22) の前記第2, 第4のレベルシフト電圧が取り出される出力端と前記低電位側電源との間に接続された第1及び第2の電圧制限素子 (26, 27) と、

20 前記スイッチ回路 (25) の出力電圧を第2の2値論理レベルの信号に変換して出力する出力バッファ (28) と

を有することを特徴とするレベル変換回路。

2. 前記第1及び第2の電圧制限素子 (26, 27) の各々は、ダイオード接続されたトランジスタが複数個 (Q_{12} , Q_{13} , Q_{22} ,
25 Q_{23}) 直列に接続され、前記第2, 第4のレベルシフト電圧の上昇を所定値に制限する構成である、請求の範囲第1項のレベル変換回路。

3. 前記ダイオード接続されたトランジスタは、バイポーラトランジスタ (Q_{12} , Q_{13} , Q_{22} , Q_{23}) である、請求の範囲第2項の

レベル変換回路。

4. 前記ダイオード接続されたトランジスタはユニポーラトランジスタである、請求の範囲第2項のレベル変換回路。

5. 前記出力バッファ(28)はCMOSインバータ(I_{nv} , Q_{ps} , Q_{ns})である、請求の範囲第1項のレベル変換回路。

6. 前記スイッチ回路(25)は、ソースに高電位側電源電圧として前記第1のレベルシフト電圧が印加され、ゲートに前記第4のレベルシフト電圧が印加されるPチャネルMOSトランジスタ(Q_{p1})と、ソースに低電位側電源電圧として前記第2のレベルシフト電圧が印加され、ゲートに前記第3のレベルシフト電圧が印加されるNチャネルMOSトランジスタ(Q_{n1})とよりなり、該PチャネルMOSトランジスタ(Q_{p1})及びNチャネルMOSトランジスタ(Q_{n1})の両ドレイン共通接続点より出力電圧を取り出す単一のプッシュプル回路構成である、請求の範囲第1項のレベル変換回路。

7. 前記スイッチ回路(25)は、ソースに高電位側電源電圧として前記第1, 第3のレベルシフト電圧が印加され、ゲートに前記第4, 第2のレベルシフト電圧が印加される第1及び第2のPチャネルMOSトランジスタ(Q_{p1} , Q_{p2})と、ソースに低電位側電源電圧として前記第2, 第4のレベルシフト電圧が印加され、ゲートに前記第3, 第1のレベルシフト電圧が印加される第1及び第2のNチャネルMOSトランジスタ(Q_{n1} , Q_{n2})とよりなり、該第1のPチャネルMOSトランジスタ(Q_{p1})及び第1のNチャネルMOSトランジスタ(Q_{n1})の両ドレイン共通接続点と、該第2のPチャネルMOSトランジスタ(Q_{p2})及び第2のNチャネルMOSトランジスタ(Q_{n2})の両ドレイン共通接続点とより夫々出力電圧を取り出す、2つのプッシュプル回路よりなる構成である、請求の範囲第1項のレベル変換回路。

8. 前記出力バッファ(28)は、前記第1のPチャネルMOSトランジスタ(Q_{p1})及び第1のNチャネルMOSトランジスタ

- (Q_{n1}) の両ドレイン共通接続点にゲートが接続され、ソースが低電位側電源に接続される第3のNチャネルMOSトランジスタ (Q_{n3}) と、前記第2のPチャネルMOSトランジスタ (Q_{p2}) 及び第2のNチャネルMOSトランジスタ (Q_{n2}) の両ドレイン共通接続点に入力端子が接続されるインバータ (I_{nv}) と、該インバータ (I_{nv}) の出力端子がゲートに接続され、ソースが高電位側電源に接続され、かつ、該第3のNチャネルMOSトランジスタ (Q_{n3}) のドレインがドレインに接続される第3のPチャネルMOSトランジスタ (Q_{p3}) とよりなる、請求の範囲第7項のレベル変換回路。
- 10 9. 前記第1及び第2の入力信号 (V_{IN} , $\overline{V_{IN}}$) はECLレベル又はTTLレベルであり、前記出力バッファ (28) よりの前記第2の2値論理レベルの信号はCMOSレベルである、請求の範囲第1項のレベル変換回路。

FIG. 1

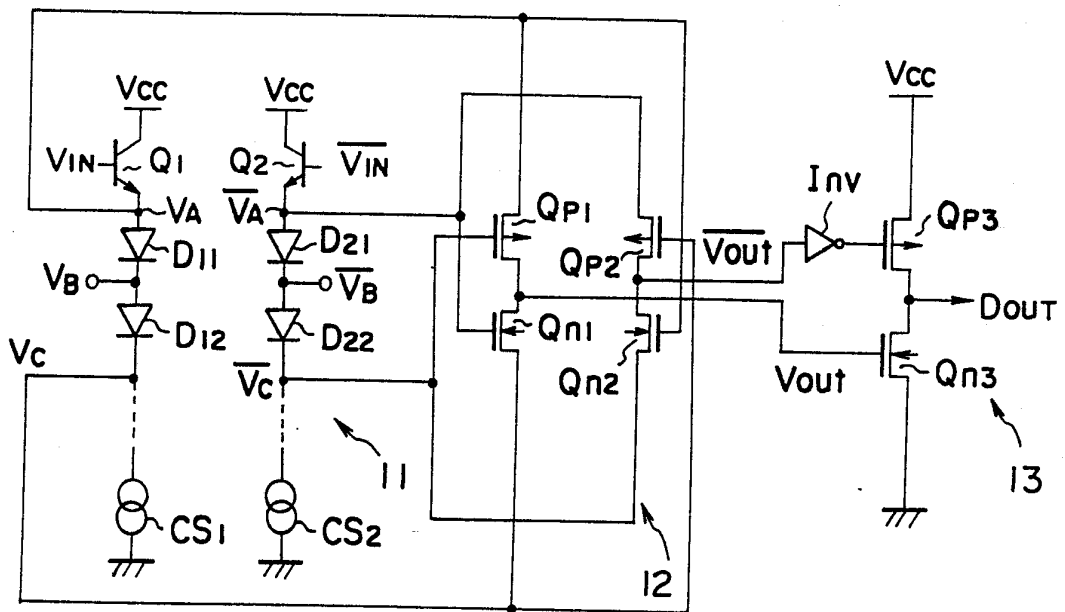


FIG. 2

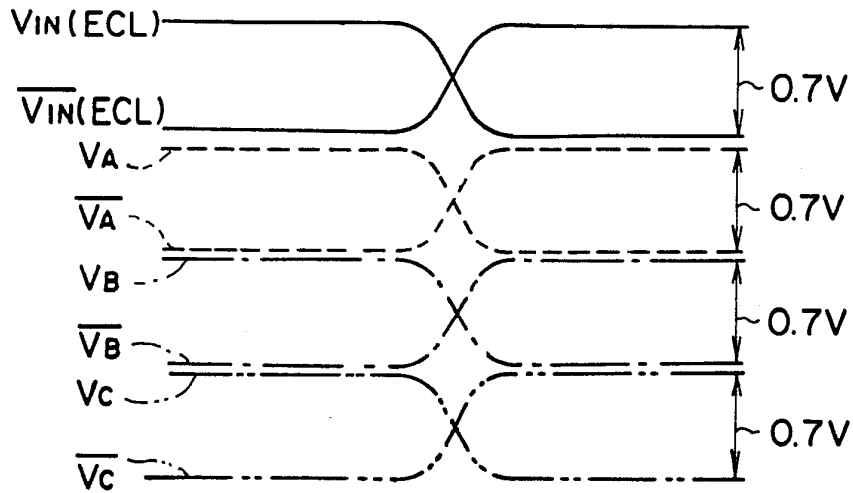


FIG. 3

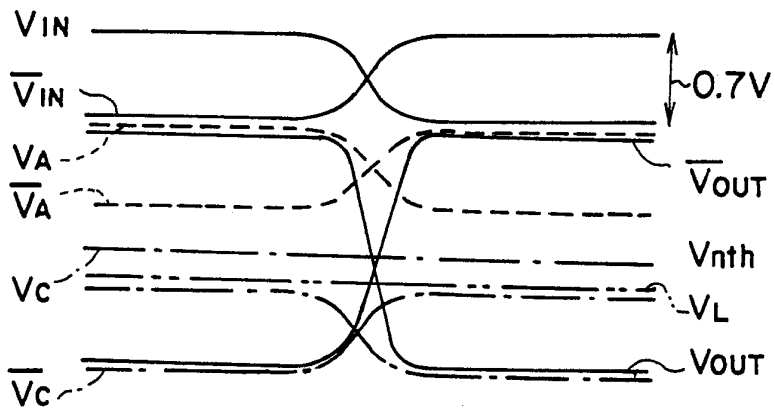


FIG. 4

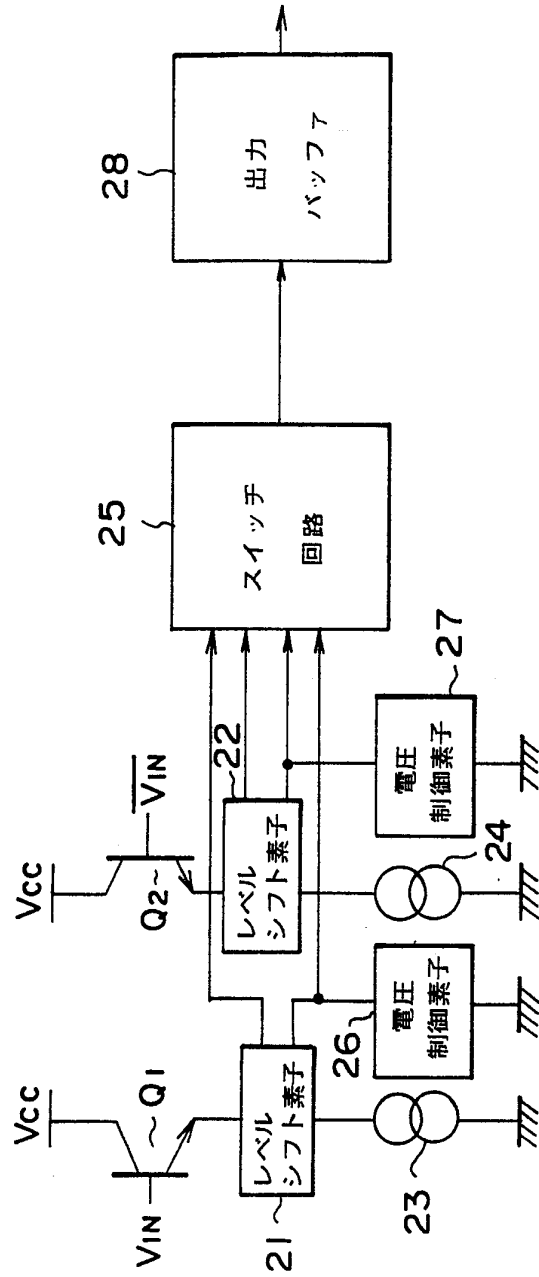


FIG. 5

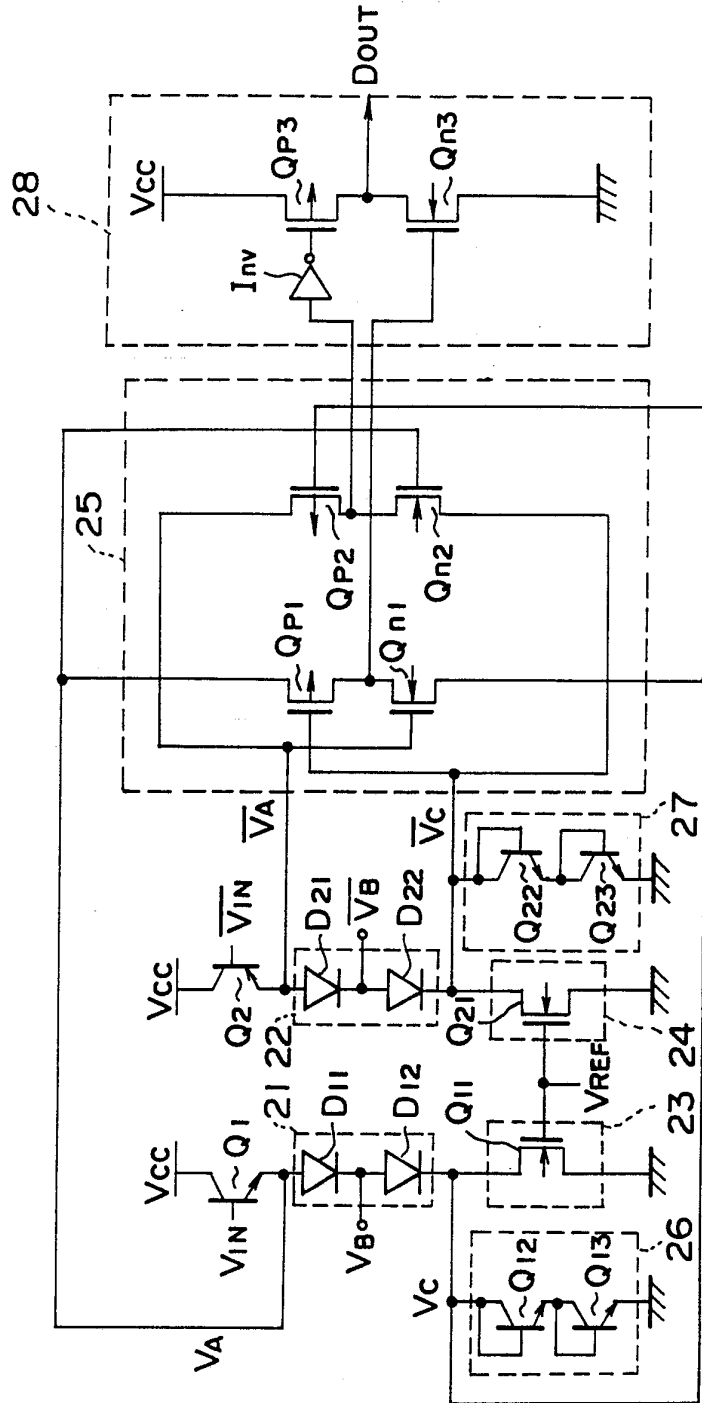


FIG. 6

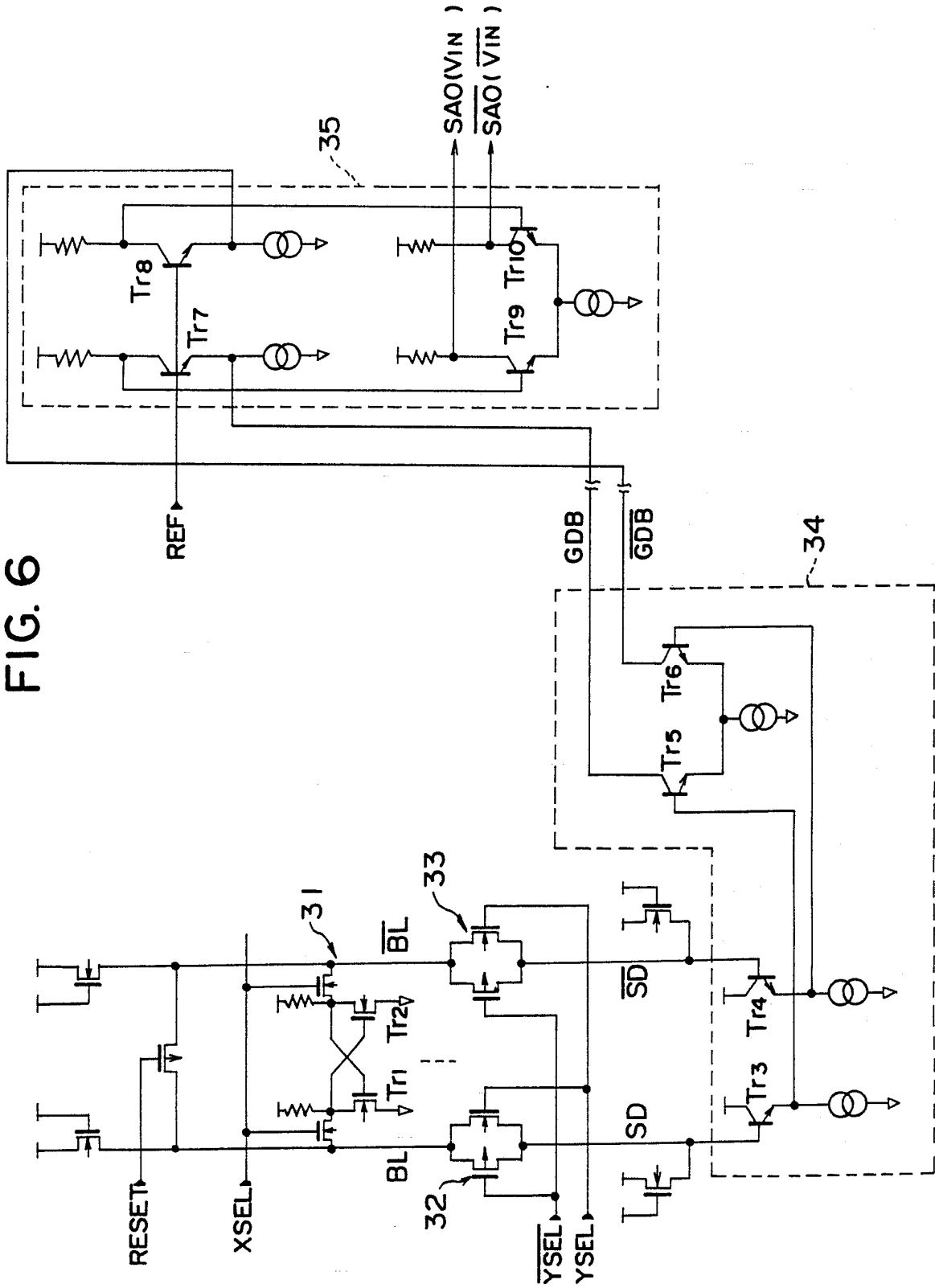


FIG. 7

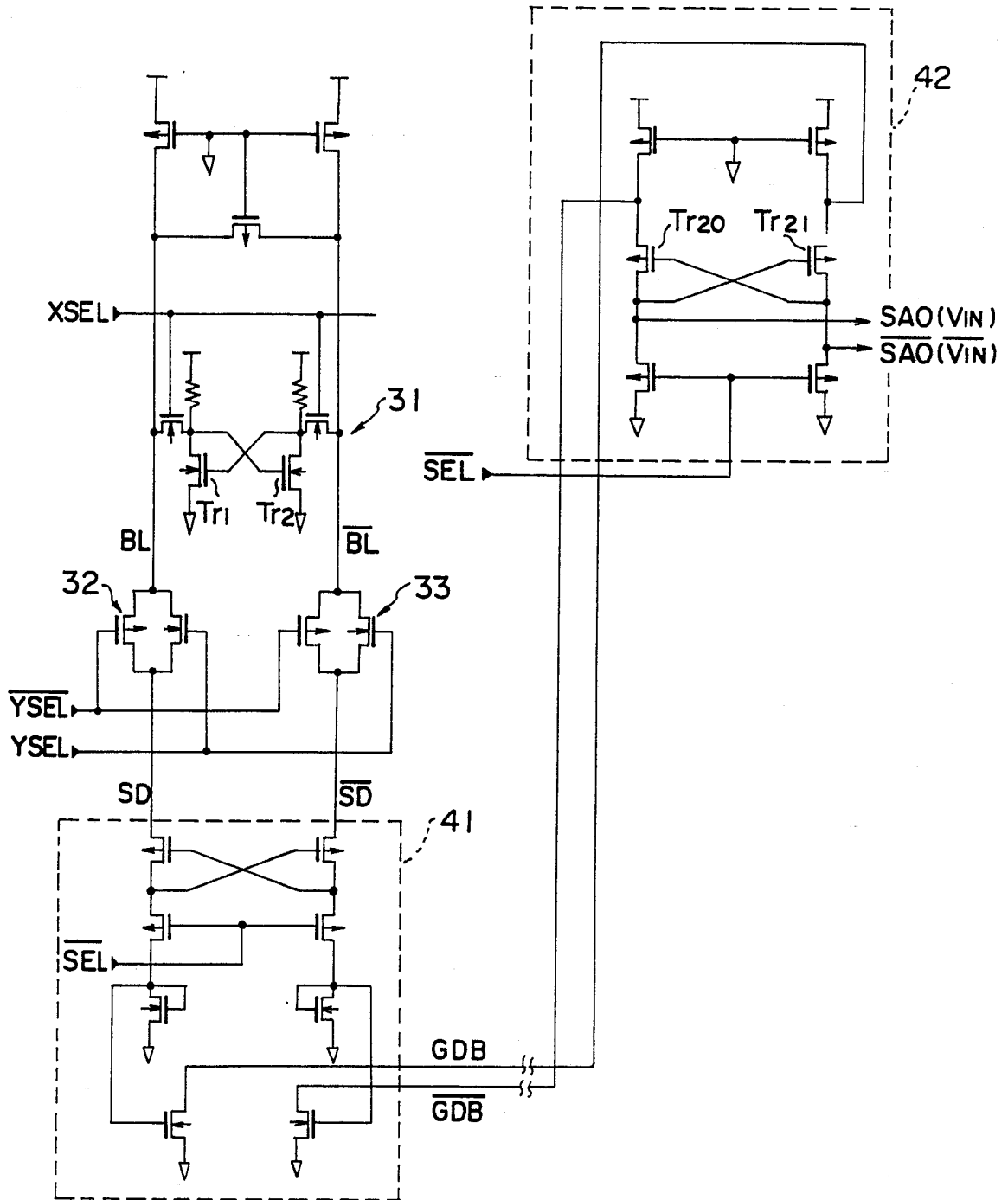
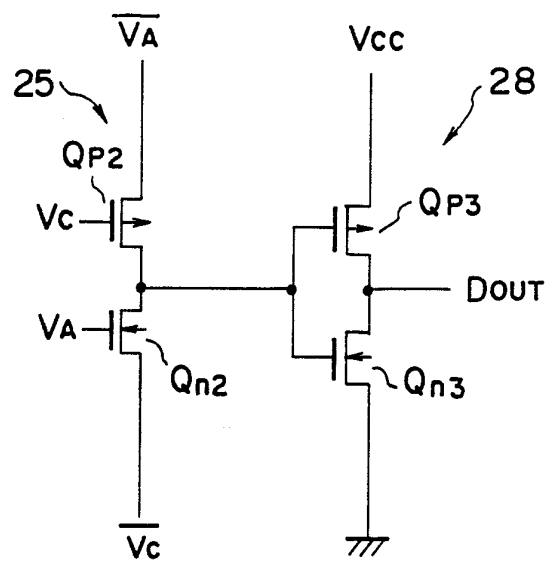


FIG. 8



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP92/00325

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶				
According to International Patent Classification (IPC) or to both National Classification and IPC				
Int. Cl ⁵ H03K19/0175				
II. FIELDS SEARCHED				
Minimum Documentation Searched ⁷				
Classification System	Classification Symbols			
IPC	H03K19/0175, 19/018, 19/0185			
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸				
Jitsuyo Shinan Koho	1974 - 1991			
Kokai Jitsuyo Shinan Koho	1975 - 1991			
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹				
Category ⁹	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³		
A	JP, A, 61-19226 (Hitachi, Ltd.), January 28, 1986 (28. 01. 86), Fig. 16 & US, A, 4,697,109	1, 5, 9		
A	JP, A, 2-280523 (NEC Corp.), November 16, 1990 (16. 11. 90), Fig. 1 (Family: none)	1, 9		
P	JP, A, 3-220817 (Fujitsu Ltd. and another), September 30, 1991 (30. 09. 91), (Family: none)	1, 6, 7, 9		
<p>¹⁰ Special categories of cited documents:</p> <table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;"> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width: 50%; border: none;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </td> </tr> </table>			<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>			
IV. CERTIFICATION				
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report			
May 20, 1992 (20. 05. 92)	June 2, 1992 (02. 06. 92)			
International Searching Authority	Signature of Authorized Officer			
Japanese Patent Office				

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl⁵ H03K19/0175		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	H03K19/0175, 19/018, 19/0185	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1974-1991年 日本国公開実用新案公報 1975-1991年		
III. 関連する技術に関する文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP. A. 61-19226 (株式会社 日立製作所), 28. 1月. 1986 (28. 01. 86), 第16図 & US. A. 4,697,109	1. 5. 9
A	JP. A. 2-280523 (日本電気株式会社), 16. 11月. 1990 (16. 11. 90), 第1図. (ファミリーなし)	1. 9
P	JP. A. 3-220817 (富士通株式会社 (外1名)), 30. 9月. 1991 (30. 09. 91). (ファミリーなし)	1. 6. 7. 9
<p>※ 引用文献のカテゴリ</p> <p>「A」 特に関連のある文献ではなく、一般的技术水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献</p> <p>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリーの文献</p>		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
20. 05. 92	02. 06. 92	
国際調査機関	権限のある職員	5 J 8 9 4 1
日本国特許庁 (ISA/JP)	特許庁審査官	菅野 嘉昭