

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6025007号
(P6025007)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 G			
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 T			
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 8 F			
HO 1 L 21/324 (2006.01)	HO 1 L 29/78	6 5 2 J			
HO 1 L 21/316 (2006.01)	HO 1 L 29/78	3 O 1 B			
請求項の数 9 (全 15 頁) 最終頁に続く					

(21) 出願番号 特願2015-526381 (P2015-526381)
 (86) (22) 出願日 平成26年7月9日(2014.7.9)
 (86) 国際出願番号 PCT/JP2014/068353
 (87) 国際公開番号 W02015/005397
 (87) 国際公開日 平成27年1月15日(2015.1.15)
 審査請求日 平成28年1月8日(2016.1.8)
 (31) 優先権主張番号 特願2013-145927 (P2013-145927)
 (32) 優先日 平成25年7月11日(2013.7.11)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (73) 特許権者 301021533
 国立研究開発法人産業技術総合研究所
 東京都千代田区霞が関1-3-1
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 巻淵 陽一
 茨城県つくば市東1-1-1 国立研究開
 発法人産業技術総合研究所つくばセンター
 内

最終頁に続く

(54) 【発明の名称】 炭化ケイ素半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

炭化ケイ素半導体の基板上に、ゲート絶縁膜として酸化膜あるいは窒化膜あるいは酸窒化膜の1層または2層以上を形成した後に熱処理を行う炭化ケイ素半導体装置の製造方法において、

前記ゲート絶縁膜を形成した後の熱処理の雰囲気、乾燥酸素(O₂)を含まず水素(H₂)と水蒸気(H₂O)を含んだガス雰囲気であることを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項2】

前記ゲート絶縁膜を形成した後の熱処理の昇温、降温の両方、もしくは片方の雰囲気が、H₂ガス、または希釈したH₂ガスであることを特徴とする請求項1に記載の炭化ケイ素半導体装置の製造方法。

【請求項3】

前記ゲート絶縁膜を形成した後の熱処理の降温の前にH₂ガス、または希釈したH₂ガスで置換し、所定の時間保持することを特徴とする請求項1に記載の炭化ケイ素半導体装置の製造方法。

【請求項4】

前記ゲート絶縁膜を形成した後のO₂を含まずH₂とH₂Oを含んだガス雰囲気での熱処理の後に、所定の温度でH₂ガス、または希釈したH₂ガスの雰囲気の熱処理を行うことを特徴とする請求項1に記載の炭化ケイ素半導体装置の製造方法。

10

20

【請求項 5】

前記ゲート絶縁膜を形成した後の O_2 を含まず H_2 と H_2O を含んだガス雰囲気での熱処理の後に、所定の温度で窒素、ヘリウム、アルゴンのいずれかの不活性ガスの雰囲気での熱処理を行うことを特徴とする請求項 1 に記載の炭化ケイ素半導体装置の製造方法。

【請求項 6】

前記ゲート絶縁膜を形成する工程に、 H_2O を含まない O_2 を含んだガスでの熱酸化が含まれることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の炭化ケイ素半導体装置の製造方法。

【請求項 7】

前記ゲート絶縁膜を形成する工程に、少なくとも亜酸化窒素または一酸化窒素を含むガス雰囲気での熱酸化が含まれることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の炭化ケイ素半導体装置の製造方法。

10

【請求項 8】

前記ゲート絶縁膜を形成する工程に、少なくとも O_2 と H_2O を含むガス雰囲気での熱酸化が含まれることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の炭化ケイ素半導体装置の製造方法。

【請求項 9】

前記ゲート絶縁膜を形成する工程に、酸化膜あるいは窒化膜あるいは酸窒化膜の絶縁膜を堆積させる工程が含まれることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の炭化ケイ素半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、炭化ケイ素基板を使用した炭化ケイ素半導体装置および炭化ケイ素半導体装置の製造方法に関し、特に界面準位密度を低減できる炭化ケイ素半導体装置および炭化ケイ素半導体装置の製造方法に関する。

【背景技術】

【0002】

炭化ケイ素 (SiC) 基板を用いた次世代半導体デバイスの研究開発が進められている。炭化ケイ素は、シリコンと同様に熱酸化で絶縁膜を形成可能であるが、結晶面や酸化方法によって MOS ゲート (金属 - 酸化膜 - 半導体からなる絶縁ゲート) を構成するゲート絶縁膜と炭化ケイ素基板との接合界面 (以下、MOS 界面とする) 付近でのチャネル移動度が異なるという特性がある。炭化ケイ素の酸化方法には酸化種として乾燥酸素 (O_2) を用いるドライ酸化、酸化種として水蒸気 (H_2O) を用いるウェット酸化等がある。

30

【0003】

炭化ケイ素基板の (000 - 1) 面、(11 - 20) 面は、ウェット酸化すると、(0001) 面に比べ高いチャネル移動度を示すとされている。なお、チャネル移動度を代替的に評価する指標として界面準位密度があり、一般的には、MOS 界面付近での界面準位密度が小さい方がチャネル移動後は大きくなる傾向が知られている。

【0004】

40

このような炭化ケイ素基板を用いた半導体デバイスの製造方法に関し、炭化ケイ素基板の酸素または加湿酸素中での熱酸化に続き、水素によりアニールする工程と、不活性ガスによりアニールする工程を有し、ヒステリシスおよびフラットバンドシフトを低減する炭化ケイ素基板上的 SiC の熱酸化膜の改善法が開示されている (例えば、下記特許文献 1 参照。)。

【0005】

また、炭化ケイ素基板の (000 - 1) 面を H_2O ガスと酸素ガス、 H_2O ガスと酸素ガスおよび不活性ガスからなるウェット雰囲気中で酸化した後、水素 (H_2) ガスを含んだ雰囲気中で熱処理することにより界面準位密度を低減する方法が開示されている (例えば、下記特許文献 2 参照。)。ウェット酸化における水蒸気 (H_2O) の生成法としては、純水

50

加熱や酸素ガスによる純水バブリング等があるが、現在では O_2 ガスと H_2 ガスの燃焼反応を用いたパイロジェニック方式が一般的である。この方式においては O_2 ガスと H_2 ガスの流量比は H_2 ガスが過多となると爆発の危険性があるため、 O_2 リッチの流量比での使用が一般的である。したがって、酸化雰囲気は生成した H_2O と未反応の O_2 の $H_2O + O_2$ の雰囲気となる。

【0006】

また、白金触媒を用いて水素と酸素の反応性を高め、水素混合ガスの発火温度よりも低い温度下で反応させ、高温燃焼することなしに水分を生成する方法が開示されている（例えば、下記特許文献3参照。）。この方式においては H_2 ガスが過多となって爆発の危険性がないため、 H_2 リッチの流量比での使用が可能である。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平9 - 199497号公報

【特許文献2】特許第4374437号公報

【特許文献3】特開2000 - 72405号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

炭化ケイ素基板の(000 - 1)面、(11 - 20)面を H_2O と O_2 を含んだガス中でウェット酸化し、水素POA (Post Oxidation Annealing) として H_2 を含んだ雰囲気で熱処理することで、界面準位密度が低減されるのは、水素あるいは水酸基が界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手(ダングリングボンド)を終端するためであるといわれている。

20

【0009】

炭化ケイ素基板の(000 - 1)面、(11 - 20)面に乾燥酸素のみの雰囲気でドライ酸化した場合の界面準位密度は非常に大きく、悪いMOS界面特性となる。また、ドライ酸化の後に水素POAを実施すると、界面準位密度は低減されるものの、ウェット酸化と水素POAを組み合わせた界面特性には及ばない。

【0010】

このため、炭化ケイ素基板の(000 - 1)面、(11 - 20)面上へのゲート絶縁膜形成のためのゲート酸化において、界面準位密度の低減に O_2 を用いることは有効ではなく、 H_2O と H_2 を用いることが有効である。

30

【0011】

ここで、ゲート酸化およびPOAで導入される水素あるいは水酸基は、界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手を効率的に終端するため、また、ゲート絶縁膜中に存在すると電子トラップの要因となるため、MOS界面を含む狭い領域に偏析していることが望ましい。

【0012】

本発明は、上記課題に鑑み、炭化ケイ素半導体の(000 - 1)面あるいは(11 - 20)面の界面準位密度をより効果的に低減することを目的とする。

40

【課題を解決するための手段】

【0013】

上記目的を達成するため、本発明の炭化ケイ素半導体装置は、炭化ケイ素半導体の基板上に、ゲート絶縁膜として1層または2層以上の酸化膜あるいは窒化膜あるいは酸窒化膜を有する炭化ケイ素半導体装置において、前記基板と前記ゲート絶縁膜の界面を含む領域に水素(H)あるいは水酸基(OH)が偏析しており、その水素あるいは水酸基が偏析している領域の幅が0.5nmから10nmであることを特徴とする。

【0014】

また、前記基板と前記ゲート絶縁膜の界面を含む水素あるいは水酸基が偏析している領

50

域に $1 \times 10^{21} \text{ atoms/cm}^3$ から $1 \times 10^{22} \text{ atoms/cm}^3$ の水素あるいは水酸基が存在することを特徴とする。

【0015】

また、本発明の炭化ケイ素半導体装置の製造方法は、炭化ケイ素半導体の基板上に、ゲート絶縁膜として酸化膜あるいは窒化膜あるいは酸窒化膜の1層または2層以上を形成した後に熱処理を行う炭化ケイ素半導体装置の製造方法において、前記ゲート絶縁膜を形成した後の熱処理の雰囲気、乾燥酸素 (O_2) を含まず水素 (H_2) と水蒸気 (H_2O) を含んだガス雰囲気であることを特徴とする。

【0016】

また、前記ゲート絶縁膜を形成した後の熱処理の昇温、降温の両方、もしくは片方の雰囲気、 H_2 ガス、または希釈した H_2 ガスであることを特徴とする。

10

【0017】

また、前記ゲート絶縁膜を形成した後の熱処理の降温の前に H_2 ガス、または希釈した H_2 ガスで置換し、所定の時間保持することを特徴とする。

【0018】

また、前記ゲート絶縁膜を形成した後の O_2 を含まず H_2 と H_2O を含んだガス雰囲気での熱処理の後に、所定の温度で H_2 ガス、または希釈した H_2 ガスの雰囲気での熱処理を行うことを特徴とする。

【0019】

また、前記ゲート絶縁膜を形成した後の O_2 を含まず H_2 と H_2O を含んだガス雰囲気での熱処理の後に、所定の温度で窒素、ヘリウム、アルゴンのいずれかの不活性ガスの雰囲気での熱処理を行うことを特徴とする。

20

【0020】

また、前記ゲート絶縁膜を形成する工程に、 H_2O を含まない O_2 を含んだガスでの熱酸化が含まれることを特徴とする。

【0021】

また、前記ゲート絶縁膜を形成する工程に、少なくとも亜酸化窒素または一酸化窒素を含むガス雰囲気での熱酸化が含まれることを特徴とする。

【0022】

また、前記ゲート絶縁膜を形成する工程に、少なくとも O_2 と H_2O を含むガス雰囲気での熱酸化が含まれることを特徴とする。

30

【0023】

また、前記ゲート絶縁膜を形成する工程に、酸化膜あるいは窒化膜あるいは酸窒化膜の絶縁膜を堆積させる工程が含まれることを特徴とする。

【0024】

上記構成のように、ゲート絶縁膜を形成した後の熱処理の雰囲気が、 O_2 を含まず H_2 と H_2O を含む雰囲気であることにより、炭化ケイ素基板とゲート絶縁膜の界面を含む限られた領域に水素あるいは水酸基を偏析でき、界面準位密度を低減でき、高いチャネル移動度を実現することができる。

【発明の効果】

40

【0025】

本発明によれば、炭化ケイ素半導体の (000-1) 面あるいは (11-20) 面の界面準位密度をより効果的に低減できるという効果を奏する。

【図面の簡単な説明】

【0026】

【図1】図1は、本発明の実施の形態にかかる炭化ケイ素半導体装置を示す断面図である。

【図2】図2は、本発明にかかるMOSキャパシタと、比較例のMOSキャパシタそれぞれの測定結果から得られた界面準位密度を示す図表である。(実験例1)

【図3】図3は、本発明にかかるMOSキャパシタと、比較例のMOSキャパシタそれぞ

50

れの測定結果から得られた界面準位密度を示す図表である。(実験例2)

【図4】図4は、本発明にかかるMOSキャパシタと、比較例のMOSキャパシタそれぞれの測定結果から得られた界面準位密度を示す図表である。(実験例3)

【図5】図5は、本発明にかかるMOSキャパシタと、比較例のMOSキャパシタそれぞれの測定結果から得られた界面準位密度を示す図表である。(実験例4)

【図6】図6は、本発明の半導体装置におけるSiO₂/SiC界面付近の二次イオン質量分析法による水素濃度測定結果を示す図表である。

【図7】図7は、本発明のMOSFETの製造工程を説明する断面図である。

【図8】図8は、本発明にかかる複雑なMOSゲート構造を有する半導体装置の一例を示す図である。

【発明を実施するための形態】

【0027】

(実施の形態)

以下に添付図面を参照して、この発明にかかる炭化ケイ素半導体装置および炭化ケイ素半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。また、ミラー指数の表記において、"- "はその直後の指数に付くバーを意味しており、指数の前に"- "を付けることで負の指数を表している。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0028】

図1は、本発明の実施の形態にかかる炭化ケイ素半導体装置を示す断面図である。図1には、MOSキャパシタの構成を示している。本発明により、界面準位密度がどのように低減されるかを検証するため、MOSキャパシタを用いた実験例について説明する。図1に示すMOSキャパシタ1は以下の工程を有して作製される。

【0029】

(1) 工程1

まず、n型4H-SiC(000-1)基板2a((000-1)面から0~8度オフ基板)上にドナー密度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度のn型エピタキシャル膜2bを5~10 μm 成長させる。なお、4H-SiC基板単体、あるいは4H-SiC基板とエピタキシャル膜を併せて4H-SiC半導体2と呼ぶ。

【0030】

(2) 工程2

4H-SiC半導体2を洗浄した後に、1100の乾燥酸素雰囲気でのドライ酸化を50分行い、厚さ50nmの絶縁膜3を形成する。絶縁膜3の形成は、ウェット酸化、亜酸化窒素、一酸化窒素による熱酸化でもよい。あるいは絶縁膜3は堆積膜でもよい。絶縁膜3の堆積方法は、化学気相成長法(CVD: Chemical Vapor Deposition)によってシランやTEOS(テトラエトキシシラン)を用いた方法があるが、特に限定されない。

【0031】

(3) 工程3

POAとして、1000でH₂を1slm、H₂Oを2slm流した雰囲気中で30分の熱処理を行った。熱処理の雰囲気は、3slmのH₂と、1slmのO₂を白金触媒を用いて反応させ、H₂とO₂の流量比をH₂リッチとすることで、2H₂+O₂→2H₂Oの反応において未反応のO₂がない状態とし、未反応の1slmのH₂と生成した2slmのH₂Oの雰囲気とした。

【0032】

未反応のO₂が発生しないようにH₂とO₂の流量比はH₂/O₂=2以上であればよい。また、反応に寄与しない窒素、ヘリウム、アルゴンのいずれかの不活性ガスで希釈しても

10

20

30

40

50

よい。昇温は窒素雰囲気、降温は水素雰囲気で行い、降温前に水素雰囲気です30分保持した。昇降温ともに水素雰囲気あるいは不活性ガス雰囲気でもよく、水素を不活性ガスで希釈してもよい。また、POAと同じ H_2 と H_2O を含んだ雰囲気のまま、あるいは不活性ガスで希釈した H_2 と H_2O を含んだ雰囲気です降温してもよい。

【0033】

また、工程2で形成する絶縁膜3の膜厚を薄くし、あるいは工程2を行わず、 H_2 と H_2O を含んだ雰囲気です所望の膜厚となるまで長時間の熱処理を行い、絶縁膜3を形成してもよい。また、第二のPOAとして、 H_2 と H_2O を含んだ雰囲気です熱処理の後に800~1200の水素や不活性ガス雰囲気です熱処理を組み合わせてもよい。

【0034】

ここで、上述した特許文献1(特開平9-199497号公報)は、炭化ケイ素基板の酸素または加湿酸素中での熱酸化後に不活性ガス雰囲気、水素雰囲気での熱処理を行うものであり、本発明の工程3の H_2 と H_2O を含んだ雰囲気ですのPOAとは異なる。また、特許文献2(特許第4374437号公報)は H_2O ガスと酸素ガスあるいは、 H_2O ガスと酸素ガスおよび不活性ガスからなる混合ガス雰囲気です熱酸化後に H_2 ガスを含んだ雰囲気ですの熱処理を行うものであり、本発明の工程3の H_2 と H_2O を含んだ雰囲気ですのPOAとは異なる。さらに、特許文献3(特開2000-72405号公報)には炭化ケイ素を酸化後に1000の水素熱処理をすると温度が高すぎて水素により酸化膜が還元されてしまうとの記述があるが、本発明の工程3の H_2 と H_2O を含んだ雰囲気ですのPOAでは1000での酸化膜の還元は確認されていない。これは、 H_2O を含んでいるためと考えられる。

【0035】

(4)工程4

絶縁膜3上に、室温ですドット状のアルミゲート電極4を蒸着し、裏面全面にアルミを蒸着してアルミ裏面電極5を形成し、MOSキャパシタ1を作製する。

【0036】

次に、本発明にかかるMOSキャパシタを比較例のMOSキャパシタと比較し、界面準位密度の違いを実験した実験例1~4について説明する。図2~図5は、それぞれ実験例1~4に対応し、図1に示した本発明にかかるMOSキャパシタと、比較例のMOSキャパシタそれぞれの測定結果から得られた界面準位密度を示す図表である。横軸は伝導帯からのエネルギー、縦軸は界面準位密度である。

【0037】

(実験例1)

本発明によるMOS界面の制御効果を検証するための実験例1として、上記工程3による H_2 と H_2O を含んだ雰囲気です熱処理を実施しないMOSキャパシタと、工程3においてPOAの雰囲気です水素としたMOSキャパシタを作製した。完成したMOSキャパシタをC-Vメーター6で測定し、界面準位密度を算出して比較した。

【0038】

図2は、実験例1の比較結果であり、(c)工程3のPOAを実施しないドライ酸化のみ(x印のプロット)に対し、(b)水素雰囲気ですのPOA(三角形のプロット)は若干、界面準位密度が低減されている。これらに比べて本発明の(a) H_2 と H_2O を含んだ雰囲気ですのPOAは大幅に界面準位密度が低減されている。

【0039】

(実験例2)

次に、 H_2 と H_2O を含んだ雰囲気ですのPOAの条件によって界面準位密度がどのように低減されるか検証したMOSキャパシタを用いた実験例2について説明する。工程3において H_2 と H_2O を含んだ雰囲気ですのPOAの温度を800、900、1000としたMOSキャパシタを作製した。

【0040】

図3は、実験例2の比較結果であり、工程3のPOAを実施しない(d)のドライ酸化のみ(x印のプロット)に対し、工程3の H_2 と H_2O を含んだ雰囲気ですのPOAを実施した

10

20

30

40

50

(c) 800 (四角形のプロット)は若干、界面準位密度が低減されている。さらには、これら(d)、(c)に比べて、工程3の H_2 と H_2O を含んだ雰囲気でのPOAを実施した(a)1000、および(b)900は大幅に界面準位密度が低減されている。

【0041】

以上により、工程3の H_2 と H_2O を含んだ雰囲気でのPOAの温度は、水素あるいは水酸基によって効率的に界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手を終端させるためには800以上が好ましい。工程3の温度は、界面準位密度が大幅に低減される900以上がさらに好ましい。また、工程3の温度は、終端した水素あるいは水酸基の脱離を防ぐため1200以下が好ましい。

【0042】

10

(実験例3)

次に、工程3において H_2 と O_2 の流量比を調整し、 H_2O と H_2 からなる雰囲気中の H_2O 濃度を1%、7%、67%、73%としたMOSキャパシタを作製した。

【0043】

図4は、実験例3の比較結果であり、工程3の H_2 と H_2O を含んだ雰囲気でのPOAを実施しない(e)のドライ酸化のみ(x印のプロット)に対し、工程3の H_2 と H_2O を含んだ雰囲気での H_2O 濃度(d)1%(三角形のプロット)は若干、界面準位密度が低減され、(c)7%(四角形のプロット)は、より界面準位密度が低減されている。さらに、工程3の H_2 と H_2O を含んだ雰囲気での H_2O 濃度(a)73%、(b)67%は大幅に界面準位密度が低減されている。

20

【0044】

以上より、 H_2O と H_2 からなる雰囲気中の H_2O 濃度は1%以上が好ましく、さらに好ましくは7%以上である。 H_2O 濃度の上限に制約はなく100%以下であればよい。

【0045】

(実験例4)

次に、工程3において H_2 と H_2O を含んだ雰囲気でのPOAの処理時間を5min、30min、180minとしたMOSキャパシタを作製した。

【0046】

図5は、実験例4の比較結果であり、工程3のPOAを実施しない(d)のドライ酸化のみ(x印のプロット)に対し、工程3の H_2 と H_2O を含んだ雰囲気でのPOAの処理時間(c)5min(四角形のプロット)は界面準位密度が低減されている。これらに比べ、工程3の H_2 と H_2O を含んだ雰囲気でのPOAの処理時間(a)180min、(b)30minは大幅に界面準位密度が低減されている。

30

【0047】

以上より、処理時間は界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手が水酸基や水素によって十分に終端されればよく、処理温度、 $H_2O + H_2$ における H_2O 濃度に応じて決定すればよい。工程3の処理温度、 H_2O 濃度では5分以上が好ましく、大幅に界面準位密度が低減される30分以上がさらに好ましい。

【0048】

以上説明した実験例1~4のように、界面準位密度は工程3の H_2 と H_2O を含んだ雰囲気でのPOAの有無や条件で大きく変化し、 H_2 と H_2O を含んだ雰囲気でのPOAによって、界面準位密度を大幅に低減できることが確認できた。

40

【0049】

次に、本発明の H_2 と H_2O を含んだ雰囲気でのPOAによって、界面準位密度を大幅に低減できた SiO_2/SiC 界面付近における水素濃度を、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)によって測定した結果を示す。このSIMS分析において水素(H)と水酸基(OH)は区別できないため、水素濃度には水素(H)と水酸基(OH)からのHの両方が含まれる。

【0050】

図6は、本発明の半導体装置における SiO_2/SiC 界面付近の二次イオン質量分析

50

法による水素濃度測定結果を示す図表である。この図6は、上記の工程2、工程3に準じて(000-1)面のSiC基板にドライ酸化とH₂とH₂Oを含んだ雰囲気でのPOAを実施することで形成したSiO₂膜に対し、SIMS分析を行った結果を示す。縦軸は水素濃度、酸素、炭素の二次イオン強度であり、横軸は水素濃度のピーク位置を0とした分析深さである。SIMSの一次イオン種としては、セシウム(Cs)を用いた。

【0051】

図6の左側はOの二次イオン強度が高くSiO₂であり、右側はCの二次イオン強度が高くSiCである。Hの濃度はSiO₂/SiC界面で $1 \times 10^{21} \text{ atoms/cm}^3$ 以上の濃度の急峻なピークがある。ピークの半値幅は約3nmであり、SiO₂/SiC界面を含む限られた領域に水素あるいは水酸基が存在していることが確認できた。

10

【0052】

界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手を終端する水素あるいは水酸基は、SiO₂/SiC界面(MOS界面)のみに偏析することが望ましく、SiO₂/SiC界面を含む0.5nmから10nmの範囲であることが好ましい。さらに好ましくは0.5nmから5nmの範囲である。水素あるいは水酸基が10nmより広い範囲で存在すると界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手の終端に寄与しない水素や水酸基が増え、電子トラップの原因となってしまうからである。また、水素あるいは水酸基が偏析する領域が0.5nmより狭い範囲となってしまうと十分に界面準位を形成している炭化ケイ素基板表面のシリコン原子の未結合手の終端にすることができず、安定なSiO₂/SiC界面を形成できないからである。

20

【0053】

また、SiO₂/SiC界面を含む水素あるいは水酸基が偏析している領域には、 $1 \times 10^{21} \text{ atoms/cm}^3$ から $1 \times 10^{22} \text{ atoms/cm}^3$ の水素あるいは水酸基が存在することが好ましい。その理由は、 $1 \times 10^{21} \text{ atoms/cm}^3$ より少なくても十分に界面準位の終端にすることができなく、 $1 \times 10^{22} \text{ atoms/cm}^3$ を超えると過剰な水素により酸化膜の膜質が劣化するからである。

【実施例1】

【0054】

次に、本発明の実施例1を説明する。図7は、本発明のMOSFETの製造工程を説明する断面図である。図7(a)~(i)には、本実施例にかかる炭化ケイ素(000-1)面上へMOSFETを製造する際の各工程1~9を示す。

30

【0055】

(1) 工程1

まず、図7(a)に示すように、p型4H-SiC(000-1)基板7((000-1)面から0~8度オフ基板、好ましくは0~4度オフ基板)上に、アクセプター密度 $1 \times 10^{16} \text{ cm}^{-3}$ のp型エピタキシャル膜8を成長させる。

【0056】

(2) 工程2

次に、図7(b)に示すように、p型エピタキシャル膜8の表面上に減圧CVD法により厚さ1μmのSiO₂膜を堆積し、フォトリソグラフィによりパターン加工してマスク9を形成する。その後、例えば、マスク9をマスクとして、リンイオン10を基板温度500、加速エネルギー40keV~250keVの多段、注入量 $2 \times 10^{20} \text{ cm}^{-3}$ でイオン注入する。

40

【0057】

(3) 工程3

次に、図7(c)に示すように、マスク9を除去し表面上に減圧CVD法により、厚さ1μmのSiO₂膜を堆積し、フォトリソグラフィによりパターン加工してマスク11を形成する。その後、例えば、マスク11をマスクとして、アルミニウムイオン12を基板温度500、加速エネルギー40keV~200keVの多段、注入量 $2 \times 10^{20} \text{ cm}^{-3}$ でイオン注入する。

50

【0058】

(4) 工程4

次に、図7(d)に示すように、マスク11を除去しアルゴン雰囲気中にて1600で5分間にわたる活性化アニールを行ってドレイン領域13、ソース領域14、およびグラウンド領域15を形成する。

【0059】

(5) 工程5

次に、図7(e)に示すように、減圧CVD法により厚さ0.5 μ mのフィールド酸化膜16を堆積し、フォトリソグラフィとウェットエッチングによりフィールド酸化膜16の一部を除去してアクティブ領域17を形成する。

10

【0060】

(6) 工程6

次に、図7(f)に示すように、1100の乾燥酸素雰囲気でのドライ酸化を50分を行い、厚さ50nmのゲート絶縁膜18を形成する。POAとして、1000のH₂とH₂Oを含んだ雰囲気中で30分の熱処理を行う。H₂OとH₂からなる雰囲気中のH₂O濃度はH₂とO₂の流量比を調整し73%とした。昇温は窒素雰囲気、降温は水素雰囲気で行い降温前に水素雰囲気中で30分保持を行った。その後、ゲート絶縁膜18上には、減圧CVD法によって多結晶シリコンを0.3 μ mの厚さで堆積し、フォトリソグラフィによりパターン加工してゲート電極19を形成する。

【0061】

20

(7) 工程7

次に、図7(g)に示すように、フォトリソグラフィとフッ酸エッチングによりドレイン領域13、ソース領域14およびグラウンド領域15上にコンタクトホールを形成し、その上から厚さ10nmのアルミニウムとさらに60nmのニッケルが蒸着されリフトオフによりパターン加工されてコンタクトメタル20を形成する。

【0062】

(8) 工程8

次に、図7(h)に示すように、オーミックコンタクトアニールとして不活性ガスまたは不活性ガスと水素の混合ガスの雰囲気中で950、2分間保持でアニールし、コンタクトメタル20と炭化ケイ素との反応層(電気的接触部)21を形成する。不活性ガスは窒素、ヘリウム、アルゴンのいずれかである。

30

【0063】

(9) 工程9

次に、図7(i)に示すように、表面にアルミニウムを300nm蒸着し、フォトリソグラフィとリン酸エッチングによりゲート電極19および反応層21上にパッド電極22を形成し、裏面にアルミニウムを100nm蒸着し裏面電極23を形成する。

【0064】

図7に示した炭化ケイ素MOSFETの製造方法によって作製された炭化ケイ素MOSFETの特性を評価したところ、チャネル移動度は約75cm²/Vsと高い値を示した。

40

【比較例】

【0065】

上記の工程6において、H₂とH₂Oを含んだ雰囲気でのPOAを行わない以外は実施例1と同様の製造方法で炭化ケイ素MOSFETを作製し、特性を評価したところ、チャネル移動度は約18cm²/Vsと低い値であった。

【実施例2】

【0066】

工程6において、H₂とH₂Oを含んだ雰囲気でのPOAの昇温、降温ともに水素雰囲気で行った以外は実施例1と同様の製造方法で炭化ケイ素MOSFETを作製したところ実施例1と同様の特性を示した。

50

【実施例 3】

【0067】

工程 6 において、 H_2 と H_2O を含んだ雰囲気での P O A の後に、第二 P O A として水素雰囲気で 9 0 0 、 3 0 分の熱処理を行った以外は実施例 1 と同様の製造方法で炭化ケイ素 M O S F E T を作製したところチャンネル移動度は約 $77 \text{ cm}^2 / \text{Vs}$ と高い値を示した。

【実施例 4】

【0068】

工程 6 において、 H_2 と H_2O を含んだ雰囲気での P O A の後に、第二 P O A として窒素雰囲気で 9 0 0 、 3 0 分の熱処理を行った以外は実施例 1 と同様の製造方法で炭化ケイ素 M O S F E T を作製したところチャンネル移動度は約 $40 \text{ cm}^2 / \text{Vs}$ と実施例 1 よりは低い値を示したが比較例よりは高い値を示した。

10

【実施例 5】

【0069】

工程 6 において、ゲート絶縁膜 1 8 の形成方法が、亜酸化窒素と窒素の流量比が 1 : 5 の雰囲気での 1 3 0 0 、 1 2 0 分の熱酸化であること以外は実施例 1 と同様の製造方法で炭化ケイ素 M O S F E T を作製したところ実施例 1 と同様の特性を示した。

【実施例 6】

【0070】

工程 6 において、ゲート絶縁膜 1 8 の形成方法が、一酸化窒素の雰囲気での 1 2 5 0 、 9 0 分の熱酸化であること以外は実施例 1 と同様の製造方法で炭化ケイ素 M O S F E T を作製したところ実施例 1 と同様の特性を示した。

20

【実施例 7】

【0071】

工程 6 において、ゲート絶縁膜 1 8 の形成方法が、パイロジェニックによる酸素と水分を含んだ雰囲気での 1 0 0 0 、 3 0 分の熱酸化であること以外は実施例 1 と同様の製造方法で炭化ケイ素 M O S F E T を作製したところ実施例 1 と同様の特性を示した。

【実施例 8】

【0072】

工程 6 において、ゲート絶縁膜 1 8 の形成方法が、シランを用いた C V D 法による堆積膜であること以外は実施例 1 と同様の製造方法で炭化ケイ素 M O S F E T を作製したところ実施例 1 と同様の特性を示した。

30

【0073】

上記の実施例では、結晶構造が 4 H - S i C の (0 0 0 - 1) 基板 (0 ~ 8 度オフ基板) を使用したが、結晶構造が 4 H - S i C の (0 0 0 1) 基板、 (1 1 - 2 0) 基板でも同様の効果を得ることができる。

【0074】

以上のように、本発明によれば、ゲート絶縁膜の形成方法によらず、ゲート絶縁膜の形成後に、P O A を O_2 を含まず H_2 と H_2O を含んだ雰囲気で行うことにより、炭化ケイ素基板とゲート絶縁膜の界面を含む限られた領域に水素あるいは水酸基を偏析でき、界面準位密度を低減でき、高いチャンネル移動度を実現することができる。

40

【0075】

以上のように、本発明にかかる炭化ケイ素半導体装置の製造方法は、炭化ケイ素 M O S F E T として p⁺型半導体基板を用いた横型 M O S F E T の製造方法を例にして説明したが、これに限定されるものではなく、n⁺型半導体基板を用いた縦型 M O S F E T など高耐圧化構造を有する半導体装置、トレンチゲートや複雑な M O S ゲート構造を有する半導体装置にも適用可能であり、同様の効果を奏することができる。したがって、特許請求の範囲に記載された本発明を逸脱しない範囲で、種々の半導体装置の製造方法に適用可能である。また、本発明は、半導体層または半導体領域の導電型 (n 型、 p 型) を反転させても同様に成り立つ。

50

【 0 0 7 6 】

複雑なMOSゲート構造とは、例えば、オン状態のときにSiCエピタキシャル基板の表面近傍にチャネルを形成する素子構造である。図8は、本発明にかかる複雑なMOSゲート構造を有する半導体装置の一例を示す図である。この図8の断面図に示すように、縦型のMOSFETにおいて、n⁺型炭化ケイ素基板31のおもて面にはn型エピタキシャル層32が形成される。n型エピタキシャル層32の不純物濃度は、n⁺型炭化ケイ素基板31の不純物濃度よりも低い。n型エピタキシャル層32の内部には、複数のp型領域36が選択的に形成される。p型領域36は、n型エピタキシャル層32のn⁺型炭化ケイ素基板31側に対して反対側の面に露出する。n型エピタキシャル層32およびp型領域36の表面にわたってp型領域36より低濃度のp型SiC層37が形成される。p型領域36が形成されていないn型エピタキシャル層32上のp型SiC層37に、深さ方向にp型SiC層37を貫通しn型エピタキシャル層32に達するn型領域33が形成される。n型エピタキシャル層32およびn型領域33は、n型ドリフト領域である。n型領域33の不純物濃度は、n型エピタキシャル層32よりも高いのが望ましい。

10

【 0 0 7 7 】

p型SiC層37の内部には、互いに接するようにn⁺型ソース領域34およびp⁺型コンタクト領域35が形成される。n⁺型ソース領域34およびp⁺型コンタクト領域35は、p型SiC層37のp型領域36側に対して反対側の面に露出する。n⁺型ソース領域34は、n型領域33と離れて形成される。p⁺型コンタクト領域35は、n⁺型ソース領域34のn型領域33側に対して反対側に位置する。p⁺型コンタクト領域35の不純物濃度は、p型SiC層37の不純物濃度よりも高い。p型SiC層37のn⁺型ソース領域34、p⁺型コンタクト領域35およびn型領域33を除く部分は、p型領域36と共にp型ベース領域となる。n⁺型ソース領域34とp⁺型コンタクト領域35との表面には、ソース電極38が形成される。隣り合うn⁺型ソース領域34の間のp型SiC層37とn型領域33との表面には、ゲート絶縁膜18を介してゲート電極19が形成される。ゲート電極19は、図示省略する層間絶縁膜によって、ソース電極38と電気的に絶縁される。また、n⁺型炭化ケイ素基板31の裏面には、n⁺型炭化ケイ素基板31に接するドレイン電極39が形成される。

20

【 産業上の利用可能性 】

【 0 0 7 8 】

以上のように、本発明にかかる炭化ケイ素半導体装置および炭化ケイ素半導体装置の製造方法は、例えば、パワーデバイス等の電力用炭化ケイ素半導体装置や、産業用のモーター制御やエンジン制御に使用されるパワー炭化ケイ素半導体装置に有用である。

30

【 符号の説明 】

【 0 0 7 9 】

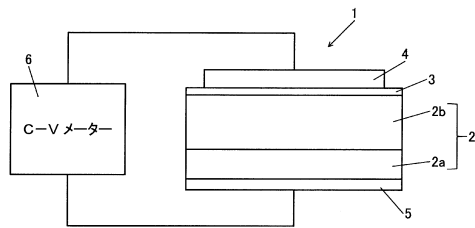
- 1 炭化ケイ素半導体装置 (MOSキャパシタ)
- 2 a n型4H-SiC(000-1)基板
- 2 b n型エピタキシャル膜
- 3 絶縁膜
- 4 アルミゲート電極
- 5 アルミ裏面電極
- 6 C-Vメーター
- 7 p型4H-SiC(000-1)基板
- 8 p型エピタキシャル膜
- 9, 11 マスク
- 10 リンイオン
- 12 アルミニウムイオン
- 13 ドレイン領域
- 14 ソース領域
- 15 グラウンド領域

40

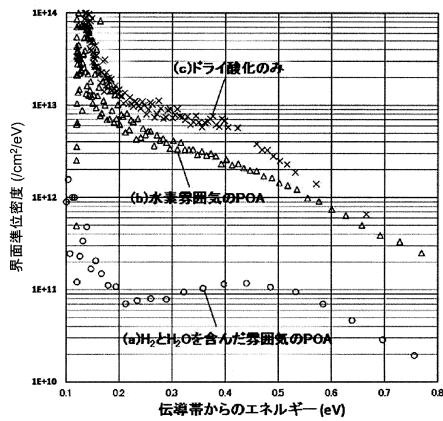
50

- 1 6 フィールド酸化膜
- 1 7 アクティブ領域
- 1 8 ゲート絶縁膜
- 1 9 ゲート電極
- 2 0 コンタクトメタル
- 2 1 反応層
- 2 2 パッド電極
- 2 3 裏面電極
- 3 1 n⁺型炭化ケイ素基板
- 3 2 n型エピタキシャル層
- 3 3 n型領域
- 3 4 n⁺型ソース領域
- 3 5 p⁺型コンタクト領域
- 3 6 p型領域
- 3 7 p型SiC層
- 3 8 ソース電極
- 3 9 ドレイン電極

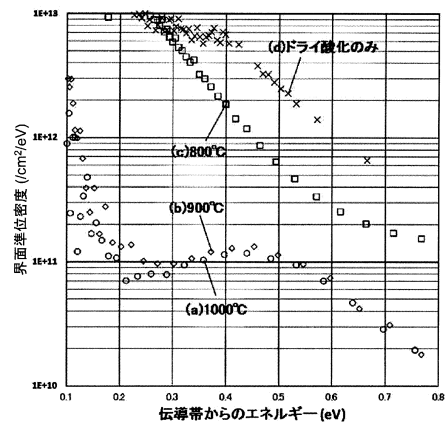
【図1】



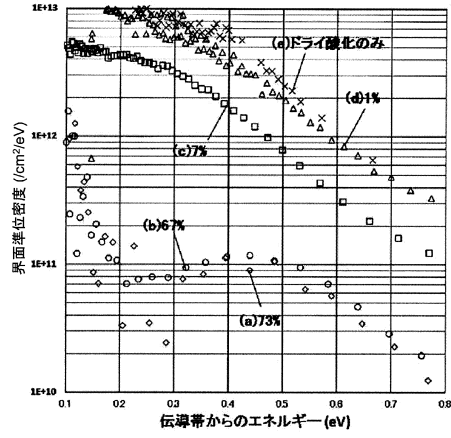
【図2】



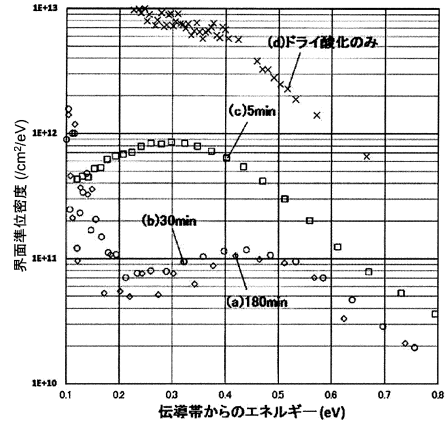
【図3】



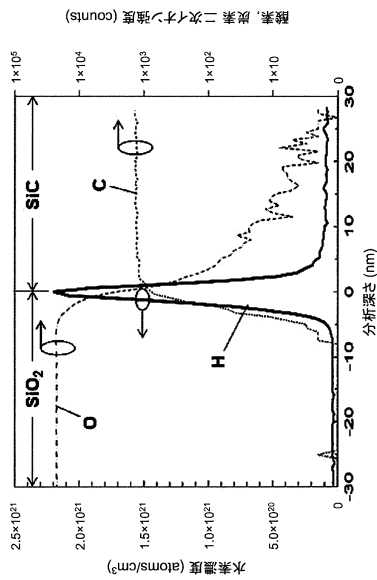
【 図 4 】



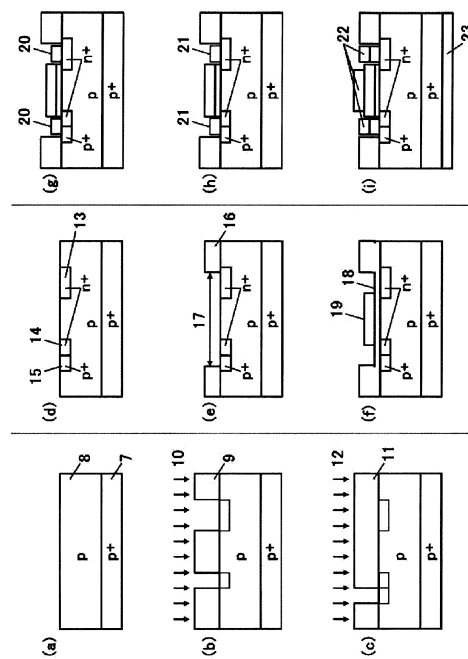
【 図 5 】



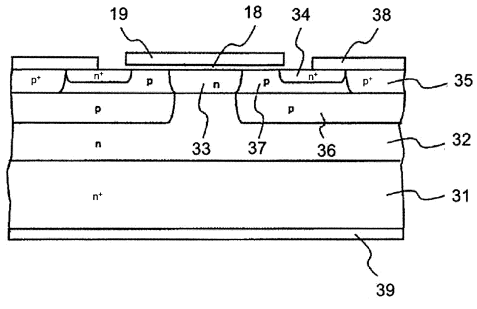
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 5 2 K
H 0 1 L	21/324	Z
H 0 1 L	21/316	P

(72)発明者 堤 岳志

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 荒岡 幹

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 岡本 光央

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 福田 憲司

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

審査官 宇多川 勉

(56)参考文献 特開2011-199132(JP,A)

特開2007-242744(JP,A)

国際公開第2004/003989(WO,A1)

特開2006-269641(JP,A)

特開2012-186490(JP,A)

特開2001-210637(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 3 1 6

H 0 1 L 2 1 / 3 2 4

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 7 8