

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



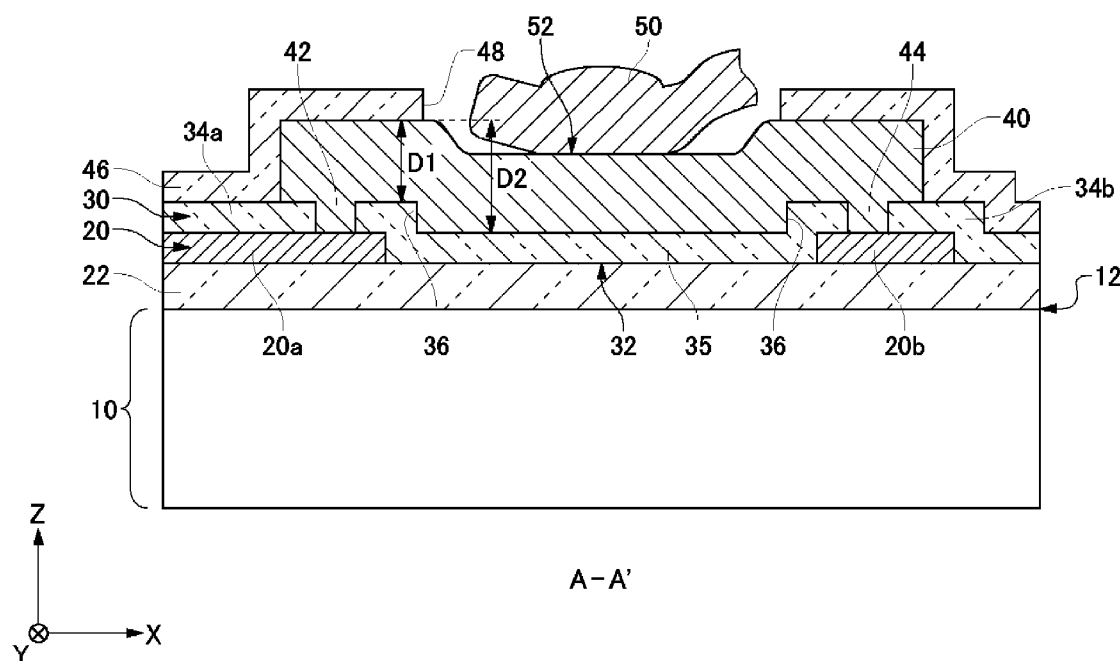
(10) 国際公開番号

WO 2019/012854 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 21/768 (2006.01)
H01L 21/60 (2006.01) H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2018/021296
- (22) 国際出願日: 2018年6月1日(01.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-137066 2017年7月13日(13.07.2017) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 岩 水 守 生 (IWAMIZU Morio); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



A-A'

100

(57) Abstract: The purpose of the present invention is to disperse stress in an electroconductive film to which a wire is bonded and to prevent the electroconductive film from separating. Provided is a semiconductor device equipped with: a semiconductor substrate; a first electroconductive film provided above the semiconductor substrate so as to flank a non-formation region in which the first electroconductive film is not provided, the first electroconductive film being provided at least on both sides of the non-formation region; an interlayer insulation film including a first portion provided

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告（条約第21条(3)）
- 補正された請求の範囲（条約第19条(1)）

in the non-formation region, a second portion provided above the first electroconductive film on two sides flanking the non-formation region, and a step part linking the first portion and the second portion; a second electroconductive film provided above the interlayer insulation film; a plurality of penetrating terminal parts, which penetrate the second portion of the interlayer insulation film and electrically connect the first electroconductive film and the second electroconductive film to each other; and a wire bonded to the second electroconductive film above the first portion of the interlayer insulation film. The plurality of penetrating terminal parts include at least one or more first penetrating terminal parts and one or more second penetrating terminal parts provided at positions that face each other across the part at which the wire is bonded.

(57) 要約：ワイヤが接合される導電膜の応力を分散して、導電膜が剥離することを防止する。半導体基板と、半導体基板の上方において、第1導電膜が設けられていない非形成領域を挟んで、少なくとも非形成領域の両側に設けられた第1導電膜と、非形成領域に設けられた第1部分、非形成領域を挟んだ両側において第1導電膜の上方に設けられた第2部分、および第1部分と第2部分とを連結する段差部を含む層間絶縁膜と、層間絶縁膜の上方に設けられた第2導電膜と、層間絶縁膜の第2部分を貫通して第1導電膜と第2導電膜とを電氣的に連結する複数の貫通端子部と、層間絶縁膜の第1部分の上方において、第2導電膜に接合されるワイヤと、を備え、複数の貫通端子部は、ワイヤの接合部を挟んで互いに対向する位置に設けられる一以上の第1貫通端子部および一以上の第2貫通端子部を少なくとも含む半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

[0002] 半導体装置において、上層導電膜と下層導電膜とをビアで接続した構成が知られている。上層導電膜のうちワイヤが接続される電極パッド部分の直下を避けてビア・ホールを配置した半導体装置が知られている（例えば、特許文献1参照）。また、一部のビアに電流が集中してエレクトロマイグレーションが生じることを防止するために、複数のビアをいくつかの群に分けてパッド開口部の周辺部に配置した半導体装置が知られている（例えば、特許文献2および特許文献3参照）。

[特許文献]

[特許文献1] 特開平4-167449号公報

[特許文献2] 特開2002-16065号公報

[特許文献3] 特開平8-17859号公報

解決しようとする課題

[0003] 半導体装置においては、ワイヤが接合される導電膜の応力を緩和して、導電膜が剥離することを防止することが望ましい。

一般的開示

[0004] 本発明の第1の態様においては、半導体装置を提供する。半導体装置は、半導体基板を備えてよい。半導体装置は、第1導電膜を備えてよい。第1導電膜は、半導体基板の上方に設けられてよい。第1導電膜は、非形成領域を挟んで、少なくとも非形成領域の両側に設けられてよい。非形成領域は、第1導電膜が設けられていない領域であってよい。半導体装置は、層間絶縁膜を備えてよい。層間絶縁膜は、第1部分、第2部分、および段差部を含んでよい。第1部分は、非形成領域に設けられてよい。第2部分は、非形成領域を挟んだ両側において第1導電膜の上方に設けられてよい。段差部は、第1

部分と第2部分とを連結してよい。半導体装置は、第2導電膜を備えてよい。第2導電膜は、層間絶縁膜の上方に設けられてよい。半導体装置は、複数の貫通端子部を備えてよい。複数の貫通端子部は、層間絶縁膜の第2部分を貫通してよい。複数の貫通端子部は、第1導電膜と第2導電膜とを電氣的に連結してよい。半導体装置は、ワイヤを備えてよい。ワイヤは、層間絶縁膜の第1部分の上方において、第2導電膜に接合されてよい。複数の貫通端子部は、一以上の第1貫通端子部および一以上の第2貫通端子部を少なくとも含んでよい。一以上の第1貫通端子部および一以上の第2貫通端子部は、ワイヤの接合部を挟んで互いに対向する位置に設けられてよい。

[0005] 第1部分の上方における第2導電膜の厚みは、第2部分の上方における第2導電膜の厚みより厚くてよい。

[0006] 第1導電膜は、非形成領域を囲むように環状に形成されてよい。複数の貫通端子部は、非形成領域を囲むように環状に配列されてよい。

[0007] 第2導電膜は、半導体基板のおもて面に平行な長手方向に延伸してよい。長手方向に沿って複数の貫通端子部が配列される領域と、長手方向に直交する短手方向に沿って複数の貫通端子部が配列される領域とで、配列される貫通端子部の密度が異なってよい。

[0008] 短手方向に沿って複数の貫通端子部が配置される領域の方が、長手方向に沿って複数の貫通端子部が配置される領域より、配置される貫通端子部の密度が高くてよい。

[0009] ワイヤが延伸する方向に対して平行な方向に沿って複数の貫通端子部が配列される領域の方が、ワイヤが延伸する方向に直交する方向に沿って複数の貫通端子部が配列される領域より、配列される貫通端子部の密度が高くてよい。

[0010] 第1導電膜は、配線膜およびダミー膜を含んでよい。配線膜は、電流が流れてよい。ダミー膜は、ワイヤの接合部を挟んで配線膜と反対側に配置されてよい。ダミー膜は、電流が流れないでよい。配線膜は第1貫通端子部を介して第2導電膜と電氣的に連結してよい。ダミー膜は、第2貫通端子部を介

して第2導電膜と電氣的に連結してよい。配線膜とダミー膜とは電氣的に分離されていてよい。

- [0011] ワイヤおよび第2導電膜は、銅を含有する材料で形成されてよい。
- [0012] 第2導電膜の厚みは、 $1\mu\text{m}$ 以上であってよい。
- [0013] 第1導電膜は、溝部を有してよい。複数の貫通端子部の端部は、それぞれ溝部に挿入されてよい。
- [0014] 複数の貫通端子部は、複数列に配列されてよい。
- [0015] 一方向に沿って第1列に配列された複数の貫通端子部と、一方向に沿って第1列に隣接する第2列に配列された複数の貫通端子部とは、一方向の位置が互い違いになるように配置されてよい。
- [0016] 本発明の第2の態様においては、半導体装置を提供する。半導体装置は、半導体基板を備えてよい。半導体装置は、第1導電膜を備えてよい。第1導電膜は、半導体基板の上方に設けられてよい。半導体装置は、層間絶縁膜を備えてよい。層間絶縁膜は、第1導電膜を覆ってよい。半導体装置は、第2導電膜を備えてよい。第2導電膜は、層間絶縁膜の上方に設けられてよい。半導体装置は、ワイヤを備えてよい。ワイヤは、第2導電膜に接合されてよい。半導体装置は、複数の貫通端子部を備えてよい。複数の貫通端子部は、層間絶縁膜を貫通して第1導電膜と第2導電膜とを電氣的に連結してよい。第1導電膜は、配線膜およびダミー膜を含んでよい。配線膜には、電流が流れてよい。ダミー膜は、ワイヤの接合部を挟んで配線膜と反対側に配置されてよい。ダミー膜には、電流が流れないでよい。配線膜は第1貫通端子部を介して第2導電膜と電氣的に連結してよい。ダミー膜は、第2貫通端子部を介して第2導電膜と電氣的に連結してよい。配線膜とダミー膜とは電氣的に分離されていてよい。複数の貫通端子部は、一以上の第1貫通端子部と一以上の第2貫通端子部とを少なくとも含んでよい。一以上の第1貫通端子部は、配線膜と第2導電膜とを電氣的に連結してよい。一以上の第2貫通端子部は、配線膜と第2導電膜とを電氣的に連結してよい。
- [0017] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したもので

はない。また、これらの特徴群のサブコンビネーションもまた、発明となる。

図面の簡単な説明

[0018] [図1]本発明の第1実施形態における半導体装置100のおもて面を示す図である。

[図2]図1におけるA-A'断面の一例を示す図である。

[図3]図1におけるA-A'断面の他の例を示す図である。

[図4]比較例における半導体装置101のおもて面を示す図である。

[図5]図4におけるB-B'断面の一例を示す図である。

[図6]本発明の第2実施形態における半導体装置100のA-A'断面の一例を示す図である。

[図7]本発明の第3実施形態における半導体装置100のA-A'断面の一例を示す図である。

[図8]本発明の第4実施形態における半導体装置100のA-A'断面の一例を示す図である。

[図9]本発明の第5実施形態における半導体装置100のおもて面を示す図である。

[図10]図9におけるC-C'断面の一例を示す図である。

[図11]本発明の第6実施形態における半導体装置100のおもて面を示す図である。

[図12]本発明の第7実施形態における半導体装置100のおもて面を示す図である。

[図13]本発明の第8実施形態における半導体装置100のおもて面を示す図である。

[図14]本発明の第9実施形態における半導体装置100のおもて面を示す図である。

[図15]本発明の第10実施形態における半導体装置100のおもて面を示す図である。

発明を実施するための形態

[0019] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0020] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。

[0021] 図1は、本発明の第1実施形態における半導体装置100のおもて面を示す図である。図2は、図1におけるA-A'断面の一例を示す図である。図2に示されるとおり、半導体装置100は、半導体基板10、第1導電膜20、層間絶縁膜30、第2導電膜40、およびワイヤ50を備える。半導体装置100は、一以上の第1ビア42および一以上の第2ビア44を備えている。半導体装置100の上方には、保護膜46が形成されている。保護膜46には、開口48が設けられている。実際には、半導体装置100のおもて面は、保護膜46の開口48の領域を除いて、保護膜46に覆われてよい。但し、図1は、説明の便宜のために、保護膜46等に覆われていて露出していない構造についても実線で示している。

[0022] 図2に示されるとおり、本例では、半導体基板10のおもて面12上に絶縁膜22が形成されている。本例の半導体基板10は、シリコン（以下、Si）基板である。他の例において、半導体基板10は、炭化ケイ素（SiC）等の化合物半導体基板であってもよい。絶縁膜22は、TEOS膜（オルトケイ酸テトラエチル膜）であってもよい。絶縁膜22は、TEOS膜、SiOG（スピン・オン・グラス）膜、およびTEOS膜が、この並び順で積層された積層膜であってもよい。絶縁膜22は、酸化シリコン等の半導体酸化

膜であってもよく、窒化シリコン等の半導体窒化膜であってもよい。

[0023] 半導体基板 10 の上方において、第 1 導電膜 20 が設けられている。本例では、第 1 導電膜 20 は、絶縁膜 22 上に形成されている。但し、第 1 導電膜 20 は、半導体基板 10 の上方のすべての領域に設けられているわけではない。半導体基板 10 の上方において、第 1 導電膜 20 が設けられていない非形成領域 32 が設けられる。第 1 導電膜 20 の厚みは、例えば、 $0.3\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であり、より好ましくは $0.5\ \mu\text{m}$ 以上 $0.7\ \mu\text{m}$ 以下である。

[0024] 第 1 導電膜 20 は、アルミニウム合金で形成されてよく、銅合金で形成されてもよい。第 1 導電膜 20 は、単一膜であってもよく、積層膜であってもよい。例えば、第 1 導電膜 20 は、絶縁膜 22 側にバリアメタルを含む積層膜である。バリアメタルは、例えば、チタン (Ti) 膜と窒化チタン膜 (TiN) 膜の積層膜である。一例において、第 1 導電膜 20 は、絶縁膜 22 に近い方から、Ti 膜、TiN 膜、およびアルミニウム合金膜の順で積層された積層膜であってもよい。また、第 1 導電膜 20 は、金属膜に限られず、ポリシリコン膜を有してよい。

[0025] 本例では、ワイヤ 50 と第 2 導電膜 40 との接合部 52 の下方に非形成領域 32 が設けられる。第 1 導電膜 20 は、非形成領域 32 を挟んで少なくとも非形成領域 32 の両側に設けられる。本例では、第 1 導電膜 20 は、配線膜 20a およびダミー膜 20b を含む。本例では、配線膜 20a は、非形成領域 32 の一側 (−X 軸方向) に位置し、ダミー膜 20b は、非形成領域 32 の他側 (+X 軸方向) に位置する。換言すれば、配線膜 20a は、ワイヤ 50 の接合部 52 を基準に、接合部 52 の一方の側に設けられ、ダミー膜 20b は、接合部 52 の他方の側に設けられる。

[0026] 配線膜 20a は、半導体装置 100 における回路部に接続されてよい。配線膜 20a には、電流が流れる。配線膜 20a が接続される回路部は、半導体装置 100 における制御回路部であってもよく、パワー素子部であってもよい。一方、ダミー膜 20b は、半導体装置 100 における回路部に接続さ

れていない。ダミー膜20bには、電流が流れない。配線膜20aとダミー膜20bとは電氣的に分離されてよい。ダミー膜20bは、回路部に接続されないので、ダミー膜20bは回路部まで延伸されなくてよい。したがって、ダミー膜20bが占める面積は小さくてよい。但し、本例と異なり、ダミー膜20bを有していなくてもよい。この場合、非形成領域32を挟んで少なくとも非形成領域32の両側に配線膜20aが設けられてよい。

[0027] 第1導電膜20は、第2導電膜40に比べて厚みが薄い。したがって、第1導電膜20は、第2導電膜40に比べて微細加工が容易である。それゆえ、第2導電膜40をそのまま延伸して回路部に接続する場合に比べて、第1導電膜20を介して回路部に接続の方が製造プロセス上、有利である。

[0028] 本例において、層間絶縁膜30は、第1導電膜20と、非形成領域32とを覆う。層間絶縁膜30は、第1部分35、第2部分34（34aおよび34b）、および段差部36を含む。第1部分35は、非形成領域32に設けられる。本例では、第1部分35は、非形成領域32において絶縁膜22上に設けられる。第2部分34は、非形成領域32を挟んだ両側において第1導電膜20の上方に設けられる。本例では、第1導電膜20のうち配線膜20a上に層間絶縁膜30の第2部分34aが設けられ、第1導電膜20のうちダミー膜20b上に層間絶縁膜30の第2部分34bが設けられる。

[0029] 層間絶縁膜30の段差部36は、第1部分35と第2部分34とを連結する。図2に示されるとおり、層間絶縁膜30の第1部分35の上面と、層間絶縁膜30の第2部分34（34aおよび34b）の上面との間には、Z軸方向に段差部36が設けられる。段差部36のZ軸方向の長さは、第1導電膜20の厚みに対応してよい。段差部36は、第1部分35の上面と第2部分34の上面とを連結する。第1部分35、第2部分34、および段差部36は、同一の絶縁材料によって一体的に形成されてよい。層間絶縁膜30は、絶縁膜22と同様の材料で形成されてよい。具体的には、層間絶縁膜30は、TEOS膜であってよく、TEOS膜、SOG膜、およびTEOS膜の積層膜であってもよい。

[0030] 第2導電膜40は、層間絶縁膜30の上方に設けられている。第2導電膜40の厚みは、第1導電膜20の厚みに比べて厚くてよい。一例において、第2導電膜40の厚みは、 $1\mu\text{m}$ 以上であってよく、 $3\mu\text{m}$ 以上であってよい。このように第2導電膜40の厚みを厚くすることによって、第2導電膜40の上面にワイヤ50を接合するときの衝撃が吸収される。したがって、層間絶縁膜30にクラックが生じることが防止されて、層間絶縁膜30が保護される。

[0031] 本例において、層間絶縁膜30が段差部36を有することに起因して、第2導電膜40の上面に段差があってもよい。また、第2導電膜40の上面の最上部のZ軸方向位置を基準とし、当該基準から第2導電膜40の裏面までのZ軸方向に沿った距離を厚みと定義すると、第1部分35の上方における第2導電膜40の厚みD2は、第2部分34a、34bの上方における第2導電膜40の厚みD1より厚くてよい。

[0032] 第2導電膜40は、第1導電膜20と同様の材料で形成されてよい。具体的には、第2導電膜40は、銅(Cu)を含有する材料で形成されてよい。但し、本例と異なり、第2導電膜40は、アルミニウム合金で形成されてよい。第2導電膜40は、単一膜であってもよく、積層膜であってもよい。例えば、第2導電膜40は、層間絶縁膜30側にバリアメタルを含む積層膜である。バリアメタルは、例えば、チタン(Ti)膜と窒化チタン膜(TiN)膜の積層膜である。

[0033] 図1および図2に示される第2導電膜40は、X軸方向に延伸した長方形の平面形状を有する。しかしながら、第2導電膜40は、この場合に限られず、円形、楕円形、またはその他の平面形状を有してよい。

[0034] 半導体基板10のおもて面12に直交する方向(+Z軸方向)から見た場合に、第1導電膜20の領域と第2導電膜40の領域とは、少なくとも部分的に重なる。本例では、X軸方向に延伸した第2導電膜40において、Y軸方向に沿う第1短辺を横切るように第1導電膜20(配線膜20a)が設けられ、第1短辺に対向しておりY軸方向に沿う第2短辺を横切るように第1

導電膜 20（ダミー膜 20b）が設けられる。

[0035] 第2導電膜40の上方には、保護膜46が設けられる。保護膜46は、第2導電膜40上および層間絶縁膜30上に形成されてよい。保護膜46には開口48が形成されている。開口48によって露出される第2導電膜40の領域がボンディングパッドとして機能する。開口48は、層間絶縁膜30の第1部分35の上方に設けられてよい。半導体基板10のおもて面12に直交する方向（Z軸方向）から見た場合に、開口48の領域と、層間絶縁膜30の第1部分35の領域とが少なくとも部分的に重なってよい。

[0036] 半導体装置100は、複数のビア（42、44）を備える。複数のビア（42、44）は、複数の貫通端子部の一例である。ビア（42、44）は、層間絶縁膜30の第2部分34a、34bをZ軸方向に貫通する。半導体基板10のおもて面12に直交する方向（Z軸方向）から見た場合に、第1導電膜20a、20bの領域と第2導電膜40の領域とが重なる領域においてビア（42、44）が設けられる。ビア（42、44）は、第1導電膜20と第2導電膜40とを電氣的に連結する。

[0037] 一例において、ビア（42、44）は、層間絶縁膜30の第2部分34a、34bに設けられたビア・ホールに第2導電膜40の一部が埋め込まれることによって形成されてよい。あるいは、第2導電膜40とは異なるタングステン（W）等の導電材料がビア・ホール内に埋め込まれてビア（42、44）が形成されてもよい。

[0038] ワイヤ50は、層間絶縁膜30の第1部分35の上方において、第2導電膜40に接合される。ワイヤ50は、銅（Cu）を含有する材料で形成されてよい。但し、ワイヤ50は、本例と異なり、金（Au）ワイヤ、Alワイヤ、またはAlを含む合金ワイヤであってよい。保護膜46に設けられた開口48によって露出される第2導電膜40の領域にワイヤ50が接合されてよい。半導体基板10のおもて面12に直交する方向（Z軸方向）から見た場合に、ワイヤ50の接合部52の位置と、複数のビア（42、44）の設けられている位置とが重ならない。これにより、ワイヤ50を接合するとき

に、ビア（４２、４４）を起点に層間絶縁膜３０にクラックが生じること防止することができる。

[0039] 複数のビア（４２、４４）は、ワイヤ５０の接合部５２を挟んで互いに対向する位置に設けられる一以上の第１ビア４２および一以上の第２ビア４４を少なくとも含む。第１ビア４２および第２ビア４４は、それぞれ第１貫通端子部および第２貫通端子部の一例である。本例では、図１に示されるとおり、Ｘ軸方向に延伸した第２導電膜４０において、延伸方向に直交するＹ軸方向に沿う第１短辺に沿って複数の第１ビア４２が配列され、第１短辺に対向しておりＹ軸方向に沿う第２短辺に沿って複数の第２ビア４４が配列されている。

[0040] 本例では、第１導電膜２０のうち、配線膜２０ａは、複数の第１ビア４２を介して第２導電膜４０と電氣的に連結している。一方、ダミー膜２０ｂは、複数の第２ビア４４を介して第２導電膜４０と電氣的に連結している。複数の第１ビア４２は、配線膜２０ａ上に設けられた層間絶縁膜３０の第２部分３４ａを貫通する。複数の第２ビア４４は、ダミー膜２０ｂ上に設けられた層間絶縁膜３０の第２部分３４ｂを貫通する。

[0041] 図３は、図１におけるＡ－Ａ′断面の他の例を示す図である。図３に示される例においては、第２導電膜４０の上面に段差がない。図３に示される構造は、第２導電膜４０の上面を平坦化する平坦化処理工程によって実現されてよい。第２導電膜４０の断面形状を除いて、図３に示される半導体装置１００の構造は、図１および図２に示される半導体装置１００の構造と同様である。したがって、繰り返しの説明を省略する。本例において、第２導電膜４０のＺ軸方向に沿った肉厚を第２導電膜４０の厚みと定義すると、第１部分３５の上方における第２導電膜４０の厚みＤ２は、第２部分３４ａ、３４ｂの上方における第２導電膜４０の厚みＤ１より厚くてよい。第１部分の上方における第２導電膜４０の肉厚が厚いので、ワイヤ５０を第２導電膜４０に接合するときの衝撃を緩和することができる。

[0042] 図１から図３を用いて説明した第１実施形態の半導体装置１００について

、比較例と比較しつつ説明する。図4は、比較例における半導体装置101のおもて面を示す図である。図5は、図4におけるB-B'断面の一例を示す図である。図4および図5に示されるとおり、比較例における半導体装置101は、複数のビアとして複数の第1ビア42のみが設けられている。半導体装置101は、第1ビア42に対向するように配置された第2ビア44を備えていない。また、比較例においては、層間絶縁膜30が、段差部36を有しない。さらに、層間絶縁膜30が段差部36を有しないことに起因して、第2導電膜40の下面が段差を有しない。したがって、比較例においては、層間絶縁膜30と第2導電膜40との界面が平坦である。これらの点を除いて、比較例における半導体装置101の構造は、第1実施形態の半導体装置100の構造と同様である。

[0043] 本発明の実施形態および比較例において、第2導電膜40は、スパッタリング等の成膜工程によって形成される。成膜工程は、常温に比べて高い温度で実行される。また、第2導電膜40の熱膨張係数は、層間絶縁膜30等の他の物質層の熱膨張係数と異なる。したがって、成膜工程後の冷却過程において、第2導電膜40と層間絶縁膜30等が常温に戻ると、第2導電膜40に残留応力が生じる。残留応力は、第2導電膜40の膜厚が厚くなるほど大きくなる。

[0044] 図4および図5に示されるように、比較例においては、第2導電膜40は、第1ビア42を通して第1導電膜20と接続されている。したがって、発生した残留応力に起因して、第2導電膜40が第1ビア42に向かって引っ張り応力70を受ける。第2導電膜40が第1ビア42に向かって引っ張られることにより、第1ビア42が形成されている側とは反対側の第2導電膜40の端部72において第2導電膜40の剥離が発生する可能性がある。第2導電膜40の剥離は、第2導電膜40と層間絶縁膜30との間の界面、または層間絶縁膜30の内部において発生し得る。

[0045] これに対し、本発明の第1実施形態の半導体装置100は、ワイヤ50の接合部52を挟んで互いに対応する位置に第1ビア42および第2ビア44

を有する。したがって、第2導電膜40における引っ張り応力が、第1ビア42に向かう方向と第2ビア44に向かう方向とに分散される。すなわち、第2導電膜40における応力が緩和される。これにより、第2導電膜40と層間絶縁膜30との間の界面における第2導電膜40の剥離、および、層間絶縁膜30の内部における剥離が防止される。

[0046] さらに、本実施形態の半導体装置100は、第1導電膜20と第2導電膜40の間に介在する層間絶縁膜30に段差部36が形成されている。したがって、層間絶縁膜30と第2導電膜40との界面に凹凸が生じる。第2導電膜40が第1ビア42に向かう方向に引っ張られる場合に、層間絶縁膜30の段差部36がストッパとして機能し、応力を緩和する。したがって、層間絶縁膜30の段差部36も、第2導電膜40の剥離防止に寄与する。

[0047] 以上のように、本実施形態の半導体装置100によれば、第2導電膜40の応力を緩和することができるので、第2導電膜40の厚みを厚くすることができる。したがって、ワイヤ50を第2導電膜40に超音波接合するときの層間絶縁膜30等の下地へのダメージを緩和することができる。これにより、ワイヤ50を第2導電膜40に超音波接合するときの超音波強度等の条件に十分なマージン（余裕度）を確保することができる。

[0048] 第2導電膜40の応力を緩和することができるので、半導体装置100の長期的な信頼性を高めることができる。半導体装置100の製造工程においても、第2導電膜40の剥離を防止することができるので、製造工程における歩留りの向上が図られる。製造工程において剥離した第2導電膜40の導電材料によって製造工程が汚損されないので、清浄な製造工程を維持することができる。

[0049] 図6は、本発明の第2実施形態における半導体装置100のA-A'断面の一例を示す図である。第2実施形態の半導体装置100のおもて面から見た構造は、図1と同様である。第2実施形態の半導体装置100は、第1導電膜20の構造および複数のビア（42、44）の構造を除いて、図1から図3における第1実施形態の半導体装置100と同様の構造を有する。した

がって、共通する部分についての繰り返しの説明は省略する。

[0050] 第1導電膜20は、溝部(24a、24b)を有する。本例では、溝部(24a、24b)は、複数の第1溝部24aと複数の第2溝部24bとを含む。複数の第1溝部24aが、図1において第1ビア42が設けられるXY平面上の位置に対応して設けられる。同様に、複数の第2溝部24bが、図1において第2ビア44が設けられるXY平面上の位置に対応して設けられる。

[0051] +Z軸方向から見た場合に、第1溝部24aの平面形状は、第1ビア42の平面形状に対応しており、第2溝部24bの平面形状は、第2ビア44の平面形状に対応している。第1溝部24aおよび第2溝部24bは、半導体基板10に直交する方向(Z軸方向)に沿って、第1導電膜20のおもて面側から第1導電膜20の内部まで形成されている。

[0052] 第1溝部24aおよび第2溝部24bは、好ましくは、第1導電膜20の裏面まで貫通していない。第1溝部24aおよび第2溝部24bの深さは、第1導電膜20の厚みの $1/3$ 以上 $2/3$ 以下であってよい。第1溝部24aおよび第2溝部24bは、第1ビア42および第2ビア44のビア・ホールが層間絶縁膜30に形成されるときに、ビア・ホールを第1導電膜20内まで延長することによって形成されてよい。第1溝部24aおよび第2溝部24bを形成しやすくするために、第1導電膜20は、ポリシリコン膜で形成されてよい。

[0053] 複数のビア(42、44)の端部は、それぞれ対応する溝部(24a、24b)に挿入されている。複数の第1ビア42の端部は、それぞれ対応する第1溝部24aに挿入されており、複数の第2ビア44の端部は、それぞれ対応する第2溝部24bに挿入されている。

[0054] 第1溝部24aおよび第2溝部24bは、第1導電膜20(配線膜20a、ダミー膜20b)の端縁から予め定められた距離だけ離間されて形成されてよい。換言すれば、第1導電膜20は、第1溝部24aの周囲および第2溝部24bの周囲を囲むフレーム部25a、25bを備えてよい。本例では

、配線膜20aは、第1溝部24aの周囲を囲むフレーム部25aを有する。ダミー膜20bは、第2溝部24bの周囲を囲むフレーム部25bを有する。フレーム部25a、25bを有することによって、第1ビア42および第2ビア44の周辺の強度を高めることができる。

[0055] 本例のように、第1導電膜20に設けられた溝部24a、24bに第1ビア42および第2ビア44の端部を挿入することによって、第2導電膜40が第1ビア42および第2ビア44を介して第1導電膜20に強固に接続される。したがって、第2導電膜40の剥離を防止することができる。特に、第1導電膜20がフレーム部25a、25bを有することによって、フレーム部25a、25bを有しない場合に比べて、第2導電膜40の引っ張り応力に対する耐性を高めることができる。

[0056] 図7は、本発明の第3実施形態における半導体装置100のA-A'断面の一例を示す図である。第3実施形態の半導体装置100のおもて面から見た構造は、図1と同様である。第3実施形態の半導体装置100は、第2溝部24bを有する一方、第1溝部24aを有していない。したがって、ダミー膜20bには第2溝部24bが設けられる一方、配線膜20aには第1溝部24aを設けられていない。この点を除いて、第3実施形態の半導体装置100は、図6に示される第2実施形態の半導体装置100の構造と同様である。したがって、共通する部分についての詳しい説明は省略される。

[0057] 第2ビア44の端部は、第2溝部24bに挿入される。したがって、配線膜20aに接触する第1ビア42に比べて、ダミー膜20bに接触する第2ビア44の方が、Z軸方向に沿う深さが深い。本例によっても、第2導電膜40の剥離を防止することができる。

[0058] 図8は、本発明の第4実施形態における半導体装置100のA-A'断面の一例を示す図である。第4実施形態の半導体装置100のおもて面から見た構造は、図1と同様である。本例の半導体装置100は、半導体基板10、絶縁膜22、第1導電膜20、層間絶縁膜30、第2導電膜40、ワイヤ50、および複数のビア（42、44）を備える。第1導電膜20は、半導

体基板 10 の上方に設けられる。層間絶縁膜 30 は、第 1 導電膜 20 を覆う。

[0059] 第 2 導電膜 40 は、層間絶縁膜 30 の上方に設けられる。ワイヤ 50 が第 2 導電膜 40 に接合される。複数のビア (42、44) は、層間絶縁膜 30 を貫通して第 1 導電膜 20 と第 2 導電膜 40 とを電氣的に連結する。第 1 導電膜 20 は、配線膜 20a およびダミー膜 20b を含む。配線膜 20a には電流が流れる一方、ダミー膜 20b には電流が流れない。ダミー膜 20b は、ワイヤ 50 の接合部 52 を挟んで配線膜 20a と反対側に配置されている。

[0060] 複数のビア (42、44) は、一以上の第 1 ビア 42 および一以上の第 2 ビア 44 を含む。第 1 ビア 42 は、配線膜 20a と第 2 導電膜 40 とを電氣的に連結する。第 2 ビア 44 は、ダミー膜 20b と第 2 導電膜 40 とを電氣的に連結する。本例の層間絶縁膜 30 は、段差部 36 を有しない。特に、層間絶縁膜 30 の上面に段差がない。また、層間絶縁膜 30 の上面に段差がないことに起因して、第 2 導電膜 40 の下面が段差を有しない。したがって、層間絶縁膜 30 と第 2 導電膜 40 との界面が平坦である。

[0061] 本例の半導体装置 100 において、ワイヤ 50 の接合部 52 を挟んで配線膜 20a と反対側に配置されている膜として、ダミー膜 20b が用いられる。ダミー膜 20b は、回路部に接続される必要がないので、回路部の位置まで引き回される必要がない。したがって、ダミー膜 20b が占める面積は配線膜 20a に比べて小さくてよい。

[0062] 本例によれば、電流を流さないダミー膜 20b を設けた上で、ダミー膜 20b と第 2 配線部を電氣的に接続する第 2 ビア 44 を設ける。したがって、半導体装置 100 において、ワイヤ 50 の接合部 52 を挟んで両側に電流が流れる配線膜 20a を設ける場合と比べて省スペース化を図りつつ第 2 導電膜 40 の剥離を防止できる。

[0063] 図 9 は、本発明の第 5 実施形態における半導体装置 100 のおもて面を示す図である。図 10 は、図 9 における C-C' 断面の一例を示す図である。

第1から第4実施形態においては、第1導電膜20が、ワイヤ50の接合部52を挟むように、2つに分離されている構成について説明した。しかしながら、本発明は、この場合に限られない。第5実施形態の半導体装置100においては、第1導電膜20は、非形成領域32を囲むように環状に形成されている。非形成領域32は、第1導電膜20に設けられた開口部であってよい。これらの構造を除いて、本例の半導体装置100の構造は、第1から第4実施形態における半導体装置100の構造と同様である。したがって、繰返しの説明を省略する。

[0064] 第1導電膜20は、非形成領域32を囲むように環状に形成された環状部27と、環状部27から外側に向かって延伸する延伸部28とを備える。本例では、一の延伸部28が-X軸方向に向かって延伸し、他の延伸部28が、一の延伸部28と対向するように配置され、+X軸方向に向かって延伸する。本例では、第1導電膜20が全体として一体であり、ダミー膜を含まない。一または複数の延伸部28が回路部まで延伸して回路部に電氣的に接続されてよい。したがって、本例では、第1導電膜20は、すべてが配線部に相当する。第1導電膜20には、電流が流れる。

[0065] 図9に示されるとおり、複数のビア(42、44)は、非形成領域32を取り囲むように環状に配列されている。本例では、第2導電膜40は、半導体基板10のおもて面12に平行な長手方向に延伸している。本例では、X軸方向が長手方向であり、Y軸方向が短手方向である。短手方向は、長手方向に直交する方向である。

[0066] 本例では、第2導電膜40においてY軸方向に延びる第1短辺に沿って複数の第1ビア42が配列される第1領域62aと、第1短辺に対向しておりY軸方向に延びる第2短辺に沿って複数の第2ビア44が配列される第2領域62bとが設けられる。同様に、X軸方向に延びる第1長辺に沿って複数の第1ビア42が配列される第3領域64aと、第1長辺に対向しておりX軸方向に延びる第2長辺に沿って複数の第2ビア44が配列される第4領域64bとが設けられる。したがって、本例においても、複数のビア(42、

４４）は、ワイヤ５０の接合部５２を挟んで互いに対向する位置に設けられる一以上の第１ビア４２および一以上の第２ビア４４を含む。

[0067] 本例においても、層間絶縁膜３０は、第１導電膜２０と、非形成領域３２とを覆う。層間絶縁膜３０は、第１部分３５、第２部分３４、および段差部３６を含む。第１部分３５は、第１導電膜２０に設けられた開口（非形成領域３２）に設けられる。第２部分３４は、非形成領域３２を取り囲む第１導電膜２０の上方に設けられる。層間絶縁膜３０の段差部３６は、第１部分３５と第２部分３４とを連結する。図１０に示されるとおり、層間絶縁膜３０の第１部分３５の上面と、層間絶縁膜３０の第２部分３４（３４ａおよび３４ｂ）の上面との間には、Ｚ軸方向に段差部３６が設けられる。

[0068] 本発明の第５実施形態の半導体装置１００によれば、第１導電膜２０に設けられた開口である非形成領域３２を取り囲むように、複数の第１ビア４２および第２ビア４４が設けられる。したがって、第２導電膜４０の引っ張り応力が分散されて、第２導電膜４０における応力が緩和される。さらに、本実施形態の半導体装置１００において、第１導電膜２０と第２導電膜４０の間に介在する層間絶縁膜３０に段差部３６が形成されている。したがって、層間絶縁膜３０と第２導電膜４０との界面に凹凸が生じる。第２導電膜４０がＸＹ面内の方向に沿って引っ張られる場合に、層間絶縁膜３０の段差部３６がストッパとして機能し、応力を緩和する。したがって、層間絶縁膜３０の段差部３６も、第２導電膜４０の剥離防止に寄与する。

[0069] 図１１は、本発明の第６実施形態における半導体装置１００のおもて面を示す図である。図１１におけるＣ－Ｃ'断面は、図１０と同様である。本例の半導体装置１００においては、領域に応じて、配置される複数のビア（４２、４４）の密度が異なる。ビア（貫通端子部）の密度とは、単位面積あたりに配置されるビア（貫通端子部）の個数である。この点を除いて、本例の半導体装置１００の構造は、図９および図１０に示される第５実施形態における半導体装置１００の構造と同様である。したがって、繰り返しの説明を省略する。

- [0070] 本例においても、第5実施形態における半導体装置100と同様に、第2導電膜40は、長手方向（X軸方向）に延伸している。第1領域62aおよび第2領域62bと、第3領域64aおよび第4領域64bとで、配列される複数のビア（42、44）の密度が異なる。すなわち、長手方向（X軸方向）に直交する短手方向（Y軸方向）に沿って複数のビア（42、44）が配列される領域（第1領域62a、第2領域62b）と、長手方向（X軸方向）に沿って複数のビア（42、44）が配列される領域（第3領域64a、第4領域64b）とで、配列されるビア（42、44）の密度が異なる。
- [0071] 本例では、短手方向（Y軸方向）に沿って複数のビア（42、44）が配列される領域（第1領域62a、第2領域62b）の方が、長手方向（X軸方向）に沿って複数のビア（42、44）が配列される領域（第3領域64a、第4領域64b）より、配列されるビア（42、44）の密度が高い。
- [0072] 本例では、短手方向に沿って複数の第1ビア42が配列される第1領域62aにおける第1ビア42の密度と、短手方向に沿って複数の第2ビア44が配列される第2領域62bにおける第2ビア44の密度とは同じである。同様に、長手方向に沿って複数の第1ビア42が配列される第3領域64aにおける第1ビア42の密度と、長手方向に沿って複数の第2ビア44が配列される第4領域64bにおける第2ビア44の密度とは同じである。但し、本例の半導体装置100は、この場合に限られない。
- [0073] 第2導電膜40の長手方向に沿う引っ張り応力は、第2導電膜40の短手方向に沿う引っ張り応力より高くなる。したがって、長手方向における両端部に配置される領域、すなわち、第1領域62aおよび第2領域62bにおいて、短手方向における両端部に配置される領域に比べてビアの密度を高めることで、長手方向に沿う引っ張り応力がかかった場合であっても、第2導電膜40の剥離が防止される。
- [0074] 図12は、本発明の第7実施形態における半導体装置100のおもて面を示す図である。図12におけるC-C'断面は、図10と同様である。本例においても、層間絶縁膜30は段差部36を備える。本例においても、第2

導電膜40は、長手方向（X軸方向）に延伸している。ワイヤ50は延伸方向53に沿って、延伸している。

[0075] 本例では、ワイヤ50が延伸する延伸方向53に対して平行な方向に沿って複数のビア（42、44）が配列される領域（第3領域64a、第4領域64b）の方が、ワイヤ50が延伸する延伸方向53に直交する振動方向54に沿って複数のビア（42、44）が配列される領域（第1領域62a、第2領域62b）より、配列されるビア（42、44）の密度が高い。この点を除いて、本実施形態の半導体装置100の構造は、図11に示される第6実施形態の半導体装置100の構造と同様である。したがって、繰り返しの説明を省略する。

[0076] 本例では、延伸方向53に沿って複数の第1ビア42が配列される第3領域64aにおける第1ビア42の密度と、延伸方向53に沿って複数の第2ビア44が配列される第4領域64bにおける第2ビア44の密度とは同じである。同様に、延伸方向53に直交する振動方向54に沿って複数の第1ビア42が配列される第1領域62aにおける第1ビア42の密度と、振動方向54に沿って複数の第2ビア44が配列される第2領域62bにおける第2ビア44の密度とは同じある。但し、本例は、この場合に限られない。

[0077] ワイヤ50を第2導電膜40に接合する場合には、接合時に印加される超音波の振動方向54の端部に力が加わりやすい。したがって、超音波の振動方向54の両端部に配置される領域、すなわち、第3領域64aおよび第4領域64bにおいて、振動方向54と直交する方向の両端部に配置される領域に比べて、ビアの密度を高めることで、ワイヤ50の超音波接合時に超音波が印加された場合であっても、第2導電膜40の剥離が防止される。

[0078] 図13は、本発明の第8実施形態における半導体装置100のおもて面を示す図である。図13におけるC-C'断面は、図10と同様である。本例においても、層間絶縁膜30は段差部36を備える。本例において、第2導電膜40は、延伸部49aおよび延伸部49bを含んでよい。図13における例では、第2導電膜40は、平面形状が長方形の本体部分を有し、本体部

分の長手方向（X軸方向）において対向する位置に、第1延伸部49aおよび第2延伸部49bを備える。この点を除いて、本実施形態の半導体装置100の構成は、第1から第7実施形態の構成と同様である。したがって、繰り返しの説明を省略する。

[0079] 本例では、第2導電膜40において、平面形状が長方形の本体部分から、第1延伸部49aおよび第2延伸部49bが延伸する。しかしながら、本例の半導体装置100は、この場合に限られない。第2導電膜40は、平面形状として、円形、楕円形、三角形、多角形等その他の形状を有してよく、このような平面形状から第1延伸部49aおよび第2延伸部49bが延伸してよい。

[0080] 図14は、本発明の第9実施形態における半導体装置100のおもて面を示す図である。図14におけるC-C'断面は、図10と同様である。本例においても、層間絶縁膜30は段差部36を備える。図13に示される第8実施形態における第2導電膜40は、第1延伸部49aおよび第2延伸部49bを含むのに対し、第9実施形態における第2導電膜40は、第1延伸部49a、第2延伸部49b、第3延伸部49c、および第4延伸部49dを含む。

[0081] 図14における例では、第2導電膜40は、平面形状が長方形の本体部分を有する。本体部分の長手方向（X軸方向）において対向する位置に、第1延伸部49aおよび第2延伸部49bが設けられる。さらに、本体部分の短手方向（Y軸方向）において対向する位置に、第3延伸部49cおよび第4延伸部49dが設けられる。図14に示される例において、第2導電膜40には、X軸方向およびY軸方向において、合計2対の延伸部（第1延伸部49a、第2延伸部49b、第3延伸部49c、および第4延伸部49d）が備えられる。しかしながら、本例は、この場合に限られない。3対以上の延伸部が設けられていてもよく、延伸部が延伸する方向も、X軸方向およびY軸方向に限られない。

[0082] 第1導電膜20は、第2導電膜40の延伸部に対応して延伸部（20a、

20b、20c、および20c)を備えてよい。また、本例においても、領域に応じて、配置される複数のビア(42、44)の密度が異なるようにビア(42、44)が配置されてもよい。図14に示される例では、短手方向(Y軸方向)に沿って複数のビア(42、44)が配列される領域(第1延伸部49aおよび第2延伸部49bに対応する領域)の方が、長手方向(X軸方向)に沿って複数のビア(42、44)が配列される領域(第3延伸部49cおよび第4延伸部49dに対応する領域)より、配列される複数のビア(42、44)の密度が高くてよい。

[0083] 本例によっても、第2導電膜40の引っ張り応力が分散されて、第2導電膜40における応力が緩和される。また、層間絶縁膜30の段差部36によっても、第2導電膜40の剥離が防止される。

[0084] 図15は、本発明の第10実施形態における半導体装置100のおもて面を示す図である。本例の半導体装置100においては、複数のビア(42、44)が複数列に配列されている。この点を除いて、本例の半導体装置100の構造は、第1から第9実施形態の半導体装置100の構造と同様である。特に、本例の半導体装置100は、図9および図10に示される第5実施形態と同様に、複数のビア(42、44)が非形成領域32を取り囲むように環状に配列されてよい。図9と図15を比較すると明らかなように、本例においては、複数のビア(42、44)は、二重の環状に配列されている。

[0085] 本例では、第2導電膜40の第1短辺において、Y軸方向に沿って第1列66aに配列された複数の第1ビア42と、Y軸方向に沿って、第1列66aに隣接する第2列66bに配列された複数の第1ビア42とが設けられている。Y軸方向は、一方向の一例である。第1列66aに配列された複数の第1ビア42と、第2列66bに配列された複数の第1ビア42とは、Y軸方向の位置が互い違いになるように配置されている。換言すれば、複数の第1ビア42は、千鳥に配置されている。

[0086] 第2導電膜40の第1短辺と対向する第2短辺において、Y軸方向に沿って第1列66cに配列された複数の第2ビア44と、Y軸方向に沿って、第

1列66cに隣接する第2列66dに配列された複数の第2ビア44とが設けられている。第1列66cに配列された複数の第2ビア44と、第2列66dに配列された複数の第2ビア44とは、Y軸方向の位置が互い違いになるように配置されている。換言すれば、複数の第2ビア44は、千鳥に配置されている。

[0087] さらに、本例では、第2導電膜40の第1長辺において、X軸方向に沿って第1列67aに配列された複数の第1ビア42と、X軸方向に沿って、第1列67aに隣接する第2列67bに配列された複数の第1ビア42とが設けられている。X軸方向は、一方向の一例である。第1列67aに配列された複数の第1ビア42と、第2列67bに配列された複数の第1ビア42とは、X軸方向の位置が互い違いになるように配置されている。

[0088] 同様に、第2導電膜40の第1長辺と対向する第2長辺において、X軸方向に沿って第1列67cに配列された複数の第2ビア44と、X軸方向に沿って、第1列67cに隣接する第2列67dに配列された複数の第2ビア44とが設けられている。第1列67cに配列された複数の第2ビア44と、第2列67dに配列された複数の第2ビア44とは、X軸方向の位置が互い違いになるように配置されている。

[0089] 本例では、複数のビア（42、44）が2列に配列されているが、複数のビア（42、44）が3列以上に配置されていてもよい。また、本例では、列の延びる方向の位置が互いに異なるように、複数のビア（42、44）が配列されている。このように、列の延びる方向の位置が互いに異なるように、複数のビア（42、44）が配列されることによって、半導体基板10のおもて面12の面内方向における第2導電膜40の強度を維持することができる。また、複数のビア（42、44）が複数列に配置されることによって第2導電膜40の剥離が防止される。

[0090] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様

な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0091] 10・・・半導体基板、12・・・おもて面、20・・・第1導電膜、20a・・・配線膜、20b・・・ダミー膜、22・・・絶縁膜、24・・・溝部、25・・・フレーム部、27・・・環状部、28・・・延伸部、30・・・層間絶縁膜、32・・・非形成領域、34・・・第2部分、35・・・第1部分、36・・・段差部、40・・・第2導電膜、42・・・第1ビア、44・・・第2ビア、46・・・保護膜、48・・・開口、49・・・延伸部、50・・・ワイヤ、52・・・接合部、53・・・延伸方向、54・・・振動方向、62a・・・第1領域、62b・・・第2領域、64a・・・第3領域、64b・・・第4領域、66a・・・第1列、66b・・・第2列、66c・・・第1列、66d・・・第2列、67a・・・第1列、67b・・・第2列、67c・・・第1列、67d・・・第2列、70・・・引っ張り応力、72・・・端部、100・・・半導体装置、101・・・半導体装置

請求の範囲

[請求項1]

半導体基板と、

前記半導体基板の上方において、第1導電膜が設けられていない非形成領域を挟んで、少なくとも前記非形成領域の両側に設けられた前記第1導電膜と、

前記非形成領域に設けられた第1部分、前記非形成領域を挟んだ両側において前記第1導電膜の上方に設けられた第2部分、および前記第1部分と前記第2部分とを連結する段差部を含む層間絶縁膜と、

前記層間絶縁膜の上方に設けられた第2導電膜と、

前記層間絶縁膜の前記第2部分を貫通して前記第1導電膜と前記第2導電膜とを電氣的に連結する複数の貫通端子部と、

前記層間絶縁膜の前記第1部分の上方において、前記第2導電膜に接合されるワイヤと、を備え、

前記複数の貫通端子部は、前記ワイヤの接合部を挟んで互に対向する位置に設けられる一以上の第1貫通端子部および一以上の第2貫通端子部を少なくとも含む

半導体装置。

[請求項2]

前記第1部分の上方における前記第2導電膜の厚みは、前記第2部分の上方における前記第2導電膜の厚みより厚い

請求項1に記載の半導体装置。

[請求項3]

前記第1導電膜は、前記非形成領域を囲むように環状に形成されており、

前記複数の貫通端子部は、前記非形成領域を囲むように環状に配列される

請求項1または2に記載の半導体装置。

[請求項4]

前記第2導電膜は、前記半導体基板のおもて面に平行な長手方向に延伸しており、

前記長手方向に沿って前記複数の貫通端子部が配列される領域と、

前記長手方向に直交する短手方向に沿って前記複数の貫通端子部が配列される領域とで、配列される前記貫通端子部の密度が異なる

請求項 1 から 3 の何れか 1 項に記載の半導体装置。

[請求項5] 前記短手方向に沿って前記複数の貫通端子部が配置される領域の方が、前記長手方向に沿って前記複数の貫通端子部が配置される領域より、配置される前記貫通端子部の密度が高い

請求項 4 に記載の半導体装置。

[請求項6] 前記ワイヤが延伸する方向に対して平行な方向に沿って前記複数の貫通端子部が配列される領域の方が、前記ワイヤが延伸する方向に直交する方向に沿って前記複数の貫通端子部が配列される領域より、配列される前記貫通端子部の密度が高い

請求項 1 から 4 の何れか 1 項に記載の半導体装置。

[請求項7] 前記第 1 導電膜は、電流が流れる配線膜と、前記ワイヤの前記接合部を挟んで前記配線膜と反対側に配置されており電流が流れないダミー膜と、を含んでおり、

前記配線膜は前記第 1 貫通端子部を介して前記第 2 導電膜と電氣的に連結しており、

前記ダミー膜は前記第 2 貫通端子部を介して前記第 2 導電膜と電氣的に連結しており、

前記配線膜と前記ダミー膜とは電氣的に分離されている、

請求項 1 または 2 に記載の半導体装置。

[請求項8] 前記ワイヤおよび前記第 2 導電膜は、銅を含有する材料で形成されている

請求項 1 から 7 の何れか 1 項に記載の半導体装置。

[請求項9] 前記第 2 導電膜の厚みは、 $1\ \mu\text{m}$ 以上である

請求項 1 から 8 の何れか 1 項に記載の半導体装置。

[請求項10] 前記第 1 導電膜は、溝部を有し、

前記複数の貫通端子部の端部は、それぞれ前記溝部に挿入されてい

る

請求項 1 から 9 の何れか 1 項に記載の半導体装置。

[請求項11] 前記複数の貫通端子部は、複数列に配列されている

請求項 1 から 10 の何れか 1 項に記載の半導体装置。

[請求項12] 一方向に沿って第 1 列に配列された複数の貫通端子部と、前記一方向に沿って前記第 1 列に隣接する第 2 列に配列された複数の貫通端子部とは、前記一方向の位置が互い違いになるように配置されている

請求項 11 に記載の半導体装置。

[請求項13] 半導体基板と、

前記半導体基板の上方に設けられた第 1 導電膜と、

前記第 1 導電膜を覆う層間絶縁膜と、

前記層間絶縁膜の上方に設けられた第 2 導電膜と、

前記第 2 導電膜に接合されるワイヤと、

前記層間絶縁膜を貫通して前記第 1 導電膜と前記第 2 導電膜とを電氣的に連結する複数の貫通端子部と、を備え、

前記第 1 導電膜は、電流が流れる配線膜と、前記ワイヤの接合部を挟んで前記配線膜と反対側に配置されており電流が流れないダミー膜と、を含んでおり、

前記複数の貫通端子部は、前記配線膜と前記第 2 導電膜とを電氣的に連結する一以上の第 1 貫通端子部と、前記ダミー膜と前記第 2 導電膜とを電氣的に連結する一以上の第 2 貫通端子部とを少なくとも含む半導体装置。

補正された請求の範囲
[2018年11月5日(05.11.2018)国際事務局受理]

- [請求項1] 半導体基板と、
 前記半導体基板の上方において、第1導電膜が設けられていない非形成領域を挟んで、少なくとも前記非形成領域の両側に設けられた前記第1導電膜と、
 前記非形成領域に設けられた第1部分、前記非形成領域を挟んだ両側において前記第1導電膜の上方に設けられた第2部分、および前記第1部分と前記第2部分とを連結する段差部を含む層間絶縁膜と、
 前記層間絶縁膜の上方に設けられた第2導電膜と、
 前記層間絶縁膜の前記第2部分を貫通して前記第1導電膜と前記第2導電膜とを電気的に連結する複数の貫通端子部と、
 前記層間絶縁膜の前記第1部分の上方において、前記第2導電膜に接合されるワイヤと、を備え、
 前記複数の貫通端子部は、前記ワイヤの接合部を挟んで互いに対向する位置に設けられる一以上の第1貫通端子部および一以上の第2貫通端子部を少なくとも含む
 半導体装置。
- [請求項2] 前記第1部分の上方における前記第2導電膜の厚みは、前記第2部分の上方における前記第2導電膜の厚みより厚い
 請求項1に記載の半導体装置。
- [請求項3] 前記第1導電膜は、前記非形成領域を囲むように環状に形成されており、
 前記複数の貫通端子部は、前記非形成領域を囲むように環状に配列される
 請求項1または2に記載の半導体装置。
- [請求項4] 前記第2導電膜は、前記半導体基板のおもて面に平行な長手方向に延伸しており、

前記長手方向に沿って前記複数の貫通端子部が配列される領域と、
前記長手方向に直交する短手方向に沿って前記複数の貫通端子部が配列される領域とで、配列される前記貫通端子部の密度が異なる

請求項 1 から 3 の何れか 1 項に記載の半導体装置。

[請求項5] 前記短手方向に沿って前記複数の貫通端子部が配置される領域の方が、前記長手方向に沿って前記複数の貫通端子部が配置される領域より、配置される前記貫通端子部の密度が高い

請求項 4 に記載の半導体装置。

[請求項6] 前記ワイヤが延伸する方向に対して平行な方向に沿って前記複数の貫通端子部が配列される領域の方が、前記ワイヤが延伸する方向に直交する方向に沿って前記複数の貫通端子部が配列される領域より、配列される前記貫通端子部の密度が高い

請求項 1 から 4 の何れか 1 項に記載の半導体装置。

[請求項7] 前記第 1 導電膜は、電流が流れる配線膜と、前記ワイヤの前記接合部を挟んで前記配線膜と反対側に配置されており電流が流れないダミー膜と、を含んでおり、

前記配線膜は前記第 1 貫通端子部を介して前記第 2 導電膜と電氣的に連結しており、

前記ダミー膜は前記第 2 貫通端子部を介して前記第 2 導電膜と電氣的に連結しており、

前記配線膜と前記ダミー膜とは電氣的に分離されている、

請求項 1 または 2 に記載の半導体装置。

[請求項8] 前記ワイヤおよび前記第 2 導電膜は、銅を含有する材料で形成されている

請求項 1 から 7 の何れか 1 項に記載の半導体装置。

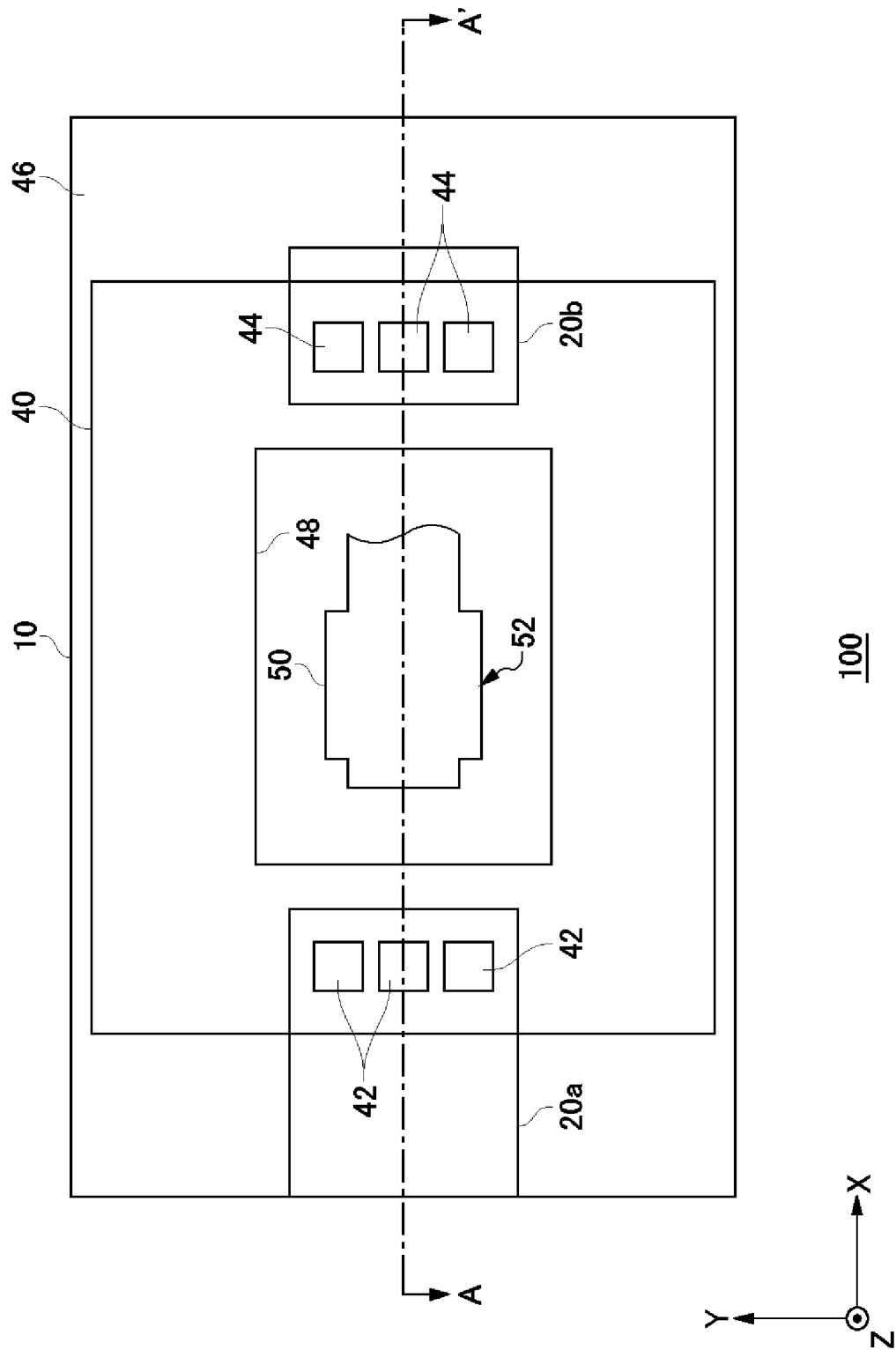
[請求項9] 前記第 2 導電膜の厚みは、1 μm 以上である

請求項 1 から 8 の何れか 1 項に記載の半導体装置。

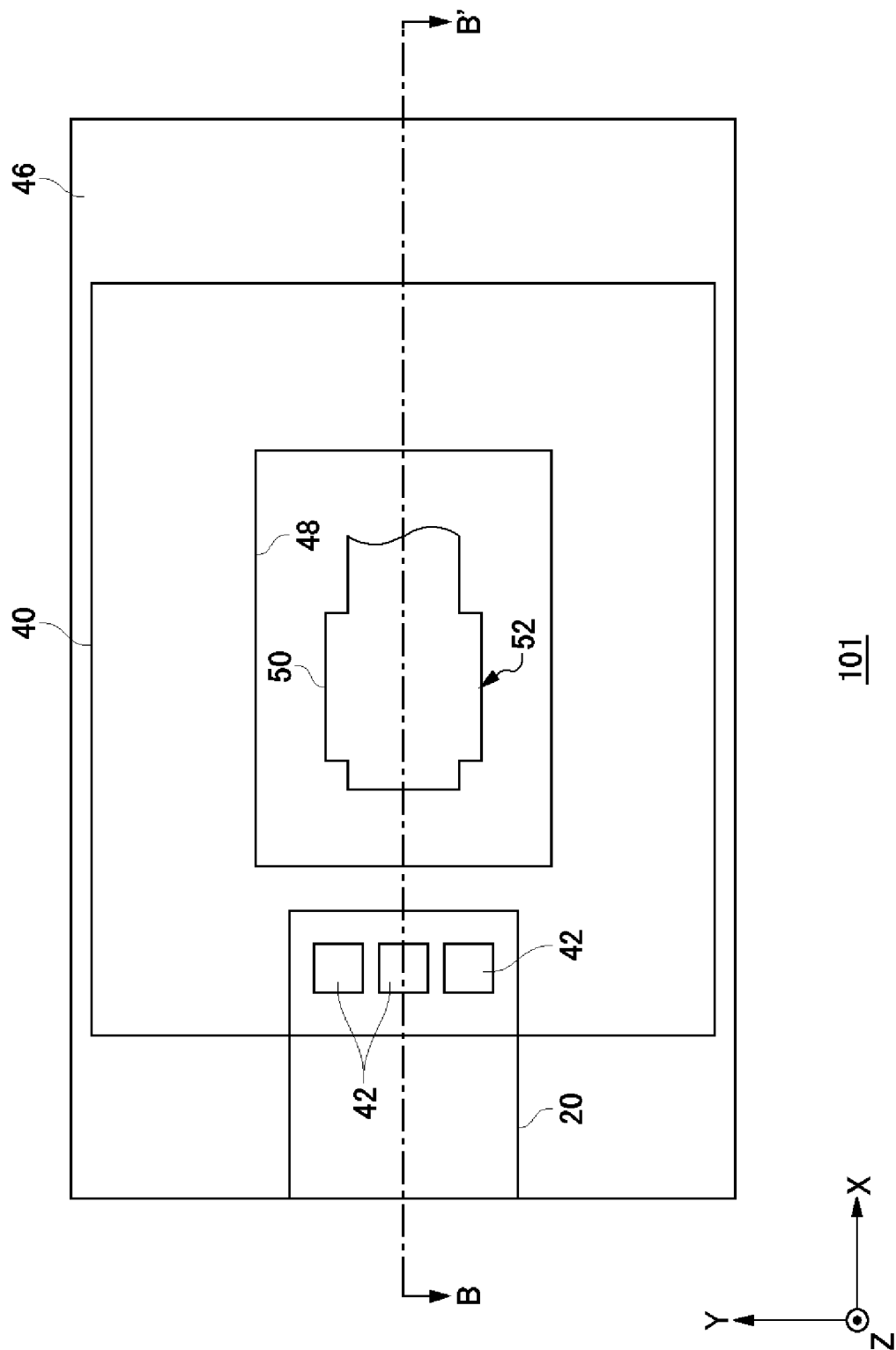
- [請求項10] 前記第1導電膜は、溝部を有し、
前記複数の貫通端子部の端部は、それぞれ前記溝部に挿入されている
請求項1から9の何れか1項に記載の半導体装置。
- [請求項11] 前記複数の貫通端子部は、複数列に配列されている
請求項1から10の何れか1項に記載の半導体装置。
- [請求項12] 一方向に沿って第1列に配列された複数の貫通端子部と、前記一方向に沿って前記第1列に隣接する第2列に配列された複数の貫通端子部とは、前記一方向の位置が互い違いになるように配置されている
請求項11に記載の半導体装置。
- [請求項13] (変更)
前記貫通端子部は、前記層間絶縁膜に設けられたビアホールに前記第2導電膜の一部が埋め込まれている
請求項1から12の何れか1項に記載の半導体装置。
- [請求項14] (追加)
半導体基板と、
前記半導体基板の上方に設けられた第1導電膜と、
前記第1導電膜を覆う層間絶縁膜と、
前記層間絶縁膜の上方に設けられた第2導電膜と、
前記第2導電膜に接合されるワイヤと、
前記層間絶縁膜を貫通して前記第1導電膜と前記第2導電膜とを電氣的に連結する複数の貫通端子部と、を備え、
前記第1導電膜は、電流が流れる配線膜と、前記ワイヤの接合部を挟んで前記配線膜と反対側に配置されており電流が流れないダミー膜と、を含んでおり、
前記複数の貫通端子部は、前記配線膜と前記第2導電膜とを電氣的に連結する一以上の第1貫通端子部と、前記ダミー膜と前記第2導電

膜とを電氣的に連結する一以上の第2貫通端子部とを少なくとも含む半導体装置。

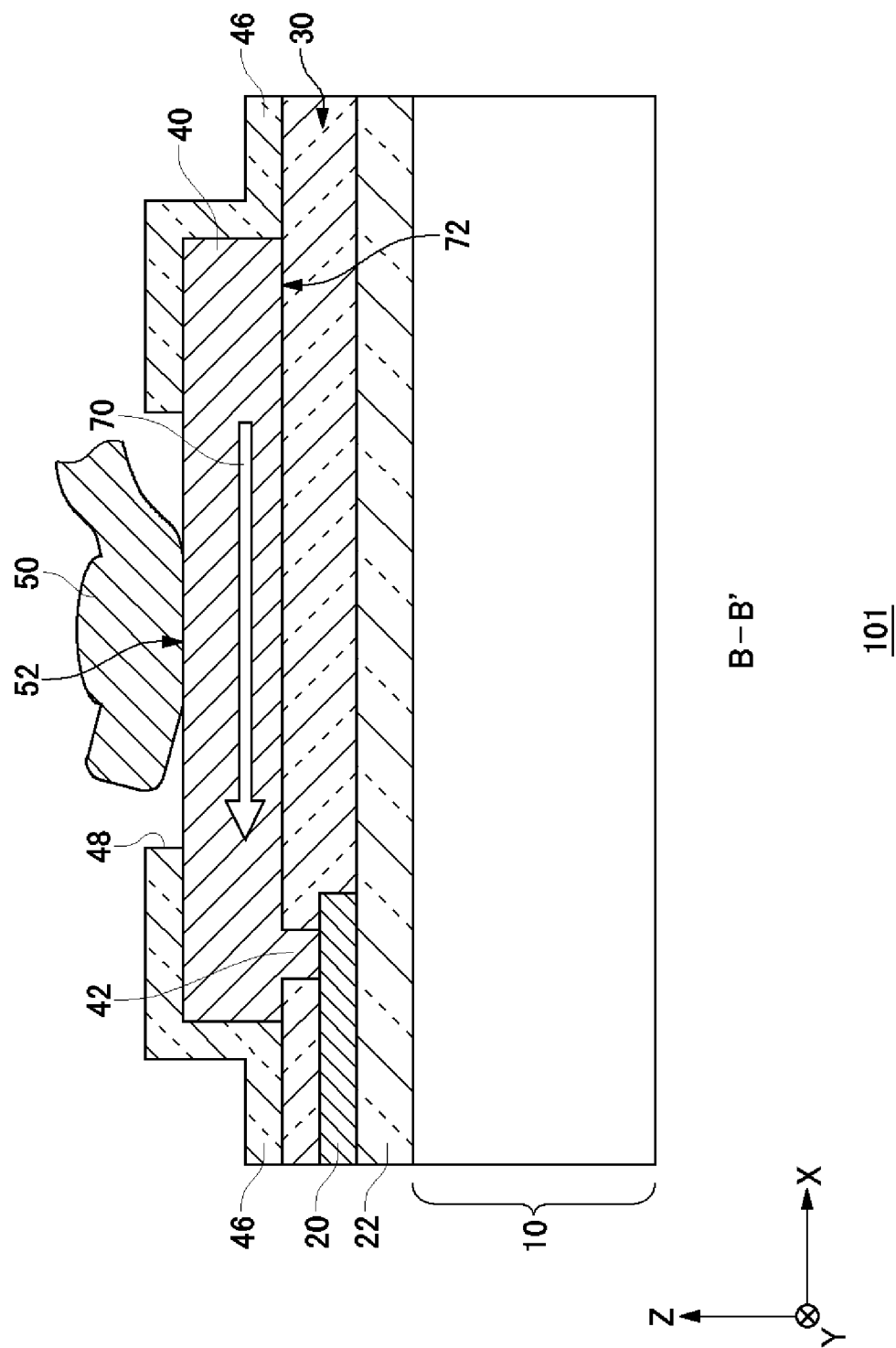
[図1]



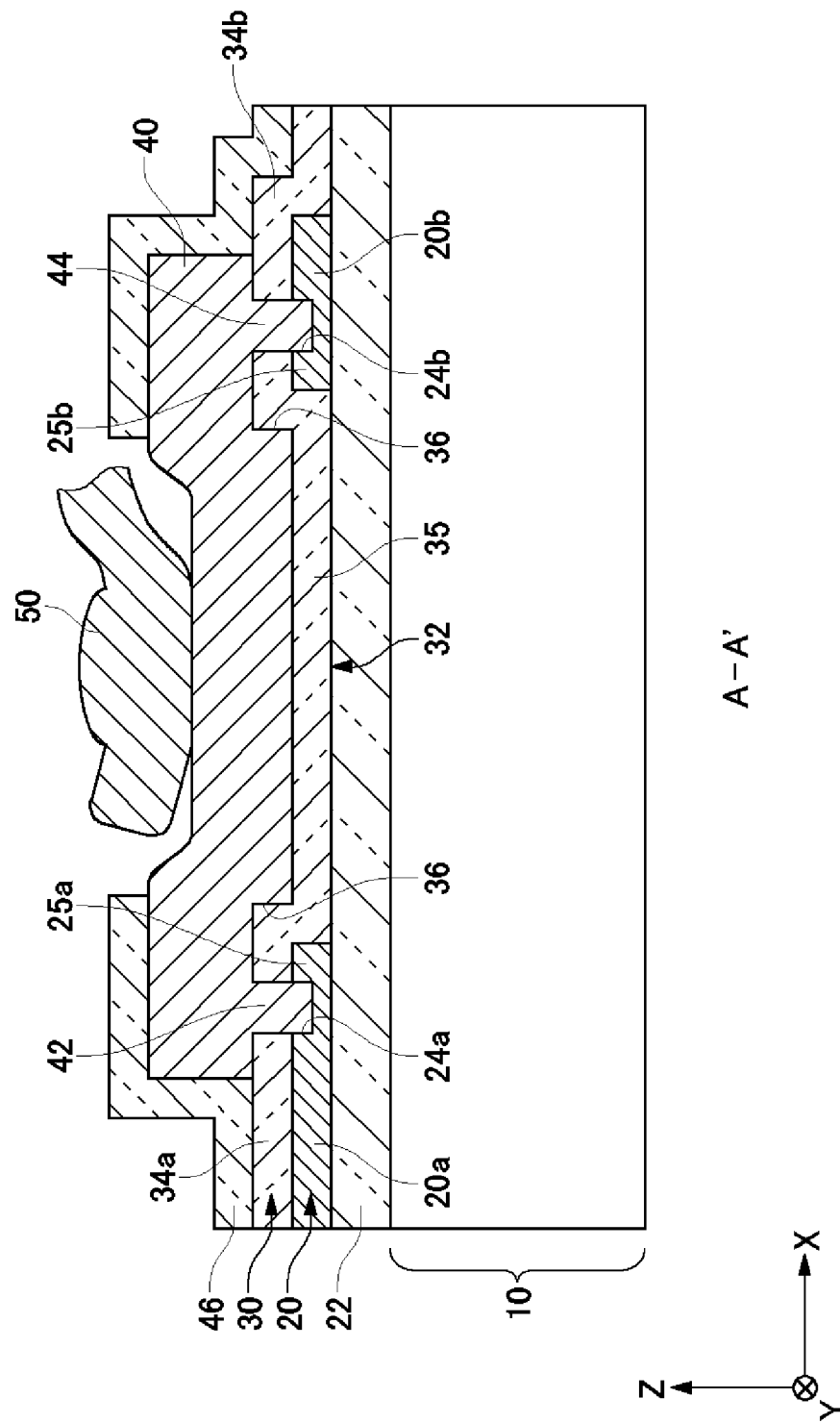
[図4]



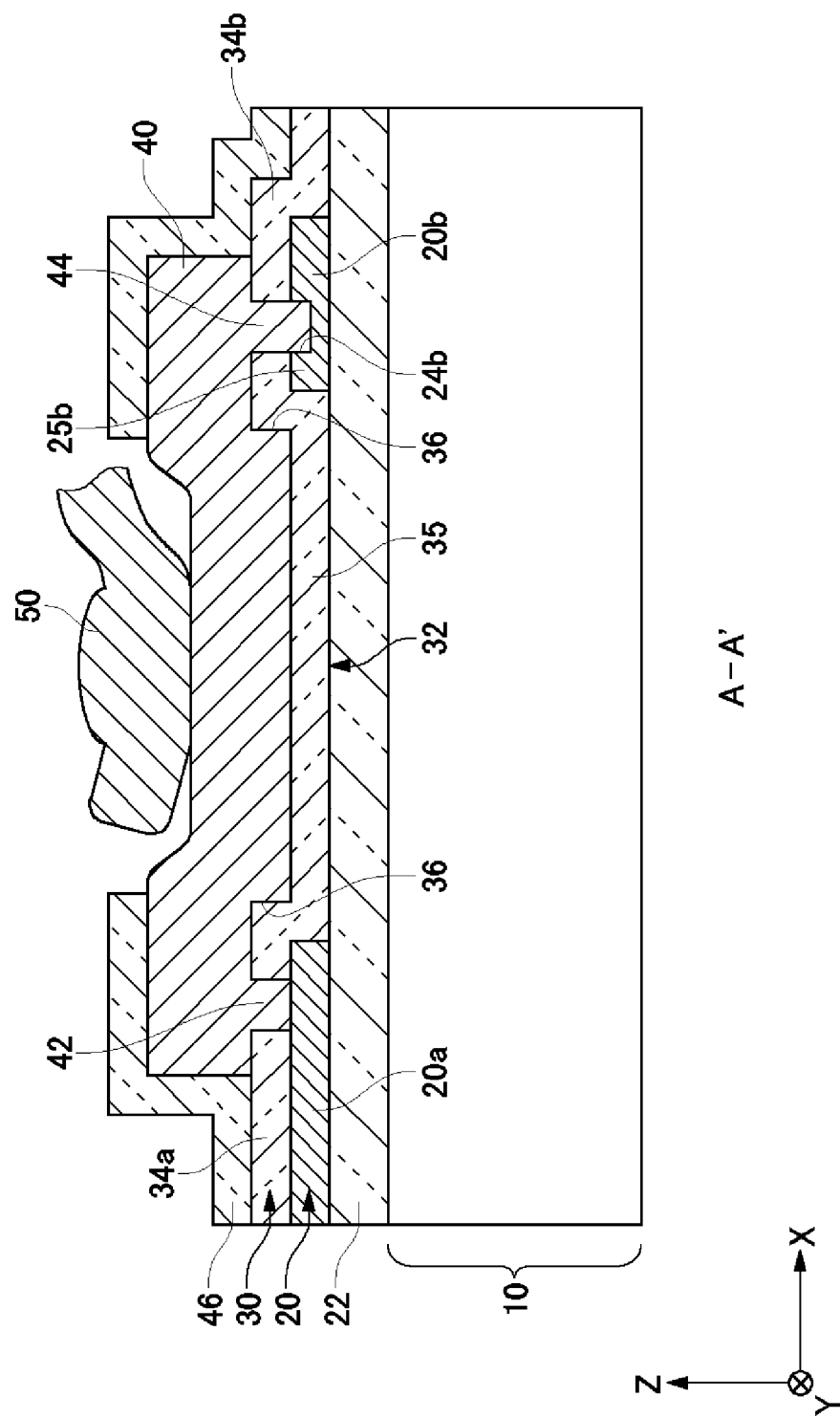
[図5]



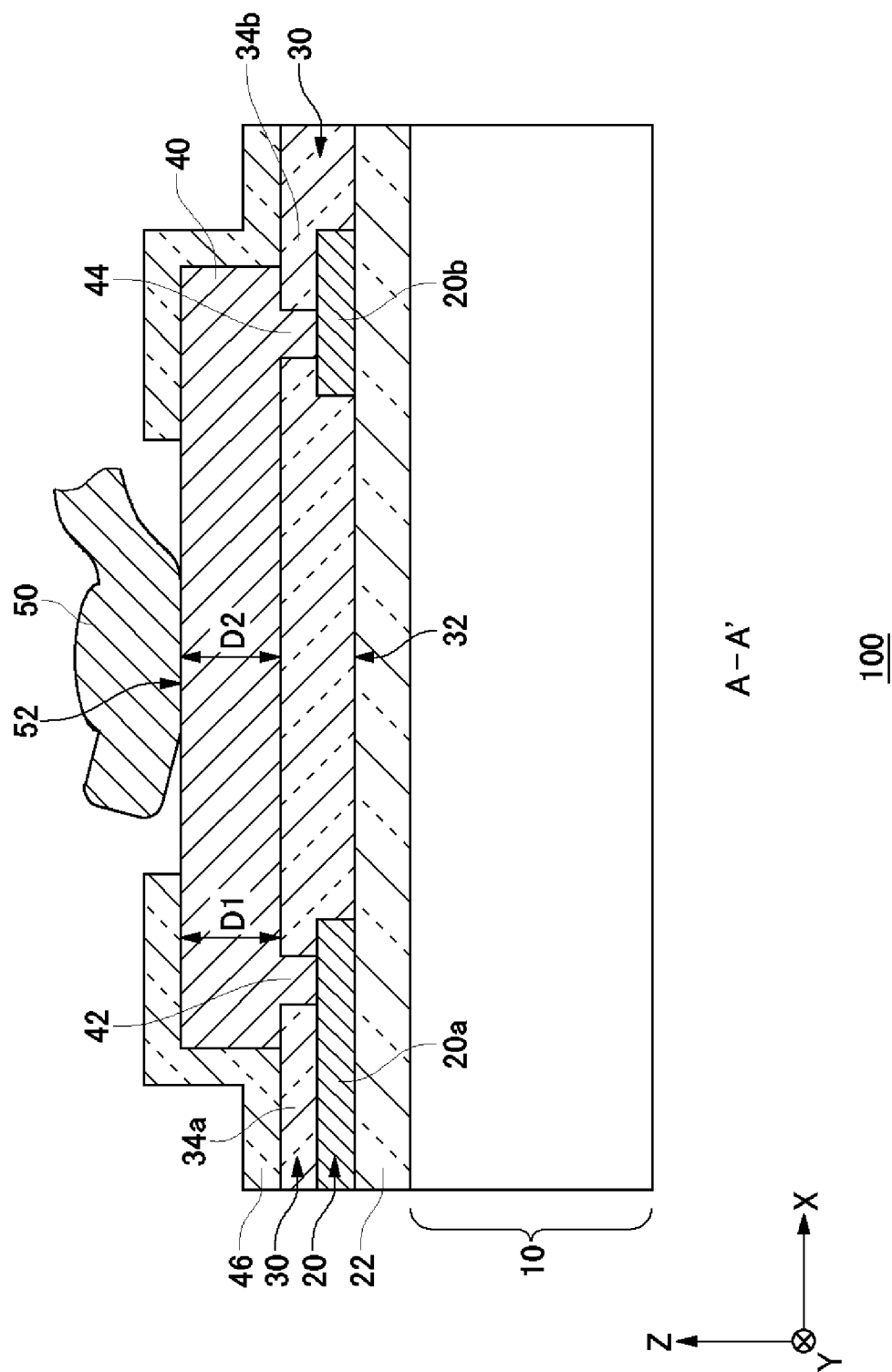
[図6]



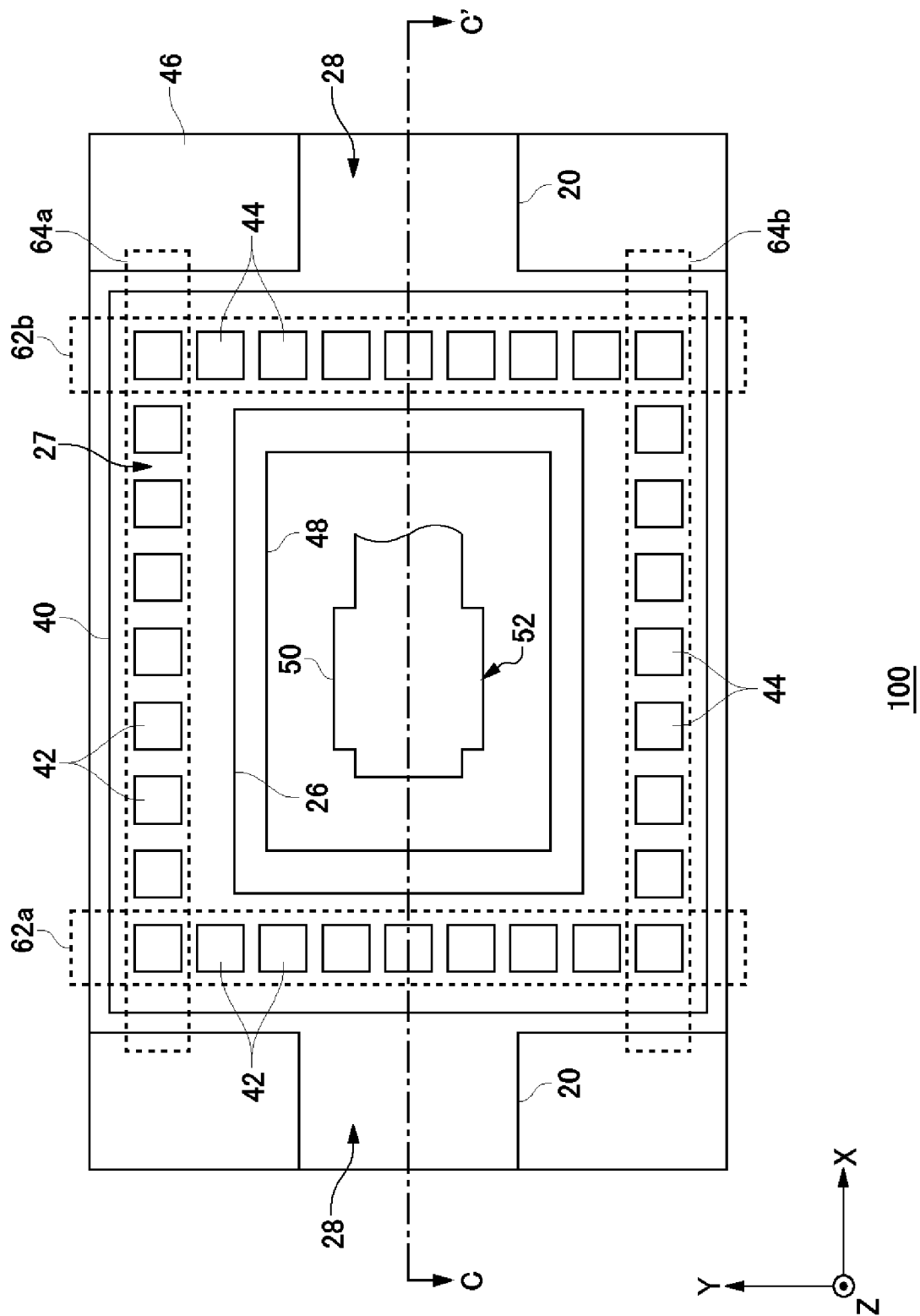
[図7]



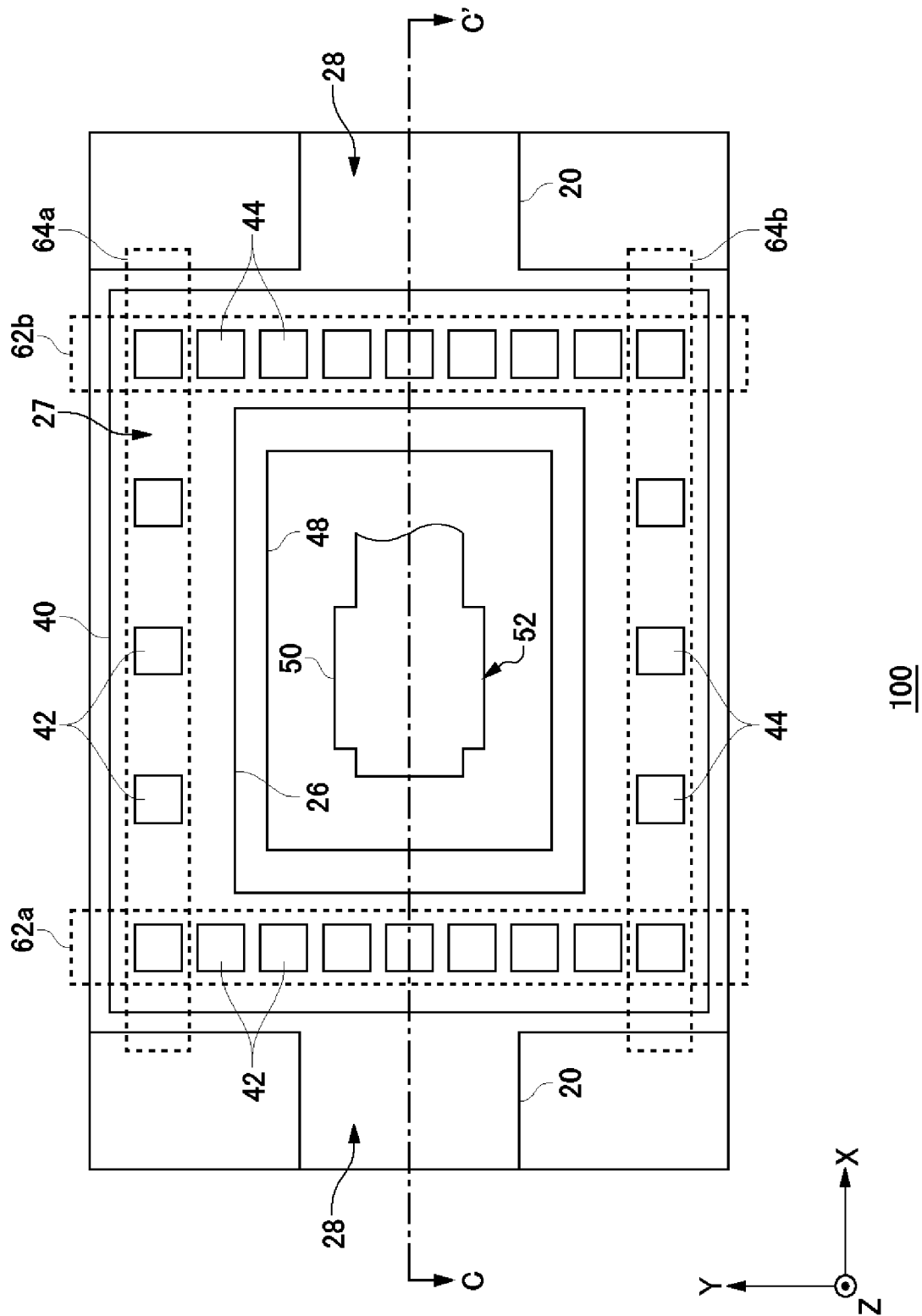
[図8]



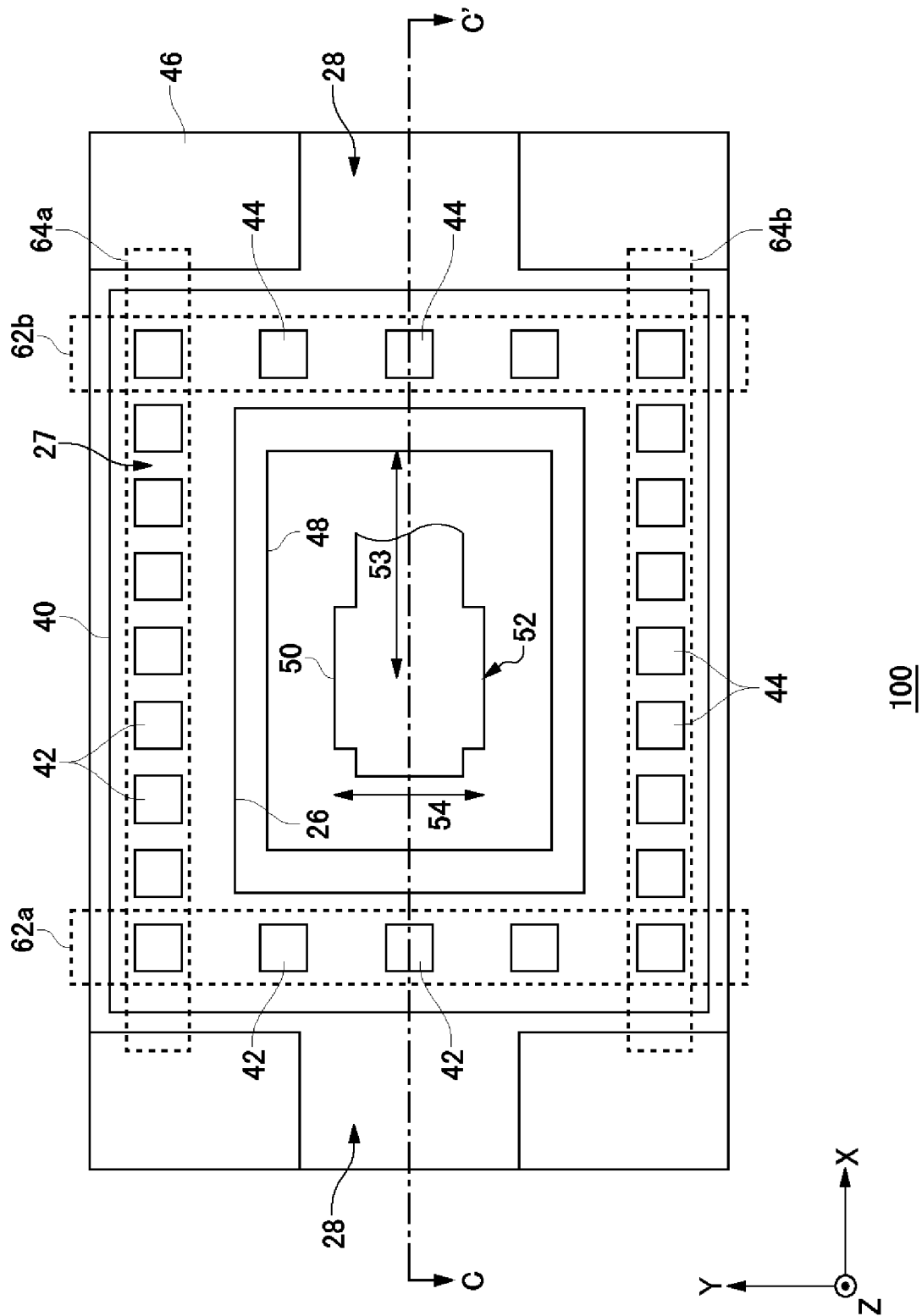
[図9]



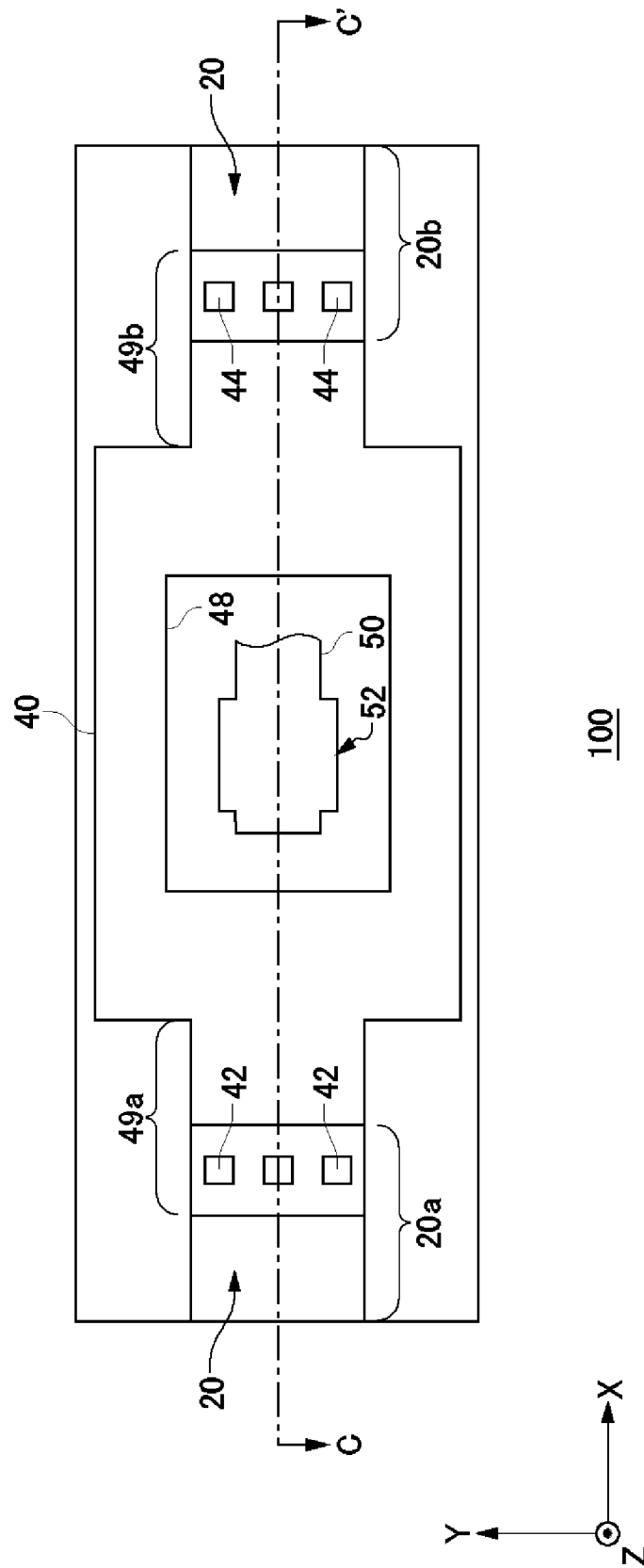
[図11]



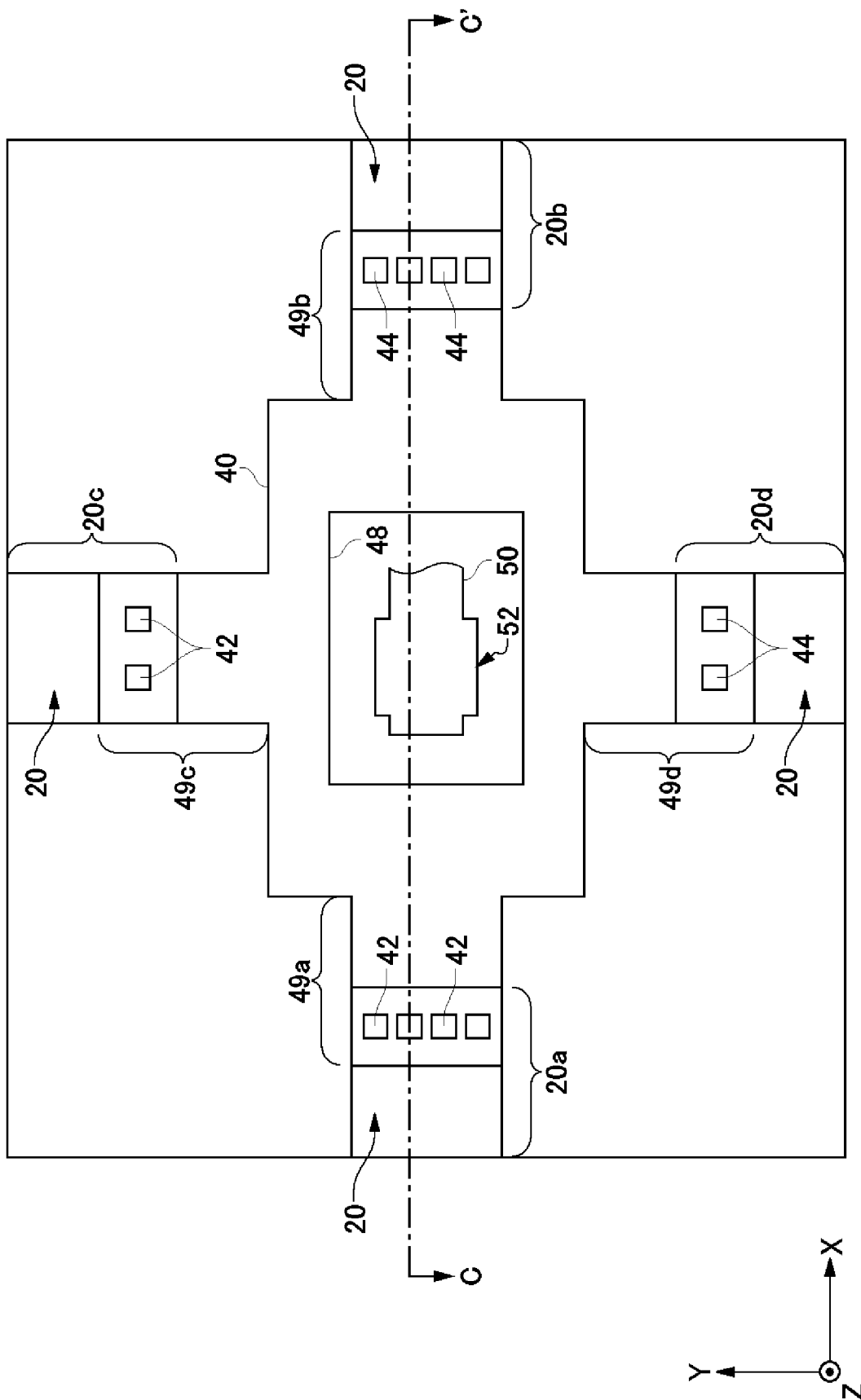
[図12]



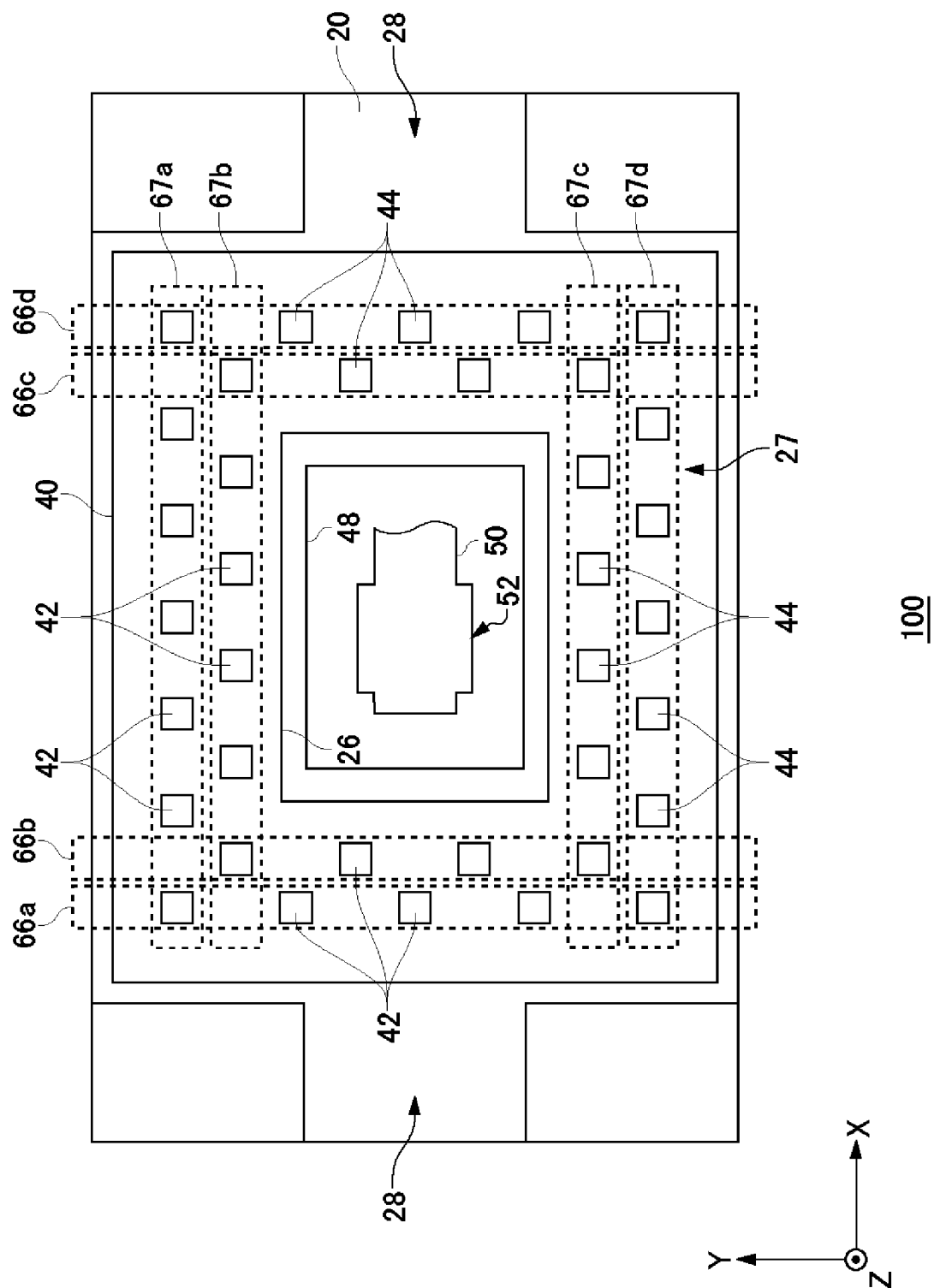
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/021296

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/3205 (2006.01) i, H01L21/60 (2006.01) i, H01L21/768 (2006.01) i, H01L23/522 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/3205, H01L21/60, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-282574 A (MITSUBISHI ELECTRIC CORP.) 03	1, 3, 11
Y	October 2003, paragraphs [0025]-[0029], fig. 7	2, 8, 9
A	(Family: none)	4-7, 10, 12, 13
Y	JP 6-216188 A (NEC KANSAI, LTD.) 05 August 1994, paragraphs [0007]-[0014], fig. 1 (Family: none)	2, 8, 9
Y	JP 2011-18832 A (SANYO ELECTRIC CO., LTD.) 27 January 2011, paragraph [0027], fig. 1 (Family: none)	8, 9
A	JP 5-226339 A (NEC CORP.) 03 September 1993, entire text, all drawings (Family: none)	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13.07.2018

Date of mailing of the international search report
31.07.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/021296

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-45865 A (RENESAS ELECTRONICS CORP.) 02 March 2017, entire text, all drawings & US 2017/0062362 A1	1-13
A	JP 2005-142351 A (NEC ELECTRONICS CORP.) 02 June 2005, entire text, all drawings & US 2005/0101117 A1 & EP 1530236 A2 & CN 1614775 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3205, H01L21/60, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2003-282574 A (三菱電機株式会社) 2003.10.03, 段落 [0025]-[0029], 図7 (ファミリーなし)	1, 3, 11 2, 8, 9 4-7, 10, 12, 13
Y	JP 6-216188 A (関西日本電気株式会社) 1994.08.05, 段落 [0007]-[0014], 図1 (ファミリーなし)	2, 8, 9
Y	JP 2011-18832 A (三洋電機株式会社) 2011.01.27, 段落[0027], 図1 (ファミリーなし)	8, 9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.07.2018

国際調査報告の発送日

31.07.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 靖史

50

5895

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-226339 A (日本電気株式会社) 1993. 09. 03, 全文, 全図 (ファミリーなし)	1-13
A	JP 2017-45865 A (ルネサスエレクトロニクス株式会社) 2017. 03. 02, 全文, 全図 & US 2017/0062362 A1	1-13
A	JP 2005-142351 A (NECエレクトロニクス株式会社) 2005. 06. 02, 全文, 全図 & US 2005/0101117 A1 & EP 1530236 A2 & CN 1614775 A	1-13