



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년07월19일

(11) 등록번호 10-1288153

(24) 등록일자 2013년07월15일

(51) 국제특허분류(Int. Cl.)

*H01L 23/48* (2006.01) *H01L 29/778* (2006.01)

H01L 23/34 (2006.01)

(21) 출원번호 10-2011-7025794(분할)

(22) 출원일자(국제) 2003년12월23일

심사청구일자 2011년11월25일

(85) 번역문제출일자 2011년10월28일

(65) 공개번호 10-2011-0125276

(43) 공개일자                      2011년11월18일

(62) 원출원                      특허 10-2005-7012520

원출원일자(국제) 2003년12월23일

심사청구일자 2008년11월14일

(86) 국제출원번호 PCT/US2003/041420

(87) 국제공개번호 WO 2004/061973

국제공개일자 2004년07월22일

(30) 우선권주장

10/335,915    2003년01월02일    미국(US)

(56) 선행기술조사문헌

EP00938139 A2\*

US20020017727 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

크리, 인코포레이티드

미국 노스 캐로라이나 27703 더럼 실리콘 드라이브 4600

(72) 발명자

미시라 우메시 케이.

미국 캘리포니아주 93108 산타 바바라 사이카모아  
캐년 로드 1435

패릭크 프리밋

미국 캘리포니아주 93117 콜레타 새도우 브룩 드  
라이브 6832

유 위팽

미국 캘리포니아주 93117 콜레타 파이어사이드 레인 528

(74) 대리인

신정건, 김태홍

전체 청구항 수 : 총 62 항

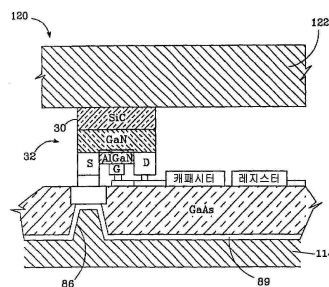
심사관 : 조성철

(54) 발명의 명칭 3족 질화물 기반 플립-칩 집적 회로 및 그 제조 방법

(57) 요약

플립-칩 집적 회로 및 집적 회로 제조 방법이 개시되어 있다. 본 발명에 따른 방법은 웨이퍼상에 복수개의 능동 반도체 장치들을 형성하는 단계 및 능동 반도체 장치들을 분리하는 단계를 구비한다. 수동 부품들 및 인터커넥터들이 회로 기판의 표면에 형성되고 하나 이상의 도전성 비아가 회로 기판을 관통하도록 형성된다. 능동 반도체 장치들 중 하나 이상은, 본딩 패드들 중 하나 이상이 도전성 비아 중 하나와 전기적으로 접촉하고 있는 회로 기판상에 플립-칩 탑재된다. 본 발명에 따른 플립-칩 집적 회로는 일 표면에 수동 부품들 및 인터커넥터들을 가진 회로 기판을 구비하고, 그것을 관통하는 도전성 비아를 가질 수 있다. 능동 반도체 장치는, 하나 이상의 비아 중 하나가 하나 이상의 장치 터미널 중 하나와 접촉하고 있는 회로 기판상에 플립-칩 탑재된다. 본 발명은 특히, SiC 기판들상에 성장된 3족 질화물 기반 능동 반도체 장치들에 적용될 수 있다. 그 다음, 수동 부품들 및 인터커넥트들은 GaAs 또는 Si로 이루어진 저비용의 큰 직경 웨이퍼상에 형성될 수 있다. 분리 후, 3족 장치들은 GaAs 또는 Si 기판상에 플립-칩 탑재될 수 있다.

## 대표도 - 도11



## 특허청구의 범위

### 청구항 1

플립-칩 집적 회로에 있어서,

일 표면 상에 드라이브 전자 장치를 구비하는 회로 기관으로서, 상기 드라이브 전자 장치는 증폭기 및 트랜지스터로 구성된 그룹 중의 적어도 하나를 포함하는 것인, 상기 회로 기관;

반도체 물질층들을 갖는 기관 및 복수의 터미널들을 포함하는 능동 반도체 장치로서, 상기 복수의 터미널들 각각은 상기 반도체 물질층들 중 하나의 층과 전기적으로 접속하고, 상기 능동 반도체 장치는 상기 회로 기관 상에 플립-칩 탑재되며, 상기 터미널들 중 적어도 하나의 터미널은 상기 드라이브 전자 장치와 전기적으로 접속하는 것인, 상기 능동 반도체 장치; 및

상기 회로 기관을 관통하는 적어도 하나의 도전성 비아들로서, 상기 도전성 비아들 각각은 상기 복수의 터미널들 중 하나의 터미널과 전기적으로 접속하는 것인, 상기 적어도 하나의 도전성 비아들을 포함하는, 플립-칩 집적 회로.

### 청구항 2

제1항에 있어서, 상기 적어도 하나의 비아들 각각은 상기 회로 기관을 관통하는 홀(hole)을 포함하고, 상기 홀의 표면은 제1 도전성 물질층에 의해 덮여지는 것인, 플립-칩 집적 회로.

### 청구항 3

제2항에 있어서, 상기 회로 기관의 표면 중 상기 드라이브 전자 장치와는 반대편에 있는 표면 상에 제2 도전성 물질층을 더 포함하는, 플립-칩 집적 회로.

### 청구항 4

제3항에 있어서, 상기 제2 도전성 물질 층은 상기 제1 도전성 물질층과 전기적 및 열적으로 접속하고, 상기 제2 도전성 물질층은 상기 비아들을 위한 그라운드(ground)를 형성하고 상기 능동 반도체 장치로부터 열을 소산(dissipate)시키는 것인, 플립-칩 집적 회로.

### 청구항 5

제1항에 있어서, 상기 능동 반도체 장치 및 드라이브 전자 장치로부터의 열을 소산시키는데 도움을 주는 적어도 하나의 방열 베이스 판(heat sink base plate)을 더 포함하는, 플립-칩 집적 회로.

### 청구항 6

제5항에 있어서, 상기 적어도 하나의 방열 베이스 판은 상기 기관에 인접하게 배열된 방열 베이스 판을 포함하는 것인, 플립-칩 집적 회로.

### 청구항 7

제1항에 있어서, 상기 적어도 하나의 비아들 각각은 상기 비아의 상단에 있는 도전성 물질 플러그를 포함하는 것인, 플립-칩 집적 회로.

### 청구항 8

제1항에 있어서, 상기 드라이브 전자 장치는 수동 부품들(passive components) 및 인터커넥터들(interconnects)을 더 포함하는 것인, 플립-칩 집적 회로.

### 청구항 9

제1항에 있어서, 상기 드라이브 전자 장치는 인터커넥터들을 더 포함하고, 상기 증폭기는 적어도 하나의 전기 증폭기를 포함하는 것인, 플립-칩 집적 회로.

**청구항 10**

제7항에 있어서, 전기적으로 접속하고 있는 상기 적어도 하나의 터미널 및 비아들 각각의 사이에 도전성 본딩 패드를 더 포함하는, 플립-칩 집적 회로.

**청구항 11**

플립-칩 집적 회로에 있어서,

일 표면 상에 드라이브 전자 장치를 구비하는 회로 기관으로서, 상기 드라이브 전자 장치는 증폭기 및 트랜지스터로 구성된 그룹 중에서 적어도 하나를 포함하는 것인 상기 회로 기관;

반도체 물질층들 갖는 기관, 및 복수의 터미널들을 포함하는 능동 반도체 장치로서, 상기 복수의 터미널들 각각은 상기 반도체 물질층들 중 하나의 층과 전기적으로 접속하고, 상기 능동 반도체 장치는 상기 회로 기관 상에 플립-칩 탑재되며, 상기 터미널들 중 적어도 하나의 터미널은 상기 드라이브 전자 장치와 전기적으로 접속하는 것인, 상기 능동 반도체 장치;

상기 회로 기관의 표면 중 상기 드라이브 전자 장치와는 반대편에 있는 표면 상에 있는 제2 도전성 물질층; 및  
상기 능동 반도체 장치 및 드라이브 전자 장치로부터의 열을 소산시키는데 도움을 주는 적어도 하나의 방열 베이스 판(heat sink base plate)을 포함하고,

상기 적어도 하나의 방열 베이스 판은 상기 제2 도전성 물질층에 인접하게 배열된 방열 베이스 판을 포함하는 것인, 플립-칩 집적 회로.

**청구항 12**

제11항에 있어서, 상기 반도체 물질층들은 III족 질화물 기반 물질이고, 상기 기관은 사파이어 또는 실리콘 카바이드인 것인, 플립-칩 집적 회로.

**청구항 13**

플립-칩 집적 회로에 있어서,

HEMT(high electron mobility transistor); 및

일 표면 상에 드라이브 전자 장치 및 도전성 비아들을 포함하는 회로 기관

를 포함하고, 상기 HEMT는,

기관;

상기 기관 상의 고저항률 반도체층(high resistivity semiconductor layer);

상기 고저항률 반도체층 상에 있으며, 상기 고저항률 반도체층보다 더 넓은 밴드갭을 갖는 배리어 반도체층(barrier semiconductor layer);

상기 배리어 반도체층 및 상기 고저항률 반도체층 사이의 2DEG(two-dimensional electron gas);

상기 고저항률 반도체층 상에 있으며 상기 배리어 반도체층과 접속하고 있는 개별 소스 및 드레인 컨택트들;

상기 배리어 반도체층 상의 게이트 컨택트를 포함하고,

상기 드라이브 전자 장치는 증폭기 및 트랜지스터로 구성된 그룹 중에서 적어도 하나를 포함하고,

상기 HEMT은 상기 소스 컨택트가 상기 도전성 비아들과 전기적으로 접속하고 있는 상태로 상기 회로 기관 상에 플립-칩 탑재되고 상기 게이트 및 드레인 컨택트들은 상기 드라이브 전자 장치와 전기적으로 접속하는 것인, 플립-칩 집적 회로.

**청구항 14**

제13항에 있어서, 상기 고저항률 반도체층 및 상기 배리어 반도체층은 III족 질화물 반도체 물질로 이루어지는

것인, 플립-칩 집적 회로.

#### 청구항 15

제13항에 있어서, 상기 기판은 사파이어 및 실리콘 카바이드로 구성된 그룹으로부터의 하나의 물질로 이루어지는 것인, 플립-칩 집적 회로.

#### 청구항 16

제13항에 있어서, 상기 회로 기판의 표면 중 수동 부품들과는 반대편에 있는 표면 상에 도전성 물질층을 더 포함하고,

상기 도전성 물질층은 상기 비아들과 전기적 및 열적으로 접속하고 있는 것인, 플립-칩 집적 회로.

#### 청구항 17

제13항에 있어서, 상기 HEMT 및 수동 부품들로부터의 열을 소산시키기 위해 하나 이상의 방열 베이스 판을 더 포함하는, 플립-칩 집적 회로.

#### 청구항 18

제13항에 있어서, 상기 드라이브 전자 장치는 집적 회로들을 포함하고, 상기 증폭기는 적어도 하나의 전치 증폭기를 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 19

플립-칩 집적 회로에 있어서,

제1 표면 상에 복수의 수동 회로 소자들 및 트랜지스터 부품을 구비하는 회로 기판으로서, 상기 트랜지스터 부품은 상기 회로 기판에 집적되어 증폭기 회로 내의 기능부에 연결된 능동 장치를 형성하는 것인, 상기 회로 기판; 및

상기 회로 기판과는 별개의 기판, 반도체 물질층들 및 복수 개의 터미널들을 포함하는 능동 반도체 장치를 포함하고,

상기 복수 개의 터미널들 각각은 상기 반도체 물질층들 중 하나의 물질층과 전기적으로 접속하고, 상기 능동 반도체 장치는 상기 회로 기판의 상기 제1 표면 상에 플립-칩 탑재되고, 상기 복수 개의 터미널들 중 적어도 하나의 터미널은 상기 회로 기판 상의 상기 트랜지스터 부품에 전기적으로 연결되는 것인, 플립-칩 집적 회로.

#### 청구항 20

제19항에 있어서, 상기 회로 기판 상의 상기 트랜지스터 부품 및 상기 능동 반도체 장치간의 상기 전기적 접속은 수동 부품들 중 적어도 하나의 부품을 통해 이루어지는 것인, 플립-칩 집적 회로.

#### 청구항 21

제19항에 있어서, 상기 트랜지스터 부품은 상기 회로 기판 상의 수동 부품들과 결합하여 증폭기를 형성하는 것인, 플립-칩 집적 회로.

#### 청구항 22

제19항에 있어서, 상기 능동 반도체 장치는 트랜지스터를 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 23

제22항에 있어서, 상기 트랜지스터는 상기 회로 기판 상의 수동 부품들과 결합하여 증폭기를 형성하는 것인, 플립-칩 집적 회로.

#### 청구항 24

제19항에 있어서, 상기 물질층들은 기판 및 능동층을 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 25

제24항에 있어서, 상기 기관의 물질은 III족 질화물(Group III nitride), 실리콘(silicon), 실리콘 카바이드(silicon carbide), 사파이어(sapphire), 알루미늄 질화물(aluminum nitride) 또는 갈륨 질화물(gallium nitride) 기반인 것인, 플립-칩 집적 회로.

#### 청구항 26

제24항에 있어서, 상기 능동층의 물질은 III족 질화물, 실리콘 또는 실리콘 카바이드 기반인 것인, 플립-칩 집적 회로.

#### 청구항 27

제19항에 있어서, 상기 회로 기관은, 갈륨 아세나이드(gallium arsenide), 실리콘, 실리콘 카바이드, 인듐 인화물(indium phosphide), 알루미늄 질화물(aluminum nitride) 또는 세라믹(ceramic) 기반인 기관 물질을 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 28

제19항에 있어서, 상기 회로 기관은, 상기 제1 표면의 반대편에 있는 제2 표면, 상기 회로 기관을 관통하고 상기 제1 표면에서 상기 트랜지스터 부품, 수동 회로 소자들 또는 터미널들 중 적어도 하나와 전기적으로 접속하는 도전성비아들, 및 상기 제2 표면 상의 도전성 구조를 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 29

제28항에 있어서, 상기 도전성 구조는 그라운드 커넥트(ground connect)로서 기능하는 것인, 플립-칩 집적 회로.

#### 청구항 30

제28항에 있어서, 상기 제1 표면은, 상기 제1 표면 상에서 상기 트랜지스터 부품, 수동 회로 소자들 또는 터미널들 중 적어도 하나와 전기적으로 접속하는 인터커넥션(interconnection)을 더 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 31

제30항에 있어서, 상기 인터커넥션은 그라운드 커넥트로서 기능하는 것인, 플립-칩 집적 회로.

#### 청구항 32

플립-칩 집적 회로에 있어서,

제1 표면 상에 증폭기 전자 장치 및 수동 회로 소자들을 구비하는 회로 기관으로서, 상기 증폭기 전자 장치는 상기 회로 기관에 집적되어 증폭기 장치를 형성하는 것인, 상기 회로 기관; 및

상기 회로 기관과는 별개의 기관을 포함하고, 상기 회로 기관의 상기 제1 표면 상에 플립-칩 탑재되며, 상기 제1 표면 상의 수동 회로들과 전기적으로 접속하는 반도체 트랜지스터를 포함하고,

상기 반도체 트랜지스터는 상기 수동 회로 소자들과 결합하여 플립-칩 증폭기를 형성하고, 상기 플립-칩 증폭기는 상기 증폭기 전자 장치에 전기적으로 연결되는 입력부를 구비하는 것인, 플립-칩 집적 회로.

#### 청구항 33

제32항에 있어서, 상기 증폭기 전자 장치는, 상기 플립-칩 증폭기에 전기적으로 연결되는 출력부를 구비하는 다단 증폭기를 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 34

제32항에 있어서, 상기 반도체 트랜지스터는 기관층 및 능동층을 포함하는 것인, 플립-칩 집적 회로.

#### 청구항 35

제34항에 있어서, 상기 기관층의 물질은 III족 질화물, 실리콘, 실리콘 카바이드, 사파이어, 알루미늄 질화물 또는 갈륨 질화물 기반인 것인, 플립-칩 집적 회로.

#### 청구항 36

제34항에 있어서, 상기 능동층의 물질은 III족 질화물, 실리콘 또는 실리콘 카바이드 기반인 것인, 플립-칩 집적 회로.

#### 청구항 37

제32항에 있어서, 상기 반도체 트랜지스터는 III족 질화물 HEMT인 것인, 플립-칩 집적 회로.

#### 청구항 38

반도체 장치를 제조하는 방법에 있어서,

웨이퍼 상에 복수 개의 능동 반도체 장치들을 형성하는 단계로서, 상기 반도체 장치들 각각은 적어도 두 개의 반도체 물질층들 및 이 물질층들에 전기적으로 접속하는 복수 개의 터미널들을 포함하는 것인, 상기 반도체 장치 형성 단계;

적어도 하나의 본딩 패드를 형성하는 단계로서, 상기 적어도 하나의 본딩 패드 각각은 상기 복수 개의 터미널들 중 하나의 터미널 상에 있는 것인, 상기 본딩 패드 형성 단계;

상기 복수 개의 능동 반도체 장치들 각각을 분리하는 단계;

회로 기관의 표면 상에 드라이브 전자 장치를 형성하는 단계로서, 상기 드라이브 전자 장치는 증폭기 및 트랜지스터로 구성된 그룹 중의 적어도 하나를 포함하는 것인, 상기 드라이브 전자 장치 형성 단계;

상기 회로 기관 상에 상기 능동 반도체 장치들 중 적어도 하나를 플립-칩 탑재하는 단계로서, 상기 본딩 패드들 중 적어도 하나는 상기 회로 기관에 본딩되고 상기 터미널들 중 적어도 하나는 상기 드라이브 전자 장치와 전기적으로 접속하는 것인, 상기 플립-칩 탑재 단계; 및

상기 회로 기관 상에 상기 능동 장치들 중 적어도 하나를 플립-칩 탑재하기 이전에 상기 회로 기관을 관통하는 적어도 하나의 도전성 비아들을 형성하는 단계를 포함하고,

상기 본딩 패드들 중 적어도 하나는 상기 도전성 비아들 중 하나와 전기적으로 접속하는 것인, 반도체 장치 제조 방법.

#### 청구항 39

제38항에 있어서, 상기 드라이브 전자 장치는 수동 부품들 및 인터커넥터들을 더 포함하는 것인, 반도체 장치 제조 방법.

#### 청구항 40

제38항에 있어서, 상기 드라이브 전자 장치는 하나 이상의 전치 증폭기 및 인터커넥터들을 포함하는 것인, 반도체 장치 제조 방법.

#### 청구항 41

제40항에 있어서, 상기 드라이브 전자 장치는 수동 부품들을 더 포함하는 것인, 반도체 장치 제조 방법.

#### 청구항 42

제38항에 있어서, 상기 적어도 하나의 도전성 비아들 각각은, 상기 회로 기관을 관통하는 홀을 에칭하고 상기 홀의 내부면 상에 도전성 물질층을 증착함으로써 형성되는 것인, 반도체 장치 제조 방법.

#### 청구항 43

제38항에 있어서, 상기 회로 기관의 표면 중 상기 드라이브 전자 장치의 반대편에 있는 표면 상에 도전층을 형성하는 추가적인 단계를 포함하고, 상기 도전층은 상기 도전성 비아들 각각과 열적 및 전기적으로 접속하여 상

기 비아들을 위한 그라운드를 제공하고 열을 소산시키는데 도움을 주는 것인, 반도체 장치 제조 방법.

#### 청구항 44

제43항에 있어서, 상기 도전성 비아들 및 도전성 물질층은 스퍼터링을 이용하여 형성되는 것인, 반도체 장치 제조 방법.

#### 청구항 45

제38항에 있어서, 상기 복수 개의 플립-칩 탑재된 장치들 및 상기 회로 기판으로부터의 열을 소산시키는데 도움을 주는 방열판(heat sink)을 제공하는 단계를 더 포함하는, 반도체 장치 제조 방법.

#### 청구항 46

제45항에 있어서, 상기 방열판은 상기 플립-칩 탑재된 장치들에 인접하게 배열되는 것인, 반도체 장치 제조 방법.

#### 청구항 47

제45항에 있어서, 상기 방열판은 상기 회로 기판에 인접하게 배열되는 것인, 반도체 장치 제조 방법.

#### 청구항 48

제38항에 있어서, 상기 복수 개의 능동 반도체 장치들 각각의 상기 적어도 두 개의 층들은, MOCVD(metalorganic chemical vapor deposition), 플라즈마 CVD(chemical vapor deposition) 또는 핫-필라멘트(hot filament) CVD로 구성된 그룹으로부터의 방법들 중 하나에 의해 형성되는 것인, 반도체 장치 제조 방법.

#### 청구항 49

제38항에 있어서, 상기 적어도 두 개의 반도체 물질층들 중 적어도 하나는 에칭되어 상기 복수 개의 터미널들을 위한 위치들을 제공하는 것인, 반도체 장치 제조 방법.

#### 청구항 50

제49항에 있어서, 상기 적어도 하나의 에칭된 층은, 화학적 습식(wet chemical) HF(hydrofluoric acid) 에칭, RIE(reactive ion etching), 또는 플라즈마 에칭으로 구성된 그룹으로부터의 방법에 의해 에칭되는 것인, 반도체 장치 제조 방법.

#### 청구항 51

제38항에 있어서, 상기 복수 개의 능동 반도체 장치들 각각은, 사파이어 또는 실리콘 카바이드(SiC) 웨이퍼 상에 형성되는 III족 질화물 기반 장치를 포함하는 것인, 반도체 장치 제조 방법.

#### 청구항 52

제38항에 있어서, 상기 복수 개의 능동 반도체 장치들 각각은, 실리콘 카바이드(SiC) 기판 상에 형성되는 AlGaIn/GaN HEMT인 것인, 반도체 장치 제조 방법.

#### 청구항 53

제38항에 있어서, 상기 회로 기판은 Si 및 GaAs로 구성된 그룹으로부터의 하나의 물질로 이루어지는 것인, 반도체 장치 제조 방법.

#### 청구항 54

집적 회로를 제조하는 방법에 있어서,

웨이퍼 상에 복수 개의 III족 질화물 기반 능동 반도체 장치들을 형성하는 단계;

상기 장치들을 개별 장치들로 분리하는 단계;

회로 기판의 표면 상에 드라이브 전자 장치를 형성하는 단계로서, 상기 드라이브 전자 장치는 증폭기 및 트랜지

스터로 구성된 그룹 중의 적어도 하나를 포함하는 것인, 상기 드라이브 전자 장치 형성 단계;

상기 회로 기판을 관통하는 도전성 비아를 형성하는 단계; 및

상기 회로 기판 상에 상기 분리된 장치들 중 하나의 장치를 플립-칩 탑재하는 단계로서, 상기 하나의 장치는 상기 도전성 비아에 전기적 및 열적으로 결합되는 것인, 상기 플립-칩 탑재 단계를 포함하는, 집적 회로 제조 방법.

#### 청구항 55

집적 회로를 제조하는 방법에 있어서,

제1 웨이퍼 상에 복수 개의 III족 질화물 기반 능동 반도체 장치들을 형성하는 단계;

상기 장치들을 개별 장치들로 구분하는 단계;

상기 제1 웨이퍼의 물질과는 상이한 물질을 포함하는 제2 웨이퍼의 표면 상에, 증폭기 및 트랜지스터로 구성된 그룹 중의 적어도 하나, 수동 부품들 및 인터커넥터들을 형성하는 단계로서, 상기 수동 부품들 및 인터커넥터들은 복수 개의 드라이브 회로들을 형성하고, 상기 복수 개의 드라이브 회로들 각각은 상기 능동 반도체 장치들의 개별 장치를 구동하는 것인, 상기 수동 부품 및 인터커넥터 형성 단계;

상기 회로 기판을 관통하는 복수 개의 도전성 비아들을 형성하는 단계로서, 상기 복수 개의 도전성 비아들 각각은 상기 드라이브 회로들의 개별 회로를 위한 도전성 비아를 제공하는 것인, 상기 도전성 비아 형성 단계; 및

상기 드라이브 회로들의 개별 회로 상에 상기 능동 장치들 중 하나의 장치를 플립-칩 탑재하는 단계로서, 상기 능동 장치의 그라운드는 상기 드라이브 회로의 도전성 비아에 전기적 및 열적으로 결합되는 것인, 상기 플립-칩 탑재 단계를 포함하는, 집적 회로 제조 방법.

#### 청구항 56

플립-칩 조립체(assembly)에 있어서,

일 표면 상에 드라이브 전자 장치를 구비하는 열전도성(thermally conductive) 기판으로서, 상기 드라이브 전자 장치는 증폭기 및 트랜지스터로 구성된 그룹 중에서 적어도 하나를 포함하는 것인 상기 열전도성 기판;

제1 표면 상에 있는 복수 개의 터미널들, 및 상기 제1 표면과는 반대편에 있는 제2 표면 상에 있는 열전도성 물질층을 포함하고, 상기 열전도성 기판 상에 플립-칩 탑재되는 능동 반도체 장치;

상기 열전도성 기판에 인접한 제1 방열판(heat sink); 및

상기 열전도성 물질층에 인접한, 상기 능동 반도체 장치 상의 제2 방열판을 포함하는, 플립-칩 조립체.

#### 청구항 57

제56항에 있어서, 상기 방열판은 열전도성 다공성 물질(thermally conductive porous material)로부터 형성되는 것인, 플립-칩 조립체.

#### 청구항 58

제57항에 있어서, 상기 다공성 물질은 금속인 것인, 플립-칩 조립체.

#### 청구항 59

제57항에 있어서, 상기 다공성 물질은 무기물(inorganic material)인 것인, 플립-칩 조립체.

#### 청구항 60

집적 회로를 제조하는 방법에 있어서,

회로 기판의 제1 표면 상에 능동 부품 및 복수 개의 수동 회로 소자들을 형성하는 단계;

상기 회로 기판과는 별개로, 물질층들 및 복수 개의 터미널들을 포함하는 능동 반도체 장치를 형성하는 단계로서, 상기 터미널들 각각은 상기 물질층들 중 하나의 물질층과 전기적으로 접속하는 것인, 상기 능동 반도체 장



치 형성 단계; 및

상기 회로 기판 상에 상기 능동 반도체 장치를 플립-칩 탑재하는 단계로서, 상기 터미널들 중 적어도 하나는 상기 회로 기판 상의 상기 능동 부품에 전기적으로 연결되는 것인, 상기 플립-칩 탑재 단계를 포함하는, 집적 회로 제조 방법.

#### 청구항 61

집적 회로를 제조하는 방법에 있어서,

회로 기판의 제1 표면 상에 증폭기 전자 장치 및 수동 회로 소자들을 형성하는 단계;

상기 회로 기판과는 별개로 반도체 트랜지스터를 형성하는 단계;

상기 회로 기판 상에 상기 트랜지스터를 플립-칩 탑재하는 단계로서, 상기 트랜지스터는 상기 제1 표면 상의 수동 소자들과 전기적으로 결합하는 것인, 상기 플립-칩 탑재 단계;

수동 회로 소자들과 결합하여, 상기 증폭기 전자 장치에 전기적으로 연결되는 입력부를 구비하는 플립-칩 증폭기를 형성하는 단계를 포함하는, 집적 회로 제조 방법.

#### 청구항 62

집적 회로를 제조하는 방법에 있어서,

절연 물질을 포함하는 회로 기판의 제1 표면 상에, 증폭기 및 트랜지스터로 구성된 그룹 중의 적어도 하나 및 수동 회로 소자들을 형성하는 단계;

상기 회로 기판과는 별개로, III족 질화물 기반 능동 반도체 장치를 형성하는 단계; 및

상기 회로 기판 상에 상기 반도체 장치를 플립-칩 탑재하는 단계로서, 상기 장치는 상기 수동 회로 소자들에 전기적으로 연결되는 것인, 상기 플립-칩 탑재 단계를 포함하는, 집적 회로 제조 방법.

### 명세서

#### 기술분야

[0001] 본 발명은 질화물 기반 반도체 장치들에 관한 것으로서, 보다 구체적으로는, 수동 부품들(passive components) 및/또는 전치 증폭기들(pre-stage amplifiers)을 가진 회로 기판들상에 플립-칩 탑재되는 질화물 기반 전력 장치들에 관한 것이다.

#### 배경기술

[0002] 마이크로파 시스템들은 흔히 반도체 트랜지스터들을 증폭기들 및 발진기들로서 사용하는데, 이로 인해, 상당히 감소된 시스템 사이즈 및 증가된 신뢰성을 얻을 수 있다. 숫적으로 증가하고 있는 마이크로파 시스템들을 수용하기 위해서는, 이들의 동작 주파수 및 전력을 증가시키는 것이 관심사이다. 더 높은 주파수의 신호들은 더 많은 정보(대역폭)를 전달할 수 있고, 더 작은 안테나들이 상당히 높은 이득을 가질 수 있게 하며, 향상된 해상도의 레이더를 제공할 수 있다.

[0003] FET들(Field effect transistors) 및 HEMT들(high electron mobility transistors)이, Si(Silicon) 또는 GaAs(Gallium Arsenide)와 같은, 반도체 재료들로부터 제작될 수 있는 일반적인 반도체 트랜지스터들이다. Si의 한가지 단점은, 전자 이동성이 낮다(약  $1450 \text{ cm}^2/\text{V-s}$ )는 것인데, 이로 인해, 높은 소스 저항이 발생한다. 이러한 높은 저항은, 그렇지 않다면 Si 기반 HEMT들로부터 가능할 수 있는 고성능 이득을 심각하게 열화시킨다. [CRC Press, The Electrical Engineering Handbook, Second Edition, Dorf, p.994, (1997)]

[0004] GaAs 또한 HEMT들에 사용되는 일반적인 재료이며 상용 및 군용 레이더, 핸드셋 셀룰러, 및 위성 통신에서의 신호 증폭을 위한 표준이 되어 왔다. GaAs는 Si보다 높은 전자 이동성(약  $6000 \text{ cm}^2/\text{V-s}$ ) 및 낮은 소스 저항을 가지며, 이로 인해, GaAs 기반 장치들은 더 높은 주파수들에서 동작할 수 있다. 그러나, GaAs는 비교적 작은 밴드갭(실온에서 1.42 eV) 및 비교적 작은 파괴 전압을 가지며, 이로 인해, GaAs 기반 HEMT들은 높은 전력을 제공할 수 없다.

- [0005] GaN(gallium nitride) 및 AlGaN(aluminum gallium nitride)와 같은 3족 질화물 기반 반도체 재료들의 제조에 있어서의 향상들은 HEMT들과 같은 AlGaN/GaN 기반 장치들의 개발에 관심을 집중시켜 왔다. 이러한 장치들은, 높은 파괴 전계들, 넓은 밴드갭들(실온의 GaN의 경우 3.36 eV), 큰 도전 대역 오프셋, 및 포화 전자의 높은 드리프트 속도를 포함하는, 이들의 고유한 재료 특성들의 조합으로 인해 다량의 전력을 발생시킬 수 있다. 동일한 사이즈의 AlGaN/GaN 증폭기는 동일한 주파수에서 동작 중인 GaAs 증폭기 전력의 10배 이상을 발생시킬 수 있다.
- [0006] Khan 등의 미국특허 제 5,192, 987호는 버퍼 및 기판상에 성장된 AlGaN/GaN 기반 HEMT들, 및 HEMT의 제조 방법을 개시하고 있다. 다른 HEMT들이, Gaska 등의 "High-Temperature Performance of AlGaN/GaN HFET's on SiC Substrates," IEEE Electron Device Letters, Vol. 18, No 10, October 1997, Page 492; 및 Wu 등의 "High Al-content AlGaN/GaN HEMTs With Very High Performance", IEDM-1999 Digest pp. 925- 927, Washington DC, Dec. 1999에 의해 설명되었다. 이러한 장치들 중 일부는 100 GHz만큼이나 높은 이득-대역폭 곱( $f_T$ )(Lu 등의 "AlGaN/GaN HEMTs on SiC With Over 100 GHz  $f_t$  and Low Microwave Noise", IEEE Transactions on Electron Devices, Vol. 48, No. 3, March 2001, pp. 581- 585) 및 X-주파수대에서 최고 10 W/mm의 높은 전력 밀도들(Wu 등의 "Bias-dependent Performance of High-Power AlGaN/GaN HEMTs", IEDM-2001, Washington DC, Dec. 2-6, 2001)을 나타낸다.
- [0007] 3족 질화물 기반 반도체 장치들은 대개 사파이어나 SiC 기판들상에 제작된다. 사파이어 기판들의 한가지 단점은, 이들이 불량한 열 도전율을 가지므로 사파이어 기판들상에 형성된 장치들의 총 전력 출력이 기판의 열 방출로 인해 제한될 수 있다는 점이다. 사파이어 기판들은 또한 에칭이 어렵다. SiC 기판들은 더 높은 열 도전율(3.5 내지 4 w/cmK)을 갖지만 값이 비싸고 큰 웨이퍼 직경으로는 이용될 수 없다는 단점들을 가진다. 통상적인 반-절연(semi-insulating) SiC 웨이퍼들은 2인치의 직경을 가지며 트랜지스터들의 능동층들이, 수동 부품들, 인터커넥트들, 및/또는 전치 증폭기들과 함께, 웨이퍼상에 형성된다면, 웨이퍼당 장치들 수의 수율은 비교적 낮다. 이처럼 감소된 수율은 SiC 기판들상에 3족 트랜지스터들을 제작하는 비용을 증가시킨다.

## 발명의 내용

### 해결하려는 과제

- [0008] GaAs(Galliumarsenide) 및 Si(silicon) 반-절연 웨이퍼들은 더 작은 직경의 SiC 웨이퍼들에 비해 상대적으로 낮은 비용으로 이용될 수 있다. GaAs 및 Si 웨이퍼들은 에칭이 용이하며 낮은 전기 도전율을 가진다. 이러한 웨이퍼들의 다른 이점은, 반도체 장치들의 증착 및 다른 프로세싱이 통상적인 구조법(commercial foundry)으로 수행될 수 있다는 점으로, 이로 인해, 비용을 감소시킬 수 있다. 이러한 웨이퍼들의 한가지 단점은, 재료들간의 격자 부정합이 불량 품질의 반도체 장치들을 발생시키기 때문에, 이들이 3족 질화물 기반 장치들을 위한 기판으로 용이하게 사용될 수 없다는 점이다. 이러한 웨이퍼들의 또 다른 단점은, 이들이 낮은 열 도전율을 가진다는 점이다.

### 과제의 해결 수단

- [0009] 본 발명은, 저비용의 집적 회로들을 높은 수율로 제작하기 위해, 고비용의 작은 직경 웨이퍼들을 저비용의 큰 직경 웨이퍼와 함께 사용하는, 집적 회로 및 집적 회로 제조 방법을 제공한다. 능동 반도체 장치들 및 터미널들은, 고비용이며 큰 직경으로는 이용될 수 없는 웨이퍼상에 형성된다. 고비용 웨이퍼상의 공간 낭비를 방지하기 위해, 수동 부품들, 전치 증폭기들, 및/또는 인터커넥트들은 큰 직경으로 이용될 수 있는 저비용 웨이퍼상에 형성된다. 그 다음, 능동 반도체 장치들은 저비용의 큰 직경 웨이퍼들상의 부품들과 관련하여 플립-칩 탑재된다.
- [0010] 본 발명에 따른 집적 회로를 제조하는 일 방법은 웨이퍼상에, 각각이 층들과 전기적으로 접촉하는 터미널들을 가진 2 이상의 반도체 재료층들을 구비하는, 복수개의 능동 반도체 장치들을 형성하는 단계를 구비한다. 본딩 패드들이 웨이퍼의 능동 반도체 장치들 각각의 터미널들 중 적어도 하나상에 형성되고, 능동 반도체 장치들은 분리된다. 그 다음, 수동 부품들 및 인터커넥트들이 회로 기판의 표면에 형성되고 하나 이상의 도전성 비아(conductive via)가 회로 기판을 관통하여 형성된다. 능동 반도체 장치들 중 하나 이상은, 본딩 패드들 중 하나 이상이 도전성 비아들 중 하나와 전기적으로 접촉하고 있는 회로 기판상에 플립-칩 탑재된다.
- [0011] 본 발명에 따른 플립-칩 집적 회로의 일 실시예는, 일 표면에 수동 부품들 및 인터커넥트들을 가지며 하나 이

상의 도전성 비아가 그것을 관통하는 회로 기판을 구비한다. 반도체 재료층들 및 그 위에 형성된 하나 이상의 터미널을 구비한 기판을 가진 능동 반도체 장치가 포함된다. 층들 중 하나 이상과 전기적으로 접촉하고 있는 하나 이상의 터미널이 포함된다. 능동 반도체 장치는, 하나 이상의 비아들 중 하나가 하나 이상의 터미널들 중 하나와 접촉하고 있는 회로 기판상에 플립-칩 탑재된다.

[0012] 본 발명은 구체적으로, SiC 기판상에 성장된 다음 개개의 장치들로 분리된 3족 질화물 기반 능동 반도체 장치들에 적용될 수 있다. 그 다음, 수동 부품들, 전치 증폭기들, 및 인터커넥터들이 GaAs 또는 Si로 이루어진 저비용의 큰 직경 웨이퍼상에 형성되거나 다른 전기적 절연 기판들상에 형성될 수 있다. 분리 후에, 3족 장치들 중 하나 이상은 GaAs 또는 Si 기판상에 플립-칩 탑재될 수 있다.

[0013] 당업자들은, 첨부된 도면들을 참조하는, 다음의 상세한 설명으로부터, 본 발명에 대한 이들 및 다른 추가적 사양들과 이점들을 명백히 알 수 있을 것이다.

### 발명의 효과

[0014] 본 발명에 의하면 저비용의 집적 회로들을 높은 수율로 제작하는 것이 가능하게 된다.

### 도면의 간단한 설명

[0015] 도 1은 본 발명에 따른 집적 회로의 제조 방법을 위한 흐름도이다.

도 2는, 그 위에 AlGaIn/GaN HEMT들이 형성되어 있는, 본 발명에 따른 SiC 웨이퍼의 평면도이다.

도 3은 도 2에 나타난 웨이퍼상에 형성된 AlGaIn/GaN HEMT들 중 2개의 단면도이다.

도 4는 도 2의 웨이퍼상의 나머지 HEMT들로부터 분리된 개별 HEMT의 단면도이다.

도 5는 본 발명에 따른 회로 기판의 단면도이다.

도 6은 본 발명에 따른 제 2 회로 기판의 단면도이다.

도 7은 본 발명에 따른 제 3 회로 기판의 단면도이다.

도 8은 본 발명에 따른 제 4 회로 기판의 단면도이다.

도 9는, 회로 기판이 그 위에 플립-칩 탑재된 HEMT를 갖는, 본 발명에 따른 집적 회로의 단면도이다.

도 10은, 회로 기판의 바닥면에 제 1 방열 루트(heat sink root)를 가진, 도 8의 장치에 대한 단면도이다.

도 11은, HEMT의 기판에 인접한 제 2 방열 루트를 가진, 도 9의 장치에 대한 단면도이다.

도 12는, 플립-칩 탑재된 HEMT 및 제 2 방열 루트를 가진, 본 발명에 따른 또 다른 집적 회로의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

#### 제조 방법

[0017] 도 1은 본 발명에 따른 방법의 일 실시예(10)를 나타낸다. 제 1 단계(12)에서는, 웨이퍼상에 반도체 장치 및 장치 터미널들의 층들이 형성된다. 바람직한 반도체 장치는 사파이어, SiC, 또는 Si 웨이퍼상에 성장된 AlGaIn HEMT 또는 FET와 같은 3족 질화물 기반 장치인데, 기판은 SiC의 4H 다형(polytype)인 것이 바람직하다. 3C, 6H, 및 15R 폴리형들을 포함하여, 다른 SiC 다형들이 사용될 수도 있다. SiC 웨이퍼(기판)와 능동층들간에 적절한 결정 구조 변환(crystal structure transition)을 제공하기 위해, 웨이퍼와 장치 능동층들간에  $Al_xGa_{1-x}N$  버퍼층(여기서, x는 0과 1 사이에 해당함)이 포함될 수 있다.

[0018] 일반적으로, 사파이어 및 Si에 비해 SiC 웨이퍼들이 바람직한데, SiC 웨이퍼들이 3족 질화물들에 좀더 근접한 결정 격자 정합을 가지며, 이로 인해, 보다 고품질의 3족 질화물 막들이 얻어지기 때문이다. 또한, SiC는 아주 높은 열 도전율을 가지므로, SiC상의 3족 질화물 장치들의 총 출력 전력은 (사파이어 또는 Si상에 형성된 일부 장치들의 경우에서와 같이) 웨이퍼의 열 저항에 의해 제한되지 않는다. 또한, 반-절연 SiC 웨이퍼들의 가용성은, 장치 절연 능력 및 상용 장치들이 발생시킬 수 있는 감소된 기생 용량을 제공한다. SiC 기판들은 North Carolina주, Durham의 Cree Inc.로부터 입수할 수 있고 이들을 제조하는 방법들은 과학 문헌 뿐만 아니라 미국 특허들 제 Re. 34,861호; 제 4,946,547호; 및 제 5,200,022호에 기술되어 있다.

- [0019]  $Al_xGa_{1-x}N$  및 다른 에피택셜층들이, MOCVD(metalorganic chemical vapor deposition), CVD(plasma chemical vapor deposition), 또는 핫-필라멘트(hot-filament) CVD와 같은, 상이한 에피택셜 성장법들을 사용해, 웨이퍼 상에 증착될 수 있다. 능동층들이 증착된 후, 층들의 일부분들은 터미널들을 위한 위치들을 형성하기 위해 제거될 수 있다. 화학적 습식 HF(hydrofluoric acid) 에칭, RIE(reactive ion etching), 또는 플라즈마 에칭을 포함하지만 이에 한정되는 것은 아닌, 상이한 제거법들이 사용될 수 있다. 터미널들은 스퍼터링, 증발, 또는 도금을 사용해 능동층들상에 증착될 수 있다.
- [0020] HEMT의 경우, 터미널들은 티타늄, 알루미늄, 니켈, 및 금의 합금들을 구비하는 것이 바람직한 소스 및 드레인 콘택트들, 및 티타늄, 백금, 크롬, 티타늄과 텅스텐의 합금들, 및 백금 규화물을 구비하는 것이 바람직한 게이트 콘택트를 포함한다. 일 실시예에서, 콘택트들은, 금속들의 개별층들을 증착한 다음 그들을 어닐링하는 것에 의해 형성되는, 니켈, 실리콘, 및 티타늄의 합금을 구비한다. 이러한 합금 시스템은 알루미늄을 제외하기 때문에, 어닐링 온도가 알루미늄의 녹는점( $660\text{ }^{\circ}\text{C}$ )을 초과할 경우의 장치 표면상의 원치않는 알루미늄 오염(aluminum contamination)을 방지한다.
- [0021] 단계 14에서는, 본딩 패드들이 장치의 터미널들 중 적어도 하나 위에 형성되는데, 본딩 패드는, 후술하는 바와 같이 장치가 플립-칩 탑재될 때, 회로 기판과 접촉할 것이다.  $AlGaN$  HEMT의 동작 동안, 드레인 콘택트는 특정 전위(n-채널 장치의 경우, 양의 드레인 전위)로 바이어스되고 소스는 그라운드된다. HEMT들의 경우, 본딩 패드가 회로 기판상의 그라운드에 전기적으로 접속될 수 있도록 하기 위해, 본딩 패드는 소스 콘택트상에 포함된다. 본딩 패드들은 금(Au)과 같은 도전율이 높은 재료로 형성되는 것이 바람직하고 이들은 스퍼터링을 사용해 증착될 수 있다. 솔더 본딩 패드(solder bonding pad)와 같은 다른 재료들이 사용될 수도 있다.
- [0022] 단계 16에서는, 웨이퍼상의 능동 반도체 장치들이 개개의 장치들로 분리되는데, 다이싱(dicing)에 의해 분리되는 것이 바람직하다. 다른 방법으로, 장치들이 SB(scribe and break)에 의해 분리될 수도 있다.
- [0023] 단계 18에서는, 능동 반도체 장치들 중 하나 이상을 구동하기 위한 드라이브 전자 장치(drive electronics)가 회로 기판 웨이퍼상에 형성된다. 회로 기판은 저비용이어야 하고, 큰 직경으로 이용될 수 있어야 하며, 프로세싱이 용이해야 하고, 낮은 전기 도전율과 높은 열 도전율을 가져야 한다. GaAs 및 Si은 회로 기판으로 적합한 재료들이고 높은 열 도전율을 제외한 바람직한 특징들 모두를 가진다. 이러한 재료들의 열 도전율은 후술되는 바와 같이 도전성 비아들을 사용하는 것에 의해 향상될 수 있다. 드라이브 전자 장치는 상이한 조합들의 전치 증폭기들, 수동 부품들, 및 인터커넥터들을 구비할 수 있다. 드라이브 전자 장치는 플립-칩 탑재된 능동 반도체 장치들에 대한 드라이브 회로들을 형성한다. 전치 증폭기들을 포함하는 실시예들에서, 증폭기들은 통상적으로, 낮은 신호들을 증폭하기 위해 직렬로 서로 연결된다. 전치 증폭기들이 신호를 증폭한 후, 신호는 플립-칩 탑재된 반도체 장치에 고전력 증폭을 위해 인가될 수 있다. 플립-칩 탑재된 장치가 전치 증폭없이 수동 부품들 및 인터커넥터들에 의해 구동될 수 있는 실시예들에서는, 전치 증폭기들이 불필요하다. 전치 증폭기들, 수동 부품들, 및 인터커넥터들은 통상적인 구조 프로세스를 사용해 증착될 수 있는데, 이것이 제조 비용을 감소시키는데 도움이 된다.
- [0024] 다수의 상이한 능동 장치들이 드라이브 전자 장치에 의해 구동될 수 있다. 일 실시예에서는, 하나의 전자 장치 회로가 하나의 능동 장치를 구동할 수 있다. 다른 실시예들에서는, 하나의 드라이브 회로가 하나 이상의 능동 장치를 구동하거나 하나의 능동 장치가 하나 이상의 드라이브 전자 장치 회로에 의해 구동될 수 있다.
- [0025] 수동 부품들은 레지스터들, 캐패시터들, 및 인덕터들을 포함할 수 있지만, 이에 한정되는 것은 아니며, 인터커넥터들은 회로 기판상의 도전성 재료에 대한 트레이스들(traces) 또는 전송 라인 네트워크 요소들을 구비할 수 있다. 전치 증폭기들 및 수동 부품들은 MOCVD, CVD, 또는 핫-필라멘트 CVD를 사용해 형성될 수 있고, 트레이스들은 스퍼터링 또는 전자빔 증착을 사용해 형성될 수 있다.
- [0026] 다른 단계 20에서는, 회로 기판들을 관통하는 하나 이상의 도전성 비아들이 형성되는데, 드라이브 회로들 각각이 하나 이상의 도전성 비아들을 이용한다. 본 발명에 따른 일 실시예에서, 비아들은, 후술되는 바와 같이 드라이브 회로들 중 하나에 플립-칩 탑재된 능동 반도체 장치에 대해 그라운드로의 경로를 형성하고, 이들은 또한 장치의 열 방출도 촉진한다. 화학적 습식 HF 에칭, RIE, ICP, 또는 플라즈마 에칭을 사용해 회로 기판을 관통하는 홀을 형성하는 것을 포함하지만 이에 한정되는 것은 아닌, 상이한 방법들을 사용해 비아들을 형성할 수 있다. 그 다음, 비아들의 내부면은, 금(Au)인 것이 바람직한, 스퍼터링을 사용해 증착될 수 있는, 도전성 재료의 층으로 덮일 수 있다. 또 다른 실시예에서, 도전성 비아들의 상단은 열 방출을 향상시키기 위한 도전성 재료의 플러그를 포함할 수 있다.



- [0027] 본 발명에 따른 다른 실시예에서는, 능동 플립-칩 장치들을 위한 회로 기판이 기판을 관통하는 경로없이 동작할 수 있고, 그에 따라, 장치는 도전성 비아들 또는 플러그를 포함하지 않는다. 장치는, 회로 기판상의 인터커넥터들을 관통하는 것과 같은, 다른 경로들을 통해 그라운드에 접속될 수 있고, 열은, 장치의 후면에 부착된 방열기를 통하는 것과 같은, 다른 방법들로 장치로부터 방출될 수 있다.
- [0028] 단계 22에서는, 능동 반도체 장치가, 비아들의 Au와 전기적으로 접촉하고 있는 Au 본딩 패드를 가진 회로 기판상에, Au-Au 플립-칩 본딩으로, 플립-칩 탑재된다. 다른 방법으로, AU 또는 솔더에 기초한 종래의 범프 본딩이 사용될 수도 있다. AlGa<sub>N</sub> HEMT의 경우, 소스 컨택트상의 Au 본딩은 비아들과 전기적으로 접촉하고 있다. 그 다음, 게이트 및 드레인 컨택트들은 회로 기판상의 드라이브 전자 장치에 전기적으로 결합될 수 있는데, 게이트는 통상적으로 드라이브 전자 장치의 입력 측에 접속되고 드레인 측에 접속된다.
- [0029] 단계 24에서는, 회로 기판상의 드라이브 전자 장치 회로들 및 능동 장치들이 개개의 집적 회로들로 분리된다. 이것은, 능동 장치들을 분리하는데 사용되는, 상술된 동일한 방법들에 의해 실현될 수 있다.
- [0030] 또 다른 단계 26에서는, 하나 이상의 방열 베이스 판들(heat sink base plates)이 (분리되기 전 또는 후의) 집적 회로상에 형성될 수 있는데, 그 다음, 베이스 판들은 하나 이상의 방열기들에 접속된다. 능동 장치 및 회로 기판으로부터의 열은 베이스 판들로 흘러간 다음, 그것을 방출하는 방열기로 흘러간다. 베이스 판들은, 능동 장치 및/또는 회로 기판에 인접한 것을 포함하지만 이에 한정되는 것은 아닌, 다수의 상이한 방법들로 정렬될 수 있다.
- [0031] 본 발명에 따른 방법들은 AlGa<sub>N</sub> HEMT들 이외의 상이한 다수 장치들을 제조하는데 사용될 수 있다. 방법들의 상이한 단계들이 상이한 프로세스들을 사용해 실현될 수도 있고, 방법들의 단계들이 상이한 순서를 취할 수도 있다.
- [0032] 플립-칩 장치
- [0033] 본 발명은 또한, 수동 부품들 및 인터커넥터들을 가진 회로 기판상에 플립-칩 탑재된 능동 반도체 장치를 개시한다. 도 2는, 약 2 인치를 포함하여, 상이한 직경들로 이용될 수 있는, 통상적인 반-절연 SiC 웨이퍼(30)를 나타낸다. 웨이퍼상에 정사각형들로 나타낸, 장치 능동층들 및 터미널들(32)은 상술된 방법들을 사용해 웨이퍼(30)상에 증착된다. 본 도면은, 웨이퍼상에 형성될 수 있는 다수 장치들의 일 표현일 뿐이다. 바람직한 장치 능동층들 및 터미널들(32)은 AlGa<sub>N</sub> HEMT를 형성하는데, 10-와트(10-Watt) HEMT들의 통상적인 2-인치 웨이퍼의 경우, 약 2000개의 HEMT들이 웨이퍼상에 형성될 수 있다. HEMT와 함께, 수동 부품들 또는 전치 증폭기들이 웨이퍼상에 형성된다면, 약 200개의 장치들만이 형성될 수 있다.
- [0034] 도 3은 본 발명에 따라 웨이퍼(30)상에 형성된 2개의 AlGa<sub>N</sub>/Ga<sub>N</sub> 기반 HEMT들(32)의 단면도를 나타낸다. HEMT들(32)이 개개 장치들로 분리될 경우, 각각의 HEMT 차지가 되는 웨이퍼(30) 부분들은 HEMT의 기판으로 기능한다. (나타내지 않은) Al<sub>x</sub>Ga<sub>1-x</sub>N 버퍼층(여기서, x는 0과 1 사이에 해당됨)이, 웨이퍼와 능동층들간에 소정 격자 구조 변환을 제공하기 위해, 웨이퍼와 장치 사이에 포함될 수 있다.
- [0035] Ga<sub>N</sub>의 고저항률층(34;high resistivity layer)이 웨이퍼(30)상에 증착되고 AlGa<sub>N</sub>의 배리어층(36;barrier layer)이 고저항률층(34)상에 증착된다. 고저항률층(34)은 통상적으로 0.5 내지 4  $\mu\text{m}$ 의 두께이고 배리어층(36)은 통상적으로 약 0.1 내지 0.3  $\mu\text{m}$ 의 두께이다.
- [0036] 개개 HEMT들 사이를 분리하고 소스 및 드레인 컨택트들(38, 40)을 위한 위치를 제공하기 위해, 배리어층(36)이 고저항률층(34)까지 에칭된다. 소스 및 드레인 컨택트들(38, 40)이, 이들 사이에 배리어층(36)이 배치되는 상태로, 고저항률층(34)의 표면상에 증착된다. 컨택트들(38, 40) 각각은 배리어층(36)의 에지들과 전기적으로 접촉하고 있다.
- [0037] 컨택트들(38, 40)은 일반적으로 마이크로파 장치들의 경우 1.5 내지 5  $\mu\text{m}$ 의 거리만큼 분리되지만, 특수한 경우들에서는 이 거리가 1 내지 10  $\mu\text{m}$ 일 수도 있다. 정류 쇼트키 컨택트(게이트)(42)가 소스와 드레인 컨택트들(38, 40) 사이의 배리어층(36) 표면상에 배치되는데, 이것은 통상적으로 0.1 내지 2  $\mu\text{m}$  범위의 길이를 가진다. HEMT(32)의 총 너비는 필요한 총 전력에 의존한다. 통상적인 너비는 100 마이크로(micron) 내지 6  $\mu\text{m}$ 이지만, 30 mm보다 더 넓을 수도 있다.
- [0038] 배리어층(36)은 Ga<sub>N</sub>층(34)보다 넓은 밴드갭을 가지며, 에너지 밴드갭들에서의 이러한 불연속으로 인해 더 넓은 밴드갭으로부터 더 낮은 밴드갭 재료로의 자유 전하 이동이 발생한다. 또한, 3족-질화물 시스템에서는, 압전 및 자발 분극으로 인해 상당히 높은 전하 밀도가 발생한다. 전하는 2개 층들의 인터페이스에 누적되어, 소스

및 드레인 콘택트들(38, 40) 사이에서 전류가 흐를 수 있게 하는 2DEG(two dimensional electron gas;35)를 발생시킨다. 2DEG(35)는, HEMT에 아주 높은 상호 컨덕턴스(transconductance)를 부여하는 높은 전자 이동도를 가진다.

[0039] 동작하는 동안, 드레인 콘택트(40)는 특정 전위(n-채널 장치의 경우, 양의 드레인 전위)로 바이어스되고 소스는 그라운드된다. 이로 인해, 채널 및 2DEG를 통해, 드레인 콘택트(38)로부터 소스 콘택트(40)로의 전류 흐름이 발생한다. 전류 흐름은, 채널 전류를 조정하고 이득을 제공하는, 게이트(42)에 인가되는 바이어스 및 주파수 전위들에 의해 제어된다. 게이트(42)에 인가되는 전압은 게이트(42) 바로 아래의 2DEG에서의 전자 수를 정전기적으로 제어함으로써, 총 전자 흐름을 제어한다.

[0040] 본딩 패드(43) 또한, 후술되는 바와 같은, 회로 기관으로의 플립-칩 본딩을 위해 소스 콘택트(38)상에 포함된다. 웨이퍼(30)상의 HEMT들(32)이 개개 HEMT들로 분리될 때, HEMT들 사이의 GaN층(34)과 SiC 웨이퍼(30) 부분들은 도 4에 나타난 바와 같이 개개 장치들을 남기고 제거된다.

[0041] 도 5 내지 도 8은 본 발명에 따른 회로 기관들의 상이한 실시예들을 나타내지만, 다른 회로 기관들이 사용될 수도 있다. 도 5는, GaAs를 포함하여 상이한 다수 재료들로 이루어 질 수 있는 웨이퍼(51)를 포함하는, 본 발명에 따른 회로 기관(50)을 나타낸다. 웨이퍼(51)는 그것의 상단면에 증착된 수동 부품들(52) 및 인터커넥터들(53)을 가진다. 웨이퍼(51)는 상이한 다수 두께들을 가질 수 있는데, 적당한 두께는 50 내지 500  $\mu\text{m}$ 의 범위이다. Si를 포함하여, 다른 재료의 웨이퍼들도 사용될 수 있는데, 바람직한 웨이퍼들은 프로세싱이 용이하고, 낮은 전기 도전을 및/또는 높은 열 도전을 가진다.

[0042] 레지스터들(56) 또는 캐패시터들(58)을 포함하여, 상이한 수동 부품들이 사용될 수 있고, 인터커넥터들(53)은 도전성 트레이스들(60)일 수 있다. 수동 부품들(52) 및 인터커넥터들(53)은 다같이, (후술되는 바와 같이) 기관(50)상에 플립-칩 탑재되어 있는 능동 장치에 대한 드라이브 전자 장치 및 정합 회로로서 기능한다. 기관(50)은 하나 이상의 능동 장치에 대한 드라이브 전자 장치를 가질 수 있고, 수동 부품들(52) 및 트레이스들은 도 1의 방법에서 상술된 방법들을 사용해 형성될 수 있다.

[0043] 홀(61)이 GaAs 웨이퍼(51)를 관통하도록 형성되고, 홀(61)의 내부면 및 상단의 개구는 높은 전기 및 열 도전을 가진 재료의 홀층(62)으로 덮인다. 층(62)은 웨이퍼(51)를 관통하는 도전성 비아(63)를 형성한다. 웨이퍼(51)의 하단면 또한 높은 전기 및 열 도전을 가진 재료의 층(64)으로 덮일 수 있는데, 층들(62 및 64)을 위해 바람직한 재료는 Au이다. 층(62)을 통한 전류 및 열 통과는 층(64)으로 확산된다. 층들(62 및 64)은 다같이, 기관(50)상에 플립-칩 탑재된 장치에 대한 그라운드로의 전기적 콘택트로서 기능하고, 이들은 또한 플립-칩 탑재된 장치로부터의 열 방출을 돕는다. 이것은, 상대적으로 낮은 열 도전을 가진 GaAs 및 Si 기관들에 대해 특히 유용하다. 일반적으로, 비아들(63)이 커질수록 회로 기관(50)은 열 방출에 있어 더 효율적이다. 통상적인 비아들은 50 내지 100 미크론의 너비를 갖지만, 더 넓거나 좁은 비아들이 사용될 수도 있다.

[0044] 도 6은, 도 5의 웨이퍼(51)와 유사한 GaAs 웨이퍼(71)를 포함하며 동일한 재료들로 이루어질 수 있는, 본 발명에 따른 회로 기관(70)을 나타낸다. 웨이퍼(71)는, 드라이브 전자 장치를 형성하기 위해 웨이퍼(71)의 상단면에 증착되어 있는 수동 부품들(72) 및 인터커넥터들(73)을 가진다. 그러나, 웨이퍼(71)는 하단면에 홀, 도전성 비아, 또는 도전층을 갖지 않는다. 대신, 그라운드로의 도전성 경로를 제공하기 위해, 웨이퍼(71)의 표면상에 도전성 트레이스(74)가 포함된다. 장치들은, 장치의 그라운드가 트레이스(74)에 접속된 상태에서, 웨이퍼(71)상에 플립-칩 탑재될 수 있으므로, 그라운드 또는 열 방출을 위해 웨이퍼(71)를 관통하는 도전성 경로가 불필요하다.

[0045] 도 7은, 회로 기관(50)과 유사한, 본 발명에 따른 회로 기관(80)을 나타낸다. 이것은 웨이퍼(81) 및, 홀(88)에 형성된 도전성 비아들(82)을 포함한다. 그러나, 기관(80)에는, 높은 전기 도전을 및 열 도전을 가진 재료의 플러그(84)가 포함되어 있다. 플러그(84)는, 웨이퍼(81)의 상단면에 플러그의 상단면이 위치하는 상태로, 홀(88)의 상단에 위치한다. 비아들의 층(86)은 홀(88)의 내부 및 플러그(84)의 하단면을 덮는다. 플러그(84)는 금(Au)으로 형성되는 것이 바람직하고, 기관(80)이, 기관(80)상에 탑재되어 있는 플립-칩 장치로부터 좀더 효율적으로 열을 전도할 수 있게 한다. 또한, 기관(80)은 수동 부품들(85), 인터커넥터들(83), 및 하단 도전층(89)을 포함한다.

[0046] 도 8은, 웨이퍼(91) 및, 캐패시터(94), 레지스터(96), 및 인터커넥터들(97)을 포함할 수 있지만 이에 한정되는 것은 아닌 수동 부품들(92)을 포함하는, 본 발명에 따른 회로 기관(90)의 다른 실시예를 나타낸다. 또한, 기관(90)은, InGaAs 및 InP를 포함하는 다수의 재료 시스템들로 이루어질 수 있는 전치 증폭기들(98a 및 98b)을 가

진다. 증폭의 전치들로서 기능하는 증폭기들(98a, 98b)은, 낮은 신호들을 증폭하기 위해, 통상적으로 직렬로 접속된다. 전치 증폭기들(98a, 98b)이 신호를 증폭한 후, 신호는, 높은 전력 증폭을 위해, 기판(90)상에 플립-칩 탑재되어 있는 증폭기에 인가된다. 전치 증폭기들은 HEMT들인 것이 바람직하고 통상적으로 2 내지 3개의 전치 증폭기들이 사용되지만, 더 많거나 적은 전치 증폭기들이 사용될 수도 있다. 위에서 약술한 바와 같이, 전치 증폭기들(98a, 98b)은, 통상적인 구조법을 사용해, 수동 부품들(92)과 함께 회로 기판(91)상에 제조될 수 있다.

[0047] 본 발명에 따른 회로 기판은 도 5 내지 도 8에 나타난 기판 사양들의 임의 조합을 가질 수 있다. 예를 들어, 기판은 비아들 없이 전치 증폭기들을 가질 수 있고, 또는 기판이 비아들을 가진다면, 비아들은 플러그없이 사용될 수도 있다. 따라서, 상술된 것들 이외에도 본 발명에 따른 회로 기판의 추가적인 다수 실시예들이 존재한다.

[0048] 도 9는, 도 7의 회로 기판(80)상에 플립-칩 탑재된, 도 4의 HEMT(32)를 가진, 본 발명에 따른 플립-칩 집적 회로(IC) 어셈블리(100)를 나타내지만, HEMT(32)는 도 5, 도 6, 및 도 8의 회로 기판들(50, 70, 및 90)상에도 플립-칩 탑재될 수 있다. 도 4 및 도 7로부터의 동일한 참조 번호들은 동일한 사양들에 대해 사용된다.

[0049] 소스 콘택트(38)상의 HEMT의 본딩 패드(43)는 플러그(84)상의 본딩 패드(43)로써 회로 기판(80)의 표면에 본딩된다. 본딩 패드(43)는 플러그(84)와 전기적으로 그리고 열적으로 접촉하는 상태로 본딩된다. 층(89)은 집적 회로의 그라운드로서 기능하고 소스 콘택트(38)는 플러그(84) 및 비아층(86)을 통해 층(89)에 접속된다. 또한, 열은 플러그(84) 및 비아층(86)을 통해 HEMT(32)로부터 층(89)으로 흐른다. 드레인(40) 및 게이트(42)는 회로 기판(80)상의 도전성 접속들(102, 104) 및 인터커넥터들(83)을 통해 수동 부품들(82)에 접속된다. 도 9에 나타난 바와 같은 플립-칩 탑재에 의해, 집적 회로들(100)은 더 낮은 비용에서 더 높은 수율을 갖도록 제조될 수 있다.

[0050] 도 10은, 도 9의 집적 회로(100)와 유사하지만 향상된 열 방출 특징들을 갖는 IC 어셈블리(110)를 나타낸다. 이것은, 수동 부품들(82) 및 인터커넥터들(83)을 가진 회로 기판(80)에 플립-칩 탑재된 동일한 HEMT 장치(32)를 가진다. 제 1 방열 베이스 판(114)이 도전층들(86 및 89)에 인접하게 배치되는데, 층들로부터의 열은 제 1 베이스 판(114)으로 흐른다. 그 다음, 제 1 베이스 판(114)으로부터의 열은, 열이 방출되는 (나타내지 않은) 외부 방열기로 흐른다. 베이스 판(114) 및 방열기는, 기판(80) 및 HEMT(32)로부터의 열을 전도하는 열 도전성 재료로 이루어져야 하는데, 적당한 재료들로는 Cu, Cu-W, Cu-Mo-Cu 합성물들, AlN, 다이아몬드, 또는 다른 종래의 방열 재료들을 들 수 있다. 베이스 판(114) 및 방열기는, HEMT(32)가 더 높은 전력 레벨들에서 과열되는 것을 방지하는데 도움이 된다. 또한, 베이스 판(114)은 도전성 플러그를 갖지 않는 회로 기판과도 함께 사용될 수 있다.

[0051] 도 11은, 도 10의 IC 어셈블리(110)와 유사하지만 추가적인 열 방출 사양들을 포함하는, 본 발명에 따른, 또 하나의 IC 어셈블리(120)를 나타낸다. IC 어셈블리(120)는, 도 10의 회로(110)와 동일한 제 1 베이스 판(114)을 가진 회로 기판(80)상에 플립-칩 탑재된 HEMT(32)를 가진다. HEMT의 기판(30)을 통한 열 방출을 향상시키기 위해, IC 어셈블리(120)는 SiC 기판(30)에 인접하게 정렬된 제 2 방열 베이스 판(122)도 가진다. 제 2 베이스 판(122)은, HEMT(32)로부터의 열을 방출하기 위한 다른 경로를 제공하는, (나타내지 않은) 제 2 방열기에 결합된다. 제 2 베이스 판(122) 및 제 2 방열기는 제 1 베이스 판(114) 및 제 1 방열기와 동일하거나 상이한 재료들로 이루어질 수 있지만, 열 도전성 재료로 이루어져야 한다. 제 2 베이스 판(122) 또한, 플러그(84)를 갖지 않는 회로 기판들상에 플립-칩 탑재된 HEMT와 함께 사용될 수 있다. 이것은 또한, 제 1 방열기를 갖지 않는 IC 어셈블리에도 사용될 수 있지만, 가장 효율적인 열 방출은, 개개의 방열기들을 가진 제 1 및 제 2 베이스 판들(114, 122)을 사용하는 것에 의해 제공된다. 본 발명의 다른 실시예들에서는, 제 2 베이스 판(122)이 열 방출을 위한 일차 경로일 수 있고 그리고/또는 제 1 베이스 판(114)은 간략화되거나 생략될 수 있다. IC 어셈블리(120)의 열 팽창을 보상하기 위해, 제 1 또는 제 2 베이스 판들(114, 122)은, 방열기 대신에, 어느 정도 탄력적이고 유연한 열 도전성 인캡슐레이션(thermally conductive encapsulation)에 접속될 수도 있다.

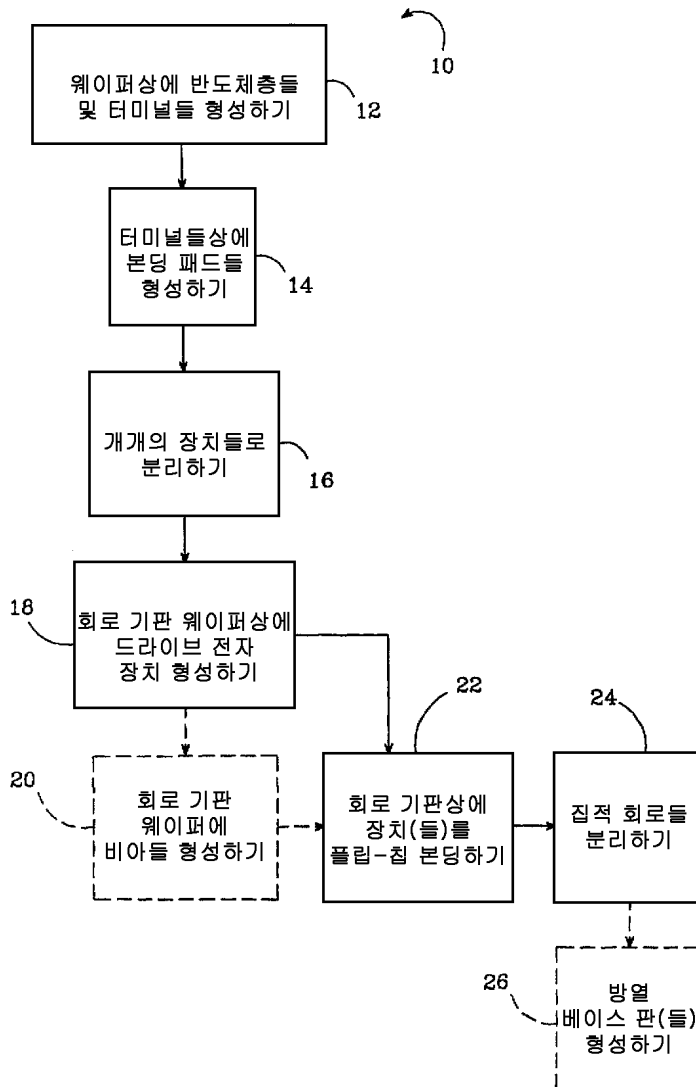
[0052] 도 12는, 회로 기판(132)상에 플립-칩 탑재된 GaN HEMT(131)을 가진, 본 발명에 따른 IC 어셈블리(130)를 나타낸다. (나타내지 않은) 수동 부품들, 전치 증폭기들, 및 인터커넥터들이 기판(132)상에 포함될 수 있다. 상단 방열 베이스 판(133)이 HEMT(131)상에 포함되어 있는데, 베이스 판(133)은 더미 칩들 또는 솔더 범프들일 수 있는 스페이서들(132)에 의해서도 기판(132)에 탑재된다. 스페이서들(134)의 구성은, 방열 베이스 판(133)의 기판(132)에 대한 안정적인 부착을 제공하면서, 방열 베이스 판(133)을 HEMT(131)에 인접하게 유지한다.

[0053] 본 발명의 바람직한 소정 구성들을 참조하여 본 발명을 상당히 상세하게 설명하였지만, 다른 버전들도 가능할

수 있다. 상술된 방법들의 단계들에 대한 시퀀스도 상이할 수 있다. 본 발명에 따른 다른 방법들은 더 많거나 적은 단계들을 사용할 수 있고 상이한 단계들을 사용할 수도 있다. 상술된 모든 실시예들이 전치 증폭기들을 가진 또는 갖지 않은 그리고 비아 플러그들을 가진 또는 갖지 않은 회로 기판들에 사용될 수 있다. 상이한 다수 재료들로 이루어진 상이한 다수 유형들의 집적 회로들이 본 발명에 따라 플립-칩 탑재될 수 있다. 따라서, 청구항들의 정신 및 범위는 명세서에서 설명된 발명에 관한 버전들로 한정되어서는 안된다.

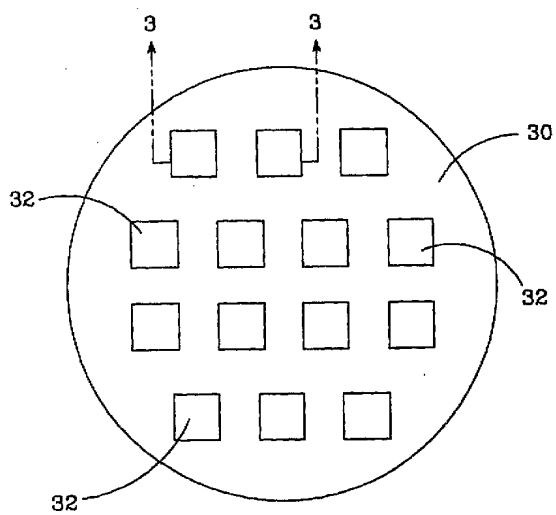
## 도면

### 도면1

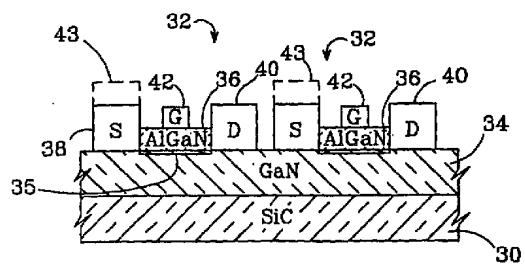




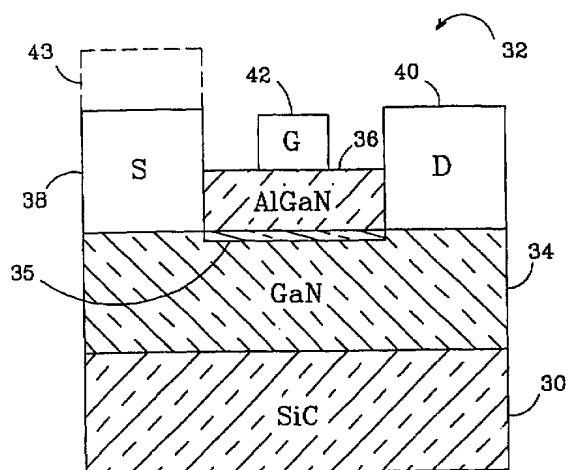
도면2



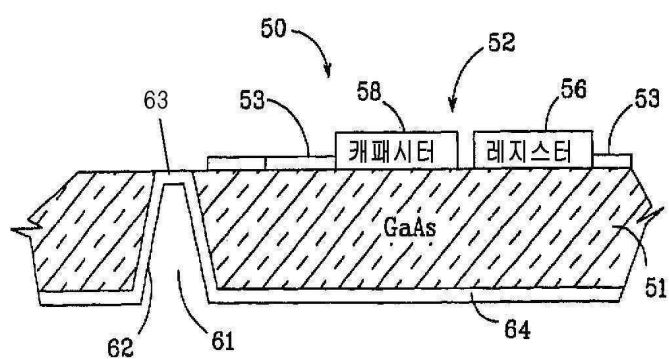
도면3



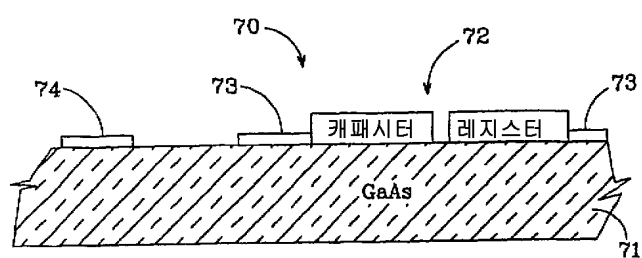
도면4



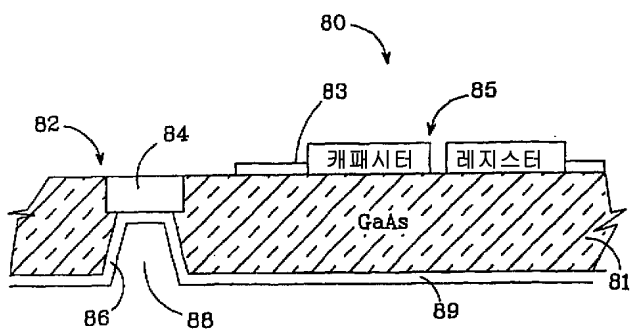
도면5



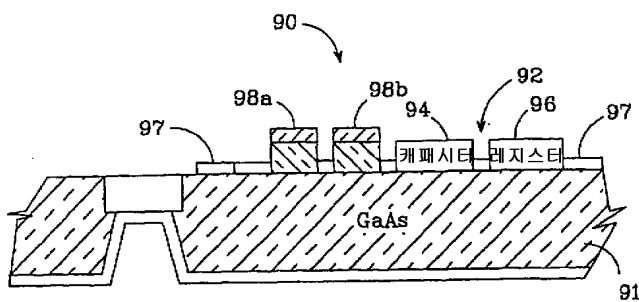
도면6



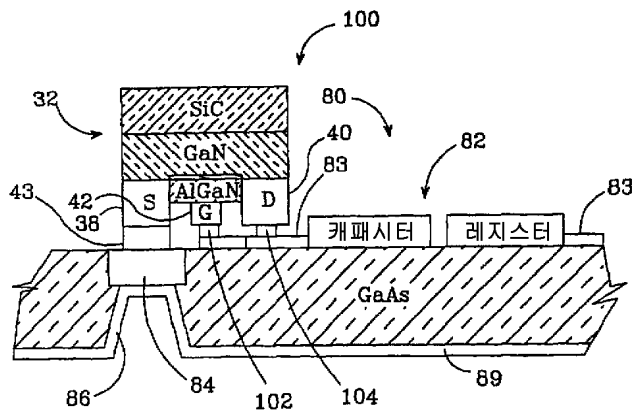
도면7



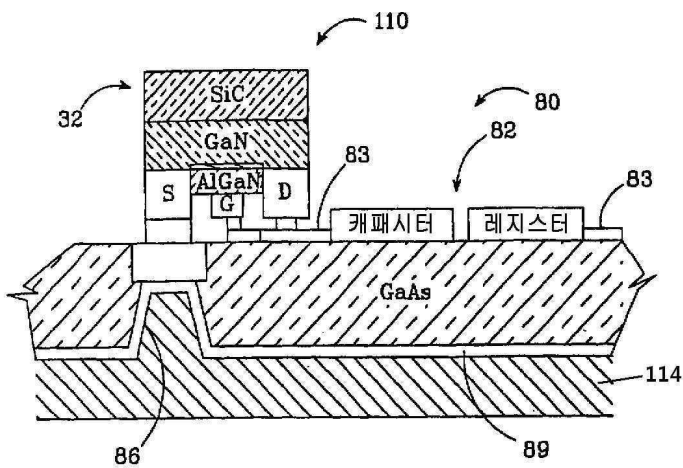
도면8



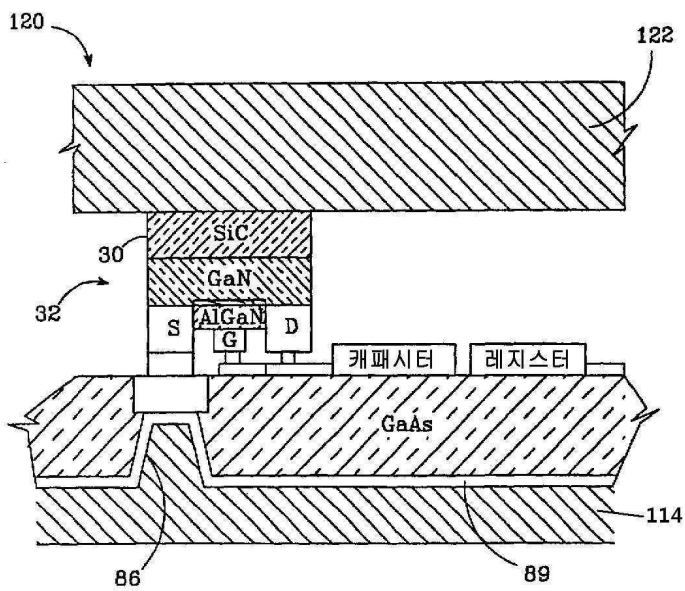
도면9



도면10



도면11



도면12

